

(12) 发明专利

(10) 授权公告号 CN 101242178 B

(45) 授权公告日 2011. 07. 06

(21) 申请号 200810074219. 0

(22) 申请日 2008. 02. 13

(30) 优先权数据

2007-027595 2007. 02. 07 JP

(73) 专利权人 三菱电机株式会社

地址 日本东京都

(72) 发明人 宫山隆 飞田洋一 村井博之

森成一郎

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 王岳 刘宗杰

(51) Int. Cl.

H03K 19/003(2006. 01)

H03K 19/0185(2006. 01)

G09G 3/20(2006. 01)

G09G 3/36(2006. 01)

G11C 19/28(2006. 01)

(56) 对比文件

CN 1755765 A, 2006. 04. 05, 说明书第 9 页第 16 行 - 第 10 页第 18 行及说明书附图 6.

JP 特开 2006-344306 A, 2006. 12. 21, 说明书 0052-0068 段及说明书附图 11.

US 2003/0231735 A1, 2003. 12. 18, 全文.

US 6426743 B1, 2002. 07. 30, 说明书第 4 栏第 51 行 - 第 6 栏第 21 行及说明书附图 6-7.

审查员 姜晓庆

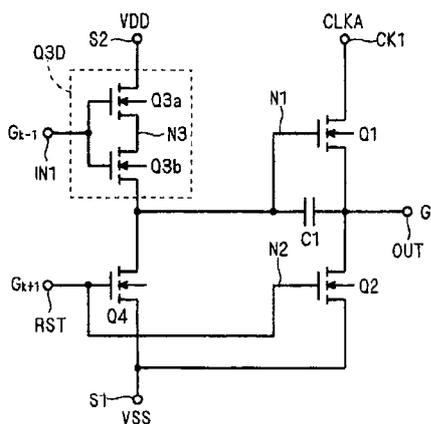
权利要求书 6 页 说明书 19 页 附图 22 页

(54) 发明名称

半导体装置以及移位寄存器电路

(57) 摘要

提供一种可抑制阈值电压的负方向移位(负移位)的晶体管,防止以移位寄存器为首的半导体装置的误动作。作为对使单位移位寄存器的输出端子 OUT 上拉的晶体管 Q1 的栅极节点(节点 N1)进行充电的充电电路,使用由在第一电源端子 S1 和节点 N1 之间串联地连接的两个晶体管构成的双栅极晶体管 Q3D。双栅极晶体管 Q3D 以如下方式构成,即在构成此双栅极晶体的两个晶体管间的连接节点(节点 N3)由于该栅极和节点 N3 之间的电容耦合,根据栅极从 H 电平变为 L 电平,下降到 L 电平。



1. 一种半导体装置,具有在预定的第一节点和第二节点之间串联地连接并且控制电极相互连接的多个第一晶体管,其特征在于,

将上述多个第一晶体管间的各个连接节点作为第三节点,

从上述第一~第三节点以及上述控制电极分别成为比上述多个第一晶体管的阈值电压高的H电平的状态,变化为上述第一以及第二节点仍为H电平、上述控制电极的电位成为比上述阈值电压低的L电平时,与此对应地,上述第三节点的电平也下降到L电平,

在上述各第三节点,将上述控制电极和上述第三节点之间的电容成分设为C1,将不包含在该C1中的附随于上述第三节点的寄生电容设为C2,将上述控制电极的H电平和L电平之差设为Vd,将上述第一晶体管的阈值电压设为Vth时,满足 $C1 \geq C2 \times (Vd - Vth) / Vth$ 的关系。

2. 根据权利要求1的半导体装置,其特征在于,

使上述第三节点的电平下降的单元是上述控制电极和该第三节点之间的寄生电容。

3. 根据权利要求2的半导体装置,其特征在于,

成为上述第三节点的电极的宽度比成为上述第一以及第二节点的电极的宽度宽。

4. 根据权利要求1的半导体装置,其特征在于,

作为使上述第三节点的电平下降的单元,还具有连接在上述控制电极和上述第三节点之间的电容元件。

5. 根据权利要求1的半导体装置,其特征在于,

作为使上述第三节点的电平下降的单元,还具有二极管,该二极管连接在上述控制电极和上述第三节点之间,将上述控制电极侧作为阴极,将上述第三节点侧作为阳极。

6. 根据权利要求1的半导体装置,其特征在于,

作为使上述第三节点的电平下降的单元,还具有第二晶体管,该第二晶体管连接在上述第一晶体管的上述控制电极和上述第三节点之间。

7. 根据权利要求1的半导体装置,其特征在于,

上述多个第一晶体管是非晶硅薄膜晶体管。

8. 根据权利要求1的半导体装置,其特征在于,

上述多个第一晶体管是有机晶体管。

9. 一种移位寄存器电路,其特征在于,

具有:输入端子,输出端子,第一时钟端子以及复位端子;将输入到上述第一时钟端子的第一时钟信号提供给上述输出端子的第一晶体管;使上述输出端子放电的第二晶体管;充电电路,根据输入到上述输入端子的输入信号,对上述第一晶体管的控制电极连接的第一节点进行充电;放电电路,根据输入到上述复位端子的复位信号,使上述第一节点放电,

上述充电电路包括串联地连接在上述第一节点和固定电位的电源端子之间并且控制电极都连接到上述输入端子上的多个第三晶体管,

在上述多个第三晶体管间的各连接节点,将上述输入端子和上述连接节点之间的电容成分设为C1,将不包含在该C1中的附随于上述连接节点的寄生电容设为C2,将上述输入信号的H电平和L电平之差设为Vd,将上述第三晶体管的阈值电压设为Vth时,满足 $C1 \geq C2 \times (Vd - Vth) / Vth$ 的关系。

10. 根据权利要求9的移位寄存器电路,其特征在于,

上述充电电路以如下方式构成：当上述输入信号成为比第三晶体管的阈值电压高的 H 电平时，上述多个第三晶体管导通，由此，对上述第一节点进行充电，之后，当该输入信号变为比上述阈值电压低的 L 电平时，上述多个第三晶体管间的各连接节点下降到 L 电平。

11. 根据权利要求 9 的移位寄存器电路，其特征在于，

上述第二晶体管的控制电极连接到上述复位端子。

12. 根据权利要求 9 的移位寄存器电路，其特征在于，

还具有将上述第一节点作为输入端、将上述第二晶体管的控制电极连接的第二节点作为输出端的反相器。

13. 根据权利要求 12 的移位寄存器电路，其特征在于，

还具有第四晶体管，该第四晶体管具有连接到上述第二节点的控制电极，使上述第一节点放电。

14. 根据权利要求 9 的移位寄存器电路，其特征在于，

具有两个上述第二晶体管，

将上述两个第二晶体管的各控制电极连接的节点分别作为第二以及第三节点，

基于预定的控制信号交替地驱动上述两个第二晶体管。

15. 根据权利要求 14 的移位寄存器电路，其特征在于，

上述控制信号由互补的第一以及第二控制信号构成，

该移位寄存器电路还具有：分别输入上述第一以及第二控制信号的第一以及第二控制端子；连接在上述第一控制端子和上述第二节点之间的第四晶体管；连接在上述第二控制端子和上述第三节点之间的第五晶体管，

上述第四以及第五晶体管的一个的主电极交叉地连接到彼此的控制电极。

16. 根据权利要求 14 的移位寄存器电路，其特征在于，

交替地驱动上述两个第二晶体管的单元包括：将上述第一节点作为输入端的反相器；切换电路，基于上述控制信号，将上述反相器的输出端交替地连接到上述第二以及第三节点。

17. 根据权利要求 14 的移位寄存器电路，其特征在于，还具有：

第六晶体管，具有连接到上述第二节点的控制电极，使上述第一节点放电；

第七晶体管，具有连接到上述第三节点的控制电极，使上述第一节点放电。

18. 根据权利要求 9 的移位寄存器电路，其特征在于，还具有：

第四晶体管，具有连接到上述第一时钟端子的控制电极，连接在上述第一节点和上述输出端子之间。

19. 根据权利要求 18 所述的移位寄存器电路，其特征在于，还具有：

第二时钟端子，输入与上述第一时钟信号的相位不同的第二时钟信号；

反相器，将上述第一节点作为输入端，由上述第二时钟信号激活；

第五晶体管，具有连接到上述第一时钟端子的控制电极，使该反相器的输出端放电；

第六晶体管，具有连接到上述反相器的上述输出端的控制电极，使上述第一节点放电。

20. 根据权利要求 19 的移位寄存器电路，其特征在于，

上述第二晶体管的控制电极连接到上述第二时钟端子。

21. 根据权利要求 20 的移位寄存器电路，其特征在于，

上述第二晶体管连接在上述输出端子和上述第一时钟端子之间。

22. 根据权利要求 9 的移位寄存器电路,其特征在于,

还具有:反相器,将上述第一节点作为输入端,由上述第一时钟信号激活;第四晶体管,具有连接到上述反相器的输出端的控制电极,使上述第一节点放电,

上述反相器具有连接在该反相器的上述输出端和上述第一时钟端子之间的第一电容元件,作为负载元件。

23. 根据权利要求 22 的移位寄存器电路,其特征在于,

上述第二晶体管的控制电极连接到上述反相器的上述输出端。

24. 根据权利要求 23 的移位寄存器电路,其特征在于,还具有:

第二时钟端子,输入与上述第一时钟信号的相位不同的第二时钟信号;

第五晶体管,具有连接到上述第二时钟端子的控制电极,使所述输出端子放电。

25. 根据权利要求 9 至 24 中任意一项的移位寄存器电路,其特征在于,

还具有连接在上述多个第三晶体管间的各连接节点和上述输入端子之间的第二电容元件。

26. 根据权利要求 9 至 24 中任意一项的移位寄存器电路,其特征在于,

还具有二极管,连接在上述多个第三晶体管间的各连接节点和上述输入端子之间,将上述输入端子侧作为阴极,将上述连接节点侧作为阳极。

27. 根据权利要求 9 至 24 中任意一项的移位寄存器电路,其特征在于,

还具有第六晶体管,在上述多个第三晶体管间的各连接节点和上述输入端子之间,控制电极连接到上述第一时钟端子。

28. 一种移位寄存器电路,其特征在于,

具有:第一以及第二输入端子、输出端子、第一时钟端子以及复位端子;第一晶体管,将输入到上述第一时钟端子的第一时钟信号提供给上述输出端子;使上述输出端子放电的第二晶体管;对上述第一晶体管的控制电极连接的第一节点进行充电的第一充电电路;放电电路,根据输入到上述复位端子的复位信号,使上述第一节点放电,

上述第一充电电路具有:多个第三晶体管,在上述第一节点和电源端子之间串联地连接,控制电极都连接到预定的第二节点;第二充电电路,根据输入到上述第一输入端子的第一输入信号,对上述第二节点进行充电;升压电路,根据输入到上述第二输入端子的第二输入信号,使上述第二节点升压;第二放电电路,根据上述复位信号,使上述第二节点放电,

在上述多个第三晶体管间的各连接节点,将上述第二节点和上述连接节点之间的电容成分设为 $C1$,将不包含在该 $C1$ 中的附随于上述连接节点的寄生电容设为 $C2$,将上述第二节点的 H 电平和 L 电平之差设为 Vd ,将上述第三晶体管的阈值电压设为 V_{th} 时,满足 $C1 \geq C2 \times (Vd - V_{th}) / V_{th}$ 的关系。

29. 根据权利要求 28 的移位寄存器电路,其特征在于,

上述第一充电电路以如下方式构成:当上述第二节点成为比第三晶体管的阈值电压高的 H 电平时,上述多个第三晶体管导通,由此,对上述第一节点充电,之后,当该第二节点变为比上述阈值电压低的 L 电平时,上述多个第三晶体管间的各连接节点下降到 L 电平。

30. 根据权利要求 28 的移位寄存器电路,其特征在于,

还具有将上述第二节点作为输入端的反相器,

上述第一放电电路是具有与上述反相器的输出端连接的控制电极并且使上述第一节点放电的第四晶体管。

31. 根据权利要求 30 的移位寄存器电路,其特征在于,

还具有第五晶体管,该第五晶体管具有连接到上述反相器的输出端的控制电极,使上述第二节点放电。

32. 根据权利要求 30 的移位寄存器电路,其特征在于,

上述第二晶体管的控制电极连接到上述反相器的上述输出端。

33. 根据权利要求 28 至 32 中任意一项的移位寄存器电路,其特征在于,

还具有连接在上述多个第三晶体管间的各连接节点和上述第二节点之间的电容元件。

34. 根据权利要求 28 至 32 中任意一项的移位寄存器电路,其特征在于,

还具有二极管,连接在上述多个第三晶体管间的各连接节点和上述第二节点之间,将上述第二节点侧作为阴极,将上述连接节点侧作为阳极。

35. 根据权利要求 28 至 32 中任意一项的移位寄存器电路,其特征在于,

还具有第六晶体管,在上述多个第三晶体管间的各连接节点和上述第二节点之间,控制电极连接到上述第一时钟端子。

36. 根据权利要求 28 的移位寄存器电路,其特征在于,

上述第二充电电路包括多个第七晶体管,在上述第二节点和电源端子之间串联地连接,控制电极都连接到上述第一输入端子。

37. 根据权利要求 36 的移位寄存器电路,其特征在于,

上述第二充电电路以如下方式构成:当上述第一输入端子成为比第七晶体管的阈值电压高的 H 电平时,上述多个第七晶体管导通,由此,对上述第二节点充电,之后,当该第一输入端子变为比上述阈值电压低的 L 电平时,上述多个第七晶体管间的各连接节点下降到 L 电平。

38. 根据权利要求 36 或 37 的移位寄存器电路,其特征在于,

还具有连接在上述多个第七晶体管间的各连接节点和上述第一输入端子之间的电容元件。

39. 根据权利要求 36 或 37 的移位寄存器电路,其特征在于,

还具有二极管,连接在上述多个第七晶体管间的各连接节点和上述第一输入端子之间,将上述第一输入端子侧作为阴极,将上述连接节点侧作为阳极。

40. 根据权利要求 36 或 37 的移位寄存器电路,其特征在于,

还具有第八晶体管,在上述多个第七晶体管间的各连接节点和上述第一输入端子之间,控制电极连接到输入与上述第一时钟信号的相位不同的第二时钟信号的第二时钟端子上。

41. 一种移位寄存器电路,其特征在于,

具有:第一以及第二输入端子、输出端子以及时钟端子;分别输入互补的第一以及第二电压信号的第一以及第二电压信号端子;第一晶体管,将输入到上述时钟端子的时钟信号提供给输出端子;使上述输出端子放电的第二晶体管;第一驱动电路,基于输入到上述第一输入端子的第一输入信号,将上述第一电压信号提供给上述第一晶体管的控制电极连接的第一节点;第二驱动电路,基于输入到上述第二输入端子的第二输入信号,将上述第二

电压信号提供给上述第一节点；反相器，将上述第一节点作为输入端，将上述第二晶体管的控制电极连接的第二节点作为输出端，

上述第一驱动电路包括在上述第一节点和上述第一电压信号端子之间串联地连接并且控制电极都连接到上述第一输入端子的多个第三晶体管，

上述第二驱动电路包括在上述第一节点和上述第二电压信号端子之间串联地连接并且控制电极都连接到上述第二输入端子的多个第四晶体管，

切换上述第一以及第二电压信号的电平，由此，切换信号的移位方向，

在上述多个第三晶体管间的各连接节点即第一连接节点，将上述第一输入端子和上述第一连接节点之间的电容成分设为 $C1$ ，将不包含在该 $C1$ 中的附随于上述第一连接节点的寄生电容设为 $C2$ ，将上述第一输入信号的 H 电平和 L 电平之差设为 Vd ，将上述第三晶体管的阈值电压设为 V_{th} 时，满足 $C1 \geq C2 \times (Vd - V_{th}) / V_{th}$ 的关系，

在上述多个第四晶体管间的各连接节点即第二连接节点，将上述第二输入端子和上述第二连接节点之间的电容成分设为 $C1a$ ，将不包含在该 $C1a$ 中的附随于上述第二连接节点的寄生电容设为 $C2a$ ，将上述第二输入信号的 H 电平和 L 电平之差设为 Vda ，将上述第四晶体管的阈值电压设为 V_{tha} 时，满足 $C1a \geq C2a \times (Vda - V_{tha}) / V_{tha}$ 的关系。

42. 根据权利要求 41 的移位寄存器电路，其特征在于，

上述第一驱动电路以如下方式构成：在上述第一电压信号是比上述第三以及第四晶体管的阈值电压高的 H 电平，上述第二电压信号是比该第三以及第四晶体管的阈值电压低的 L 电平的情况下，上述第一输入信号成为 H 电平时，上述多个第三晶体管导通，由此，对上述第一节点充电，之后，当该第一输入信号变为 L 电平时，上述多个第三晶体管间的各连接节点下降到 L 电平，

上述第二驱动电路以如下方式构成：在上述第一电压信号是 L 电平、上述第二电压信号是 H 电平的情况下，上述第二输入信号成为 H 电平时，上述多个第四晶体管导通，由此，对上述第一节点充电，之后，当该第二输入端子变为 L 电平时，上述多个第四晶体管间的各连接节点下降到 L 电平。

43. 根据权利要求 41 或 42 的移位寄存器电路，其特征在于，还具有：

连接在上述多个第三晶体管间的各连接节点和上述第一输入端子之间的第一电容元件；

连接在上述多个第四晶体管间的各连接节点和上述第二输入端子之间的第二电容元件。

44. 根据权利要求 41 或 42 的移位寄存器电路，其特征在于，还具有：

第一二极管，连接在上述多个第三晶体管间的各连接节点和上述第一输入端子之间，将上述第一输入端子侧作为阴极，将上述多个第三晶体管间的连接节点侧作为阳极；

第二二极管，连接在上述多个第四晶体管间的各连接节点和上述第二输入端子之间，将上述第二输入端子侧作为阴极，将上述多个第四晶体管间的连接节点侧作为阳极。

45. 根据权利要求 41 或 42 的移位寄存器电路，其特征在于，

还具有第五晶体管，在上述多个第三晶体管间的各连接节点和上述第一输入端子之间，控制电极连接到上述时钟端子；

还具有第六晶体管，在上述多个第四晶体管间的各连接节点和上述第二输入端子之

间,控制电极连接到上述时钟端子。

半导体装置以及移位寄存器电路

技术领域

[0001] 本发明涉及防止由于晶体管的电特性恶化而导致的误动作的技术,特别是涉及可抑制非晶硅薄膜晶体管或有机晶体管等的阈值电压的负移位的半导体装置。

背景技术

[0002] 在液晶显示装置等图像显示装置中,作为用于扫描显示面板的栅极线驱动电路(扫描线驱动电路),可以采用在显示信号的一个帧期间进行循环移位动作的移位寄存器。为了减少显示装置制造工艺中的步骤数量,期望该移位寄存器仅由同一导电型的场效应晶体管构成。

[0003] 由非晶硅薄膜晶体管(下面称为“a-Si 晶体管”)构成栅极线驱动电路的移位寄存器的显示装置容易大面积化并且生产率高,例如广泛应用于笔记本型 PC 的画面或大画面的显示装置等。

[0004] 已知相反地,a-Si 晶体管具有当栅电极被连续地(直流地)偏置时其阈值电压移位的特性。此外,如下述非专利文献 1 中所示,一般地 a-Si 晶体管在工作中会恶化。

[0005] 此外,由于晶体管的阈值电压的移位(V_{th} 移位)成为电路误动作的原因,所以提出了实施其对策的移位寄存器(例如专利文献 1)。已知地, V_{th} 移位的问题不仅在 a-Si 晶体管中产生,在有机晶体管中也同样产生。

[0006] 专利文献 1 特开 2006-107692 号公报

[0007] 非专利文献 1 R. B. Wehrspohn etc, “Relative importance of the Si-Sibond and Si-H bond for the stability of amorphous silicon thin filmtransistors” Journal of applied physics vol. 87 pp. 144-154

[0008] a-Si 晶体管的阈值电压在栅极相对于漏极和源极这两者持续为低电位状态时,随着时间的经过一起向负方向移位。当 a-Si 晶体管的阈值电压移位到负方向时,即使其栅极源极间的电位变小,该 a-Si 晶体管成为截止(非导通状态),也不是完全的截止状态。即,a-Si 晶体管的电流不能完全遮断,由此会产生电路的误动作。

[0009] 移位寄存器具有:输出上拉晶体管(图 1 的晶体管 Q1),将时钟信号提供给输出端子,将该输出端子的电位上拉;用于对该输出上拉晶体管的栅极节点(同一图中的节点 N1)充电的充电晶体管(同一图中的晶体管 Q3)。详细情况后述,但是,在移位寄存器的通常动作中,该充电晶体管在固定的期间成为上述的电位状态(晶体管的栅极电位相对于漏极电位和源极电位这两者为低的状态),所以产生阈值电压向负方向移位而引起误动作的问题。

发明内容

[0010] 本发明是为了解决上述技术问题而进行的,其目的在于提供可以抑制阈值电压的负方向移位(负移位)的晶体管,并且防止以移位寄存器为首的半导体装置的误动作。

[0011] 本发明的半导体装置,具有在预定的第一节点和第二节点之间串联地连接并且控制电极相互连接的多个晶体管,其中,将上述多个晶体管间的各连接节点作为第三节点,

从上述第一～第三节点以及上述控制电极分别成为比上述多个晶体管的阈值电压高的 H(High) 电平的状态,变化为上述第一以及第二节点仍为 H 电平、上述控制电极的电位成为比上述阈值电压低的 L(Low) 电平时,与此对应地,上述第三节点的电平也下降到 L 电平。

[0012] 根据本发明的移位寄存器电路的第一种方式,移位寄存器电路具有输入端子、输出端子、第一时钟端子以及复位端子、将输入到上述第一时钟端子的第一时钟信号提供给上述输出端子的第一晶体管、使上述输出端子放电的第二晶体管、根据输入到上述输入端子的输入信号对上述第一晶体管的控制电极连接的第一节点进行充电的充电电路、根据输入到上述复位端子的复位信号使上述第一节点放电的放电电路,上述充电电路包括在上述第一节点和电源端子之间串联地连接并且控制电极都连接到上述输入端子的多个第三晶体管。

[0013] 根据本发明的第一种方式的半导体装置,防止在串联连接的上述各晶体管中,源极和漏极这两者成为 H 电平、控制电极成为 L 电位的电位状态,所以可以防止该晶体管的阈值电压向负方向移位。由此,在使控制电极成为 L 电平时,可以使各晶体管可靠地截止(遮断状态),所以防止半导体装置的误动作。

[0014] 根据本发明的移位寄存器电路的第一种方式,在构成第一晶体管的控制电极的充电电路的各晶体管中,由于防止了源极和漏极这两者成为 H 电平、控制电极成为 L 电位的电位状态,所以可以防止该晶体管的阈值电压向负方向移位。由此,由于在使充电电路的控制电极成为 L 电平时,可以使该充电电路可靠地截止(遮断状态),所以可以防止第一晶体管不必要地导通,并且防止移位寄存器电路的误动作。

附图说明

[0015] 图 1 是示出现有的单位移位寄存器的结构的电路图。

[0016] 图 2 是示出多级的移位寄存器的结构的图。

[0017] 图 3 是示出现有的单位移位寄存器的动作的时序图。

[0018] 图 4 是示出多级的移位寄存器的动作的图。

[0019] 图 5 是用于说明现有的单位移位寄存器的问题的图。

[0020] 图 6 是示出表示 a-Si 晶体管的电位状态和阈值电压的移位的关系的实验结果的图。

[0021] 图 7 是实施方式 1 的单位移位寄存器的电路图。

[0022] 图 8 是示出实施方式 1 的单位移位寄存器的动作的时序图。

[0023] 图 9 是用于说明实施方式 1 的效果的图。

[0024] 图 10 是用于说明实施方式 1 的效果的图。

[0025] 图 11 是实施方式 2 的单位移位寄存器的电路图。

[0026] 图 12 是实施方式 3 的单位移位寄存器的电路图。

[0027] 图 13 是实施方式 4 的单位移位寄存器的电路图。

[0028] 图 14 是实施方式 5 的单位移位寄存器的电路图。

[0029] 图 15 是由实施方式 5 的单位移位寄存器构成的多级的寄位寄存器的结构的图。

[0030] 图 16 是作为实施方式 5 的变形例的单位移位寄存器的电路图。

[0031] 图 17 是实施方式 6 的单位移位寄存器的电路图。

- [0032] 图 18 是实施方式 7 的单位移位寄存器的电路图。
- [0033] 图 19 是实施方式 8 的单位移位寄存器的电路图。
- [0034] 图 20 是作为实施方式 8 的变形例的单位移位寄存器的电路图。
- [0035] 图 21 是作为实施方式 8 的变形例的单位移位寄存器的电路图。
- [0036] 图 22 是作为实施方式 8 的变形例的单位移位寄存器的电路图。
- [0037] 图 23 是示出在双栅极晶体管中的叠加电容的分布的图。
- [0038] 图 24 是示出实施方式 9 的双栅极移位寄存器的结构的图。
- [0039] 图 25 是示出实施方式 9 的双栅极移位寄存器的结构的图。
- [0040] 图 26 是示出实施方式 10 的双栅极移位寄存器的结构的图。
- [0041] 图 27 是示出实施方式 11 的双栅极移位寄存器的结构的图。
- [0042] 图 28 是示出实施方式 12 的双栅极移位寄存器的结构的图。
- [0043] 图 29 是示出实施方式 12 的单位移位寄存器的电路图。

具体实施方式

[0044] 下面,参考附图说明本发明的实施方式。并且,为了避免重复说明而造成冗长,在各图中具有相同或相当的功能的元件给出相同的符号。

[0045] 实施方式 1

[0046] 首先,为了便于说明本发明,对现有的移位寄存器进行说明。通常,移位寄存器具有多个移位寄存器电路级联连接而成的多级结构。在本说明书中,将构成多级的移位寄存器的各级的移位寄存器电路的每个称为“单位移位寄存器”。

[0047] 如上所述,移位寄存器可以作为显示装置的栅极线驱动电路使用。将移位寄存器作为栅极线驱动电路使用的显示装置的具体结构例如由本发明人的专利文献(例如,特开 2006-277860 的图 1、图 2 等)所公开。下面,将作为电路的基准电压的低电位侧电源电位(VSS)设为 0V 进行说明,但是,在实际的显示装置中,以写入到像素的数据的电压为基准来设定基准电位,所以,例如将低电位侧电源电位(VSS)设定为 -12V,将高电位侧电源电位(VDD)设定为 17V 等。

[0048] 图 1 是示出现有的单位移位寄存器的结构的电路图。此外,图 2 是示出多级的移位寄存器的结构的图。图 2 的移位寄存器由级联连接的 n 个单位移位寄存器 SR_1 、 SR_2 、 SR_3 、 \dots 、 SR_n 和在最后一级的单位移位寄存器 SR_n 的再后一级所设置的伪单位移位寄存器 SRD 构成(下面将单位移位寄存器 SR_1 、 SR_2 、 SR_3 、 \dots 、 SR_n 、SRD 统称为“单位移位寄存器 SR”)。在现有的移位寄存器中,单位移位寄存器 SR 分别为图 1 中的电路。

[0049] 此外,在图 2 中示出的时钟发生器 31 将相互反相的(激活期间不重复)两个相的时钟信号 CLKA、CLKB 提供给多个单位移位寄存器 SR。在栅极线驱动电路中,以在与显示装置的扫描周期同步的定时依次激活的方式,对这些时钟信号 CLKA、CLKB 进行控制。

[0050] 如图 1 和图 2 所示,各单位移位寄存器 SR 具有输入端 IN1、输出端子 OUT、时钟端子 CK1 和复位端子 RST。此外,分别通过第一电源端子 S1 对各单位移位寄存器 SR 提供低电位侧电源电位 VSS(= 0V),通过第二电源端子 S2 提供高电位侧电源电位 VDD(图 2 中未图示)。

[0051] 如图 1 所示,单位移位寄存器 SR 的输出级由连接在输出端子 OUT 和时钟端子 CK1

之间的晶体管 Q1 和连接在输出端子 OUT 和第一电源端子 S1 之间的晶体管 Q2 构成。即,晶体管 Q1 是将输入到时钟端子 CK1 的时钟信号 CLKA 提供给输出端子 OUT 的晶体管(第一晶体管),晶体管 Q2 是使该输出端子 OUT 放电的晶体管(第二晶体管)。下面,将晶体管 Q1 的栅极(控制电极)所连接的节点定义为“节点 N1”,将晶体管 Q2 的栅极所连接的节点定义为“节点 N2”。

[0052] 在晶体管 Q1 的栅极、源极间(即节点 N1 和输出端子 OUT 之间)设置电容元件 C1。该电容元件 C1 是如下的元件(自举电容):使输出端子 OUT 和节点 N1 之间电容耦合,根据输出端子 OUT 的电平上升,使节点 N1 的升压。但是,对于电容元件 C1 来说,在晶体管 Q1 的栅极沟道间电容充分大的情况下可以由其置换,所以在这样的情况下可以省略。

[0053] 在节点 N1 和第二电源端子 S2 之间,连接栅极连接到输入端子 IN1 的晶体管 Q3。此外,在节点 N1 和第一电源端子 S1 之间,连接栅极连接到复位端子 RST 的晶体管 Q4。即,晶体管 Q3 构成根据输入到输入端子 IN1 的信号对节点 N1 进行充电的充电电路,晶体管 Q4 构成根据输入到复位端子 RST 的信号使节点 N1 放电的放电电路。在该现有例中,晶体管 Q2 的栅极(节点 N2)也连接到复位端子 RST。

[0054] 如图 2 所示,在各单位移位寄存器 SR 的输入端子 IN1 上,连接其前一级的单位移位寄存器 SR 的输出端子 OUT。但是,在第一级的单位移位寄存器 SR1 的输入端子 IN1 上,输入预定的起动脉冲 ST。此外,以对前后邻接的单位移位寄存器 SR 中输入相互不同的相位的时钟信号的方式,对各单位移位寄存器 SR 的时钟端子 CK1 输入时钟信号 CLKA、CLKB 中的一个。

[0055] 并且,在各单位移位寄存器 SR 的复位端子 RST 上,连接自身下一级的单位移位寄存器 SR 的输出端子 OUT。但是,在最后一级的单位移位寄存器 SR_n 的下一级所设置的伪单位移位寄存器 SRD 的复位端子 RST 上输入预定的结束脉冲 EN。并且,在栅极线驱动电路中,分别在图像信号的各帧间的开始和结尾对应的定时输入起动脉冲 ST 和结束脉冲 EN。

[0056] 接下来,说明在图 1 中示出的现有的各单位移位寄存器 SR 的动作。由于基本上各级的单位移位寄存器 SR 全部相同地动作,所以在此代表地对多级的移位寄存器内的第 k 级的单位移位寄存器 SR_k 的动作进行说明。在该单位移位寄存器 SR_k 的时钟端子 CK1 上输入时钟信号 CLKA(例如,在图 2 中的单位移位寄存器 SR₁、SR₃ 等相当于此)。

[0057] 在此,时钟信号 CLKA、CLKB 的 H 电位的电位是 VDD(高电位侧电源电位),L 电位的电位是 VSS(低电位侧电源电位)。此外,构成单位移位寄存器 SR 的各晶体管 Q_x 的阈值电压表示为 V_{th}(Q_x)。

[0058] 图 3 是示出现有的单位移位寄存器 SR_k(图 1) 的动作的时序图。首先,作为单位移位寄存器 SR_k 的初始状态,节点 N1 假定为 L 电平状态(下面将节点 N1 的 L 电平状态称为“复位状态”)。此外,输入端子 IN1(前一级的输出信号 G_{k-1})、复位端子 RST(下一级的输出信号 G_{k+1})、时钟端子 CK1(时钟信号 CLKA) 都是 L 电平。此时,由于晶体管 Q1、Q2 都为截止,所以,输出端子 OUT 为高阻抗状态(浮动状态),在该初始状态,输出端子 OUT(输出信号 G_k) 也是 L 电平。

[0059] 从该状态开始,在时刻 t₁,时钟信号 CLKA 变为 L 电平,时钟信号 CLKB 变为 H 电平,并且,前一级的输出信号 G_{k-1}(第一级的情况下是起动脉冲 ST) 成为 H 电平时,单位移位寄存器 SR_k 的晶体管 Q3 导通,节点 N1 被充电,成为 H 电平(下面将节点 N1 为 H 电位的状态称为

“设置状态”)。此时,节点 N1 的电位电平(下面简单地称为“电平”)上升直到 $V_{DD}-V_{th}(Q3)$ 。相应地,晶体管 Q1 成为导通。

[0060] 并且,在时刻 t_2 ,时钟信号 CLKB 变为 L 电平,时钟信号 CLKA 变为 H 电平,并且,前一级的输出信号 G_{k-1} 成为 L 电平。此时,晶体管 Q3 成为截止,节点 N1 仍为 H 电平,成为浮动状态。此外,由于晶体管 Q1 导通,所以输出端子 OUT 的电平随着时钟信号 CLKA 而上升。

[0061] 时钟端子 CK1 和输出端子 OUT 的电平上升时,根据通过电容元件 C1 以及晶体管 Q1 的栅极、沟道间的电容的耦合,节点 N1 的电平如图 3 所示那样升高。由于此时的升压量大致与时钟信号 CLKA 的振幅 (V_{DD}) 相等,所以节点 N1 升压到大约 $2 \times V_{DD}-V_{th}(Q3)$ 。

[0062] 其结果是,在输出信号 G_k 成为 H 电平的期间,晶体管 Q1 的栅极(节点 N1)、源极(输出端子 OUT)间的电压也保持为较大。即,由于晶体管 Q1 的导通电阻保持为较低,所以输出信号 G_k 随着时钟信号 CLKA 高速地上升,变为 H 电平。此外,此时,晶体管 Q1 在线性区域(非饱和区域)进行动作,所以,输出信号 G_k 的电平上升到与时钟信号 CLKA 的振幅相同的 V_{DD} 。

[0063] 进一步地,在时刻 t_3 ,时钟信号 CLKB 变为 H 电平,时钟信号 CLKA 变为 L 电平时,晶体管 Q1 的导通电阻也保持为较低,输出信号 G_k 随着时钟信号 CLKA 而快速地下降,返回到 L 电平。

[0064] 此外,在时刻 t_3 ,由于下一级的输出信号 G_{k+1} 成为 H 电平,所以单位移位寄存器 SR_k 的晶体管 Q2、Q4 成为导通。由此,输出端子 OUT 通过晶体管 Q2 充分地被放电,可靠地成为 L 电平 (V_{SS})。此外,节点 N1 利用晶体管 Q4 被放电,成为 L 电平。即,单位移位寄存器 SR_k 返回到复位状态。

[0065] 并且,在时刻 t_4 ,下一级的输出信号 G_{k+1} 返回到 L 电平之后,接下来直到输入前一级的输出信号 G_{k-1} 之前,单位移位寄存器 SR_k 维持在复位状态,输出信号 G_k 保持在 L 电平。

[0066] 当总结以上动作时,对于单位移位寄存器 SR_k 来说,在未对输入端子 IN1 输入信号(起动脉冲 SP 或前一级的输出信号 G_{k-1})的期间是复位状态,由于晶体管 Q1 维持截止,所以输出信号 G_k 维持在 L 电平 (V_{SS})。并且,在输入端子 IN1 上输入信号时,单位移位寄存器 SR_k 切换为设置状态。在设置状态,晶体管 Q1 成为导通,所以,时钟端子 CK1 的信号(时钟信号 CLKA)成为 H 电平的期间,输出信号 G_k 成为 H 电平。并且之后,在复位端子 RST 上输入信号(下一级的输出信号 G_{k+1} 或结束脉冲 EN)时,返回到原先的复位状态。

[0067] 根据由这样进行动作的多个单位移位寄存器 SR 构成的多级的移位寄存器,对第一级的单位移位寄存器 SR_1 输入起动脉冲 ST 时,以此为契机,在与时钟信号 CLKA、CLKB 同步的定时使输出信号 G 移位,并且如图 4 所示依次地传送到单位移位寄存器 SR_1 、 SR_2 、 SR_3 ...。在栅极线驱动电路中,这样依次地输出的输出信号 G 作为显示面板的水平(或垂直)扫描信号来使用。

[0068] 下面,将指定的单位移位寄存器 SR 对输出信号 G 进行输出的期间称为该单位移位寄存器 SR 的“选择期间”。

[0069] 并且,对于伪单位移位寄存器 SRD 来说,是在最后一级的单位移位寄存器 SR_n 对输出信号 G_n 进行输出之后利用其输出信号 GD 使单位移位寄存器 SR_n 成为复位状态而设置的。例如,若是栅极线驱动电路,如果在对输出信号 G_n 进行输出之后没有使最后一级的单位移位寄存器 SR_n 成为复位状态,则不必要地将与此对应的栅极线(扫描线)激活,产生显示不

良。

[0070] 并且,伪单位移位寄存器 SRD 根据在对输出信号 GD 进行输出后的定时所输入的结束脉冲 EN 而成为复位状态。如栅极线驱动电路那样,在反复进行信号的移位动作的情况下,可以使用下一帧期间的起动脉冲 ST 代替结束脉冲 EN。

[0071] 此外,如图 2 所示,在使用两相时钟的驱动的情况下,由于各单位移位寄存器 SR 根据自身的下一级的输出信号 G 而成为复位状态,所以,若不是在下一级的单位移位寄存器 SR 至少进行一次动作之后,则不能进行图 3 和图 4 中所示的正常动作。因此,在正常动作之前,需要进行从第一级到最后一段传送伪信号的伪动作。或者,在各单位移位寄存器 SR 的复位端子 RST(节点 N2) 和第二电源端子 S2(高电位侧电源)之间另外设置复位用的晶体管,可以在正常动作之前强制地进行使节点 N2 成为 H 电平的复位动作。但是,在此情况下,另外需要复位用的信号线。

[0072] 在此,详细说明在如上所述的现有的单位移位寄存器 SR 中 a-Si 晶体管的阈值电压的负方向移位的问题。

[0073] 从图 3 的时序图可知,在前一级的输出信号 G_{k-1} 成为 H 电平时,单位移位寄存器 SR_k 的节点 N1 被充电到 H 电平 ($VDD-V_{th}(Q3)$) (时刻 t_1),之后,即使前一级的输出信号 G_{k-1} 返回到 L 电平(时刻 t_2),也在浮动状态下维持在 H 电平。并且,在输出信号 G 是 H 电平的期间(选择期间:时刻 $t_2 \sim$ 时刻 t_3),节点 N1 升压到 $2 \times VDD - V_{th}(Q3)$ 的电平。

[0074] 即,在各单位移位寄存器 SR 中,在其选择期间,晶体管 Q3 的漏极(第二电源端子 S2)是 VDD,源极(节点 N1)是 $2 \times VDD - V_{th}(Q3)$,栅极(输入端子 IN1)是 VSS 的电平,栅极相对于源极和漏极这两者成为负偏置的状态。例如,假定 $VSS = 0V$, $VDD = 30V$ 时,如图 5 所示,晶体管 Q3 的栅极、漏极间电压 V_{gd} 成为 $-3V$,栅极源极间电压 V_{gs} 成为 $-57V$ 左右。

[0075] 图 6 是示出表示 a-Si 晶体管的电位状态和阈值电压的移位的关系的实验结果的图。如该图中虚线所示,a-Si 晶体管的栅极相对于漏极和源极这两者成为低电位的状态时,其阈值电压随时间向负(minus)方向移位。因此,在现有的单位移位寄存器 SR 中,在其选择期间,晶体管 Q3 中产生阈值电压的负方向移位。

[0076] 在单位移位寄存器 SR 中,晶体管 Q3 的阈值电压向负方向移位时,即使输入端子 IN 是 L 电平时,晶体管 Q3 中也流过电流,在非选择期间,向节点 N1 提供电荷,其电平上升。此时,尽管是非选择期间,单位移位寄存器 SR 的晶体管 Q1 导通,产生从其输出端子 OUT 输出作为误信号的输出信号 G 的这样的误动作的问题。

[0077] 与此相对,即使 a-Si 晶体管的栅极相对于漏极是较低的电位,只要栅极和源极是几乎相同电位的状态,则也可减轻阈值电压的移位。例如,如图 6 中的实线所示,即使栅极相对于漏极是较低的电位,若使栅极源极间的电压是 $0V$,则也几乎不产生阈值电压的移位。

[0078] 下面,说明可以解决上述问题的本发明的移位寄存器电路。图 7 是实施方式 1 的单位移位寄存器 SR 的电路图。该单位移位寄存器 SR 相对于图 1 的电路,将晶体管 Q3 置换为双栅极晶体管 Q3D。除此之外的结构与图 1 相同,所以在此省略详细的说明。

[0079] 并且,在本说明书中所谓的“双栅极晶体管”是串联地连接的两个晶体管,两者的栅极相互连接。即,双栅极晶体管 Q3D 由在节点 N1 和第二电源端子 S2 之间串联连接的晶体管 Q3a、Q3b 构成,这些晶体管 Q3a、Q3b 的栅极都连接到输入端子 IN1。在此,将在晶体管 Q3a 和晶体管 Q3b 之间的连接节点定义为“节点 N3”。

[0080] 图 8 是示出图 7 的单位移位寄存器 SR 的动作的时序图。在此,代表性地对第 k 级的单位移位寄存器 SR_k 进行说明。此外,作为单位移位寄存器 SR_k 的初始状态,假定节点 N1 为 L 电平的复位状态,此外,时钟端子 CK1 (时钟信号 CLKA)、复位端子 RST (下一级的输出信号 G_{k+1})、输入端子 IN1 (前一级的输出信号 G_{k-1})、输出端子 OUT (输出信号 G_k) 是 L 电平。

[0081] 从该状态开始,在时刻 t_1 ,时钟信号 CLKA 变为 L 电平,时钟信号 CLKB 变为 H 电平,并且,前一级的输出信号 G_{k-1} (第一级的情况下是起动脉冲 ST) 成为 H 电平时,单位移位寄存器 SR_k 的构成双栅极晶体管 Q3D 的晶体管 Q3a、Q3b 都成为导通,节点 N1 被充电,成为 H 电平。即,单位移位寄存器 SR_k 成为设置状态。此时,节点 N1、N3 的电平都上升到 $VDD-V_{th}(Q3a)$ 。相应地,晶体管 Q1 成为导通。

[0082] 并且,在时刻 t_2 ,时钟信号 CLKB 变为 L 电平,时钟信号 CLKA 变为 H 电平,并且,前一级的输出信号 G_{k-1} 变为 L 电平时,晶体管 Q3a、Q3b 成为截止,节点 N1 在浮动状态下维持在 H 电平。由此,晶体管 Q1 保持在导通状态,输出信号 G_k 随着时钟信号 CLKA 成为 H 电平。此时,节点 N1 的电平升压到大约 $2 \times VDD-V_{th}(Q3a)$ 。

[0083] 在本实施方式中,构成双栅极晶体管 Q3D 的晶体管 Q3a、Q3b 分别采用具有较大的栅极源极叠加电容的晶体管 (使晶体管 Q3a、Q3b 的栅极源极叠加电容较大的方法将在实施方式 9 中进行说明)。由此,在第一输入端子 IN1 和节点 N3 之间的寄生电容较大,在时刻 t_2 ,时钟信号 CLKB 成为 L 电平时,利用通过该寄生电容的耦合,节点 N3 的电平下降到 L 电平 (即,比晶体管 Q3a、Q3b 的阈值电压低的电压)。如果输入端子 IN1 和节点 N3 之间的电容成分充分大,则在时刻 t_2 ,如图 8 所示,节点 N3 的电平下降几乎到 VSS。

[0084] 并且,此时根据电位关系,在晶体管 Q3a 中,第二电源端子 S2 侧为漏极、节点 N3 侧为源极,在晶体管 Q3b 中,节点 N1 侧为漏极、节点 N3 侧为源极。

[0085] 接着,在时刻 t_3 ,时钟信号 CLKB 变为 H 电平,时钟信号 CLKA 变为 L 电平时,输出信号 G_k 返回到 L 电平。与此同时,由于下一级的输出信号 G_{k+1} 成为 H 电平,所以单位移位寄存器 SR_k 的晶体管 Q2、Q4 成为导通,单位移位寄存器 SR_k 返回为复位状态。

[0086] 并且,在时刻 t_4 ,下一级的输出信号 G_{k+1} 返回到 L 电平之后,接下来直到输入前一级的输出信号 G_{k-1} 之前,单位移位寄存器 SR_k 维持在复位状态,输出信号 G_k 保持在 L 电平。

[0087] 如上所述,本实施方式的单位移位寄存器 SR 的信号的移位动作几乎与现有的 (图 1) 相同,由其构成的多级移位寄存器可以进行如图 4 说明的动作。

[0088] 在本实施方式中,如上所述,在时刻 t_2 ,根据前一级的输出信号 G_{k-1} 下降,节点 N3 下降到 L 电平。由此,在时刻 $t_2 \sim$ 时刻 t_3 之间 (选择期间),对于晶体管 Q3a 来说,栅极 (输入端子 IN1) 和源极 (节点 N3) 成为 VSS、漏极 (第二电源端子 S2) 成为 VDD 这样的电位状态,对于晶体管 Q3a 来说,栅极 (输入端子 IN1) 和源极 (节点 N3) 成为 VSS,漏极 (节点 N1) 成为 $2 \times VDD-V_{th}(Q3a)$ 这样的电位状态。

[0089] 即,在根据本实施方式的单位移位寄存器 SR 中,晶体管 Q3a、Q3b 这两者的栅极源极间的电压在选择期间的期间成为几乎 0V。例如,假定 $VSS = 0V$, $VDD = 30V$ 时,如图 9 所示,晶体管 Q3a 的栅极漏极间电压 V_{gd} 成为 $-30V$,栅极源极间电压 V_{gs} 成为约 0V,此外,晶体管 Q3b 的栅极漏极间电压 V_{gd} 成为约 $-57V$,栅极源极间电压 V_{gs} 成为约 0V。

[0090] 在图 6 中,如实线所示,对于 a-Si 晶体管来说,栅极相对于漏极成较低的电位,若栅极与源极为几乎相同电位 (栅极源极间电压约为 0V) 的状态,则几乎不产生阈值电压的

移位。因此,在本实施方式的单位移位寄存器 SR 中,不会产生晶体管 Q3a、Q3b 即双栅极晶体管 Q3D 的阈值电压的负方向移位。因此,能够防止在非选择期间电流流过双栅极晶体管 Q3D 而节点 N1 的电平上升,并且由此防止误动作的产生。

[0091] 在此,对用于在单位移位寄存器 SR 的选择期间晶体管 Q3a、Q3b 的栅极源极间电压成为 0V 以下的条件(即,节点 N3 下降到 VSS 以下的条件)进行了说明。在此, $VSS = 0V$ 。即,各单位移位寄存器 SR 的输出信号 G 的振幅(H电平和L电平之差(Vd))是VDD。

[0092] 此时,将输入端子 IN1 和节点 N3 之间的电容成分(C1)作为Cgs,将没有包含在Cgs中的附随于节点 N3 的寄生电容(C2)作为Cstr时,在图8的时刻 t_2 ,前一级的输出信号 G_{k-1} 从H电平(VDD)变化为L电平($VSS = 0V$)时的单位移位寄存器 SR_k 的节点 N3 的电平变化量由 $VDD \times Cgs / (Cgs + Cstr)$ 表示。由于在时刻 t_2 之前节点 N3 的电平是 $VDD - Vth(Q3a)$,所以为了使节点 N3 下降直到 VSS 以下,需要满足下式(1)。

[0093] (公式1)

$$[0094] \quad \frac{Cgs}{Cgs + Cstr} \times VDD \geq VDD - Vth$$

$$[0095] \quad \therefore Cgs \geq \frac{Cstr \times \{VDD - Vth(Q3a)\}}{Vth(Q3a)} \dots \text{式(1)}$$

[0096] 在本实施方式的单位移位寄存器 SR 中,电容成分 Cgs 是输入端子 IN1 和节点 N3 之间的寄生电容,其基本上是晶体管 Q3a、Q3b 的栅极源极叠加电容。因此,如图10所示,若将晶体管 Q3a、Q3b 的各自的栅极源极叠加电容分别设为 Cgso(Q3a)、Cgso(Q3b)时,则可以成为 $Cgs \approx Cgso(Q3a) + Cgso(Q3b)$,上述式(1)可以变形为下式(2)。

[0097] (公式2)

$$[0098] \quad \frac{Cgso(Q3a) + Cgso(Q3b)}{Cgso(Q3a) + Cgso(Q3b) + Cstr} \times VDD \geq VDD - Vth(Q3a)$$

$$[0099] \quad \therefore Cgso(Q3a) + Cgso(Q3b) \geq \frac{Cstr \times \{VDD - Vth(Q3a)\}}{Vth(Q3a)} \dots \text{式(2)}$$

[0100] 进一步地,假定晶体管 Q3a、Q3b 的各自的栅极源极叠加电容相互相等,将其值作为 Cgso 时,由于 $Cgs \approx 2 \times Cgso$,所以上述式(1)可以变形为下式(3)。

[0101] (公式3)

$$[0102] \quad \frac{2 \times Cgso}{2 \times Cgso + Cstr} \times VDD \geq VDD - Vth(Q3a)$$

$$[0103] \quad \therefore Cgso \geq \frac{Cstr \times \{VDD - Vth(Q3a)\}}{2 \times Vth(Q3a)} \dots \text{式(3)}$$

[0104] 并且,在本实施方式中,示出了在节点 N1 和第二电源端子 S2 之间串联连接两个栅极与第一输入端子 IN1 连接的晶体管的结构,但是,也可以串联连接三个以上的晶体管。这种情况下,如果在这些晶体管之间的各连接节点满足式(1)的条件,则在非选择期间各连接节点在 VSS 以下,可以防止各晶体管的阈值电压的负方向移位。

[0105] 此外,在本实施方式中示出了将本发明的双栅极晶体管应用于移位寄存器电路的例子,但是,也可以广泛应用于以相对于源极和漏极这两者将栅极负偏置的方式进行动作的晶体管。此外,本发明不仅可应用于 a-Si 晶体管,也可应用于有机晶体管等存在阈值

电压负方向移位的问题的各种晶体管。

[0106] 实施方式 2

[0107] 在下面的实施方式中,示出可以应用本发明的双栅极晶体管的移位寄存器电路的具体例子。

[0108] 图 11 是实施方式 2 的单位移位寄存器 SR 的电路图。该单位移位寄存器 SR 相对于图 7 的电路,设置将节点 N1(晶体管 Q1 的栅极)作为输入端、将节点 N2(晶体管 Q2 的栅极)作为输出端的反相器。即,与图 7 不同,晶体管 Q2 的栅极(节点 N2)不连接到复位端子 RST。

[0109] 该反相器由在节点 N2 与第二电源端子 S2 之间进行二极管连接的晶体管 Q5、和连接在节点 N2 与第一电源端子 S1 之间且栅极连接到节点 N1 的晶体管 Q6 构成。晶体管 Q6 的导通电阻设定为比晶体管 Q5 充分小。

[0110] 节点 N1 为 L 电平时,由于晶体管 Q6 截止,所以节点 N2 成为 H 电平 ($V_{DD}-V_{th}(Q5)$)。相反地,节点 N1 为 H 电平时晶体管 Q5、Q6 都导通,但是节点 N2 成为由晶体管 Q5、Q6 的导通电阻之比所决定的电位 ($\approx 0V$) 的 L 电平。即,该反相器是所谓的“比例反相器”。

[0111] 在图 7 的单位移位寄存器 SR_k 中,由于仅在下一级的输出信号 G_{k+1} 成为 H 电平时(即,下一级的选择期间)节点 N2 成为 H 电平,所以晶体管 Q2 仅在此期间导通,使输出端子 OUT 成为低阻抗的 L 电平。并且,在除此以外的非选择期间,晶体管 Q2 变为截止,输出端子 OUT 成为高阻抗(浮动状态)的 L 电平。因此,输出信号 G_k 容易受到噪音和漏电流的影响,动作容易变得不稳定。

[0112] 与此相对,在图 11 的单位移位寄存器 SR_k 中,由于在节点 N1 是 L 电平的期间,由晶体管 Q5、Q6 构成的反相器将节点 N2 维持在 H 电平,所以在非选择期间的期间,晶体管 Q2 保持在导通状态。即,由于非选择期间的输出端子 OUT(输出信号 G)在低阻抗下维持在 L 电平,所以动作稳定。

[0113] 当然,在本实施方式中,也可以得到抑制构成双栅极晶体管 Q3D 的晶体管 Q3a、Q3b 的阈值电压的负方向移位的效果。因此,可以防止在非选择期间节点 N1 的电平上升,可以防止误动作的产生。

[0114] 实施方式 3

[0115] 图 12 是实施方式 3 的单位移位寄存器 SR 的电路图。该单位移位寄存器 SR 相对于图 11 的电路,设置连接在节点 N1 和第一电源端子 S1 之间且栅极连接到节点 N2 的晶体管 Q7。即,晶体管 Q7 是具有连接到节点 N2 的栅电极并且使节点 N1 放电的晶体管。

[0116] 在图 11 的单位移位寄存器 SR_k 中,在下一级的输出信号 G_{k+1} 成为 H 电平时(下一级的选择期间),晶体管 Q4 导通,使节点 N1 放电,但是,在除此以外的非选择期间,节点 N1 在高阻抗(浮动状态)下成为 L 电平。因此,在非选择期间,由于噪音或漏电流将电荷提供给节点 N1 时,节点 N1 的电平上升。此时,晶体管 Q1 导通,产生将输出信号 G 进行输出作为误信号这样的误动作。

[0117] 与此相对,在图 12 的单位移位寄存器 SR 中,在节点 N1 成为 L 电平时,由晶体管 Q5、Q6 构成的反相器将节点 N2 维持在 H 电平,相应地晶体管 Q7 变成导通,所以,在非选择期间的期间,节点 N1 在低阻抗下成为 L 电平。因此,在非选择期间,抑制节点 N1 的电平上升,并且防止上述误动作的产生。

[0118] 并且,与双栅极晶体管 Q3D 相比,晶体管 Q7 的导通电阻足够大,以使双栅极晶体管 Q3D 可以使节点 N1 的电平上升。

[0119] 在本实施方式中,也可以得到抑制构成双栅极晶体管 Q3D 的晶体管 Q3a、Q3b 的阈值电压的负方向移位的效果。在本实施方式中,假定在非选择期间在双栅极晶体管 Q3D 流过电流,向节点 N1 提供电荷,由于该电荷由晶体管 Q7 放出到第一电源端子 S1,所以,难以产生由此导致的误动作。但是,该电流导致单位移位寄存器 SR 的功耗增大或高电位侧电源电位 VDD 的降低。因此,防止双栅极晶体管 Q3D 的阈值电压的负方向移位在本实施方式中也是非常有效的。

[0120] 实施方式 4

[0121] 如实施方式 2、3 中所说明的,在图 11 和图 12 的单位移位寄存器 SR 中,在非选择期间的期间,晶体管 Q2 的栅极(节点 N2)继续地成为 H 电平,由此,可以使输出端子 OUT 成为低阻抗的 L 电平。但是,a-Si 晶体管的栅极相对于源极继续地为正偏置时,阈值电压向正方向移位。在晶体管 Q2 中产生阈值电压的正方向移位时,产生该晶体管 Q2 的导通电阻变高、不能够使输出端子 OUT 充分地成为低阻抗这样的问题。

[0122] 此外,在图 12 的单位移位寄存器 SR 中,由于晶体管 Q7 的栅极也在非选择期间的期间继续地成为 H 电平,所以,产生如下的问题:该晶体管 Q7 的阈值电压也向正方向移位,不能够使节点 N1、输出端子 OUT 充分地成为低阻抗。

[0123] 图 13 是实施方式 4 的单位移位寄存器 SR 的电路图,实施该问题的对策。对于在图 13 的单位移位寄存器 SR 中来说,并联地设置两个使输出端子 OUT 放电的晶体管(晶体管 Q2A、Q2B;相当于图 11 和图 12 的晶体管 Q2)。在此,晶体管 Q2A、Q2B 的栅极连接的节点分别定义为“节点 N2A”、“节点 N2B”。

[0124] 此外,在该单位移位寄存器 SR 中,相当于图 12 的晶体管 Q7,但是,分别设置在节点 N2A、N2B(晶体管 Q7A、Q7B)。即,晶体管 Q7A 是具有连接到节点 N2A 的栅电极并且使节点 N1 放电的晶体管,晶体管 Q7B 是具有连接到节点 N2B 的栅电极并且使节点 N1 放电的晶体管。

[0125] 本实施方式的单位移位寄存器 SR 具有输入预定的控制信号 VFRA 的第一控制端子 TA 和输入控制信号 VFRB 的第二控制端子 TB。控制信号 VFRA、VFRB 是互补的信号,由移位寄存器外部的控制装置(未图示)生成。该控制信号 VFRA、VFRB 以固定的周期切换电平。在栅极线驱动电路中,优选以在显示图像的帧间的消隐期间切换电平(交替)的方式进行控制,例如,以按显示图像的每一帧切换电平的方式进行控制。

[0126] 此外,晶体管 Q8A 连接在第一控制端子 TA 和节点 N2A 之间,晶体管 Q8B 连接在第二控制端子 TB 和节点 N2B 之间。晶体管 Q8A 的栅极连接到节点 N2B,晶体管 Q8B 的栅极连接到节点 N2A。即,对于晶体管 Q8A 和晶体管 Q8B 来说,其一个的主电极(在此是漏极)交叉地连接到彼此的控制电极(栅极)上,构成所谓的触发器电路。

[0127] 进一步地,该单位移位寄存器 SR 具有连接在由晶体管 Q5、Q6 构成的反相器的输出端与节点 N2A 之间的晶体管 Q9A、和连接在该反相器的输出端与节点 N2B 之间的晶体管 Q9B。晶体管 Q9A 的栅极连接到第一控制端子 TA,晶体管 Q9B 的栅极连接到第二控制端子 TB。

[0128] 在控制信号 VFRA 是 H 电平、控制信号 VFRB 是 L 电平的期间,晶体管 Q9A 导通、晶

晶体管 Q9B 截止,所以,由晶体管 Q5、Q6 构成的反相器的输出端连接到节点 N2A。此外,此时晶体管 Q8B 导通,节点 N2A 成为 L 电平。即,在该期间,晶体管 Q2A 被驱动,晶体管 Q2B 成为停止状态。

[0129] 相反地,在控制信号 VFRA 是 L 电平、控制信号 VFRB 是 H 电平的期间,晶体管 Q9A 截止,晶体管 Q9B 导通,所以由晶体管 Q5、Q6 构成的反相器的输出端连接到节点 N2B。此外,此时晶体管 Q8A 导通,节点 N2B 成为 L 电平。即,在此期间,晶体管 Q2B 被驱动,晶体管 Q2A 成为停止状态。

[0130] 这样,晶体管 Q9A、Q9B 起到基于控制信号 VFRA、VFRB 将由晶体管 Q5、Q6 构成的反相器的输出端交替地连接到节点 N2A 和节点 N2B 上的切换电路的功能。

[0131] 在本实施方式中,每次控制信号 VFRA、VFRB 反转时,晶体管 Q2A、Q5A 的对和晶体管 Q2B、Q5B 的对交替地成为停止状态,所以,可以防止这些栅极继续地偏置。因此,可以防止 a-Si 晶体管的阈值的正方向移位导致的误动作,并且可以提高动作的可靠性。

[0132] 在本实施方式中,也可以得到抑制构成双栅极晶体管 Q3D 的晶体管 Q3a、Q3b 的阈值电压的负方向移位的效果。由此,可以防止单位移位寄存器 SR 的误动作的产生、功耗的增大以及电源电压的降低。

[0133] 实施方式 5

[0134] 在上述的各实施方式中,对于双栅极晶体管 Q3D 来说,在单位移位寄存器 SR 的节点 N1 充电时,以源极跟随器模式进行动作。即,伴随着进行节点 N1 的充电,晶体管 Q3b 的栅极(输入端子 IN1)、源极(节点 N1)间电压变小,驱动能力(流过电流的能力)降低,所以,为了将节点 N1 充电到充分高的电平,需要某程度的时间。这妨碍了移位寄存器动作的快速化。

[0135] 图 14 是实施方式 5 的单位移位寄存器 SR 的电路图,实施该问题的对策。对于该单位移位寄存器 SR 来说,在级联连接的情况下,如图 15 所示,采用彼此相位不同的三相时钟 CLKA、CLKB、CLKC 进行驱动。

[0136] 此外,各单位移位寄存器 SR 具有第一输入端子 IN1 以及第二输入端子 IN2 这两个作为输入端子,在第一输入端子 IN1 上连接前两级的输出端子 OUT,在第二输入端子 IN2 上连接前一级的输出端子 OUT。此外,在第一级的单位移位寄存器 SR1 的第一输入端子 IN1、第二输入端子 IN2 上分别输入起动脉冲 ST1、ST2。起动脉冲 ST1、ST2 激活(变为 H 电平)的定时不同。起动脉冲 ST2 在起动脉冲 ST1 之后激活。

[0137] 对于本实施方式的单位移位寄存器 SR 来说,作为对节点 N1 进行充电的单元,包含双栅极晶体管 Q3D、对其栅极节点(定义为“节点 N4”)进行充电的晶体管 Q10、使节点 N4 升压的电容元件 C2 和使节点 N4 放电的晶体管 Q4。如图 14 所示,晶体管 Q10 连接在节点 N4 和第二电源端子 S2 之间,栅极连接到第一输入端子 IN1。电容元件 C2 连接在节点 N4 和第二输入端子 IN2 之间。晶体管 Q4 连接在节点 N4 和第一电源端子 S1 之间,栅极连接到复位端子 RST。

[0138] 该单位移位寄存器 SR 具有将节点 N4 作为输入端的反相器(晶体管 Q5、Q6),分别使输出端子 OUT 以及节点 N1 放电的晶体管 Q2、Q7 的栅极(节点 N2)都连接到该反相器的输出端。此外,在节点 N4 和第一电源端子 S1 之间,与晶体管 Q4 并联地连接晶体管 Q11,其栅极连接到节点 N2。

[0139] 图 14 的单位移位寄存器 SR 的基本动作原理与实施方式 1 中说明的几乎相同,但是,特征在于,使用前一级和前二级的各自的输出信号这两个信号,使对节点 N1 进行充电的双栅极晶体管 Q3D 的栅极充电、升压。

[0140] 即,在单位移位寄存器 SR_k 中,对于双栅极晶体管 Q3D 的栅极(节点 N4)来说,首先,在前二级的输出信号 G_{k-2} 成为 H 电平时,由晶体管 Q10 预充电到 $VDD-V_{th}(Q10)$ 的电平。接下来,前一级的输出信号 G_{k-1} 成为 H 电平时,节点 N4 利用电容元件 C2 而升压到 $2 \times VDD - V_{th}(Q10)$ 左右。即,双栅极晶体管 Q3D 的栅极电位比图 1 的电路的情况下高 VDD 左右,该双栅极晶体管 Q3D 可以不以源跟随模式利用非饱和区域中的动作对节点 N1 进行充电。因此,节点 N1 被高速地充电,成为 H 电平 (VDD),所以解决了上述问题。

[0141] 并且,在本实施方式中,在选择期间,双栅极晶体管 Q3D 的栅极(节点 N4)成为浮动状态,所以,由下一级的输出信号 G_{k+1} 控制的晶体管 Q4 被用于该节点 N4 的放电(这一点与图 7 的晶体管 Q4 不同)。晶体管 Q4 使节点 N4 成为 L 电平时,由晶体管 Q5、Q6 构成的反相器使节点 N2 成为 H 电平,相应地晶体管 Q7 导通,使节点 N1 放电。即,在本实施方式中,根据输入到复位端子 RST 的信号,使节点 N1 放电的分配任务(即,图 7 中的晶体管 Q4 的分配任务)由晶体管 Q7 承担。

[0142] 此外,对于晶体管 Q11 来说,在节点 N2 成为 H 电平的期间(非选择期间)进行动作,以使将节点 N4 维持在低阻抗的 L 电平,由此防止该单位移位寄存器 SR 的误动作。

[0143] 在本实施方式中,也可以得到抑制构成双栅极晶体管 Q3D 的晶体管 Q3a、Q3b 的阈值电压的负方向移位的效果。由此,可以防止单位移位寄存器 SR 的误动作的产生、功耗的增大以及电源电压的降低。

[0144] 此外,在图 14 的单位移位寄存器 SR 中,在晶体管 Q10 对节点 N4 充电之后,前二级的输出信号 G_{k-2} 成为 L 电平时,晶体管 Q10 的栅极成为比源极以及漏极低的电位。由此,在晶体管 Q10 中,也存在产生与图 1 的晶体管 Q3 相同的阈值电压的负方向移位的问题。

[0145] 因此,为了避免该问题,也可以对图 14 的晶体管 Q10 应用本发明的双栅极晶体管。即,如图 16 所示,可以将该晶体管 Q10 置换为由晶体管 Q10a、Q10b 构成的双栅极晶体管 Q10D。该双栅极晶体管 Q10D 也与上述双栅极晶体管 Q3D 相同地,使该栅极和节点 N6 之间的寄生电容变大,以使在其栅电极从 H 电平变化为 L 电平时,晶体管 Q10a、Q10b 之间的连接节点(定义为“节点 N10”)与此相应地下降到 L 电平。

[0146] 根据这种结构,在双栅极晶体管 Q10D 即双栅极晶体管 Q10a、Q10b 中,可以得到抑制阈值电压的负方向移位的效果,可以防止本实施方式的单位移位寄存器 SR 的误动作的产生、功耗的增大以及电源电压的降低。

[0147] 实施方式 6

[0148] 在实施方式 4 中,说明了解决用于在非选择期间使输出端子 OUT 和节点 N1 分别成为低阻抗的 L 电平的晶体管 Q2、Q7 中的阈值电压的正方向移位的问题的方法之一。在本实施方式中也示出解决该方法。

[0149] 图 17 是实施方式 6 的单位移位寄存器 SR 的电路图。该单位移位寄存器 SR 具有两个时钟端子。即,除了晶体管 Q1 的漏极连接的第一时钟端子 CK1,还具有输入与第一时钟端子中所输入的相位不同的时钟信号的第二时钟端子 CK2。

[0150] 此外,在节点 N1 和输出端子 OUT 之间,设置栅极连接到第一时钟端子 CK1 的晶体

管 Q12, 并且, 在由晶体管 Q5、Q6 构成的反相器的输出端 (定义为“节点 N5”) 和第一电源端子 S1 之间, 设置栅极连接到第一时钟端子 CK1 的晶体管 Q13。进一步地, 在本实施方式中, 在输出端子 OUT 和第一电源端子 S1 之间所连接的晶体管 Q2 的栅极连接到第二时钟端子 CK2。

[0151] 由晶体管 Q5、Q6 构成的反相器与实施方式 2、3 相同地, 将节点 N1 作为输入端, 但是, 不同点在于晶体管 Q5 的栅极以及漏极连接到第二时钟端子 CK2。即, 输入到第二时钟端子 CK2 的时钟信号成为该反相器的电源。

[0152] 图 17 的单位移位寄存器 SR 的基本动作原理与实施方式 1 中说明的几乎相同, 但是其特征在于, 由输入到第二时钟端子 CK2 的时钟信号提供功率, 由此, 由晶体管 Q5、Q6 构成的反相器被激活, 此外, 其输出由晶体管 Q13 强制地变为 L 电平。

[0153] 在此, 也代表性地对第 k 级单位移位寄存器 SR_k 的动作进行说明。为了简单, 在该单位移位寄存器 SR_k 中, 对第一时钟端子 CK1 输入时钟信号 CLKA, 对第二时钟端子 CK2 输入时钟信号 CLKB。

[0154] 首先, 说明单位移位寄存器 SR_k 的非选择期间的动作。在非选择期间, 由于节点 N1 是 L 电平, 所以, 由晶体管 Q5、Q6 构成的反相器由时钟信号 CLKB 激活时, 节点 N5 变成 H 电平。此外, 当该反相器成为非激活时, 晶体管 Q13 因时钟信号 CLKA 而变为导通, 所以节点 N5 成为 L 电平。即, 在非选择期间, 节点 N5 以大致与时钟信号 CLKB 相同的方式, 电平进行变化。因此, 晶体管 Q7 在时钟信号 CLKB 成为 H 电平的定时, 使节点 N1 成为低阻抗的 L 电平。

[0155] 晶体管 Q7 在时钟信号 CLKB 为 L 电平时截止, 但是, 在此期间, 由于时钟信号 CLKA 使晶体管 Q12 导通, 所以, 节点 N1 的电荷利用晶体管 Q12 释放到输出端子 OUT。通常, 由于在输出端子 OUT 上连接电容性的负载 (在栅极线驱动电路的情况下, 是显示面板的栅极线), 所以, 此时释放到输出端子 OUT 的程度的电荷不会使输出端子 OUT 成为 H 电平。

[0156] 这样, 在单位移位寄存器 SR_k 的非选择期间, 晶体管 Q7 和晶体管 Q12 以交替地使节点 N1 放电的方式进行动作, 由此, 防止节点 N1 的电平上升。晶体管 Q7、Q12 的栅电极不被继续地正偏置, 所以也抑制了它们的阈值电压的正方向移位。

[0157] 此外, 晶体管 Q2 在时钟信号 CLKB 成为 H 电平时导通, 使输出端子 OUT 成为低阻抗的 L 电平。即, 晶体管 Q2 的栅极也不继续地正偏置, 所以同样抑制了其阈值电压的正方向移位。

[0158] 此外, 前一级的输出信号 G_{k-1} 成为 H 电平, 在成为单位移位寄存器 SR_k 的非选择期间时, 节点 N1 成为 H 电平。在此期间, 即使由晶体管 Q5、Q6 构成的反相器因时钟信号 CLKB 而被激活, 节点 N5 也是 L 电平, 所以晶体管 Q7 成为截止, 维持节点 N1 的 H 电平。并且, 当时钟信号 CLKA 成为 H 电平时, 晶体管 Q12 的栅极成为 H 电平, 但是, 与此同时, 输出端子 OUT (输出信号 G_k) 也成为 H 电平, 所以晶体管 Q12 不导通, 节点 N1 在浮动状态下维持在 H 电平 (由于时钟信号 CLKA 而被升压)。因此, 单位移位寄存器 SR_k 可以正常地对输出信号 G_k 进行输出。

[0159] 如上所述, 在本实施方式的单位移位寄存器 SR 中, 节点 N1 的电平也与实施方式 1 相同地变化。即, 该单位移位寄存器 SR 进行动作, 以使在非选择期间维持在复位状态, 在选择期间成为设置状态。因此, 可以进行与实施方式 1 相同的信号的移位动作。

[0160] 并且, 在上述说明中, 晶体管 Q2 的源极连接到第一电源端子 S1 上, 但是, 也可以连

接到第一时钟端子 CK1 上。在这种情况下,输入到晶体管 Q2 的栅极的时钟信号 CLKB 成为 L 电平、该晶体管 Q2 成为截止时,输入到源极的时钟信号 CLKA 成为 H 电平,所以,晶体管 Q2 的栅极相对于源极成为与负偏置等价的状态。由此,向正方向移位后的阈值电压向负方向返回并恢复,所以,减小了晶体管 Q2 的驱动能力的下降,得到电路的动作寿命延长的效果。

[0161] 在本实施方式中,也得到抑制构成双栅极晶体管 Q3D 的晶体管 Q3a、Q3b 的阈值电压的负方向移位的效果。由此,可防止单位移位寄存器 SR 误动作的产生、功耗的增大以及电源电压的下降。

[0162] 实施方式 7

[0163] 在实施方式 7 中,示出了解决用于在非选择期间使输出端子 OUT 和节点 N1 分别成为低阻抗的 L 电平的晶体管 Q2、Q7 中的阈值电压的正方向移位的问题的方法。

[0164] 图 18 是实施方式 7 的单位移位寄存器 SR 的电路图。同样地,除了晶体管 Q1 的漏极连接的第一时钟端子 CK1 以外,该单位移位寄存器 SR 还具有输入与第一时钟端子上所输入的相位不同的时钟信号的第二时钟端子 CK2。

[0165] 图 18 的电路具有与图 12 类似的结构,但是,不同之处在于,将晶体管 Q1 的栅极节点(节点 N1)作为输入端、将晶体管 Q2 的栅极节点(节点 N2)作为输出端的反相器是电容性负载型的反相器。即,该反相器将负载电容 C3 作为负载元件。此外,该反相器与通常的反相器不同,输入到第一时钟端子 CK1 的时钟信号成为电源。即,负载电容 C3 连接在作为该反相器的输出端子的节点 N2 和第一时钟端子 CK1 之间。负载电容 C3 是该反相器的负载元件,并且,起到第一时钟端子 CK1 和节点 N2 的耦合电容的功能。

[0166] 进一步地,在图 18 的电路中,与栅极连接到上述反相器的输出端上的晶体管 Q2 并联地连接晶体管 Q14。该晶体管 Q14 的栅极连接到第二时钟端子 CK2。

[0167] 图 18 的单位移位寄存器 SR 的基本动作原理与实施方式 1 中说明的几乎相同,但是其特征在于,根据输入到第一时钟端子 CK1 的时钟信号提供功率,由此,由负载电容 C3 和晶体管 Q6 构成的反相器被激活。

[0168] 在此,代表性地对第 k 级单位移位寄存器 SR_k 的动作进行说明。为了简单,在该单位移位寄存器 SR_k 中,在第一时钟端子 CK1 上输入时钟信号 CLKA,在第二时钟端子 CK2 上输入时钟信号 CLKB。

[0169] 首先,说明单位移位寄存器 SR_k 的非选择期间的动作。在非选择期间,由于节点 N1 是 L 电平,所以由负载电容 C3 和晶体管 Q6 构成的反相器由时钟信号 CLKA 激活时,节点 N2 变成 H 电平。此外,当该反相器成为非激活时,由于通过负载电容 C3 的耦合,所以,根据时钟信号 CLKA 的下降,节点 N2 成为 L 电平。即,在非选择期间,对于节点 N2 来说,以与时钟信号 CLKA 基本相同的方式,电平进行变化。因此,晶体管 Q7 在时钟信号 CLKA 成为 H 电平的定时,使节点 N1 成为低阻抗的 L 电平。

[0170] 此外,晶体管 Q2 也与晶体管 Q7 相同地,在与时钟信号 CLKA 同步的定时导通,由此,使输出端子 OUT 成为低阻抗的 L 电平。时钟信号 CLKA 为 L 电平时,晶体管 Q2 截止,但是,此时晶体管 Q14 由于时钟信号 CLKB 而导通,使输出端子 OUT 成为低阻抗的 L 电平。

[0171] 这样,在单位移位寄存器 SR_k 的非选择期间,晶体管 Q7 进行动作,以使在与时钟信号 CLKA 同步的定时使节点 N1 放电,由此,防止节点 N1 的电平上升。此外,晶体管 Q2 和晶体管 Q14 交替地使输出端子 OUT 放电,由此,防止产生作为误信号的输出信号 G_k。由于这些

晶体管 Q2、Q7、Q14 的栅电极不继续地正偏置,所以,它们的阈值电压的正方向移位被抑制。

[0172] 此外,前一级的输出信号 G_{k-1} 成为 H 电平,在成为单位移位寄存器 SR_k 的选择期间时,该单位移位寄存器 SR_k 的双栅极晶体管 Q3D 导通,所以,节点 N1 成为 H 电平。此时,由负载电容 C3 和晶体管 Q6 构成的反相器是非激活的,节点 N2 成为 L 电平。并且,时钟信号 CLKA 成为 H 电平时,该反相器被激活,但是由于晶体管 Q6 导通,所以节点 N2 维持 L 电平。因此,在选择期间,维持晶体管 Q7 的截止,节点 N1 在浮动状态下保持在 H 电平(由于时钟信号 CLKA 而被升压)。因此,单位移位寄存器 SR_k 可以正常地对输出信号 G_k 进行输出。

[0173] 如上所述,在本实施方式的单位移位寄存器 SR 中,节点 N1 的电平也与实施方式 1 相同地变化。即,该单位移位寄存器 SR 进行动作,以使在非选择期间维持在复位状态,在选择期间成为设置状态。因此,可以进行与实施方式 1 相同的信号的移位动作。

[0174] 在本实施方式中,也得到抑制构成双栅极晶体管 Q3D 的晶体管 Q3a、Q3b 的阈值电压的负方向移位的效果。因此,可以防止单位移位寄存器 SR 误动作的产生、功耗的增大以及电源电压的下降。

[0175] 实施方式 8

[0176] 在实施方式 8 中,示出了将本发明的双栅极晶体管 Q3D 应用于可以切换信号的移位方向的移位寄存器(双方向移位寄存器)的例子。

[0177] 图 19 是实施方式 8 的单位移位寄存器 SR 的电路图。该单位移位寄存器 SR 是双向移位寄存器。该单位移位寄存器 SR 的电路结构本身几乎与图 11 相同,但是将晶体管 Q4 置换为本发明的双栅极晶体管 Q4D(晶体管 Q4a、Q4b)。与上述双栅极晶体管 Q3D 相同地,对于该双栅极晶体管 Q4D 来说,也在其栅电极从 H 电平变为 L 电平时,以使与此相应地晶体管 Q4a、Q4b 之间的连接节点(定义为“节点 N6”)下降到 L 电平的方式,使该栅极和节点 N6 之间的寄生电容变大。

[0178] 仅进行一个方向的移位的单位移位寄存器基本上在输入端子上输入信号,成为设置状态,在复位端子上输入信号,成为复位状态,在双向移位寄存器中,根据信号的移位方向,输入端子和复位端子在功能上交替,所以,它们之间没有区别。为了说明的简便,将双栅极晶体管 Q3D 的栅极连接的端子称为“第一输入端子 IN1”,将双栅极晶体管 Q4D 的栅极连接的端子称为“第二输入端子 IN2”。

[0179] 此外,在作为双向移位寄存器的单位移位寄存器 SR 上输入决定信号的移位方向用的控制信号即第一电压信号 VN 以及第二电压信号 VR。双栅极晶体管 Q3D 连接在输入第一电压信号 VN 的第一电压信号端子 TN 和节点 N1 之间,双栅极晶体管 Q4D 连接在与输入第二电压信号 VR 的第二电压信号端子 TR 之间。第一电压信号 VN 和第二电压信号 VR 是互补的信号。

[0180] 例如,第一电压信号 VN 为 H 电平(VDD),第二电压信号 VR 为 L 电平(VSS)时,由于在图 19 中第一电压信号端子 TN 成为 VDD,第二电压信号端子 TR 成为 VSS,所以,双栅极晶体管 Q3D 成为节点 N1 的充电电路,双栅极晶体管 Q4D 成为节点 N1 的放电电路。即,在此状态下,第一输入端子 IN1 起到图 11 的输入端子 IN1 的作用,第二输入端子 IN2 起到图 11 的复位端子 RST 的作用。

[0181] 相反地,第一电压信号 VN 为 L 电平(VSS),第二电压信号 VR 为 H 电平(VDD)时,双栅极晶体管 Q3D 成为节点 N1 的放电电路,双栅极晶体管 Q4D 成为节点 N1 的充电电路。即,

在此状态下,第一输入端子 IN1 起到图 11 的复位端子 RST 的作用,第二输入端子 IN2 起到图 11 的输入端子 IN1 的作用。

[0182] 即,根据如图 2 所示地级联连接该单位移位寄存器 SR 而构成的多级移位寄存器,在第一电压信号 VN 为 H 电平,第二电压信号 VR 为 L 电平的情况下,按输出信号 G1、G2、G3... 的顺序激活(正方向移位)。相对地,在第一电压信号 VN 为 L 电平,第二电压信号 VR 为 H 电平的情况下,按输出信号 G_n 、 G_{n-1} 、 G_{n-2} ... 的顺序激活(反方向移位)。

[0183] 因此,在本实施方式中,当正方向移位的动作时,在构成双栅极晶体管 Q3D 的晶体管 Q3a、Q3b 中,得到抑制阈值电压的负方向移位的效果。此外,当反方向的移位动作时,在构成双栅极晶体管 Q4D 的晶体管 Q4a、Q4b 中,得到抑制阈值电压的负方向移位的效果。因此,在本实施方式中,也可以防止单位移位寄存器 SR 误动作的产生、功耗的增大以及电源电压的下降。

[0184] 并且,在图 19 中,相对于以实施方式 2(图 11)的单位移位寄存器 SR 的结构为基础的双向移位寄存器,示出了采用本发明的双栅极晶体管 Q3D、Q4D 的例子,但是,对双向移位寄存器应用本发明并不限于此。下面示出本实施方式的变形例。

[0185] 例如,图 20 是相对于以实施方式 3(图 12)的单位移位寄存器 SR 为基础的双向移位寄存器,采用双栅极晶体管 Q3D、Q4D 的例子。即,相对于图 19 的电路,设置在非选择期间使节点 N1 放电的晶体管 Q7。此外,例如,图 21 和图 22 分别是相对于以实施方式 7(图 18)和实施方式 4(图 13)的单位移位寄存器 SR 为基础的双向移位寄存器,应用双栅极晶体管 Q3D、Q4D 的例子。在这些变形例中,也都得到与上述效果相同的效果。

[0186] 实施方式 9

[0187] 如上所述,在双栅极晶体管 Q3D 中,当晶体管 Q3a、Q3b 的栅极(单位移位寄存器 SR 的输入端子 IN1)从 H 电平(VDD)变为 L 电平(VSS = 0V)时的晶体管 Q3a、Q3b 之间的节点 N3 的电平的变化量,在使输入端子 IN1 和节点 N3 之间的电容成分为 C_{gs} 、使不包含在 C_{gs} 中的附随于节点 N3 的寄生电容为 C_{str} 时,由 $VDD \times C_{gs} / (C_{gs} + C_{str})$ 表示。即,输入端子 IN1 和节点 N3 之间的电容成分 C_{gs} 比寄生电容 C_{str} 越大(即,附随于节点 N3 的全部寄生电容中所占的电容成分 C_{gs} 的比率越大),可使节点 N3 下降到更低的电平。

[0188] 因此,在本实施方式中,说明用于使双栅极晶体管 Q3D 中的输入端子 IN1 和节点 N3 之间的电容成分变大的方法。一般,对于电场效应型晶体管来说,作为寄生电容,在栅极和源极/漏极之间具有叠加电容。这样,如图 23 所示,作为寄生电容,双栅极晶体管 Q3D 具有晶体管 Q3a 的栅极漏极叠加电容 C_{gdo} (Q3a) 以及栅极源极叠加电容 C_{gso} (Q3a)、和晶体管 Q3b 的栅极漏极叠加电容 C_{gdo} (Q3b) 以及栅极源极叠加电容 C_{gso} (Q3b)。

[0189] 这些中的有助于输入端子 IN1 和节点 N3 之间的电容成分(C_{gs})的是晶体管 Q3a、Q3b 的栅极源极叠加电容 C_{gso} (Q3a)、 C_{gso} (Q3b),在本发明中,优选这些电容值充分大。

[0190] 图 24(a)、(b) 是示出本实施方式的双栅极移位寄存器 Q3D 的结构的图。图 24(a) 是双栅极移位寄存器 Q3D 的截面图,图 24(b) 是其上面图。并且,图 24(a) 对应于沿图 24(b) 所示的 A-A 线的截面。

[0191] 该双栅极移位寄存器 Q3D 是在栅电极上的源极/漏极区域的所谓的“底栅型晶体管”。即,该双栅极移位寄存器 Q3D 由形成在玻璃衬底 10 上的栅电极 11、形成在栅电极 11 上的栅极绝缘膜 12、形成在栅极绝缘膜 12 上的活性区域 13(本征硅)、形成在活性区域 13

上的接触层 14(N+ 型硅) 构成。接触层 14 成为晶体管 Q3a、Q3b 的源极 / 漏极, 在其上分别形成晶体管 Q3a 的漏极布线 15、晶体管 Q3b 的漏极布线 16、晶体管 Q3a、Q3b 的源极布线 17。

[0192] 例如, 在图 7 的单位移位寄存器 SR 中, 栅电极 11 连接到单位移位寄存器 SR 的输入端子 IN1, 晶体管 Q3a 的漏极布线 15 连接到第二电源端子 S2, 晶体管 Q3b 的漏极布线 16 连接到节点 N1。并且, 晶体管 Q3a、Q3b 的源极布线 17 成为节点 N3。

[0193] 如图 24(b) 所示, 在本实施方式中, 使成为节点 N3 的布线 17 的图形比其他布线 15、16 大 (使宽度变大)。这样, 栅电极 11 和布线 17 对置的面积变大, 可使叠加电容 $C_{gso}(Q3a)$ 、 $C_{gso}(Q3b)$ 变大。即, 可以使在输入端子 IN1 和节点 N3 之间的电容成分 ($C_{gs} \approx C_{gso}(Q3a) + C_{gso}(Q3b)$) 变大。

[0194] 其结果是, 双栅极移位寄存器 Q3D 的栅极从 H 电平变为 L 电平时, 可以使晶体管 Q3a、Q3b 间的节点 N3 的电平充分地降低到较低的电平, 抑制阈值电压的负方向移位的本发明的效果提高。

[0195] 此时, 晶体管 Q3a 的漏极布线 15 和晶体管 Q3b 的漏极布线 16 的图形也可以较大, 可得到上述效果。但是, 由于这样时双栅极移位寄存器 Q3D 的形成面积明显增大, 所以, 如图 24(b) 所示, 优选仅成为节点 N3 的源极布线 17 的图形变大。即, 在图 23 中, 维持 $C_{gdo}(Q3a)$ 和 $C_{gdo}(Q3b)$ 的值, 并且仅使 $C_{gso}(Q3a)$ 和 $C_{gso}(Q3b)$ 的值增大。其结果是, $C_{gso}(Q3a) > C_{gdo}(Q3a)$ 以及 $C_{gso}(Q3b) > C_{gdo}(Q3b)$ 的关系成立。

[0196] 但是, 如本实施方式所示, 将成为节点 N3 的布线 17 的宽度形成得较宽时, 不仅电容成分 C_{gs} , 不包含在该 C_{gs} 中的节点 N3 的寄生电容 C_{str} 也变大, 但是, 几乎没有伴随着寄生电容 C_{str} 的增加。

[0197] 寄生电容 C_{str} 是布线 17 的“边缘电容 (fringe capacitor)”, 如布线 17 中的对接地电容或例如若在液晶显示装置中玻璃衬底 10 的上方所配置的对置电极 (公共电极) 和布线 17 之间的寄生电容等。对于接地电极或公共电极来说, 离布线 17 的距离较远, 所以, 即使布线 17 的宽度改变, 上述边缘电容的值也几乎没有变化。其结果是, 在本实施方式中, 即使将布线 17 的宽度形成得较宽, 也几乎没有伴随着寄生电容 C_{str} 的增加是其原因。

[0198] 与此相对, 栅极源极叠加电容 $C_{gso}(Q3a)$ 、 $C_{gso}(Q3b)$ 能够被看作布线 17 和栅电极 11 对置地构成的并行平板型的电容器。由此, 如果增大布线 17 的宽度, 则 $C_{gso}(Q3a)$ 、 $C_{gso}(Q3b)$ 的值基本上与其成比例地变大。

[0199] 因此, 根据本实施方式, 可保持寄生电容 C_{str} 的值, 同时电容成分 C_{gs} 的值变大。也就是, 在附随于节点 N3 的寄生电容中所占的电容成分 C_{gs} 的比例可以变大。其结果是, 在晶体管 Q3a、Q3b 的栅极 (单位移位寄存器 SR 的输入端子 IN1) 从 H 电平变为 L 电平时, 节点 N3 下降到更低的电平, 从而得到上述效果。

[0200] 此外, 在上述说明中示出了底栅型晶体管的例子, 但是, 本实施方式也可应用于例如在活性区域 13 上配置栅电极 11 的“顶栅型晶体管”。图 25(a)、(b) 示出了双栅极移位寄存器 Q3D 是顶栅型晶体管的情况的例子。

[0201] 在顶栅型晶体管的情况下, 如图 25(a), 栅电极 11 由横跨活性区域 13 上的线状图形形成。由于晶体管 Q3a 的漏极区域 151、晶体管 Q3b 的漏极区域 161 和晶体管 Q3a、Q3b 的源极区域 171 形成在栅电极 11 下的活性区域 13 内, 所以, 在这些之上形成用于与上层布线连接的触点 18。图 25(b) 示出了该布线的图形。

[0202] 在这种情况下,也使构成节点 N3 的布线 17 的图形比其他布线 15、16 大。由此,可以使栅电极 11 和布线 17 对置的面积变大,使叠加电容 $C_{gso}(Q3a)$ 、 $C_{gso}(Q3b)$ 变大,可得到与上述效果相同的效果。

[0203] 并且,本实施方式可应用在实施方式 1 ~ 8 中的所有双栅极晶体管 Q3D。此外,以上仅说明了双栅极晶体管 Q3D,但是明显地,也可应用于在图 16 中示出的实施方式 5 的变形例中的双栅极晶体管 Q10D 以及在实施方式 8 中的双栅极晶体管 Q4D。

[0204] 实施方式 10

[0205] 在上述实施方式中,使双栅极晶体管 Q3D 的节点 N3 的电平下降的单元是在其栅极(输入端子 IN1)和节点 N3 之间的寄生电容(晶体管 Q3a、Q3b 的栅极源极叠加电容)。

[0206] 如上所述,为了使节点 N3 的电平下降到更低的电平,可以使该栅极和节点 N3 之间的电容成分变大。因此,在本实施方式中,如图 26(a),在双栅极晶体管 Q3D 的栅极和节点 N3 之间连接电容元件 C4。由此,即使不采用如实施方式 9 的方法,也可以增大栅极和节点 N3 之间的电容成分,可更可靠地使节点 N3 下降到 L 电平。即,可更可靠地防止双栅极晶体管 Q3D 的阈值电压的负方向移位。

[0207] 本实施方式可应用在实施方式 1 ~ 8 中的所有双栅极晶体管 Q3D 中。此外,对于实施方式 8 中的双栅极晶体管 Q4D 也可以采用。在这种情况下,如图 26(b),可以在双栅极晶体管 Q4D 的栅极和节点 N6 之间连接电容元件 C5。此外,也可应用于图 16 所示的实施方式 5 的变形例中的双栅极晶体管 Q10D,在这种情况下,如图 26(c) 所示,可以在双栅极晶体管 Q10D 的栅极和节点 N10 之间连接电容元件 C6。

[0208] 实施方式 11

[0209] 在上述实施方式中,使双栅极晶体管 Q3D 的节点 N3 的电平下降的单元是其栅极(输入端子 IN1)和节点 N3 之间的电容成分,但是也可以使用二极管。

[0210] 图 27(a) 是示出本实施方式的双栅极晶体管 Q3D 的图。如该图所示,在双栅极晶体管 Q3D 的栅极和节点 N3 之间,以栅极侧成为阴极、节点 N3 成为阳极的方式连接二极管 D1。在这种情况下,当双栅极晶体管 Q3D 的栅极从 H 电平变为 L 电平时,与此伴随地节点 N3 下降到 L 电平。因此,根据图 27(a) 的双栅极晶体管 Q3D,也得到与实施方式 1 相同的抑制阈值电压的负方向移位这样的效果。

[0211] 此外,在上述各实施方式中,节点 N3 的电平下降时,该节点 N3 在浮动状态下成为 L 电平。由此,在晶体管 Q3a、Q3b 中产生漏电流时,节点 N3 的电平上升,产生本发明的效果降低的问题。

[0212] 与此相对,在图 27(a) 的双栅极晶体管 Q3D 中,即使节点 N3 的电平由于漏电流而上升,其电荷也通过二极管 D1 被放电。即,在产生漏电流的情况下,节点 N3 的电平没有变得比二极管 D1 的阈值电压大,所以,也可得到能够解决上述问题的效果。

[0213] 本实施方式可应用在实施方式 1 ~ 8 的所有单位移位寄存器 SR 的双栅极晶体管 Q3D 中。此外,也可应用于实施方式 8 中的单位移位寄存器 SR 的双栅极晶体管 Q4D。在这种情况下,如图 27(b),在双栅极晶体管 Q4D 的栅极和节点 N6 之间,以栅极侧成为阴极、节点 N6 成为阳极的方式连接二极管 D2。此外,也可应用于在图 16 中示出的实施方式 5 的变形例的双栅极晶体管 Q10D 中,在这种情况下,如图 27(c) 所示,可在双栅极晶体管 Q10D 的栅极和节点 N10 之间,以栅极侧成为阴极、节点 N10 侧成为阳极的方式连接二极管 D3。

[0214] 实施方式 12

[0215] 在本实施方式中,使用晶体管作为使双栅极晶体管 Q3D 的节点 N3 的电平下降的单元。

[0216] 图 28(a) 是示出本实施方式的双栅极晶体管 Q3D 的图。如该图所示,在双栅极晶体管 Q3D 的栅极和节点 N3 之间连接晶体管 Q3c,该晶体管 Q3c 在输入到该栅极中的信号(前一级的输出信号 G_{k-1}) 从 H 电平变为 L 电平时导通。例如,图 29 是将图 28(a) 的双栅极晶体管 Q3D 用于图 12 的单位移位寄存器 SR_k 的例子。

[0217] 在级联连接单位移位寄存器 SR 的情况下,由于在第 k 级的单位移位寄存器 SR_k 的输入端子 IN1 上输入其前一级的输出信号 G_{k-1} ,所以,输入到双栅极晶体管 Q3D 的栅极中的信号(前一级的输出信号 G_{k-1}) 从 H 电平变为 L 电平时,为了使晶体管 Q3c 导通,可以将晶体管 Q3c 的栅极连接到时钟端子 CK1。

[0218] 例如,作为单位移位寄存器 SR_k ,假定在时钟端子 CK1 上输入时钟信号 CLKA 时,其前一级的输出信号 G_{k-1} 在时钟信号 CLKB 的上升时刻成为 H 电平。前一级的输出信号 G_{k-1} 成为 H 电平时,晶体管 Q3a、Q3b 导通,节点 N1、N3 成为 H 电平。此时,由于输入到时钟端子 CK1 的时钟信号 CLKA 是 L 电平,所以晶体管 Q3c 成为截止。

[0219] 之后,前一级的输出信号 G_{k-1} 变为 L 电平时,晶体管 Q3a、Q3b 截止。此时,由于时钟信号 CLKA 成为 H 电平,所以晶体管 Q3c 导通。其结果是,节点 N3 利用晶体管 Q3c 被放电,下降到 L 电平。即,在晶体管 Q3a、Q3b 中,防止栅极相对于源极和漏极这两者成为低电位。因此,得到与实施方式 1 相同的抑制双栅极晶体管 Q3D 中的阈值电压的负方向移位这样的效果。

[0220] 本实施方式可应用在实施方式 1 ~ 8 的所有单位移位寄存器 SR 的双栅极晶体管 Q3D 中。此外,也可应用于实施方式 8 的单位移位寄存器 SR 的双栅极晶体管 Q4D 中。在这种情况下,如图 28(b),在双栅极晶体管 Q4D 的栅极和节点 N6 之间连接栅极连接到时钟端子 CK1 上的晶体管 Q4c。

[0221] 此外,也可应用于图 16 中示出的实施方式 5 的变形例的双栅极晶体管 Q10D 中。在这种情况下,如图 28(c) 所示,在双栅极晶体管 Q10D 的栅极和节点 N10 之间连接晶体管 Q10c。但是,对双栅极晶体管 Q10D 的栅极输入前二级的输出信号 G_{k-2} ,这需要在从 H 电平变为 L 电平时使晶体管 Q10c 导通。由此,如图 28(c) 所示,晶体管 Q10c 的栅极连接到输入与输入到时钟端子 CK1 的相位不同的时钟信号的时钟端子 CK2。

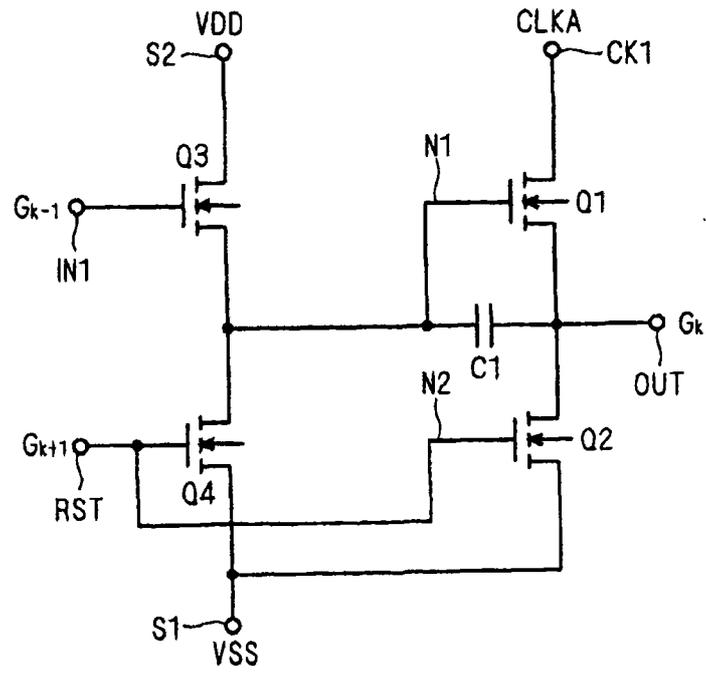


图 1

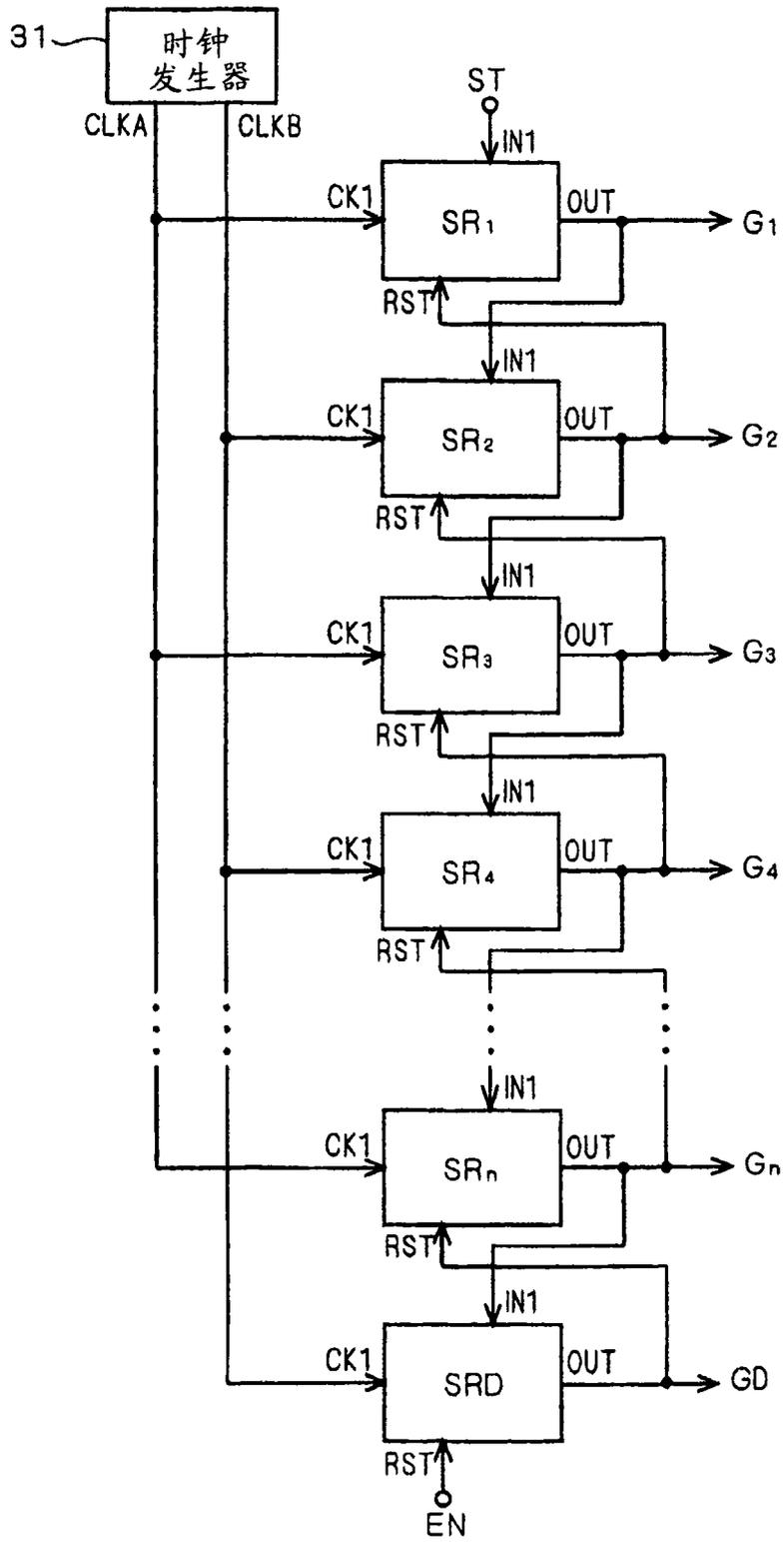


图 2

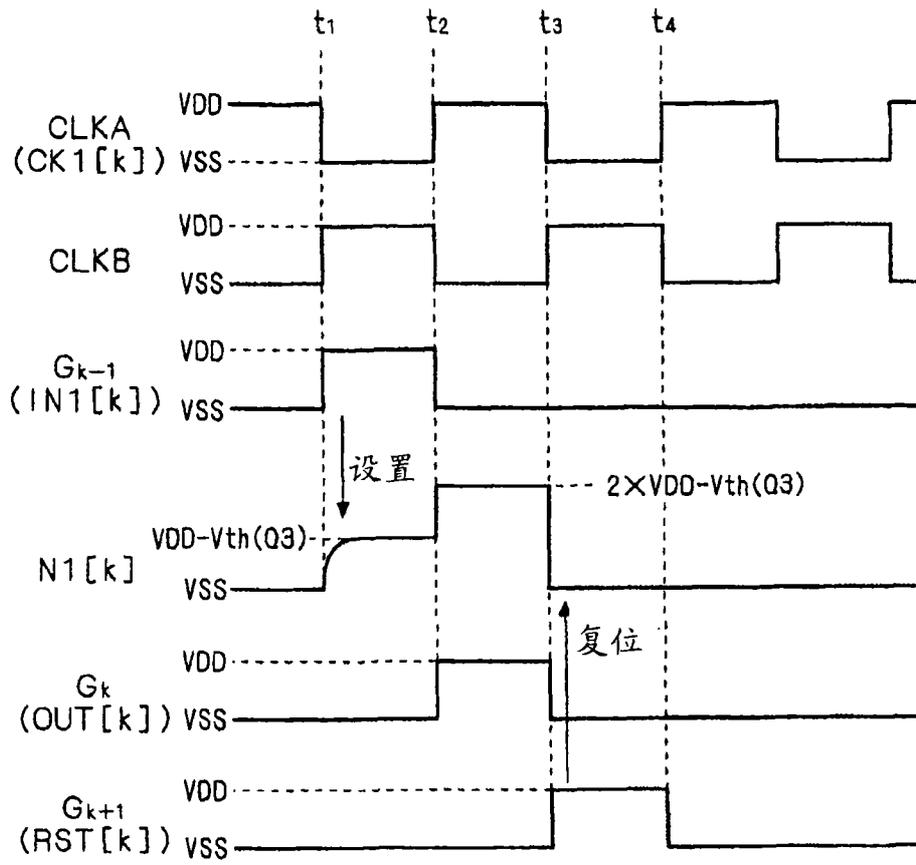


图 3

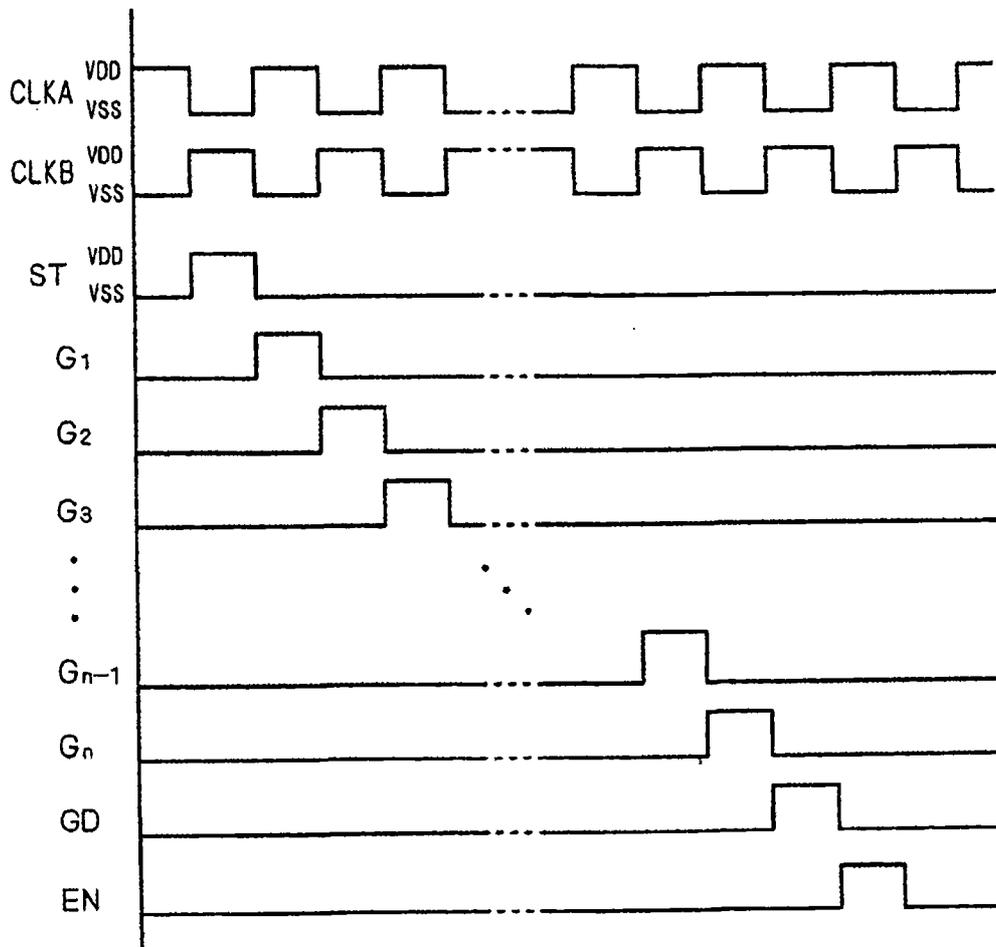


图 4

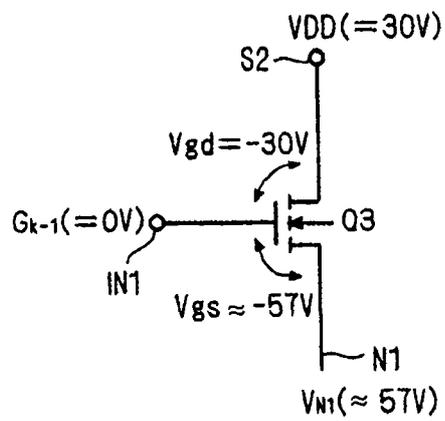


图 5

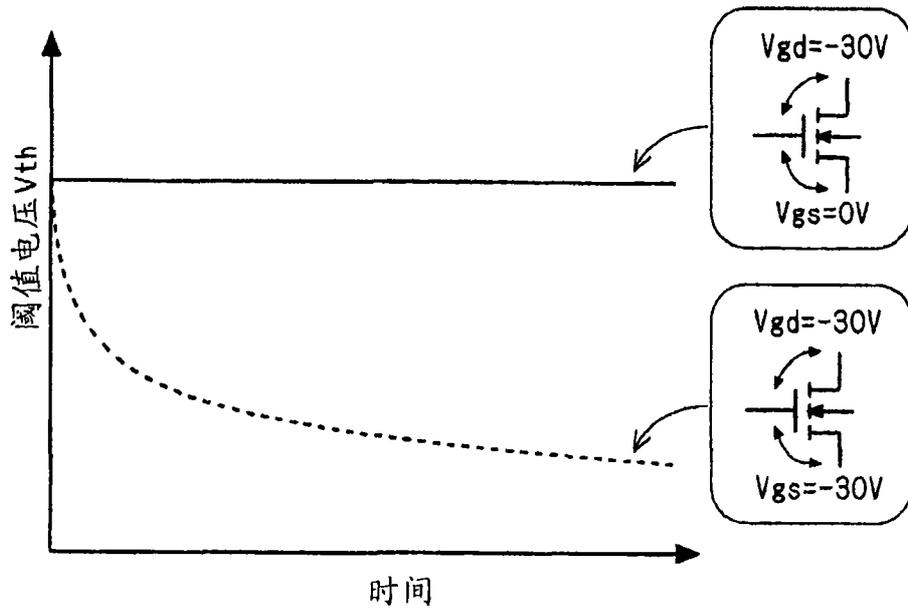


图 6

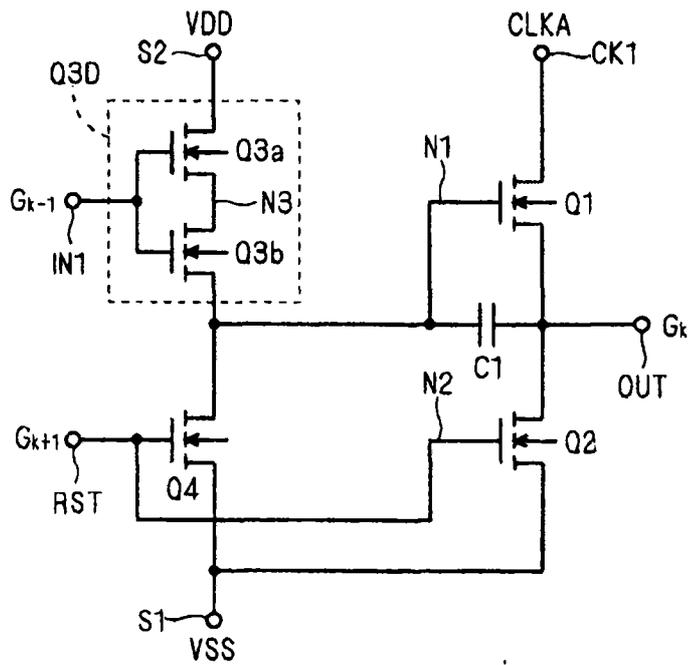


图 7

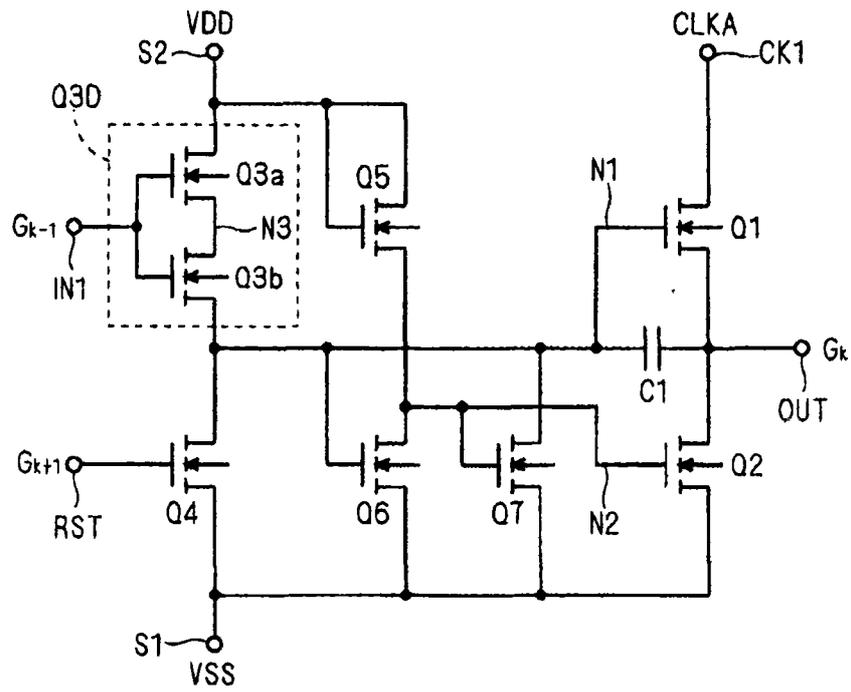


图 12

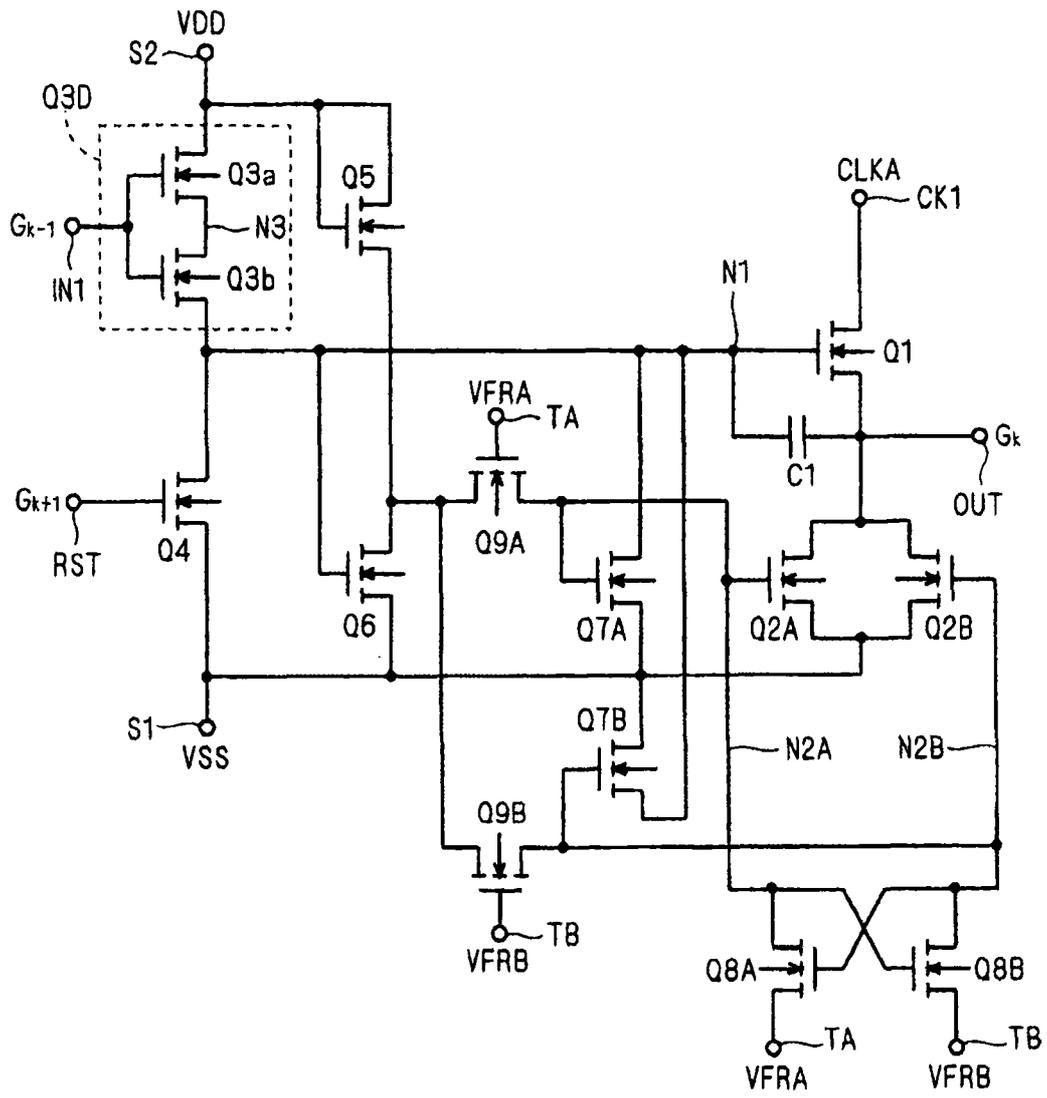


图 13

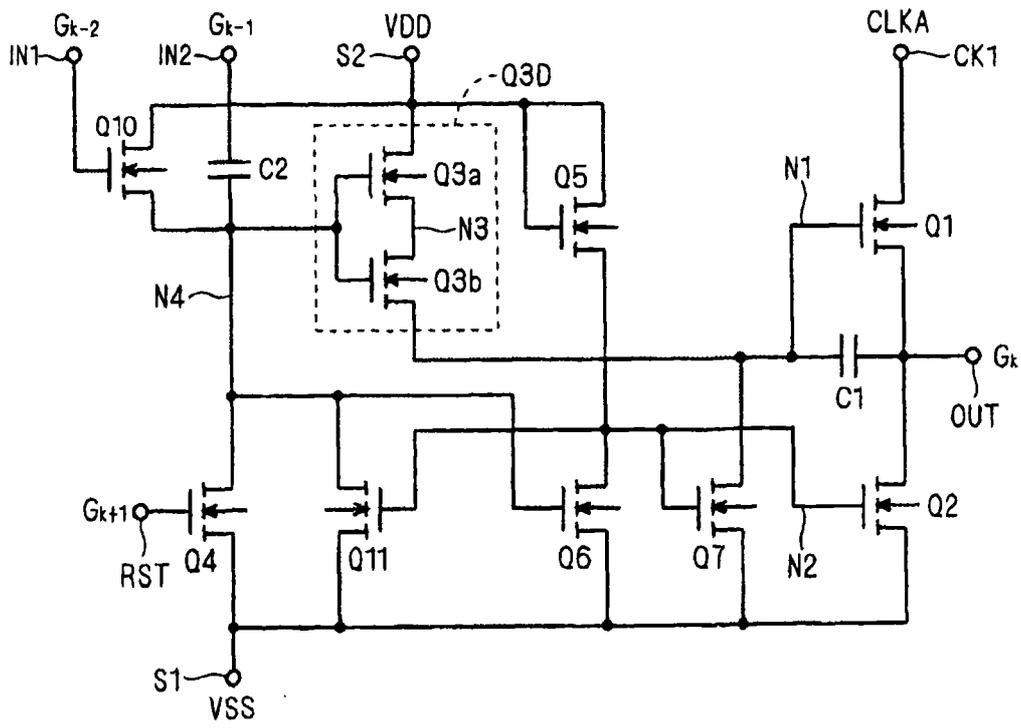


图 14

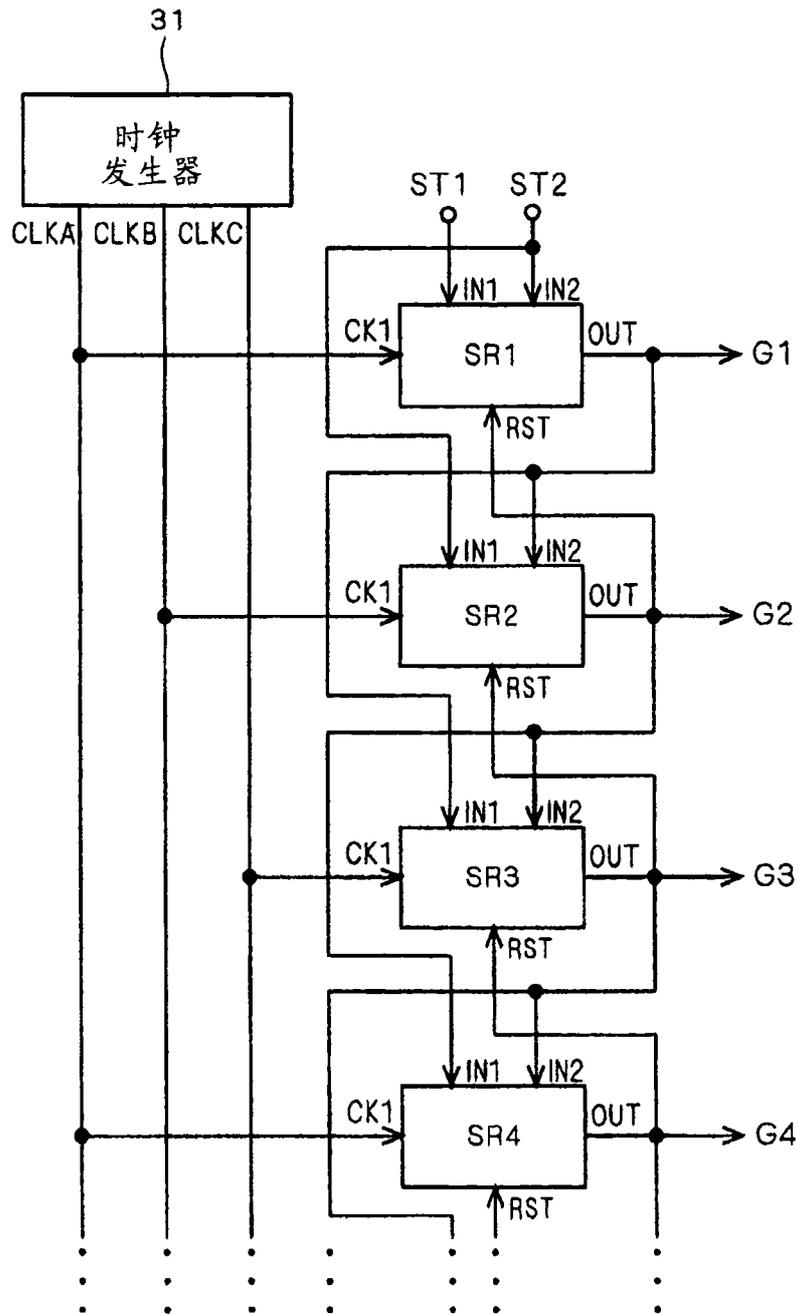


图 15

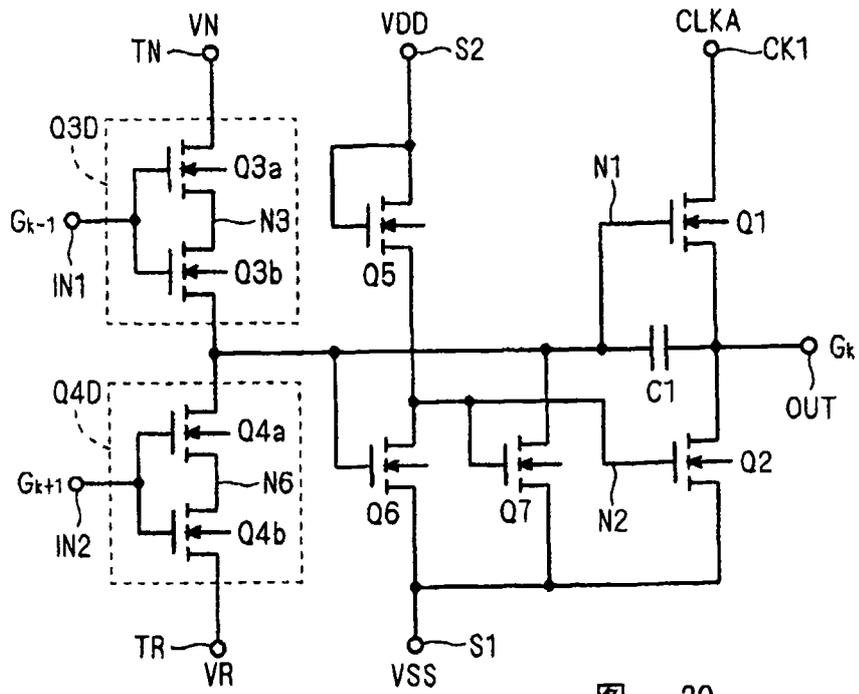


图 20

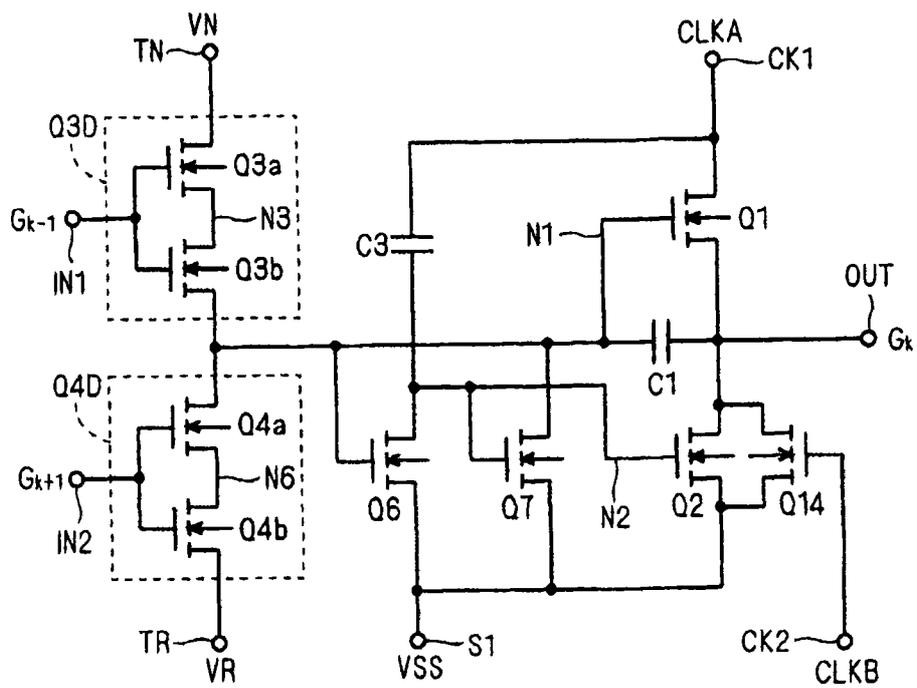
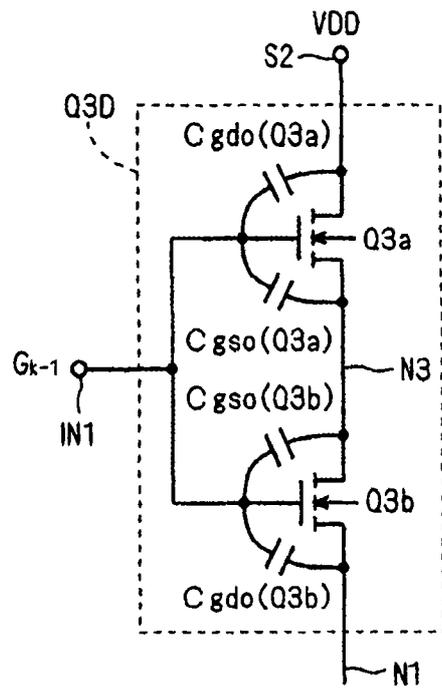


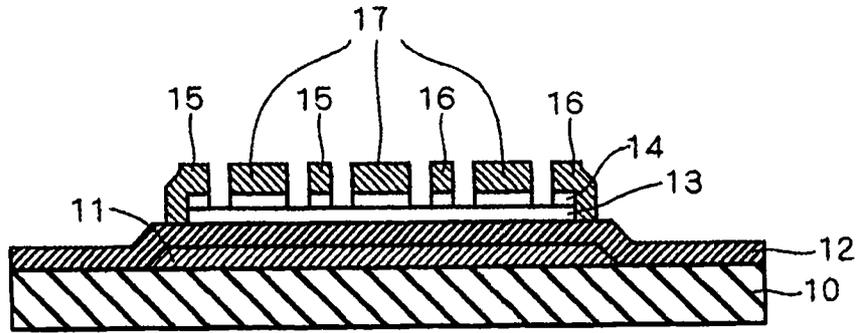
图 21



Cstr : 寄生电容
 Cgso(Q3a), Cgdo(Q3a) : 叠加电容
 Cgso(Q3b), Cgdo(Q3b) : 叠加电容

图 23

(a)



- 15: 晶体管Q3a的漏电极
- 16: 晶体管Q3b的漏电极
- 17: 晶体管Q3a, Q3b的源电极

(b)

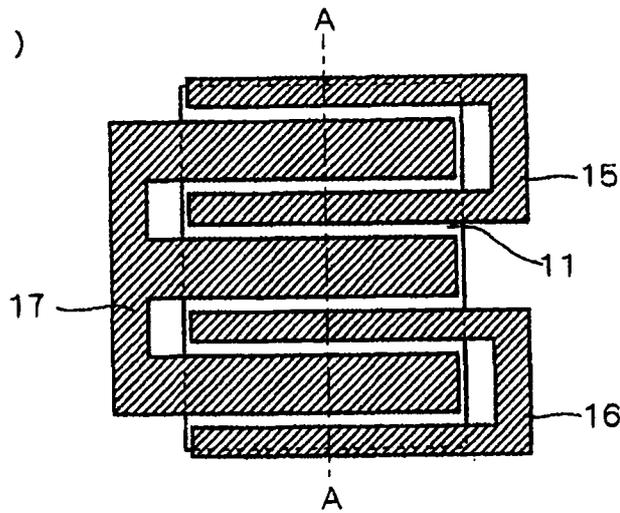
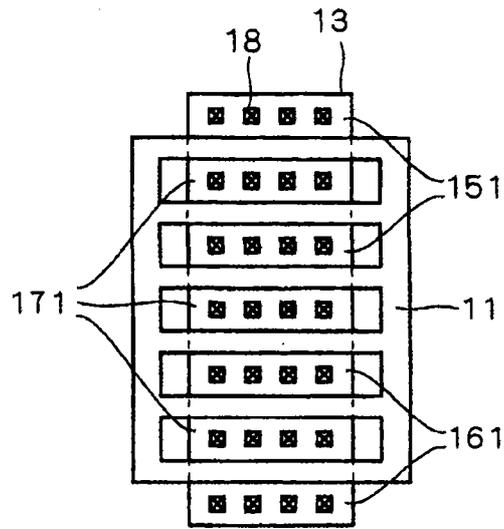


图 24

(a)



- 151: 晶体管Q3a的漏极区域
- 161: 晶体管Q3b的漏极区域
- 171: 晶体管Q3a, Q3b的源极区域

(b)

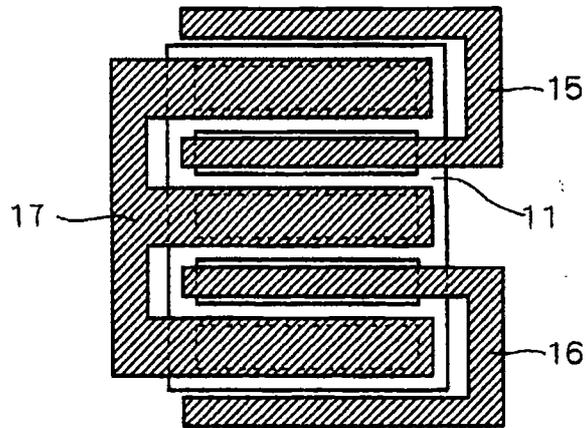


图 25

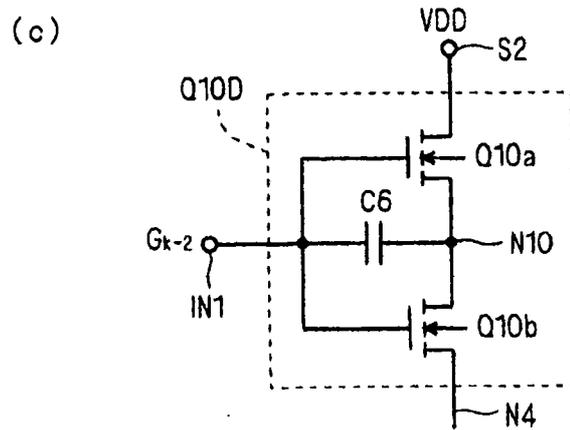
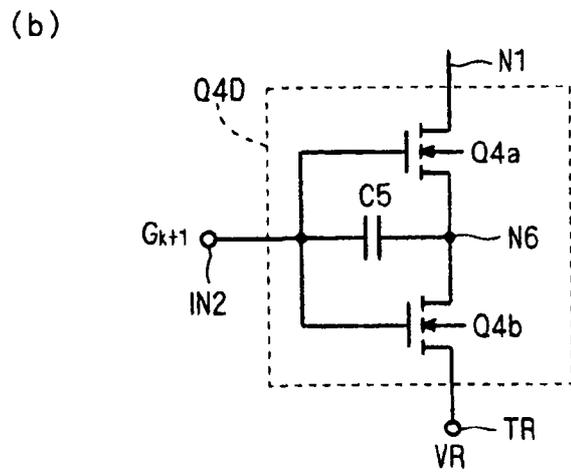
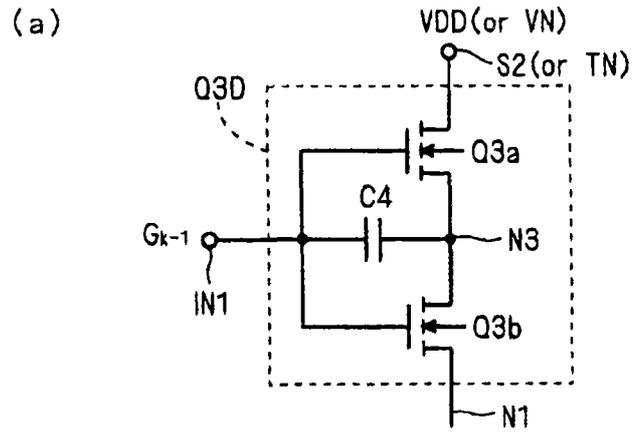


图 26

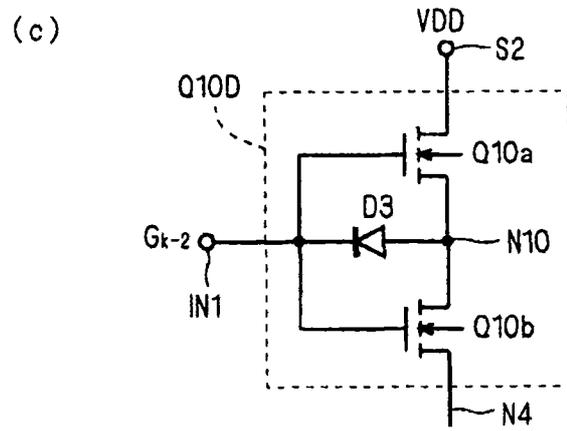
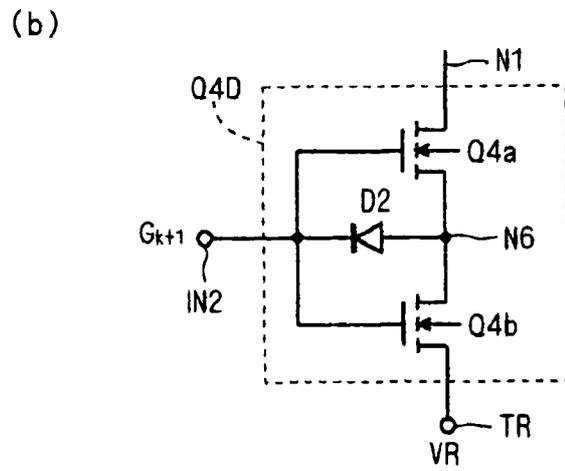
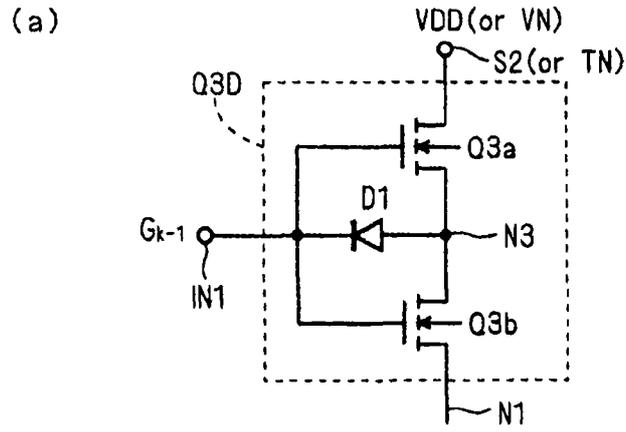


图 27

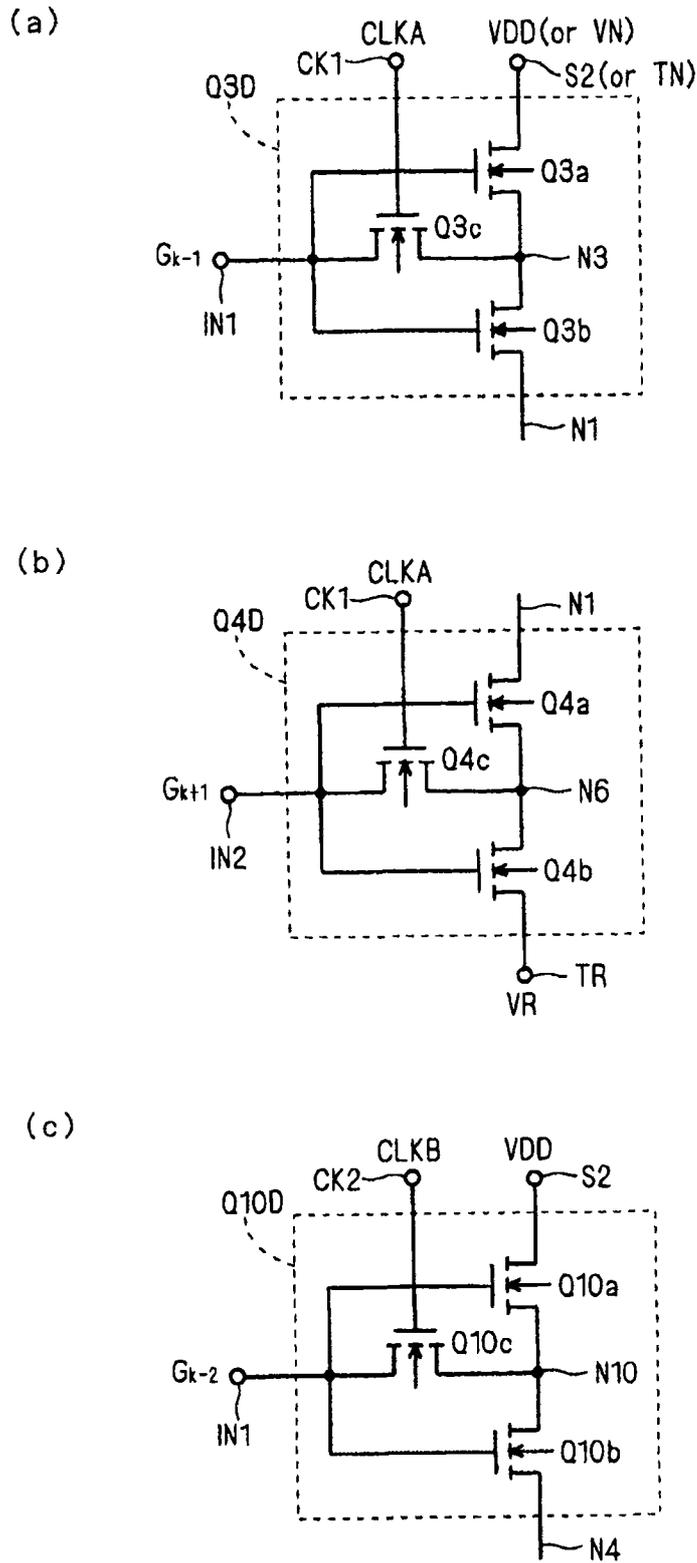


图 28

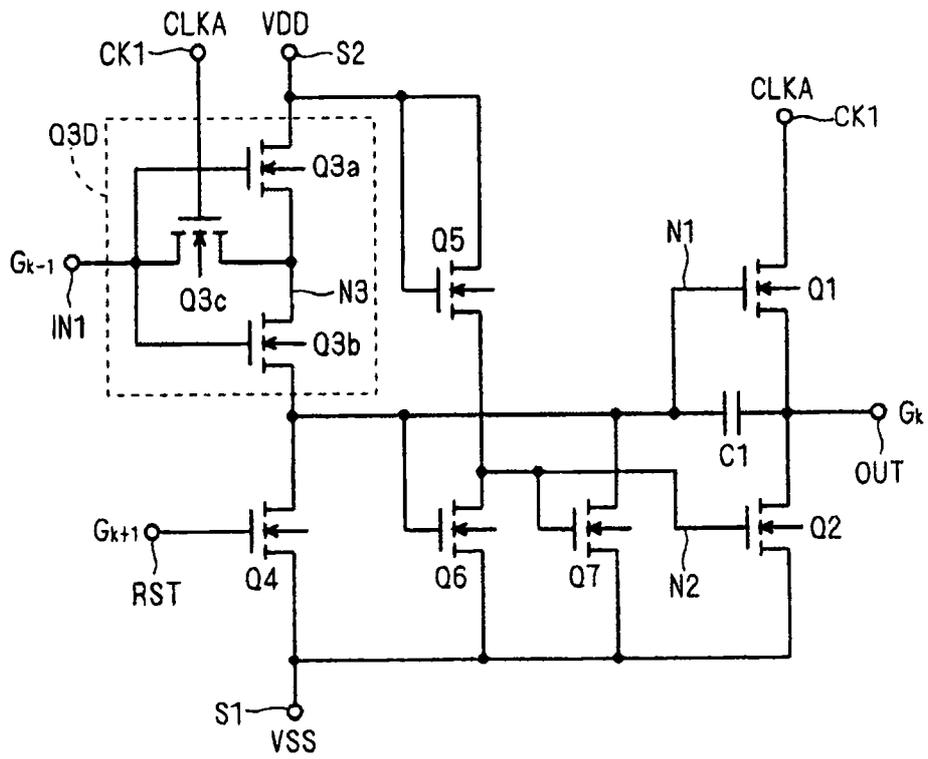


图 29