



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2025년05월02일

(11) 등록번호 10-2803528

(24) 등록일자 2025년04월29일

- (51) 국제특허분류(Int. Cl.)
H05K 3/10 (2006.01) *H05K 3/18* (2006.01)
H05K 3/46 (2006.01)
- (52) CPC특허분류
H05K 3/107 (2013.01)
H05K 3/182 (2013.01)
- (21) 출원번호 10-2021-7024423
- (22) 출원일자(국제) 2019년12월17일
 심사청구일자 2022년12월13일
- (85) 번역문제출일자 2021년08월02일
- (65) 공개번호 10-2021-0122787
- (43) 공개일자 2021년10월12일
- (86) 국제출원번호 PCT/US2019/066990
- (87) 국제공개번호 WO 2020/142209
 국제공개일자 2020년07월09일
- (30) 우선권주장
 16/237,702 2019년01월01일 미국(US)
- (56) 선행기술조사문헌
 JP2001291721 A*
 US09706650 B1*
 US20140273434 A1
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 캐틀램, 엘엘씨
 미국 캘리포니아 94086 씨니베일 에벌린 애비뉴
 1108 더블유
- (72) 발명자
 바알 케네쓰 에스.
 미국 캘리포니아 94086 씨니베일 웨스트 에블린
 애비뉴 1108
- (74) 대리인
 강일우

전체 청구항 수 : 총 18 항

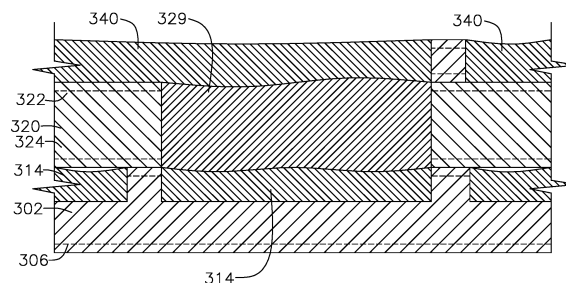
심사관 : 임현석

(54) 발명의 명칭 회로 기판 층보다 두꺼운 트레이스를 가진 다층 회로 기판

(57) 요약

다층 회로 기판은 촉매 층의 여러 층으로 형성되고, 각 촉매 층은 표면 아래에 배제 깊이를 가지며, 촉매 입자들 표면에 형성된 채널들에 무전해 퇴적을 제공하기에 충분한 밀도로 되어 있다. 제1 촉매 층에는 무전해 구리 도금된 채널들이 형성되어 있다. 각 후속 촉매 층은 아래의 촉매 층에 접착 또는 라미네이트된 촉매 층을 통해서 아래의 무전해 구리 트레이스까지 연장 채널이 형성되고, 무전해 구리가 채널에 퇴적되어 아래에 있는 무전해 구리 트레이스와 전기적으로 접촉한다. 이렇게 하여 단일 촉매 층의 두께보다 두꺼운 두께를 갖는 트레이스를 형성할 수 있다.

대표도 - 도3i



(52) CPC특허분류

H05K 3/4661 (2013.01)

H05K 2201/09736 (2013.01)

H05K 2203/1476 (2013.01)

명세서

청구범위

청구항 1

촉매 층으로 형성되며, 보유한 채널에 무전해 퇴적에 의해 형성된 도전성 트레이스를 구비하고, 촉매 입자 배제 영역 및 촉매 입자 비 배제 영역을 갖는 제1 촉매 층과,

상기 제1 촉매 층에 도포, 접착 또는 적층되며, 두께를 관통하여 형성되고 상기 제1 촉매 층의 도전성 트레이스에 달하는 깊이에 걸쳐 연장되는 채널을 구비하는 제2 촉매 층을 포함하고,

상기 제2 촉매 층의 상기 채널은, 무전해 퇴적에 의해, 상기 제1 촉매 층의 무전해 퇴적물과 접촉하도록 도전성 금속으로 채워진, 다층 회로 기판.

청구항 2

제1항에 있어서, 상기 제1 촉매 층 또는 제2 촉매 층은 불균일 촉매 입자를 사용하여 형성되는, 다층 회로 기판.

청구항 3

제2항에 있어서, 상기 불균일 촉매 입자는 촉매로 코팅된 무기 재료를 포함하는, 다층 회로 기판.

청구항 4

제3항에 있어서, 상기 촉매가, 백금(Pt), 로듐(Rh), 이리듐(Ir), 니켈(Ni), 금(Au), 은(Ag), 코발트(Co) 또는 구리(Cu) 중 적어도 하나를 포함하거나, 또는 촉매가 철(Fe), 망간(Mn), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 주석(Sn) 등의 다른 금속을 포함할 수 있는 화합물, 또는 그의 혼합물 또는 염을 포함하는, 다층 회로 기판.

청구항 5

제3항에 있어서, 상기 촉매는, BrPd, CL_2Pd , $Pd(CN)_2$, I_2Pd , $Pd(NO_3)_2 \cdot 2H_2O$, $Pd(NO_3)_2$, $PdSO_4$, $Pd(NH_3)_4Br_2$, $Pd(NH_3)_4Cl_2 \cdot H_2O$ 중 적어도 하나를 포함하는, 팔라듐 염을 함유하는 다층 회로 기판.

청구항 6

제1항에 있어서, 상기 촉매 층은, 폴리이미드 수지, 또는 에폭시와 시안화물 에스테르의 블렌드 중 적어도 하나를 함유하는 수지를 포함하는 다층 회로 기판.

청구항 7

제1항에 있어서, 상기 제1 촉매 층 또는 상기 제2 촉매 층 중 적어도 하나가, 촉매 접착제 또는 촉매 라미네이트인, 다층 회로 기판.

청구항 8

하나의 층보다 두꺼운 두께에 걸쳐 형성되고, 인접하는 층 상의 채널에 형성된 적어도 하나의 다른 트레이스와 연속되게 형성된 적어도 하나의 트레이스를 구비하고,

상기 적어도 하나의 트레이스는, 상기 채널 상에 퇴적된 무전해 구리를 포함하고,

상기 무전해 구리는, 다층 회로 기판의 각 층 전체에 분산된 노출된 불균일 촉매 입자 상에 형성되어 있고,

상기 불균일 촉매 입자는 촉매로 코팅된 무기 충전제를 포함하는, 다층 회로 기판.

청구항 9

제8항에 있어서, 상기 불균일 촉매 입자는 25 μm 보다 작은, 다층 회로 기판.

청구항 10

제9항에 있어서, 상기 촉매가, 백금(Pt), 로듐(Rh), 이리듐(Ir), 니켈(Ni), 금(Au), 은(Ag), 코발트(Co) 또는 구리(Cu) 중 적어도 하나를 포함하거나, 또는 촉매가 철(Fe), 망간(Mn), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 주석(Sn) 등의 다른 금속을 포함할 수 있는 화합물, 또는 그 혼합물 또는 염을 포함하는, 다층 회로 기판.

청구항 11

제8항에 있어서, 상기 충전제가, 무기 충전제, 불활성 충전제, 카울린 등의 점토 충전제, 또는 고온 플라스틱 충전제 중 적어도 하나를 포함하는 다층 회로 기판.

청구항 12

개개의 촉매 라미네이트가 서로 접착되어 단일의 라미네이트를 이루고, 상기 개개의 촉매 라미네이트 중 적어도 하나는 내부가 무전해 퇴적된 구리로 채워진 제1 채널들을 포함하고, 상기 개개의 촉매 라미네이트 각각이, 촉매 입자 배제 영역과 촉매 입자 비 배제 영역을 갖고, 결과적으로 얻어지는 단일 라미네이트는 촉매 입자들의 분포를 갖게 되어 있으며, 상기 촉매 입자들은, 촉매로 코팅된 무기 충전제를 포함하고, 상기 촉매 입자들은 상기 단일 라미네이트의 표면 아래의 배제 깊이에 위치하는, 복수의 개별 촉매 라미네이트 층들과,

상기 단일 촉매 라미네이트의 적어도 하나의 층의 두께 전체를 관통함으로써 내부의 촉매 입자들을 노출시키는 제2 채널들을 포함하고,

상기 단일 라미네이트 층의 제2 채널들은, 무전해 퇴적에 의해 도전성 금속으로 채워져 적어도 하나의 층의 상기 제1 채널들 내의 무전해 퇴적물과 접촉하도록 된, 다층 회로 기판.

청구항 13

제12항에 있어서, 상기 개별 촉매 라미네이트 중 적어도 하나의 층은 촉매 접착제인 다층 회로 기판.

청구항 14

제12항에 있어서, 상기 촉매는, 백금(Pt), 로듐(Rh), 이리듐(Ir), 니켈(Ni), 금(Au), 은(Ag), 코발트(Co) 또는 구리(Cu) 중 적어도 하나를 포함하거나, 또는 촉매가 철(Fe), 망간(Mn), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 주석(Sn) 등의 다른 금속을 포함할 수 있는 화합물, 또는 그의 혼합물 또는 염을 포함하는, 다층 회로 기판.

청구항 15

제12항에 있어서, 상기 촉매 입자들은 25 μm 보다 작은, 다층 회로 기판.

청구항 16

제12항에 있어서, 상기 촉매 층은 폴리이미드 수지, 또는 에폭시와 시안화물 에스테르의 블렌드물 중 적어도 하나를 함유하는 수지를 포함하는, 다층 회로 기판.

청구항 17

제12항에 있어서, 적어도 하나의 층은 촉매 입자들을 함유하는 수지에 결합된 섬유들을 포함하는, 다층 회로 기판.

청구항 18

제17항에 있어서, 상기 섬유들은 파이버 메쉬를 포함하는, 다층 회로 기판.

발명의 설명

기술 분야

[0001] 본 발명은 적어도 두 층에 층이 형성되고, 인접하는 층에 층들에 형성된 채널 내에 무전해 퇴적을 사용하여 복수의 층에 걸쳐는 층의 두께를 가진 트레이스(trace)를 형성함으로써 적어도 두 층에 걸쳐 연속적으로 형성된 길이를 갖는 트레이스를 구비하는 회로 기판에 관한 것이다.

배경 기술

[0002] 종래의 인쇄 회로 기판(PCB)은, 패터닝된 레지스트를 사용하여 기판에 라미네이트된 구리 시트를 에칭하여 유전체 기판 상에 도전성 금속 상호 접속부("트레이스"라고 함)를 형성하는 서브트랙티브 프로세스를 사용하여 형성되며, 여기서 도체를 보유하는 각 표면은 "층"이라 한다. 각 유전체 코어에는, 단면 또는 양면에 트레이스가 형성되어 있으며, 하나 이상의 표면에 트레이스가 형성되고, 이러한 무피복 유전체층이 산재해 있는 유전체 코어를 온도 및 압력 하에서 몇 개 겹쳐서 라미네이트함으로써 다층 회로 기판을 형성할 수 있다. 유전체 기판은 천으로 직조된 유리 섬유 등의 섬유 매트릭스에 함침된 에폭시 수지를 포함한다. 종래 기술의 제조 방법 중 하나에서는, 구리를 유전체층의 외면에 라미네이트하고, 구리 표면을 포토 레지스트 또는 감광성 필름 등으로 패터닝하여 마스크 및 비 마스크 영역을 만들고, 이어서, 에칭하여 코어 유전체의 한쪽 또는 양쪽에 도전성 트레이스 층을 형성한다. 다음으로, 도전성 트레이스를 갖춘 유전체 코어의 스택을 라미네이트하여 다층 회로 기판을 형성하고, 비아(via)로 만들어지는 임의의 층간 트레이스 상호 접속을 구리 도금된 드릴 구멍으로 형성하여, 층간의 도전성을 제공하는 환형 링을 형성할 수 있다.

[0003] 인쇄 회로 기판(PCB)은 일반적으로 PCB에 장착되는 다양한 전자 컴포넌트 사이에 도전성 트레이스를 제공하기 위해 사용된다. 라미네이트의 표면에 평행한 방향에서의 트레이스의 치수는 트레이스의 폭으로 간주되고, 라미네이트의 표면에 수직인 방향에서의 트레이스의 치수는 트레이스의 두께로 간주된다. 전자 컴포넌트의 하나의 타입으로, PCB의 하나 이상의 구멍을 통해 리드를 배치하여 PCB에 장착되는 스루-홀 장치가 있으며, 그 PCB 구멍은 각 트레이스 접속 층 상의 도전성 환형 링 패드를 포함하고, 컴포넌트 리드는 PCB 구멍의 환형 링 패드에 납땜되어 있다. 스루-홀 컴포넌트에는 관련 PCB 장착 구멍과의 위치 맞춤이 어려운 경향이 있는 리드가 구비되어 있지만, 표면 실장 기술(SMT)은, 컴포넌트 리드를 PCB 패드나 랜드의 표면에 배치하여 납땜하기만 하면 되는, 바람직한 장착 시스템을 제공하며, 여기서, 이는 SMT 컴포넌트는 스루-홀 컴포넌트에 비해 크기가 작고 밀도가 높고, 기계화된 조립체가 용이하기 때문에, PCB 조립체에 적합하다. 표면 실장 컴포넌트는 외부의 완성된 PCB 층에 표면 납땜 단자를 제공하는 표면 실장 패드만을 필요로 한다. 2층 또는 다층 PCB에서는, 한 층에서 다른 층으로의 도전성 트레이스 상호 접속은 스루-홀 비아를 통하여 실현되며, 하나의 트레이스 층의 도전성 트레이스는 보통 하나 이상의 PCB의 유전체 층을 통해 천공되어 구리 또는 다른 도전성 금속을 도금하여 트레이스 층 접속을 완성하는 구멍으로 이어진다. 유전체 층 전체에 걸쳐 천공된 구멍은 스루-비아(thru-via)라고 하며, 외층에만 천공된 구멍(통상은 각각의 층의 제조의 일부로서 이루어지는)은 마이크로-비아(micro-via)라 하며, 하나 또는 그보다 많은 내층에 천공된 구멍은 블라인드-비아(blind-via)라고 한다. 이러한 비아 타입의 어느 경우에도, 비아는, PCB의 반대편 트레이스 층에 환형 링 도체 영역을 포함하도록 패터닝되고, 그 천공된 구멍에는 라미네이트 또는 PCB의 양쪽에 있는 환형 링 도체를 접속하는 도전성 재료가 입혀진다.

[0004] 인쇄 회로 기판 라미네이트 상의 예비-패터닝 또는 사후-패터닝되는 구리의 두께는, 전기 도금을 사용하여 증가시킬 수 있고 거기에서 트레이스를 갖는 PCB 또는 유전체 층이 전해조에 배치되고, DC 전원은 희생 양극 도체 전극(구리 막대)과, DC 전류가 인가될 수 있는 두 전극을 형성하는 PCB의 기존 도전 층에 클램프 또는 부착되어 DC 전류를 인가할 수 있는 두 전극을 형성하는 전극 사이에 접속된다. 무피복 유전체 재료나 드릴로 구멍을 뚫은 경우 등, 전기 도금을 용이하게 하기 위한 기존의 도전성 구리 층이 PCB에 존재하지 않는 경우는 먼저 구리 시드 층을 퇴적해야 한다. 이것은 유전체의 표면에 퇴적되는 "시드"층 재료(특정 도전성 물질의 퇴적을 강화하는)의 도움으로 무전해 프로세스를 사용하여 행해지고, 그 후 기판은 무전해 욕에 배치된다. 팔라듐이나 구리의 무전해 욕 등의 층의 경우, 용액의 구리 이온은 표면이 균일한 도전성을 제공하기에 충분할 정도로 덮일 때까지 팔라듐 상에 퇴적되고, 그 후, 무전해 프로세스를 사용하여 퇴적된 구리는, 전기 도금 프로세스를 사용하여 차후의 재료 추가를 위한 도전성 스캐폴드(scaffold)를 제공한다. 전기 도금은 무전해 도금 프로세스보다 퇴적 속도가 빠르기 때문에 도금 작업의 마무리에 적합하다.

[0005] 전자 조립체의 복잡성이 증가됨에 따라, 점점 고밀도 집적 회로(IC)의 리드 패턴과 조합하여 보다 작은 트레이스 폭(미세 피치 트레이스라고도 함)을 사용하는 등에 의해 PCB 조립체 상의 컴포넌트 밀도를 증가시키는 것이 바람직하다. 종래 기술의 표면 실장 PCB의 제조 및 조립 방법에 있어서 하나의 문제는, 트레이스가 유전체의 표면에 형성되기 때문에 보다 좁은 도체 선폭(미세 피치 트레이스라고도 함)에 대한 구리 트레이스와 아래에 있는 라미네이트 사이의 접착이 감소되고, 미세 피치의 트레이스와 컴포넌트 패드는 컴포넌트의 교체 작업 중에 분리

되어(들어올려져), 회로 기판 조립체 전체와 그 위의 고가의 컴포넌트를 쓸모 없게 한다는 것이다. 미세 피치 표면 트레이스의 또 다른 문제점은, 다층 회로 기판을 제조할 때 개별 트레이스 층이 고온 환경에서 압력 하에 함께 적층된다는 것이다. 라미네이트 중 미세 피치의 트레이스는 유전체의 표면을 가로 질러 횡 방향으로 이동하는 경향이 있다. 고속 회로 기판의 레이아웃과 설계, 특히 차동 쌍(에지 결합된) 전송 라인의 경우, 트레이스 사이의 고정 임피던스를 유지하는 것이 바람직하다. 라미네이트 중 트레이스의 횡방향의 이동에 의해, 완성된 PCB 차동 쌍의 전송 라인 임피던스가 트레이스 길이 전체에서 변화를 일으켜, 일정 간격으로 발생하는 고정 임피던스 특성을 갖는 전송 라인에 비해 전송 라인에서 반사와 손실이 발생한다.

[0006] 구리 박 표면 층을 에칭하여 트레이스를 형성하는 등의 서브트랙티브 프로세스를 사용하여 트레이스를 형성하는 경우, 저항을 줄이기 위해 전기 도금을 사용하여 외면에 트레이스 두께를 구축하거나, 최표면에 부착된 트레이스를 확장시켜 트레이스 내의 전류 밀도를 낮추게 되면, 저 저항 트레이스를 형성할 수 있다. 그러나 주변으로의 구리 블리딩과 트레이스의 폭의 증가 때문에, 3 온스를 넘는 구리의 전기 도금이 곤란해져, 전기 도금 가능한 구리의 두께가 제한된다. 일반적으로 트레이스는 회로 기판의 설계 중에 넓어지면서, 기판 상의 이용 가능한 영역을 소비하거나 트레이스가 하위 트레이스 층에 복제되어, 유전체로 분리된 별도의 내부 트레이스 층에 병렬 트레이스가 형성되며, 내부 층은 일반적으로 1/2 온스 구리(두께 약 0.5 밀) 등의 얇은 베이스 구리로부터 형성된다. 다른 방법으로, 미국 특허 제9,706,650호, 제9,380,700호, 제9,674,967호 및 제9,631,279호에 기재된 바와 같이, 출원인의 추가적 프로세스를 사용하여 채널 트레이스를 형성할 수도 있다. 마찬가지로 채널에 형성된 이러한 추가적인 프로세스 트레이스의 폭을 확장하여 트레이스 저항을 줄이는 것도 가능하기는 하지만, 보다 큰 전류 밀도를 지원하기 위해 트레이스의 폭을 확대해야 한다는 제약이 있다. 트레이스의 폭을 증가시키지 않고, 종래 기술의 프로세스에 의해 제공되는 것 보다 낮은 저항을 갖는 트레이스를 제공하는 것이 바람직하다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 제1 목적은, 촉매 라미네이트 또는 촉매 접착제로 형성된 제1 촉매 층을 갖는 회로 기판이며, 폭 및 깊이를 갖는 트레이스를 구비하고, 상기 트레이스는 무전해 퇴적을 사용하여 도전성 금속으로 채워진 채널에 형성되며, 상기 제1 촉매 층은 상기 무전해 퇴적을 사용하여 촉매 라미네이트 또는 촉매 접착제 중 하나로 형성된 제2 촉매 층에 라미네이트되고, 상기 제2 촉매 층은 상기 제2 촉매 층의 두께 전체에 걸쳐 상기 제1 촉매 층까지 형성된 채널을 구비하고, 상기 채널은 무전해 도금 등으로 도전성 금속으로 채워져서 회로 기판의 단일 층의 두께 보다 더 깊은 깊이를 갖고 길이가 긴 트레이스를 가진 회로 기판을 형성하고, 상기 제1 촉매층의 무전해 적층체는 상기 제2 촉매 층의 무전해 퇴적물과 전기적으로 접촉한다.

[0008] 본 발명의 제2 목적은, 회로 기판을 형성하는 프로세스이며, 이 프로세스는 이하의 단계:

[0009] 촉매 라미네이트 또는 촉매 접착제로 형성된 제1 촉매 층에 폭 및 깊이를 갖는 채널을 형성하는 단계와,

[0010] 상기 제1 촉매 층에 도전성 트레이스를 무전해 도금하는 단계와,

[0011] 상기 제1 촉매 층에 촉매 라미네이트 또는 촉매 접착제로 이루어지는 제2 촉매 층을 라미네이트하는 단계와,

[0012] 상기 제2 촉매 층 내에 폭 및 깊이를 갖고, 상기 깊이는 상기 제1 촉매 층의 도전성 트레이스에 달하는 채널을 형성하는 단계와,

[0013] 상기 제2 촉매 층에, 상기 제1 촉매 층의 도전성 트레이스와 전기 접촉하는 도전성 트레이스를 무전해 도금하는 단계를 포함한다.

[0014] 본 발명의 제3 목적은, 촉매 라미네이트 또는 촉매 접착제로 형성된 제1 촉매 층에 형성된 적어도 하나의 트레이스를 구비한 다층 회로 기판이며,

[0015] 상기 제1 촉매 층은 도전성 금속의 무전해 퇴적물로 채워진 채널을 가지며,

[0016] 상기 제1 촉매 층은 후속 인접 촉매 층에 인접해 있고, 각 인접 촉매 층은 촉매 접착제 또는 촉매 라미네이트로 형성되거나 이전 촉매 층에 접착 또는 라미네이트되고 상기 채널에 무전해 금속으로 형성 및 퇴적된 채널을 갖고 있어서, 트레이스의 깊이가 적어도 두 촉매 층에 걸치는 균일한 트레이스를 형성한다.

과제의 해결 수단

[0017] 본 발명의 제1 실시 형태에서, 촉매 라미네이트 또는 촉매 접착제로 형성되는 제1 촉매 층은, 촉매 층의 적어도 하나의 표면 아래에 배제 깊이의 촉매 입자들을 가지고, 상기 촉매 층은, 적어도 배제 깊이 정도의 깊이를 갖는 상기 촉매 층의 적어도 하나의 표면에 형성되어 촉매 입자들을 노출시키는 채널들을 구비한다. 제1 촉매 층의 채널들은 채널 바닥으로부터 제1 촉매 층 표면 근처의 깊이까지의 두께를 갖는 금속의 퇴적에 충분한 시간 동안, 구리 등의 도전성 금속의 무전해 도금에 노출된다. 제1 촉매 층은 제2 촉매 층에 접착 또는 라미네이트되고, 제2 촉매 층에 제2 촉매 층의 두께를 통해서 제1 촉매 층 상의 금속 퇴적물까지 연장되는 적어도 하나의 채널이 형성되고, 그 후 제2 촉매 층 채널은 제1 촉매 층의 금속 퇴적물로부터 제2 촉매 층의 표면까지의 깊이에 걸쳐 무전해 도금되어, 이를 통해 단일 촉매 층 보다 깊은 깊이를 갖는 트레이스를 형성한다. 추가 촉매 층은 이전 촉매 층에 접착 또는 라미네이트될 수 있으며, 상기 추가 촉매 층은 인접 촉매 층 아래에 있는 금속 퇴적물에 형성된 전체 깊이의 채널들을 각각 보유하며, 무전해 도금은 각 추가 촉매 층에 걸치는 트레이스 깊이를 갖는 트레이스를 형성하여, 각 촉매 층에 전체 깊이의 채널을 제공한다.

[0018] 본 발명의 제2 실시 형태에서는, 촉매 층은, 촉매 라미네이트 또는 촉매 접착제로 형성된다. 촉매 라미네이트는 수지, 촉매 입자들, 및 섬유 매쉬의 혼합물을 경화시킴으로써 형성되고, 촉매 입자들은 촉매 라미네이트의 표면 보다 아래의 배제 깊이를 갖는다. 촉매 접착제는 아래에 있는 표면 상에서 경화되는 수지와 촉매 입자들의 혼합물로 형성되고, 경화된 촉매 접착제의 표면은, 촉매 입자들과, 상기 경화된 촉매 접착제의 표면 아래의 배제 깊이를 갖는다. 본 실시 형태에서, 복수의 촉매 층의 깊이를 갖는 트레이스가 형성되고, 제1 촉매 층에는 채널이 형성되고, 상기 채널은 무전해 도금을 사용하여 채널의 표면층까지 금속이 가득 채워진다. 다음으로, 제1 촉매 층은 하나 이상의 후속 촉매 층에 접착 또는 라미네이트되고, 각 후속 촉매 층은 촉매 층을 통해 제1 촉매 층의 무전해 도금 금속 레벨까지 형성된 채널을 가지며, 그 후 무전해 구리가 후속 각층의 표면까지 채널에 퇴적되어, 복수의 촉매 층에 걸치는 깊이로 연속되는 트레이스를 제공하고, 그 결과 트레이스는 단일 촉매 층의 두께보다 두꺼운 두께를 가지고 트레이스를 형성하는 복수의 촉매 층의 깊이에 이르는 채널을 갖게 된다. 채널이 형성된 아래의 촉매 라미네이트 층에 후속 촉매 라미네이트 층을 라미네이트하는 것은, 각 라미네이트 및 채널 형성 단계 이후에 무전해 퇴적에 의해 실행될 수도 있고, 또는 하나의 단계에서, 복수의 촉매 라미네이트 층을 통해 상기 채널이 형성되고 무전해 도금될 수도 있다. 본 발명의 일례에서는 촉매 라미네이트의 순차 라미네이트를 실행하여, 각 라미네이트 후 촉매 라미네이트에 채널을 형성하고, 각 채널을 무전해 도금하는 단계는 원하는 트레이스 깊이가 형성될 때까지 반복 시퀀스로 행해진다.

[0019] 본 발명의 제3 실시 형태에서는, 촉매 라미네이트 또는 촉매 접착제로 형성된 촉매 층에 트레이스를 형성하기 위한 프로세스로서, 채널에 연속하여 형성된 적어도 하나의 트레이스를 가지고, 얻어진 트레이스는 단일 촉매 층의 깊이보다 두꺼운 두께를 가지며, 상기 프로세스는:

[0020] 배제 깊이보다 아래까지 제1 촉매 층의 하나 이상의 표면에 채널들을 형성하고, 이를 통해 촉매 입자들을 노출시키는 단계와,

[0021] 대략 채널의 깊이까지 도전성 금속으로 채널들을 무전해 도금하는 단계와,

[0022] 하나 이상의 추가의 촉매 층을 제1 촉매 층에 라미네이트 또는 접착하는 단계와,

[0023] 추가 촉매 층의 두께를 통해서 이전 촉매 층의 무전해 금속 퇴적물까지 연장되는 폭 및 깊이를 갖는 채널을 형성하는 단계와,

[0024] 인접 촉매 층의 이전에 퇴적된 무전해 도금과 전기적으로 접촉하는 각 추가 촉매 층의 채널 내에 도전성 금속의 무전해 퇴적을 실행하는 단계를 포함한다.

도면의 간단한 설명

[0025] 도 1은 촉매 층의 단면에 대한 촉매 층의 촉매 입자 분포의 단면 및 해당 플롯을 도시한 도면이다.

도 2a는 특정 컴포넌트에 맥동 전류가 흐르는 스위칭 전원 회로의 개략도이다.

도 2b 도 2a의 스위칭 전원 회로의 파형 플롯을 나타낸 도면이다.

도 2c는 도 2a의 전원 회로 섹션의 인쇄 회로 기판 레이아웃의 평면도이다.

도 3a는 촉매 프리-프레그 라미네이트 층의 단면도이다.

도 3b는 표면층에 채널들을 형성한 후의 도 3a를 나타낸 도면이다.

도 3c는 무전해 퇴적 등에 의한 금속 트레이스의 퇴적 후의 도 3b를 나타낸 도면이다.

도 3d는 제2 촉매 프리-프레그 층을 이전 촉매 프리-프레그 층에 접착 또는 라미네이트한 후의 도 3c를 나타낸 도면이다.

도 3e는 도 3c에서 적용된 제1 촉매 층의 무전해 퇴적에 도달하는 프리-프레그의 두께를 통과하는 깊이를 갖는 채널을 형성한 후의 도 3d를 나타낸 도면이다.

도 3f는 도 3c의 무전해 퇴적 트레이스와 접촉하고 있는 금속의 무전해 퇴적 후의 도 3e를 나타낸 도면이다.

도 3g는 도 3f의 라미네이트에 촉매 층을 추가하는 임의의 추가 단계를 나타내는 도면이다.

도 3h는 도 3g에서 추가된 촉매 층에 채널을 형성한 후의 도 3g를 나타낸 도면이다.

도 3i는 도 3c 및 도 3h의 무전해 퇴적된 트레이스와 접촉하고 있는 금속의 무전해 퇴적 후의 도 3g를 나타낸 도면이다.

도 4는 촉매 층을 사용하여 가변 두께의 미량 층을 형성하기 위한 처리 단계를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 도 1은, 본 발명의 일 양태에서 사용하기 위한 예시적인 촉매 프리-프레그를 나타낸다. 촉매 프리-프레그는 촉매 입자들을 포함하는 수지에 함침된 예비 함침 섬유들의 매트릭스로 구성된다.
- [0027] 유리 섬유 직포, 탄소 섬유 또는 다른 섬유들을 포함하는 다양한 재료를 프리-프레그의 섬유들에 사용할 수 있으며, 에폭시 수지, 폴리이미드 수지, 시안화 에스테르 수지, PTFE(테프론) 블렌드 수지 또는 기타 수지를 포함하는 다양한 다른 재료를 수지에 사용할 수 있다. 본 발명의 일 측면은 1 밀(25 μ) 오더의 미세 피치 도전성 트레이스를 지지할 수 있는 인쇄 회로 기판 라미네이트이며, 무전해 구리 형성용 촉매를 사용한 구리 트레이스의 형성에 대해 설명이 되고 있지만, 본 발명의 범위는 무전해 도금 및 전기 도금에 적합한 다른 금속에 확장될 수 있음을 이해해야 한다. 구리(Cu) 채널들의 무전해 퇴적의 경우, 원소 팔라듐(Pd)이 기본적으로 선호되지만, 주기율표 9 내지 11족의 백금(Pt), 로듐(Rh), 이리듐(Ir), 니켈(Ni), 금(Au), 은(Ag), 코발트(Co) 또는 구리(Cu) 같은 금속 원소들을 포함하거나, 또는, 철(Fe), 망간(Mn), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 주석(Sn) 등의 다른 금속을 포함할 수 있는 화합물, 또는 그의 혼합물 또는 염을 포함하는 어느 것도 촉매 입자들로서 사용될 수 있다. 이들 후보 리스트는, 포괄적인 의미는 아니고, 예시적인 것을 의도하는 것이며, 구리 이온을 유인하는 다른 촉매도 사용할 수 있음은 당해 기술 분야에 알려져 있다. 본 발명의 일례에서, 상기 촉매 입자들은 균질 촉매 입자들이다. 본 발명의 다른 예는, 촉매 입자들은 수 옹스트롬의 두께의 촉매 금속으로 코팅된 무기 입자들 또는 고온 내성 플라스틱 입자들이며, 이로써 비 촉매 내부 입자들을 캡슐화하는 얇은 촉매 외면을 갖는 불균일 촉매 입자들을 형성한다. 이 배합은 최장 치수가 25 μ 정도인 입자 등, 보다 큰 촉매 입자들에 바람직할 수 있다. 이 배합의 불균일 촉매 입자들은, 이산화 규소(SiO_2) 등의 무기, 유기 또는 불활성 충전제, 카울린 등의 무기 점토 또는 퇴적 및 화학 퇴적 등에 의해 충전제 표면에 흡착된 팔라듐 등의 촉매로 코팅된 고온 플라스틱 충전제를 포함할 수 있다. 촉매 입자가 무전해 도금에 적합한 바람직한 특성을 갖게 하는 데는 단 몇 층의 원자 층만 있으면 된다.
- [0028] 촉매 접착제를 사용하여 형성된 촉매 층의 또 다른 예에서의 촉매 접착제 배합은, 수지 및 촉매 입자 혼합물에 섬유가 도입되지 않고, 수지 및 촉매 입자 혼합물이 아래 층에 도포된다는 것을 제외하고는 촉매 라미네이트의 경우와 동일하며, 촉매 라미네이트 층의 촉매 입자 분포의 경우처럼, 촉매 입자들이 경화된 촉매 접착제의 표면 보다 아래의 배제 깊이가 되도록 아래에 있는 표면에 경화되고, 그로 인해 촉매 입자들의 배제 깊이보다 아래로 연장 형성된 채널들에서만 무전해 도금되는 것을 가능하게 한다.
- [0029] 불균일 촉매 입자들을 형성하는 예에서는, 충전제(유기 또는 무기)의 욕은, 크기가 25 μ 미만인 입자들을 포함하도록 크기에 따라 분류되며, 이러한 분류된 무기 입자들은 탱크 내의 수성 욕에 혼합 교반된 다음, PdCl 등의 팔라듐 염(또는 다른 촉매의 은염 등의 다른 촉매)을, HCl 등의 산 및 히드라진 수화물 등의 환원제와 함께 도입하고 그로써 혼합물이 무기 입자를 코팅하는 금속 Pd를 환원하여 충전제 상에 코팅된 수 옹스트롬 두께의 Pd를 제공하고 이를 통해 균질한 Pd 금속 입자들을 사용하는 경우에 비해 Pd의 부피에 대한 요구량이 감소된, 균일한 Pd 입자의 촉매 특성을 갖는 불균일 촉매 입자를 생성한다. 그러나 수 nm 오더의 극소 촉매 입자들의 경우 균질 촉매 입자들(순수 Pd 등)이 바람직한 경우가 있다.
- [0030] 무기 충전제의 예로는 함수 알루미늄 층상 규산염 등의 점토 광물이 포함되고, 이것은 다양한 양의 철, 마그네

습, 알칼리 금속, 알칼리 토류 및 다른 양이온을 포함할 수 있다. 이 무기 충전제의 패밀리에, 이산화 규소, 규산 알루미늄, 카올리나이트($\text{Al}_2\text{Si}_2\text{O}_5(\text{OH})_4$), 폴리 실리케이트 또는 카올린 또는 차이나 클레이 패밀리에 속하는 다른 점토 광물이 포함되어 있다. 무기 충전제의 예로는 PTFE(테프론) 및 고온 내성을 구비한 기타 폴리머가 포함된다.

[0031] 팔라듐 염의 예는 BrPd , Cl_2Pd , $\text{Pd}(\text{CN})_2$, I_2Pd , $\text{Pd}(\text{NO}_3)_2 \cdot 2\text{H}_2\text{O}$, $\text{Pd}(\text{NO}_3)_2$, PdSO_4 , $\text{Pd}(\text{NH}_3)_4\text{Br}_2$, $\text{Pd}(\text{NH}_3)_4\text{Cl}_2 \cdot 2\text{H}_2\text{O}$ 이다. 본 발명의 촉매 분말은 또한 불균일 촉매 입자들(예를 들면, 무기 충전제 입자들 상에 코팅된 촉매 재료), 균질계 촉매 입자들(원소 팔라듐 등) 및 비 촉매 입자들(무기 충전제의 패밀리로 부터 선택된)을 포함할 수도 있다.

[0032] 촉매들 중에서 팔라듐은 비교적 경제적이며, 가용성 및 기계적 특성 때문에 바람직한 촉매이지만, 다른 촉매를 사용할 수도 있다.

[0033] 촉매 라미네이트를 형성하는 하나의 방법은, 촉매 입자들을 블렌드하고 점도를 낮추기 위해 휘발성 액체와 혼합한 에폭시 수지를 직물에 주입하고, 롤러 세트를 통해 직조된 유리 섬유를 공급함으로써 A스테이지(액체) 프리-프레그를 형성하는 것이다.

[0034] 수지는, 폴리이미드 수지, 에폭시 및 시안화 에스테르의 블렌드(고온에서 경화를 제공하는)이거나, 또는 냉각 후 코팅 및 열경화성 특성 중 선택 가능한 점도를 구비한 임의의 다른 적절한 수지 배합물일 수 있다. 예를 들어, 가연성 규격에 준거하기 위해 또는 FR-4나 FR-10 등의 프리-프레그의 표준 FR 시리즈 중 하나와 호환성을 갖게 하기 위해, 난연제가 첨가될 수 있다. 고속 전기 회로의 추가적 요건은, 유전체 상수 (ϵ)(유전율)이며, 이는 대부분의 경우 약 4이며, 유전체 상에 형성되는 전송 선로의 특성 임피던스와, 주파수 의존 에너지 흡수의 척도인 손실 탄젠트(δ)를 제어하게 되고, 상기 손실 탄젠트는 유전체가 고주파 전계와 어떻게 상호 작용하여 전송 라인 길이 1cm 당 계산 가능한 양의 dB만큼 신호 진폭을 감소시킬 것인가하는 방법의 척도가 된다. 수지는 크기로 분류된 촉매 입자들과 혼합된다. 일례의 배합에서 촉매 입자들은, 균질 촉매 입자들(금속 팔라듐) 또는 불균질 촉매 입자들(무기 입자 또는 고온 플라스틱에 코팅된 팔라듐) 중 적어도 하나를 포함하고, 어느 배합물에 대해서도, 촉매 입자들은 바람직하게는 최대 범위 25 μ 미만, 입자들의 50 %는 12 μ 에서 25 μ 사이 또는 1 μ 에서 25 μ 의 범위 또는 그 이하의 크기이다. 이들은 본 발명의 범위를 한정하는 것을 의도하지 않은 예시적인 촉매 입자 크기의 실시 형태다. 일례의 실시 형태에서, 촉매 입자(균질이거나 또는 불균질의)의 크기는 1 μ ~ 25 μ 의 범위에 있다. 본 발명의 또 다른 예에서, 균질계 촉매 입자들은 금속 팔라듐 입자들로 분쇄하여, 얻어진 입자들을 25 μ 의 직사각형 개구부를 갖는 메쉬를 가진 체에 통과시킴으로써 형성된다. 또 다른 예에서는, 촉매 수지 혼합물은 수지 중량에 대한 실질적으로 12 중량 %의 촉매 입자들의 비율 등의 중량 비율에 따라서 균질 또는 불균질 촉매 입자들을 프리-프레그 수지에 블렌드하여 형성된다. 혹은 수지 혼합물 중의 촉매 입자들의 중량비는 수지의 총 중량에 대한 촉매 입자 중량의 8 ~ 16%의 범위일 수 있다. 다른 혼합비도 사용할 수 있음이 이해될 것이며, 더 작은 입자들을 사용하는 것이 바람직한 경우가 있다. 본 발명의 일례에서는, 촉매 입자 밀도는 3 μ ~ 5 μ 오더의 촉매 입자들 사이의 평균 거리를 제공하도록 선택된다.

[0035] 본 발명의 일례에서는, 촉매 입자들을 배제하는, 수지가 풍부한 표면을 생성하기 위해, 외면 근처에 배치되는 프리-프레그 시트(나중에 표면을 제거하여 아래에 있는 촉매 입자들을 노출시킬)는 65%를 초과하도록, Glass 106(71% 수지), Glass 1067, 또는 Glass 1035(65% 수지) 등의 수지를 선택하고, 내부 프리-프레그 시트(표면 제거 대상이 아닌)는 65 % 미만의 수지를 갖도록 선택된다. 또한 촉매 프리-프레그의 표면 근처에 유리 섬유가 존재할 가능성을 줄이기 위해, 직조 유리 섬유를 내측 프리-프레그 층과 함께 사용하고, 평평한 비 직조 유리 섬유를 외측 수지가 풍부한 프리-프레그 층에 사용할 수 있다. 외면 층의 수지가 풍부한 프리-프레그와 평평한 직조된 유리 섬유를 조합하면 외면과 캡슐화된 유리 섬유 사이에 0.7 밀(17 μ) 내지 0.9 밀(23 μ)의 배제 영역이 생긴다. 유리 섬유의 두께는 일반적인 프리-프레그 시트에서 볼 수 있는 유리 섬유의 두께보다 얇기 때문에(1.3 ~ 1.4 밀/33 ~ 35 μ), 수지가 풍부한 외측 표면에서의 사용에는, 3.7 밀(94 μ)의 섬유들을 포함하는 Glass style 2116 등 라미네이트의 중앙 영역에서 사용되는, 수지가 65 % 보다 많은, Glass style 106, 1035 및 1067이 권장된다.

[0036] 이 값은 예로 나타낸 것이지만, 시판되고 있는 최소의 유리 섬유들은 직경이 계속 감소되어 갈 것으로 예상된다. 본 발명에서 사용하기 위한 촉매 라미네이트의 프로세스에서는 온도 대 시간 시퀀스가 적용되어, 촉매 입자들 및 유리 섬유가 라미네이트 외면으로부터 멀리 이동되고 겔화점 온도 상태의 액체 중의 에폭시의 표면 장력에 의해 반발된다. 냉각 사이클 후 경화된 C 스테이지 프리-프레그 시트가 오프로드된다. 경화된 C 스

테이지 프리-프레그 시트를 형성하는 프로세스에서는 섬유 직포의 단일 혹은 복수의 시트를 사용하여 최종 두께를 2 밀(51 μ)에서 60 밀(1.5mm)로 바꿀 수 있다. 촉매 라미네이트, 촉매 접착제 및 수지를 형성하는 프로세스에 대한 자세한 설명은, 본 발명의 발명자에 의해 출원되어 본 출원의 출원인에게 양도된 미국 특허 제 9,706,650호에서 찾을 수 있으며, 이 특허의 내용은 본 명세서에 참고로 인용한다.

[0037] 도 1은, 프리-프레그 프로세스에 의해 형성된, 얻어진 촉매 프리-프레그(102)를 나타내며, 촉매 입자들(114)은 프리-프레그(102)의 중앙 영역에 균일하게 분포하고 있지만, 제1 표면(104) 아래의 경계 영역(108) 아래 또는 제2 표면(106)의 아래의 경계 영역(110) 아래에는 존재하지 않는다. 이 경계 영역(110)은 촉매 라미네이트 및 촉매 접착 촉매 층에 공통적인 촉매 입자 배제 영역의 기본적인 특징이다. 25 μ 미만의 입자들의 입자 분포의 예에서는 촉매 입자의 경계는 일반적으로 표면에서 10 ~ 12 μ 아래(촉매 입자들의 길이의 절반 정도)이기 때문에, 물론 촉매 입자들을 무전해 도금에 사용할 수 있게 하려면 이 깊이 이상의 표면 재료는 제거해야 한다. 본 출원에서는 표면(106)으로부터 영역(110)의 촉매 입자들까지 및 표면(104)으로부터 영역(108)의 촉매 입자들까지의 영역을 촉매 입자 배제 영역이라고 부른다. 본 발명의 일례에서는, 촉매 입자 배제 영역은 촉매 입자 배제 깊이보다 아래에 채널을 형성하지 않고 무전해 도금을 가능하게 하기에는 불충분한 밀도의 촉매 입자들을 포함한다. 본 발명의 또 다른 예에서는, 배제 영역에서의 촉매 입자들의 밀도는 촉매 라미네이트의 비 배제 영역 영역에서의 촉매 입자 밀도의 100 분의 1 미만이다. 본 발명의 또 다른 예에서는, 배제 영역은 주어진 시간 내에 무전해 도금을 통해 연속 도체를 형성할 수는 없지만, 배제 영역 아래의 영역은 동일한 시간 간격으로 연속 도체를 형성할 수 있다.

[0038] 종래 기술의 촉매 적층체는, 촉매 적층 체의 활성화 표면 상의 바람직하지 않은 무전해 도금을 방지하기 위해 마스킹되어야 하는 활성화 표면을 가진다. 대조적으로, 본 발명의 촉매 라미네이트 및 촉매 접착제는 제1 표면(104)으로부터 제1 경계(108)까지 및 제2 표면(106)으로부터 제2 경계(110)까지의 두께 범위에 걸쳐서 촉매 입자들을 제거하여, 종래 기술과 같이 무전해 도금을 위해 촉매 입자들과의 접촉을 방지하는 별도의 마스크 층을 요하지 않게 한다는 이점이 있다. 따라서 제1 표면(104)으로부터 경계 층(108) 또는 그 이상의 깊이까지의 표면 재료의 제거 또는 제2 표면(106)으로부터 제2 경계(110)까지의 표면 재료의 제거는 무전해 도금에 사용할 수 있는 촉매 재료의 노출을 초래한다. 섬유들의 노출을 초래하는 후속 단계에서의 표면층의 제거는 추가 세정 단계를 필요로 하게 되기 때문에, 수지 풍부 표면을 제공하는 프로세스는, 촉매뿐만 아니라 섬유 포도 배제하는 것이 바람직하며, 따라서 아래의 촉매 입자들만을 노출시키기 위해서는 표면에서 수지만 제거하면 된다. 이는 수지가 풍부한 외측의 프리-프레그 층과 외측 층에 소경의 섬유들을 갖는 평평한 부직 유리 섬유 층의 조합을 사용하여 달성된다. 무전해 도금을 사용하여 채널들에 트레이스를 형성하는 추가의 이점은, 트레이스가 세 측면에서 기계적으로 지지된다는 것이며, 이에 의해 유전체 라미네이트에 대한 트레이스의 밀착성이 크게 향상된다.

[0039] 도 2a는, 종래 기술의 강압 레귤레이터 회로를 도시한 것이다. 스위치 (202)가 닫혀 있으면 인덕터 충전 전류는 전원(204)으로부터 에너지 저장 인덕터(208)를 통해 평활 콘덴서(218)로 흘러 평활 콘덴서(218)의 전압을 증가시킨다. 스위치(202)가 열려 있을 때 인덕터 방전 전류는 인덕터 (208)를 통해서 계속 흐르게 된다. 부하(214 및 216)에 의해 각각 인출되는 정상 상태 전류 I3 및 I4는 스위치(202)를 지나는 피크 맥동 전류 I1(206) 또는 인덕터(208)를 지나는 피크 맥동 전류 I2(210)보다 대폭 낮다.

[0040] 도 2b는, 스위치의 개폐, 인덕터 전류 I2(232) 및 정상 상태 전류 I3(234) 및 I4(236)를 나타내는 전류 파형 플롯 I1(230)을 나타내고 있다.

[0041] 도 2c는 맥동 대 정상 상태의 전류가 흐르도록 설계된 종래 기술의 인쇄 회로 기판에 미치는 영향의 예를 도시하고 있다. 인덕터(208A)는 도 2a의 208에 대응하고, 도 2c 커패시터(218A)는 도 2a의 218에 대응한다. 트레이스(237A)(도 2a의 회로도 굵은 선(237)에 해당)는 피크 맥동 전류를 운반하므로, I2에 관련되는 I^2R 손실을 줄이기 위해 비교적 넓어야 하지만, 정상 상태 전류 I3과 I4를 운반하는 트레이스(214A와 216A)의 대응 라인(214 및 216)에 접속된 폭은 더 좁을 수 있다(도 2a). 또한, 펄스 전류로부터의 불필요한 과도 신호가 트레이스 간의 크로스 커플링에 의한 자기 유도 또는 정전 변위 전류에 의해 소 신호 트레이스(small signal trace)로 흘러드는 것을 방지하기 위해, 일반적으로는 인쇄 회로 설계 시 소 신호 트레이스가 전원 영역에서 배제된다.

[0042] 이 때문에, 폭 대신 두께를 증가시켜 다층 회로 기판의 2 이상의 층의 두께를 이용하여 도전성 트레이스를 형성할 수 있는 트레이스를 제공하는 것이 바람직하다.

[0043] 도 3a 내지 도 3i의 시퀀스는 본 발명을 이해하기 위한 예시적인 프로세스 단계를 나타낸다. 도 3a는 촉매 라미네이트(또는 촉매 접착제)(302)의 단면도를 도 1의 촉매 입자들 분포 플롯과 함께 도시한 것이고, 여기서, 촉매 입자는 촉매 층(촉매 라미네이트 또는 촉매 접착제)의 내부 영역 전체에 분포되고, 촉매 입자들은 관련 외측 표

면의 표면 배제 깊이(306 및 304)보다 아래에 있으므로, 표면 촉매 입자 배제 영역 아래로 연장되는 영역에서 구리 등의 도전성 금속의 무전해 퇴적을 제공하고 고유 표면(303 또는 307)에서의 무전해 퇴적물을 제거하기에 충분한 촉매 입자의 밀도를 깊이(304)부터 깊이(306)까지 제공한다.

[0044]

깊이(304)에서 깊이(306)까지 사이의 영역의 촉매 입자들(미도시)은 25 μ 이하의 크기 범위에 있을 수 있으며, 본 예에서는, 12 μ 에서 25 μ 의 범위에 있을 수 있다. 촉매 입자들은 전술한 바와 같이, 불균일 촉매 입자들(촉매 표면 코팅을 갖는 유기 또는 무기 입자들)또는 균질 입자들(촉매 금속 입자들)을 포함할 수 있다. 배제 경계 깊이(304)는 제1표면(303)의 약 25 μ 아래에 있다. 제2 표면(307)과 반대측 표면 상의 제2 표면 배제 경계 깊이(306)는 참고로 도시한 것이지만, 이 프로세스는 후보 촉매 라미네이트 또는 촉매 접착제의 한 면 또는 양면에 사용할 수 있음이 이해될 것이다.

[0045]

도 3b는 트레이스를 형성할 영역에서, 배제 영역(304) 아래의 표면 층(303)의 제거에 의해 형성된 채널(310)을 갖춘 도 3a의 라미네이트를 나타낸다. 촉매 라미네이트 또는 촉매 접착제(302) 채널들을 형성하기 위한 표면 재료의 제거는, 레이저 절제(laser ablation)에 의해 수행할 수 있으며, 이 때 촉매 프리-프레그의 온도는 주위의 촉매 프리-프레그를 남기고 촉매 프리-프레그가 기화할 때까지 즉시 상승하며, 프리-프레그는 구조적으로 변화하지 않고, 촉매 입자들이 노출된 상태로 유지된다. 자외선(UV)과장 등 절제되는 프리-프레그 재료에는 광학 파장의 반사율이 낮고 흡수율이 높은 파장의 레이저를 사용하는 것이 바람직한 경우가 있다. 이러한 UV 레이저의 예로는 UV 엑시머 레이저 또는 이트륨 알루미늄 가네트(YAG)레이저가 있으며, 이들은 빔 범위가 좁고 이용 가능한 출력이 높기 때문에 정확한 기계적 깊이의 채널들을 형성하고, 측벽이 명확하게 정의되어 있기 때문에 탁월한 선택이 된다. 예시적인 레이저는 직경 0.9 ~ 1.1밀(23 μ ~ 28 μ)의 재료를 제거할 수 있고, 깊이는 레이저 출력 및 표면을 가로지르는 이동 속도에 의해 지배된다. 채널(210)을 형성하는 다른 표면 제거 기술은 플라즈마 에칭이며, 이는 국소적으로 또는 표면 층(206 또는 205)으로부터 플라즈마를 제거하는 패터닝된 마스크, 예컨대, 드라이 필름 포토 레지스트 또는 촉매 프리-프레그의 플라즈마 에칭 속도에 비해 낮은 플라즈마 에칭 속도를 갖는 다른 마스크 재료를 이용하여 표면을 준비하는 것이다. 포토 레지스트의 두께는 일반적으로 에폭시/포토 레지스트의 에칭 선택성(경화된 에폭시 제거를 원하는 깊이까지의 플라즈마 에칭이 에칭 종료 시에 충분한 포토 레지스트를 남기도록)에 기초하여 선택되며, 혹은 전기 도금 마스크로서 사용되는 포토 레지스트의 경우는, 두께는 원하는 퇴적 두께에 따라 선택된다. 전형적인 건조 막 두께의 범위는 0.8 ~ 2.5 밀(20 ~ 64 μ)이다. 수지 풍부 표면을 에칭하는 데 적합한 플라즈마는 산소(O)및 CF₄ 플라즈마의 혼합물이 포함되며, 질소(N) 또는 아르곤(Ar) 등의 불활성 가스와 혼합되어, 반응성 가스의 캐리어 가스로서 첨가될 수 있다. 마스크 패턴은 드라이 필름 마스크, 금속 마스크 또는 개구부를 가지는 다른 임의의 종류의 마스크를 사용하여 형성할 수도 있다. 메카니컬 마스크가 사용되는 경우, 에칭 레지스트는 포토 리소그래피, 스크린 인쇄, 스텐실, 스퀴지 또는 에칭 레지스트의 임의의 도포 방법을 사용하여 도포할 수 있다. 촉매 프리-프레그의 표면층을 제거하기 위한 다른 방법은, 선형 또는 회전 절삭 공구 등에 의한 기계적 연삭이다. 이 예에서는 촉매 프리-프레그를 진공 플레이트 척에 고정할 수 있으며, 회전 커터(또는 가동 진공 플레이트를 갖춘 고정 커터)는, 거버 포맷 포토파일의 x, y 좌표 쌍으로 정의되는 트레이스를 형성하는 패턴으로 이동할 수 있다. 표면 재료를 제거하는 또 다른 예는 워터 커팅 툴을 사용할 수가 있고, 흐름에 동반된 연마 입자들을 수반하는 워터 제트를 표면에 충돌시킴으로써 제1 경계 깊이(304) 아래의 재료를 제거할 수 있다. 이러한 방법들 중 어느 것을 별개로, 또는 조합하여, 표면 재료를 제거하고, 촉매 프리-프레그(302)로부터 채널(310)을 형성하는 데 사용할 수 있으며, 바람직하게는, 채널은 제1 경계 깊이(304)아래로 연장된다. 따라서 최소 채널 깊이는, 경화된 프리-프레그의 특성인 아래에 있는 촉매 입자들을 노출하는 데 필요한 깊이이다. 촉매 재료는, 배제 경계 깊이(304)아래의 경화된 프리-프레그를 통해 균일하게 분산되기 때문에, 채널의 세정을 복잡하게 하는 경향이 있고, 상기 유리 섬유들이 무전해 도금을 위한 채널들 내에서 파괴되어 채퇴되거나, 후속 프로세스 단계를 방해할 가능성이 있어서, 최대 채널 깊이는 직조된 파이버(유리 섬유 등)로 된 천의 깊이로 제한될 수도 있다. 전형적인 채널의 깊이는 1 밀(25 μ)에서 2 밀(70 μ)이지만, 무전해 퇴적 후의 전기 저항을 줄이기 위해, 프리-프레그 깊숙한 곳까지 연장될 수 있다. 채널(310)을 형성하기 위해 표면 재료를 제거한 후의 최종 단계는, 제거된 재료의 입자들을 제거하는 것이며, 이것은 초음파 세정, 계면 활성제와 혼합된 물 분류, 또는 채널을 둘러싼 표면(304)의 재료가 제거되지 못하는 결과를 가져오지 않는 다른 세제를 사용하여 달성될 수도 있다. 또는 아래의 촉매 층에 도포하여 경화시킬 수 있으면서 직포를 포함하지 않는 촉매 접착제를 사용하는 것은, 절제 또는 채널 형성 후에 섬유들이 남지 않기 때문에, 단층을 통해 연장되고 후속 퇴적 단계를 방해하는 깊은 채널들에 바람직한 경우가 있다.

[0046]

도 3c는 무전해 퇴적물(314) 형성 단계를 도시한 것이며, 이는 퇴적물이 대략 상면(303)에 도달할 때까지 진행되고, 이를 통해 도 3d에 도시한 촉매 층(촉매 라미네이트 또는 촉매 접착제일 수 있는)의 후속 층의 적용이 가

능하게 된다. 촉매 층(320)은 또한, 상기 촉매 층(302)처럼 관련 표면 촉매 입자 배제 깊이(322 및 324)가 있다. 채널(326)들이 도 3e에서 형성된 후 채널(3f)의 후속 무전해 구리 퇴적물(329)을 방해할 수 있는 채널 내의 절제되지 않았거나 남아있는 섬유들 간의 간섭을 방지하기 위해, 촉매 층(320)에 촉매 접착제를 사용하는 것이 바람직하다. 촉매 층(320)의 후속 층은 진공 라미네이트 또는 PCB 제조의 선행 기술로 알려져 있는 층 접합 또는 라미네이트를 위한 다른 프로세스를 사용하여 인접한 촉매 층(302) 및 도 3d의 무전해 퇴적물(314)에 접착 또는 라미네이트될 수 있다.

[0047] 도 3e는 촉매 층(320)의 표면(321)으로부터 제1 촉매 층(302) 아래에 있는 무전해 퇴적물(314)까지 전술한 방법을 사용한 촉매 층(320)의 깊이를 통한 촉매 층(326)의 제거를 나타낸다. 채널(326)의 형성은 레이저 절제가 바람직하지만, 라미네이트를 제거하기 위한 다른 임의의 알려진 방법을 사용하여 수행할 수도 있다.

[0048] 도 3f는 아래의 퇴적물(314)로부터 촉매 층(320)의 최상위 레벨(321)까지의 채널(326)의 무전해 도금(329)을 나타내고 있다. 결과적으로 얻어지는 회로 기판은 단일 촉매 층(320 또는 302)의 트레이스 두께 보다 두꺼운 균질한 트레이스를 갖게 된다. 회로 기판은, 구성 요소를 추가한 후 이와 같이 도 3f의 완성된 형태로 사용할 수 있다. 도 2c의 트레이스 세그먼트(320) 등의 고 전류 트레이스 세그먼트는, 현재의 방법을 사용하여 저항을 저감할 수도 있고, 도 3g에 도시한 바와 같은 촉매 층(332)(이전과 같이 제1 배제면(330) 및 제2 배제면(334)이 존재할 수 있는) 부분에 프로세스를 행하여 트레이스 세그먼트의 깊이를 늘리기 위해 추가 층을 접착 또는 라미네이트할 수도 있다.

[0049] 도 3h는 도 3g의 촉매 층(332)에 채널(336)을 형성하는 후속 단계를 도시하고 있다. 도 3i는, 금속의 무전해 퇴적물(340)이 이전의 무전해 퇴적물(329 및 314)과 전기적으로 접촉하고, 이를 통해, 종래 기술에서 제공되던 것보다 깊은 깊이를 갖는 트레이스의 주어진 퇴적 금속 저항률(주어진 트레이스의 두께 및 폭에 대한 인치 당 저항으로 변환되는)에 대해, 종래 기술에서 허용되는 것보다 좁을 수도 있는, 선택 가능한 두께의, 저 저항의 가늘고 긴 도체를 형성하기 위한 방법을 제공하는 최종 단계를 도시한다. 프로세스의 단계들과 그 결과로 생성되는 회로를 명확하게 이해시키기 위해 트레이스 퇴적 층(314, 329 및 340) 사이에 경계를 표시하기는 하였지만, 무전해 금속 퇴적물은 층 전체에서 균일하며, 몇몇 유전체 층에 걸치고 도면에 도시한 바와 같은 경계가 없는 저 저항의 트레이스가 제공된다.

[0050] 도 3f의 무전해 도금 층(329) 및 도 3c의 무전해 도금 층(314)은 여러 가지 다른 방법으로 실시할 수도 있다. 일례의 무전해 구리 욕 배합물은 착화제로서 로셀 염, 구리 금속원으로서 황산 구리, 환원제로서 포름 알데히드 및 반응물로서 수산화 나트륨의 혼합물을 사용한다. 이 예에서는 폐기물 처리를 용이하게 하기 위해 주석산(로셀 염) 욕이 바람직하며, 상기 로셀 염은 EDTA나 키토를 등의 대체품만큼 강하게 킬레이트화하지는 않는다. 이 예에서는 주석산 염(로셀 염)이 완성제, 황산 구리가 금속원, 포름 알데히드가 환원제, 수산화 나트륨이 반응물이다. 다른 무전해 도금 배합물도 가능하며, 이 예는 참고용으로 제공된 것이다. 무전해 도금은 처음 노출된 촉매 입자들의 표면 상에 형성되고, 퇴적이 촉매 층의 본래의 외면보다 아래가 될 때까지 진행된다.

[0051] 촉매 재료에 에칭된 채널들의 무전해 도금의 중요한 이점은 바닥(최초에 도금된)층에서만 진행되는 전기 도금과 비교하여 무전해 도금이 세 측면에서 한꺼번에 진행된다는 것이다.

[0052] 도 4는 촉매 층(촉매 또는 촉매 라미네이트)을 사용하여 단일 라미네이트 층의 두께보다 두꺼운 미량 층을 갖는 회로 기판을 형성하기 위한 일련의 프로세스 단계를 도시하고 있다. 조리개(필요한 경우)는 중간층 비아(도시하지 않으며, 종래 기술에서 잘 알려져 있음) 형성 등의 단계(402)에서 형성되고, 계속해서, 도 3b의 채널(310) 형성 등의 단계(404)에서 채널들이 형성된다. 무전해 도금은 도 3c의 314에 대응하는 단계(406)에서 실행되며, 일련의 단계(408, 410 및 412)는 단계(406)의 무전해 퇴적물의 두께를 키우기 위해 라미네이트/채널/무전 도금으로 된 각 층에 대해 필요에 따라 반복 실행된다. 단계(408)는, 도 3d에 도시한 접착 또는 라미네이트된 후속 층(320) 및 도 3g에 도시한 층(332 내지 302)에 대응한다. 단계(410)는 도 3e의 채널(326)들의 형성 또는 도 3h의 채널(336)의 형성에 대응한다. 단계(412)는 도 3f의 무전해 도금(329) 형성 또는 도 3i의 퇴적물(340) 형성에 대응한다. 트레이스의 두께를 더욱 늘리기 위해 추가 층을 추가하는 프로세스는, 각 반복에 대해 단계(412)에 이은 경로(414)에 의해 실행될 수 있다.

[0053] 이상 설명한 것은 사용되는 기본 메커니즘 및 구조를 이해하기 위한 본 발명의 예를 제공하기 위한 것일 뿐, 본 발명의 범위를 나타내는 특정 방법 또는 구조에만 한정하려는 것은 아니다. 예를 들어, 도 3a 내지 도 3i의 시퀀스는, 제1 촉매 층(302) 위에 구축된 복수의 촉매 층에 형성된 트레이스 채널들을 갖춘 편면(single sided) 구조를 나타내고 있지만, 제1 촉매 층(302)에도, 무전해 퇴적물(314) 수준까지 절제된 표면(307)과, 다층 기판의 종래의 방법 또는 상기 트레이스 두께 늘리기 방법을 사용하여, 반대 방향으로 표면(307)에 추가된 추가 층

을 가질 수도 있다.

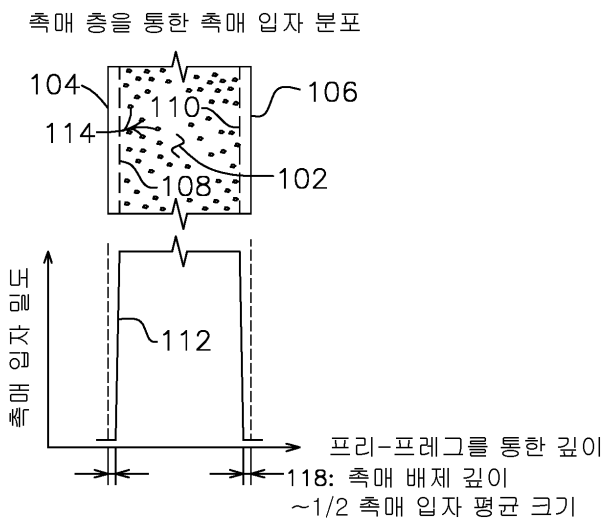
[0054] 도 3a 내지 도 3i의 트레이스 구조는, 그들이 PCB상에서 일반적으로 이루어지는 것과 마찬가지로 수순으로 도시한 것이지만, 이들 예는 단지 예시를 위한 것일 뿐, 본 발명을 이들 구조에 한정하려는 것은 아니다. 도 2a와 도 2c에 도시된 예에 본 발명을 사용한 결과는, 종래의 서브트랙티브 회로 기판 프로세스에 대해 폭 0.25 인치 및 두께 3 밀의 트레이스(237A)를 사용하고, 위와 아래에 있는 측매 층에 두께 15 밀(총 30 밀)인 것을 사용하여 도 3a 내지 3i에 도시되어 있는 트레이스를 형성하니, 트레이스(237)의 폭을 250 밀로부터 25 밀로 축소할 수 있었다.

[0055] 본 명세서에서 "대략"이라는 용어는 주어진 공칭 값보다 4배 미만으로 크거나 작은 것을 의미하는 것으로 이해되며, "실질적으로"라는 용어는 주어진 공칭 값보다 2배 미만으로 크거나 작다는 의미로 이해된다. 값의 "오더"라는 것은, 공칭 값의 0.1 배에서 10 배까지의 범위가 포함된다.

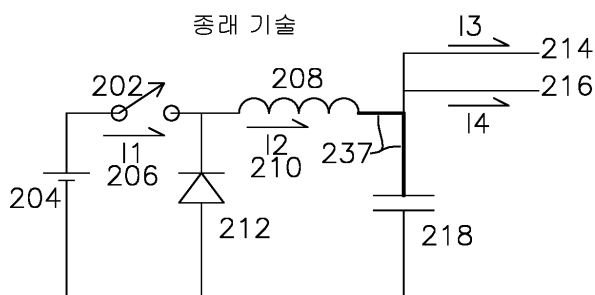
[0056] 인쇄 회로 기판 제조에 일반적이며, 신규 프로세스에 따라 제조된 기판 상에서 종래 기술의 방법을 사용하여 실행될 수 있는 특정 후 처리 작업은 도시되어 있지 않다. 이러한 작업에는 뿔납의 흐름을 개선하기 위한 주석 도금, 도전성 개선 및 부식을 줄이기 위한 골드 플래시, 솔더마스크 작업, 기판 상의 실크 스크린 정보(부품 번호, 참조 지정자 등), 완성된 기판의 스코어링 또는 분리 탭의 제공 등이 포함된다. 현재의 프로세스를 사용하여 형성된 회로 기판은, 아래에 있는 낮은 기판 위에 용기한 트레이스를 남기는 종래의 서브트랙티브 구리 에칭과는 대조적으로, 평탄한 표면을 갖는다. 이러한 방법의 일부는 본 발명의 동일 평면 상의 트레이스 및 기판 표면에서 실행되는 경우 개선된 결과를 가져올 수 있다. 예를 들어, 트레이스 또는 비아 상의 실크 스크린 레터링은 종래에는 보드 표면의 트레이스 및 비아의 두께 때문에 뭉개질 수 있었지만, 이러한 방법을 이용하면 평탄화된 표면에서는 뛰어난 결과를 제공한다.

도면

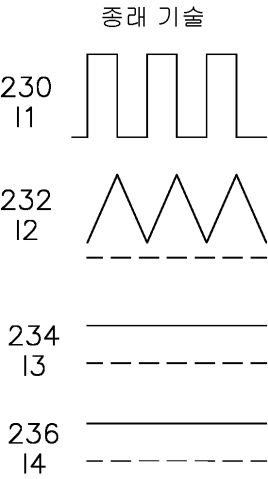
도면1



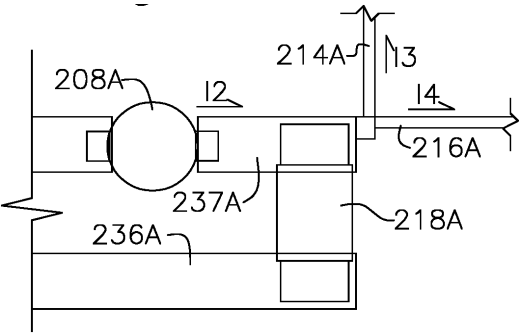
도면2a



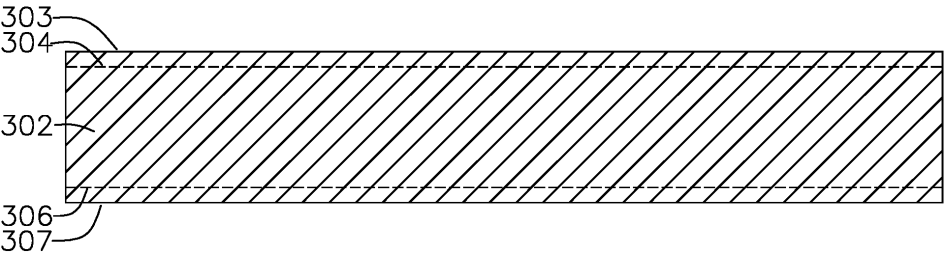
도면2b



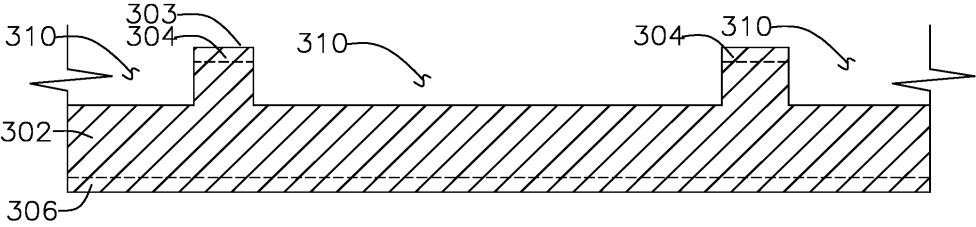
도면2c



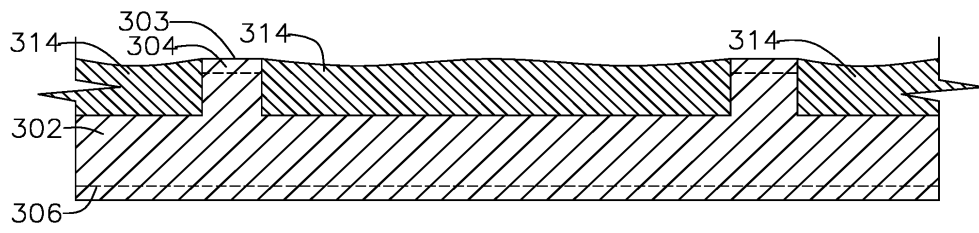
도면3a



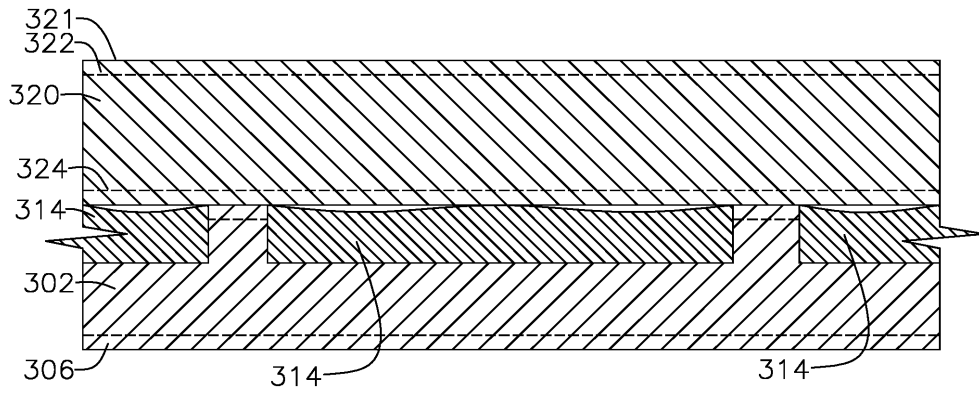
도면3b



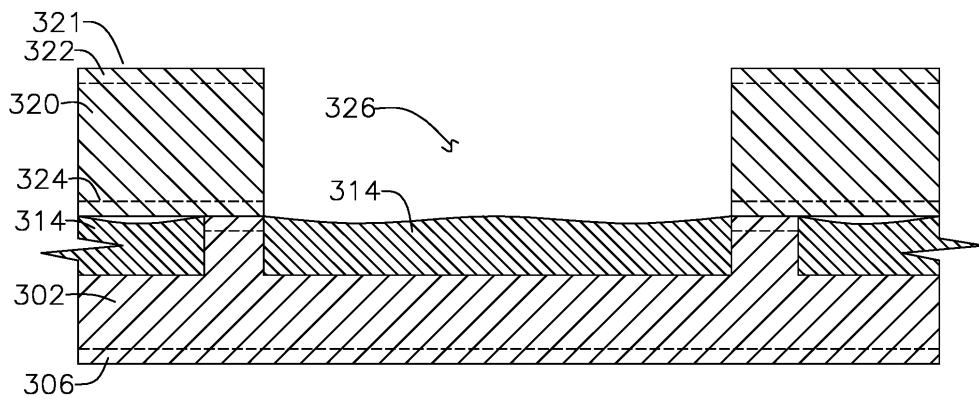
도면3c



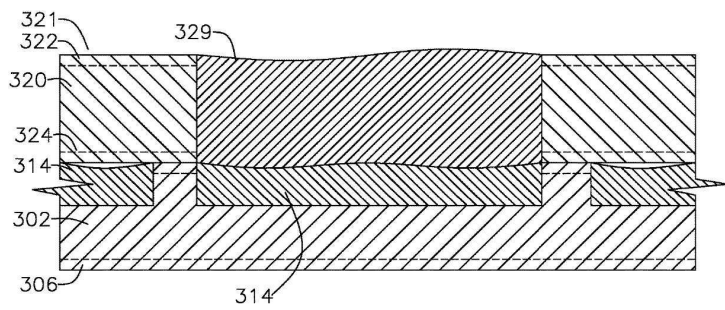
도면3d



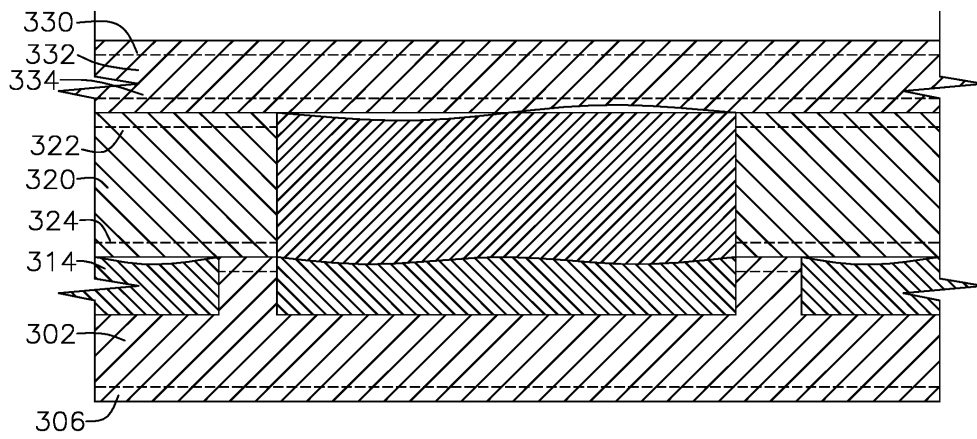
도면3e



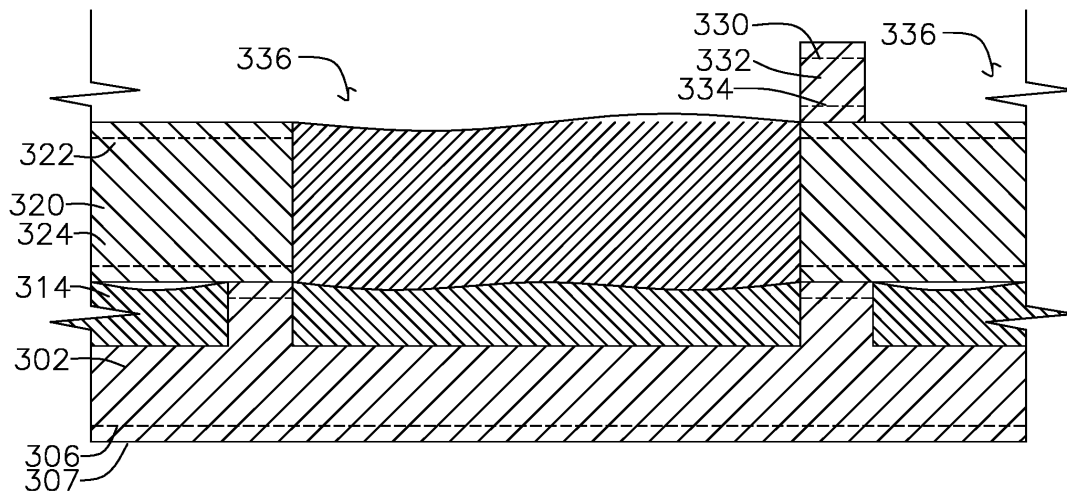
도면3f



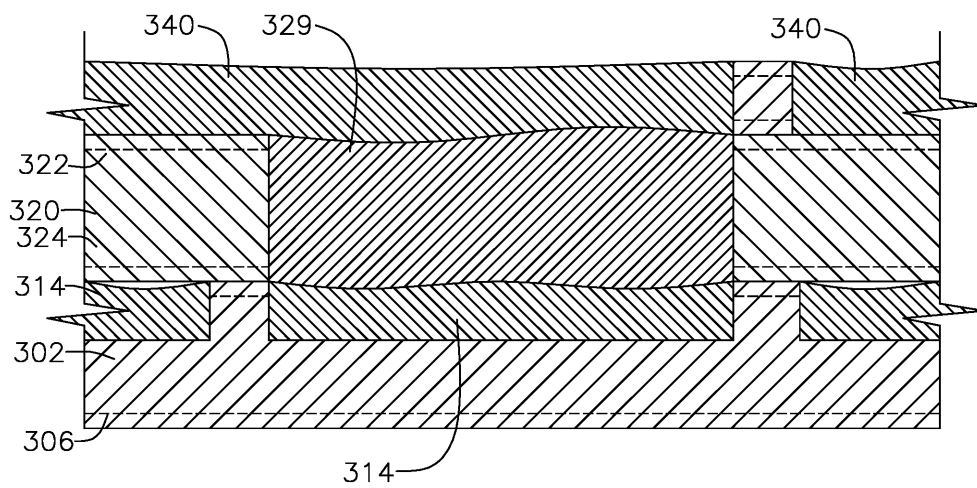
도면3g



도면3h



도면3i



도면4

긴 다층 트레이스 형성 과정

