(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3748137号

(P3748137)

(45)発行日　平成18年2月22日(2006.2.22)　(24)登録日　平成17年12月9日(2005.12.9)

(51)Int.Cl.			F I	
G02F	1/1343	(2006.01)	G02F	1/1343
G02F	1/1337	(2006.01)	G02F	1/1337
G02F	1/1368	(2006.01)	G02F	1/1368

請求項の数 7　(全 22 頁)

(21)出願番号　特願平8-295353
(22)出願日　平成8年11月7日(1996.11.7)
(65)公開番号　特開平10-142619
(43)公開日　平成10年5月29日(1998.5.29)
審査請求日　平成12年1月28日(2000.1.28)
審判番号　不服2003-9325(P2003-9325/J1)
審判請求日　平成15年5月22日(2003.5.22)

(73)特許権者　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　100080034
弁理士　原　謙三
(72)発明者　平石　洋一
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内

合議体
審判長　向後　晋一
審判官　樋口　信宏
審判官　鈴木　俊光

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【特許請求の範囲】

【請求項１】

走査配線と信号配線との交差部近傍にスイッチング素子が設けられ、該スイッチング素子に接続された画素電極を有する第１の基板と、該第１の基板に対向配置され、対向電極を有する第２の基板とを有し、上記基板間に液晶が封入されてなる液晶表示装置において、上記画素電極は層間絶縁膜を介して２層以上設けられ、少なくとも最上層の画素電極には、下層にある画素電極に対向する箇所に複数の開口部が設けられているとともに、該開口部のそれぞれの大きさは５０μｍ角以下であることを特徴とする液晶表示装置。

【請求項２】

上記最上層の画素電極の外形が下層の画素電極の外形よりも大きいことを特徴とする請求項１に記載の液晶表示装置。

【請求項３】

上記層間絶縁膜は、有機膜からなることを特徴とする請求項１、又は２に記載の液晶表示装置。

【請求項４】

上記最上層の画素電極は、上記層間絶縁膜を介してスイッチング素子と重畳していることを特徴とする請求項１、２、又は３に記載の液晶表示装置。

【請求項５】

上記最上層の画素電極は、上記層間絶縁膜を介して走査配線あるいは信号配線と重畳していることを特徴とする請求項１、２、３、又は４に記載の液晶表示装置。

【請求項６】
走査配線と信号配線との交差部近傍にスイッチング素子が設けられ、該スイッチング素子に接続された画素電極を有する第１の基板と、該第１の基板に対向配置され、対向電極を有する第２の基板とを有し、上記基板間に液晶が封入されてなる液晶表示装置において、上記画素電極には複数の開口部が形成されているとともに、該開口部のそれぞれの大きさは５０μｍ角以下であり、該画素電極と上記対向電極との間に電圧が印加されていることを特徴とする液晶表示装置。
【請求項７】
上記開口部は、ラビング方向に沿って開口していることを特徴とする請求項１、２、３、４、５又は６に記載の液晶表示装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、例えばコンピュータやテレビジョン装置等のディスプレイに利用され、薄膜トランジスタ等のスイッチング素子を備えた液晶表示装置に関するものである。
【０００２】
【従来の技術】
従来から、液晶表示装置は、その画面を見る角度によって相対的に配列状態の異なる液晶を光が通過することによる光透過率の視角依存性があり、特に斜め方向からは画面が見えにくくなることが知られている。従って、このような視角特性を向上させるために、様々な研究がなされている。
【０００３】
図１３は、特開平５－２７３５６９号公報に開示された液晶表示素子のアクティブマトリクス基板の１画素部分の構成を示す平面図である。図１３に示すように、上記アクティブマトリクス基板上には、ゲート配線５２とソース配線５３との交差部近傍に薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）５５が形成されている。
【０００４】
図１４に示すように、上記ＴＦＴ５５は、ガラス等の透明絶縁性基板５１ａ上に、前記ゲート配線５２に接続されたゲート電極５６と、ゲート絶縁膜５７と、アモルファスシリコンからなりゲート電極５６と重畳するように配置された半導体層５８とをこの順に有している。この半導体層５８上には、半導体層５８の一部を覆い、分断された状態で、オーミックコンタクト層としてn^+－Ｓｉ層５９・５９が形成されている。一方のn^+－Ｓｉ層５９上には前記ソース配線５３と接続されたソース電極６０が設けられ、他方のn^+－Ｓｉ層５９上には画素電極６２と接続されたドレイン電極６１が設けられている。
【０００５】
上記画素電極６２は前記ゲート配線５２とソース配線５３に囲まれた矩形領域に形成されており、画素電極６２上には、SiN_x やSiO_2 等からなる複数の透明絶縁膜６３が島状に配置されている。尚、透明絶縁膜６３は保護膜を兼ねている。さらに、ＴＦＴ５５、画素電極６２、及び透明絶縁膜６３上に、図示しない配向膜が形成されることにより、アクティブマトリクス基板が形成される。
【０００６】
一方、上記アクティブマトリクス基板に対向配置された透明絶縁性基板５１ｂ上には対向電極６５及び配向膜（図示せず）がこの順に形成され、これらの基板間に液晶６６が封入されることにより、液晶表示素子が形成される。
【０００７】
このような構造の液晶表示装置においては、画素電極６２上に透明絶縁膜６３が配設されていない部分ａ’では映像信号電圧がそのまま対向電極６５との間にかかるが、透明絶縁膜６３が配設されている部分ｂ’では映像信号電圧が液晶６６の静電容量と透明絶縁膜６３の静電容量との直列の容量を介して印加される容量分割電圧が印加される。
【０００８】

このように、１つの画素内で液晶６６への印加電圧が異なる２つの領域が形成されることになり、その結果、１つの画素内で液晶６６の光透過率の異なる２つの領域が形成されることになる。従って、画面を斜め方向から見たときの視角特性を向上させることができる。また、透明絶縁膜６３を形成するときに、テーパー部分ｃ’を設けることにより、ざらついた感じのないきれいな画面にすることができる。

【０００９】

【発明が解決しようとする課題】

しかしながら、上記従来の構成は、画素電極６２上に設けられた透明絶縁膜６３によって複数の凹凸領域が形成されているため配向乱れが生じ、表示特性が悪くなるという問題点を有している。この配向乱れは、部分ａ’と部分ｂ’に印加される電圧の差を大きくするために、透明絶縁膜６３の膜厚を厚くするほど起こりやすくなる。また、透明絶縁膜６３を厚くすると、部分ａ’と部分ｂ’とでセルギャップが変わってくるので、ギャップの制御が難しいという問題も生じてくる。

【００１０】

このような問題を解決するために、特開平７－１７５０３７号公報には、図１５に示すように、アクティブマトリクス基板側に設けられる配向膜６７を厚く形成し液晶６６との界面を平坦にすることで、配向不良を防止する液晶表示装置が開示されている。

【００１１】

しかしながら、配向乱れを防止するために配向膜６７の表面を平坦にしようとすると、少なくとも０．５μｍ（＝５００ｎｍ）程度の膜厚が必要であるが、この場合、印加電圧を上げなければならなくなるため消費電力が増大するという問題が生じる。また、配向膜６７として一般に用いられるポリイミドは、色が少し付いているため、表示品位を悪くするという問題もある。

【００１２】

本発明は、上記従来の問題点を解決するためになされたもので、その目的は、配向乱れを生じさせずに、１画素内に効果的に視角特性の異なる部分を形成し、視野角を広くすることができる液晶表示装置を提供することにある。

【００１３】

【課題を解決するための手段】

上記の目的を達成するために、本発明の請求項１に記載の液晶表示装置は、走査配線と信号配線との交差部近傍にスイッチング素子が設けられ、該スイッチング素子に接続された画素電極を有する第１の基板と、該第１の基板に対向配置され、対向電極を有する第２の基板とを有し、上記基板間に液晶が封入されてなる液晶表示装置において、上記画素電極は層間絶縁膜を介して２層以上設けられ、少なくとも最上層の画素電極には、下層にある画素電極に対向する箇所に複数の開口部が設けられているとともに、該開口部のそれぞれの大きさは５０μｍ角以下であることを特徴としている。

【００１４】

上記の構成によれば、スイッチング素子は各画素電極に接続されているので、スイッチング素子からの映像信号電圧は各画素電極に印加されることになる。そして、最上層の画素電極において開口部が形成されていない部分では、上記映像信号電圧は最上層の画素電極と対向電極との間の液晶にそのまま印加される。一方、開口部が形成されている部分では、対向電極と下層の画素電極との間に液晶と層間絶縁膜があるので、液晶の静電容量と層間絶縁膜の静電容量との直列の容量を介して印加される容量分割電圧がかかる。

【００１５】

従って、１つの画素内で液晶への印加電圧が異なる領域が２つ以上形成されることになり、その結果、１つの画素内で液晶の光透過率の異なる領域が２つ以上形成されることとなる。これにより、液晶表示装置の画面を斜め方向から見たときの視角特性を向上させることができる。

【００１６】

また、従来では液晶への印加電圧が異なる領域を形成するために、画素電極上に形成され

た島状の透明絶縁膜の膜厚によって、絶縁膜形成部分と非形成部分とへの印加電圧の調節を行うため、絶縁膜の厚み分だけ画素電極上に凹凸が生じていたが、本願構成では層間絶縁膜の膜厚、比誘電率、及び面積（開口部の面積と等しい）を調節すれば、最上層の画素電極の有無だけで液晶への印加電圧を調整することができるので、最上層の画素電極の膜厚分のみの凹凸しか生じない。これにより、画素電極の表面が平坦化されるので、配向乱れが生じるのを防止することが可能となる。

【００１７】

請求項２に記載の液晶表示装置は、請求項１に記載の構成に加えて、上記最上層の画素電極の外形が下層の画素電極の外形よりも大きいことを特徴としている。

【００１８】

上記の構成によれば、最上層の画素電極のみで液晶表示装置の開口率が決定されることになるので、下層の画素電極を小さく形成しても開口率は減少せず、下層の画素電極と信号配線との間隔を大きく取ることができる。この結果、電極と配線間のリーク不良を防止することが可能となり、高開口率の液晶表示装置が歩留り良く得られる。

【００１９】

請求項３に記載の液晶表示装置は、請求項１、又は２に記載の構成に加えて、上記層間絶縁膜が有機膜からなることを特徴としている。

【００２０】

上記の構成によれば、層間絶縁膜が有機膜で形成されているので、容易に膜厚を厚くすることができる。従って、開口部の形成部分と非形成部分とにおける液晶への印加電圧の差を大きくすることができ、より効果的に視角特性の異なる領域を設けることが可能となる。また、膜厚を厚くすると、配線部分やスイッチング素子を含めて表面を平坦化できるので、最上層の画素電極を配線部部やスイッチング素子上に配置することが可能となる。

【００２１】

請求項４に記載の液晶表示装置は、請求項１、２、又は３に記載の構成に加えて、上記最上層の画素電極が上記層間絶縁膜を介してスイッチング素子と重畳していることを特徴としている。

【００２２】

上記の構成によれば、通電動作中に層間絶縁膜と配向膜とが接する界面で電荷が誘起され層間絶縁膜が帯電する現象が起こっても、溜まった電荷を最上層の画素電極が放出するので、スイッチング素子がオフのときにリーク電流が流れるのを防止することができる。この結果、表示品位の劣化を抑えることができ、信頼性の高い液晶表示装置を得ることができる。

【００２３】

請求項５に記載の液晶表示装置は、請求項１、２、３、又は４に記載の構成に加えて、上記最上層の画素電極が上記層間絶縁膜を介して走査配線あるいは信号配線と重畳していることを特徴としている。

【００２４】

上記の構成によれば、従来では画素電極と配線との間に隙間があるために、第２の基板側に遮光膜を設ける必要があったが、本願では最上層の画素電極が走査配線あるいは信号配線と重なりを持つように設けられているので、遮光膜は必要ない。従って、生産効率を向上させると共に、コストダウンを図ることができる。

【００２５】

また、従来では、第１の基板と第２の基板との貼り合わせ精度が悪いために遮光膜と画素電極とが重なりを持つように貼り合わせなければならず、開口率の低下を招いていたが、本願ではマージンを設ける必要がないので、開口率を上げることができる。この結果、高輝度化もしくは低消費電力化が実現可能となる。

特に、層間絶縁膜を有機膜で形成すれば容易に膜厚を厚くできるので、配線と画素電極を重ね合せた場合でも寄生容量を抑えることができる。

【００２６】

請求項６に記載の液晶表示装置は、走査配線と信号配線との交差部近傍にスイッチング素子が設けられ、該スイッチング素子に接続された画素電極を有する第１の基板と、該第１の基板に対向配置され、対向電極を有する第２の基板とを有し、上記基板間に液晶が封入されてなる液晶表示装置において、上記画素電極には複数の開口部が形成されているとともに、該開口部のそれぞれの大きさは５０μｍ角以下であり、該画素電極と上記対向電極との間に電圧が印加されていることを特徴としている。

上記構成によれば、１つの画素内で液晶への印加電圧が異なる領域が２つ以上形成されることになり、その結果、１つの画素内で液晶の光透過率の異なる領域が２つ以上形成されることになるため、液晶表示装置の画面を斜め方向から見たときの視角特性を向上させることができる。

【００２７】

請求項７に記載の液晶表示装置は、請求項１、２、３、４、５又は６に記載の構成に加えて、上記開口部がラビング方向に沿って開口していることを特徴としている。

【００２８】

上記の構成によれば、開口部がラビング方向に沿って開口しているので、ラビング処理を行ったときにラビング不良が起こりにくい。これにより、開口部を設けることによる表示品位の劣化を防止することができる。

【００３６】

【発明の実施の形態】

〔実施の形態１〕

本発明の実施形態１について図１ないし図３、及び図９ないし図１２に基づいて説明すれば、以下の通りである。

【００３７】

本実施形態にかかる液晶表示装置は、図２に示すように、走査配線としてのゲート配線２と、信号配線としてのソース配線３と、付加容量（Ｃｓ）配線４とを有している。Ｃｓ配線４は、後述の下層画素電極１２との重畳部で付加容量を形成するためのものである。

【００３８】

ゲート配線２とソース配線３に囲まれた矩形領域が１画素分に対応しており、ゲート配線２とソース配線３の交差部近傍にはスイッチング素子としてのＴＦＴ５が形成される。図２には１画素分のみが示されているが、ＴＦＴ５はマトリクス状に配置されている。

【００３９】

上記ＴＦＴ５は、図１（図２のＡ－Ａ’矢視断面図）に示すように、ガラス等の透明絶縁性基板１ａ上に形成されたゲート電極６、ゲート絶縁膜７、半導体層８、n^+－Ｓｉ層９、ソース電極１０及びドレイン電極１１を備えている。

【００４０】

ゲート電極６は、厚さ３００ｎｍのタンタルやアルミニウム等で形成され、前記ゲート配線２に接続される。

ゲート電極６の上に設けられたゲート絶縁膜７は、厚さ３５０ｎｍのチッ化シリコン（SiN_x）等からなる。

ゲート絶縁膜７の上に設けられた半導体層８は、厚さ１００ｎｍのアモルファスシリコン等からなり、ゲート電極６と重畳するように配置される。

【００４１】

n^+－Ｓｉ層９は、厚さ８０ｎｍのμｃ（マイクロクリスタル）－n^+－Ｓｉ等からなり、上記半導体層８の一部を覆い、分断された状態でオーミックコンタクト層として配置される。

【００４２】

一方のn^+－Ｓｉ層９上に設けられたソース電極１０は、厚さ３００ｎｍのタンタル、アルミニウム、及びＩＴＯ(Indium Tin Oxide)等で形成され、前記ソース配線３と接続される。

【００４３】

他方のｎ$^{+}$－Ｓｉ層９上に設けられたドレイン電極１１は、厚さ３００ｎｍのタンタル、アルミニウム、及びＩＴＯ等で形成され、後述の下層画素電極１２と接続される。

【００４４】

また、上記矩形領域における画素部分は、上記ゲート絶縁膜７上に形成された下層画素電極１２、層間絶縁膜１３、及び上層画素電極１４を備えている。

【００４５】

上記下層画素電極１２は、液晶表示装置が透過型の場合には厚さ１００ｎｍのＩＴＯ等の透明導電膜からなり、ＴＦＴ５のドレイン電極１１に接続される。尚、反射型の場合には厚さ１００ｎｍのアルミニウム等の反射率の高い金属で形成すればよい。

【００４６】

層間絶縁膜１３は、厚さ５００ｎｍのチッ化シリコンからなり、下層画素電極１２と上層画素電極１４との間に配置されて２つの画素電極間を絶縁するものである。また、層間絶縁膜１３は、上記ＴＦＴ５上にも配置されて、ＴＦＴ５を保護している。この層間絶縁膜１３は、従来に保護膜として使用していた材料と同じものを使用できる。

【００４７】

上層画素電極１４は、厚さ５０ｎｍのＩＴＯ等の透明導電膜からなり、層間絶縁膜１３上に積層されると共に、ＴＦＴ５のドレイン電極１１に接続されている。このとき、上層画素電極１４の外形が下層画素電極１２の外形よりも大きくなるように形成されている。また、上層画素電極１４には、複数の開口部１４ａが形成されている。開口部１４ａは、例えば図２に示すような菱形パターンとし、下層画素電極１２が設けられた箇所に対向する上層画素電極１４面に複数個設けられる。この開口部１４ａの１つの大きさは、上層画素電極１４のサイズにもよるが数μｍ～十数μｍ程度にする。

【００４８】

上層画素電極１４の上には、厚さ５０ｎｍの配向膜（図示せず）が設けられている。以上のようにして、ＴＦＴ５が配置されたアクティブマトリクス基板（第１の基板）が構成される。

【００４９】

一方、上述のように構成されたアクティブマトリクス基板に対向配置された対向基板（第２の基板）は、図１に示すように、透明絶縁性基板１ｂ上に、対向電極１５及び配向膜（図示せず）がこの順に配置されてなる。

【００５０】

本実施形態における液晶表示装置は、上記アクティブマトリクス基板と対向基板との間に液晶１６が封入されることにより構成される。

【００５１】

次に、上記液晶表示装置における液晶１６の実効電圧について図１及び図３に基づいて説明する。

【００５２】

下層画素電極１２上に上層画素電極１４が配設されている部分ａでは、上層画素電極１４と対向電極１５との間にそのまま映像信号電圧が印加される。従って、部分ａでの等価回路は図３の（ａ）に示すようになり、部分ａにおける液晶１６の実効電圧V_{LC}は、以下のように表される。

【００５３】

【数１】

$$V_{LC} = \frac{C_1 \ C_2}{C_1 \ C_2 + C_{LC}\ (C_1 + C_2)}\ V_{ap} \quad \cdots(1)$$

【００５４】

但し、C_1 は対向基板側の配向膜の静電容量、C_2 はアクティブマトリクス基板側の配向膜の静電容量、C_{LC}は液晶１６の静電容量、V_{ap}は印加電圧であり、図３中のC_s はＣｓ

配線４による付加容量である。

【００５５】

一般に、静電容量は、次の容量式で定義される。但し、ε_0 は真空誘電率、ε_s は誘電膜材比誘電率、Ｓは誘電膜の面積、ｄは誘電膜の膜厚である。

【００５６】

【数２】

$$C = \varepsilon_0 \ \varepsilon_s \ \frac{S}{d}$$

【００５７】

ここで、配向膜の面積（Ｓ）を一定とし、対向基板側とアクティブマトリクス基板側との配向膜を同じ材料としたとき、上記（１）式に容量式を代入することによって、部分ａの実効電圧V_{LC}は、以下のように表される。

【００５８】

【数３】

$$V_{LC} = \frac{\varepsilon_{or}}{\varepsilon_{or} + \varepsilon_{LC} \ (d_1 + d_2) \ / \ d_{LC}} \ V_{ap} \cdots (2)$$

【００５９】

但し、ε_{or}は配向膜材比誘電率、ε_{LC}は液晶材比誘電率、d_1 は対向基板側の配向膜膜厚、d_2 はアクティブマトリクス基板側の配向膜膜厚、及びd_{LC}は液晶１６の実効セル厚である。

【００６０】

一方、下層画素電極１２上に上層画素電極１４が配設されていない部分ｂ（開口部１４ａ）での等価回路は図３の（ｂ）に示すようになり、層間絶縁膜１３の静電容量C_p と液晶１６の静電容量C_{LC}と配向膜の静電容量C_1 , C_2 との直列の容量を介して印加される容量分割電圧がかかる。従って、上記部分ｂにおける液晶１６の実効電圧V_{LC}は、次のように表される。

【００６１】

【数４】

$$V_{LC} = \frac{C_1 \ C_2 \ C_p}{C_1 \ C_2 \ C_p + C_{LC} \ (C_1 \ C_2 + C_1 \ C_p + C_2 \ C_p)} \ V_{ap} \cdots (3)$$

【００６２】

部分ａの場合と同様にして（３）式に容量式を代入すると、部分ｂの実効電圧V_{LC}は、以下に示すようになる。但し、ε_p は層間絶縁膜材比誘電率であり、d_p は層間絶縁膜１３の膜厚である。

【００６３】

【数５】

$$V_{LC} = \frac{\varepsilon_{or} \ \varepsilon_p}{\varepsilon_{or} \ \varepsilon_p + \varepsilon_{LC} \ (d_1 \ \varepsilon_p + d_2 \ \varepsilon_p + d_p \ \varepsilon_{or}) \ / \ d_{LC}} \ V_{ap} \cdots (4)$$

【００６４】

上記（１）ないし（４）式からわかるように、本実施形態における液晶表示装置は、１つの面素内で液晶１６への印加電圧（実効電圧V_{LC}）が異なる２つの領域が形成されることになり、その結果、１つの画素内で液晶１６の光透過率の異なる２つの領域が形成されることとなる。従って、液晶表示装置の画面を斜め方向から見たときの視角特性を向上させることができる。

【００６５】
このとき、映像信号電圧が直接かかる箇所は層間絶縁膜１３上に上層画素電極１４が形成されている箇所（部分ａ）であり、容量分割電圧がかかる箇所は上層画素電極１４の開口部１４ａ（部分ｂ）であるので、層間絶縁膜１３の膜厚d_p、比誘電率ε_p、及び面積（開口部１４ａの面積）を調節すれば、上層画素電極１４の有無だけで実効電圧V_{LC}の調節が可能である。
【００６６】
従って、上層画素電極１４上に形成された配向膜の表面の凹凸部の段差は、上層画素電極１４の膜厚（５０ｎｍ程度）のみで決まり、ほぼ平坦であるので、配向乱れを最小限に抑えることができる。この結果、良好な表示品位の液晶表示装置を得ることが可能となる。
【００６７】
また、本実施形態のアクティブマトリクス基板には、下層画素電極１２及びソース配線３と、上層画素電極１４との間に層間絶縁膜１３が設けられているので、ソース配線３に対して上層画素電極１４を近づけて、もくしは多少重ね合うように形成してもリークすることがない。また、下層画素電極１２とソース配線３とは同層に形成されているが、下層画素電極１２とソース配線３との間にも層間絶縁膜１３が設けられているので、これらの間でもリークすることはない。
【００６８】
つまり、従来では画素電極とソース配線が同層に形成されていたため、これらをあまり近づけるとリークしてしまい良品率を著しく悪くしていたが、本構成では上層画素電極１４及びソース配線３を互いに近づけて形成してもリーク不良が起こりにくいので、良品率を向上させることが可能となる。
【００６９】
さらに、上層画素電極１４の外形が下層画素電極１２の外形よりも大きく形成され、上層画素電極１４の下層画素電極１２よりも大きく形成された領域には開口部１４ａはないので、上層画素電極１４の大きさで液晶表示装置の開口率が決定されることになる。従って、下層画素電極１２を小さく形成しても開口率は減少しないため、下層画素電極１２とソース配線３との間隔を大きく取ることができる。この結果、下層画素電極１２とソース配線３との間のリーク不良をさらに防止することが可能となり、高開口率の液晶表示装置が歩留り良く得られる。
【００７０】
次に、上記の構成の液晶表示装置の性能評価を行った結果を表１に示す。ここで、液晶材としては中間調表示時に比誘電率ε_{LC}が６．０でセル厚d_{LC}が４．５μｍのものを用いた。また、配向膜材としては比誘電率ε_{or}が３．４のポリイミドを用い、配向膜の膜厚d_1，d_2を各々５０ｎｍとした。尚、実効電圧は中間調表示時を元に上記（２），（４）式を用いて算出し、視野角制御を行わない場合の実効電圧を１００％としたときの値を示しており、電圧差は部分ａと部分ｂとの実効電圧の差を示している。
【００７１】
【表１】

	実施形態１		実施形態２	
	部分ａ	部分ｂ	部分ａ	部分ｂ
比誘電率 ε_{or}	3.4	3.4	3.4	3.4
比誘電率 ε_{LC}	6.0	6.0	6.0	6.0
比誘電率 ε_{p}	—	8.0	—	3.4
膜厚 d_1（nm）	50	50	50	50
膜厚 d_2（nm）	50	50	50	50
セル厚 d_{LC}（μm）	4.5	4.5	4.5	4.5
膜厚 d_p（nm）	—	500	—	1500
層間絶縁膜材	—	SiN_x	—	アクリル
実効電圧（%）	96.18	88.95	96.18	61.12
電圧差（%）	—	-8.13	—	-57.37

【００７２】
また、比較のために、従来技術として説明した特開平５－２７３５６９号公報に示されたパネル（図１４参照）を比較例１，２として、特開平７－１７５０３７号公報に示されたパネル（図１５参照）を比較例３，４として、各々性能評価を行った結果を表２に示す。尚、表２中の比誘電率 ε_p 及び膜厚 d_p は、透明絶縁膜６３のものである。
【００７３】
【表２】

	比較例1		比較例2		比較例3		比較例4	
	部分a'	部分b'	部分a'	部分b'	部分a'	部分b'	部分a'	部分b'
比誘電率 ε_{or}	3.4	3.4	3.4	3.4	3.4	3.4	3.4	3.4
比誘電率 ε_{LC}	6.0	6.0	6.0	6.0	6.0	6.0	6.0	6.0
比誘電率 ε_{P}	—	8.0	—	8.0	—	4.0	—	4.0
膜厚 d_1（nm）	50	50	50	50	50	50	50	50
膜厚 d_2（nm）	50	50	50	50	500	100	1000	500
ｾﾙ厚 d_{LC}（μm）	4.5	4.2	4.5	4.0	4.5	4.5	4.5	4.5
膜厚 d_P（nm）	—	300	—	500	—	400	—	500
透明絶縁膜材	—	SiN_x	—	SiN_x	—	SiO_2	—	SiO_2
実効電圧（%）	96.18	91.16	96.18	88.25	82.05	83.69	70.55	72.06
電圧比（%）	—	-5.50	—	-8.98	—	-1.96	—	-2.10

【００７４】

尚、比較を容易にするために、本実施形態の場合と同様に、液晶材として中間調表示時に比誘電率ε_{LC}が６．０で透明絶縁膜６３のない部分ａ’のセル厚d_{LC}が４．５μｍのものを用いた。また、配向膜材としては比誘電率が３．４のポリイミドを用い、対向基板側の配向膜の膜厚d_1を５０ｎｍとし、アクティブマトリクス基板側の配向膜の膜厚d_2を比較例３，４以外は５０ｎｍとした。また、透明絶縁膜６３として、比較例１，２ではチッ化シリコン（ε_P＝８．０）を用い、比較例３，４は酸化シリコン（ε_P＝４．０）を用いた。

【００７５】

この結果、本実施形態の液晶表示装置は、特性的には比較例２とほぼ同等のものが配向乱れを生ずることなく、また、セルギャップも容易に得られることがわかった。

【００７６】
また、比較例１，２の部分ａ’と、本実施形態の部分ａとの実効電圧は同じであるが、開口率が増加した分だけバックライトからの光量を落とすことができるので、消費電力を下げることが可能となることがわかる。例えば、11.3型ＳＶＧＡで、従来では開口率が６５％であったが、本構成では７５～８０％となり、12.1型ＸＧＡで、従来では６０％であったが、本構成では７０～７５％という結果が得られた。
【００７７】
例えば、従来の開口率を６０％としたとき、本実施形態の構成によって開口率が８０％に向上したとすると、バックライトの光量を３３％落しても同じ明るさが得られることになる。
【００７８】
尚、比較例１，２に関しては、透明絶縁膜６３の膜厚d_pを厚くした方が効果的になることがわかるが、この場合には配向乱れが生じると共に、セルギャップが変ってくるのでギャップコントロールが難しくなり、実質的には使用できない。
【００７９】
また、比較例３，４に関しては、配向膜６７のポリイミドと透明絶縁膜６３の酸化シリコンとでは比誘電率の違いが少ないため、あまり効果的に電圧が分圧されないことがわかった。さらに、配向乱れを防止するために配向膜６７の表面を平坦にしようとすると少なくとも５００ｎｍ（＝０．５μｍ）程度の膜厚が必要であるが、印加電圧を上げなければならなくなるので消費電力が増大する。
【００８０】
次に、上記液晶表示装置の製造方法について説明する。
まず、図９及び図１に示すように、透明絶縁性基板１ａ上に、ゲート配線２及びゲート電極６と、Ｃｓ配線４とを同時に形成する。尚、上記図９に示すように、Ｃｓ配線４と下層画素電極１２との重畳部で付加容量を形成してもよいが（Ｃｓ　ｏｎ　Ｃｏｍ方式）、図１０に示すように、下層画素電極１２と、その下層画素電極１２とは異なる層に形成されたゲート配線２とを重ね合せて付加容量を形成してもよい（Ｃｓ　ｏｎ　Ｇａｔｅ方式）。
【００８１】
続いて、ゲート配線２、ゲート電極６、及びＣｓ配線４の上を覆ってゲート絶縁膜７を形成する。尚、ゲート絶縁膜７の代わりに、ゲート配線２、ゲート電極６、及びＣｓ配線４に陽極酸化法により陽極酸化膜を形成してもよい。この場合にはスパッタ法やＣＶＤ法等で作る絶縁膜に比べて、ピンホールの少ない緻密な膜ができる。
【００８２】
その後、ゲート電極６と重畳するように半導体層８を形成し、この半導体層８の一部を覆い、分断された状態にn^+－Ｓｉ層９を形成する。
【００８３】
そして、下層画素電極１２を形成した後に、ソース配線３とＴＦＴ５のソース電極１０及びドレイン電極１１とを形成する。このように、下層画素電極１２とソース配線３とを別の材料を用いて製造する場合、ソース配線３を２層にして形成してもよい。例えば、下層画素電極１２をＩＴＯで形成する場合、下層画素電極１２のＩＴＯを用いてソース配線３の１層目を形成し、次にアルミニウムやタンタル等の金属を用いて２層目を形成する。これにより、ＩＴＯと金属の両方が同じ箇所で断線していない限り断線不良にはならないため、断線冗長性を持たせることができる。尚、下層画素電極１２とソース配線３を同じ材料を用いて同時に形成することも可能である。この場合には、製造工程を少なくすることができるので、コスト低減及び生産効率の向上を図ることができる。
【００８４】
その後、ソース電極１０、ドレイン電極１１、及び下層画素電極１２上に層間絶縁膜１３を形成し、ＴＦＴ５と上層画素電極１４との接続部分と、図示しない外部接続基板との接続部分とをエッチングして取り除きコンタクト部を形成する。そして、層間絶縁膜１３上

に上層画素電極１４を形成することにより、上層画素電極１４は、コンタクト部を介して、ＴＦＴ５のドレイン電極１１と接続されることになる。次に、上層画素電極１４に開口部１４ａを形成する。このようにして、アクティブマトリクス基板が作成される。

【００８５】

対向基板は、透明絶縁性基板１ｂ上に、対向電極１５及び配向膜をこの順に積層して形成する。

最後に、アクティブマトリクス基板と対向基板との間に液晶１６を封入して、これらの基板を貼り合わせる。

【００８６】

次に、上記アクティブマトリクス基板の検査方法について図１１及び図１２に基づいて説明する。

【００８７】

従来から、特に高精細のパネルでは、配線と面素電極がリークしてしまうことがある。これは面素電極と同層にあるソース配線との間に特に起こりやすい。むろん、ゲート配線と画素電極とが同層にあればゲート配線とリークしやすい。そこでリーク部分をレーザーカットで修正することが一般に行われているが、透明絶縁膜（本願の層間絶縁膜１３に相応）を形成後にこのような修正を行うと、レーザーカットする際の熱によって透明絶縁膜が熱だれを起こしてしまうことがある。これは当然ながら透明絶縁膜として、耐熱性の低い有機樹脂を用いた場合に顕著に起こる。また、レーザーカット後のかすが残り、表示品位を落してしまうという問題もある。

【００８８】

本願では、上述のようにソース配線３と、ＴＦＴ５のソース電極１０及びドレイン電極１１とを形成した段階で検査を行う。これは、早い段階で不良が発見されれば材料損失が少なく、また早い段階の方が修正が行いやすいからである。本実施形態では、以下に示すボルテージ・イメージ法を用いて検査を行った。

【００８９】

まず、正または負の電圧（例えば＋２０Ｖまたは－２０Ｖ）のいずれかの信号をソース配線３より入力し、ドレイン電極１１及び下層画素電極１２に電荷をチャージする。図１１では、１２ａが正に帯電された下層画素電極１２であり、１２ｂが負に帯電された下層画素電極１２である。

【００９０】

下層画素電極１２を上記のような状態にして、検査装置を動作させる。即ち、上記検査装置におけるランプ３１からの光Ｓをハーフミラー３２を介して反射板３４を有する光学変調素子３３に照射する。

【００９１】

ここで、光学変調素子３３はポッケルス素子であり、ポッケルス素子とは置かれた場所の電界強度に応じて屈折率が変化する特殊な結晶板のことである。そのため、反射板３４に照射された光Ｓの反射光Ｒの偏光状態は、画素の表面電位に応じて変化する。

【００９２】

その反射光Ｒを１／４波長板３５によって位相分を除去し、ＣＣＤ３６で撮像する。この構成により、撮像信号が画素の表面電位として扱えるようになる。その撮像結果を画像処理し、基準パターンと比較して良否を判定する。このとき、図１２に示すように、１枚の透明絶縁性基板１ａを８×６に分け、蛇行するように１列ずつ上記検査を繰返し行うことにより、効率よく検査を行うことができる。

【００９３】

判定の結果、リークしていることが判明した場合、どこでリークしているかもわかるので、リーク箇所に光エネルギーとしてＹＡＧ(Yttrium Aluminum Garnet) レーザ光を照射して修正を行う。このときのレーザ光のエネルギーは10^{-9}～10^{-6}Ｊ／μm^2とした。リーク箇所にレーザ光を照射することで照射部の導電体を四散させ、ソースバスライン間を電気的に絶縁状態にすることができる。

【００９４】
本実施形態の検査方法では、早い段階で良否の判定が行えるため、余分な材料を使用することがなくなりコストダウンが図れる。また、早い段階であれば修正は行いやすいので、修正を行うことでやはりコストダウンが図れる。
【００９５】
〔実施の形態２〕
本発明の実施形態２について図４及び図５に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施形態の図面に示した部材と同一の部材には同一の符号を付記し、その説明を省略する。
【００９６】
本実施形態にかかる液晶表示装置は、図５に示すように、実施形態１の層間絶縁膜１３及び上層画素電極１４の代わりに、層間絶縁膜２３及び上層画素電極２４を備えており、その他の構成については実施形態１と同じである。
【００９７】
層間絶縁膜２３は、厚さ１．５μｍの感光性アクリル樹脂（感光性有機膜）からなり、下層画素電極１２及びＴＦＴ５と、上層画素電極２４との間に配置されて、下層画素電極１２と上層画素電極２４の間を絶縁すると共に、ＴＦＴ５のソース電極１０及びドレイン電極１１と上層画素電極２４との間を絶縁するものである。
【００９８】
ここで、層間絶縁膜２３は、スピン塗布法により形成される。そして、このアクリル樹脂に対して、所望のパターンに従って露光し、アルカリ性の溶液によって現像処理すると、露光された部分のみがアルカリ性の溶液によってエッチングされ、図４に示すように、層間絶縁膜２３を貫通するコンタクトホール２３ａが形成される。このコンタクトホール２３ａはＣｓ配線４上に形成される。
【００９９】
上層画素電極２４は、厚さ１００ｎｍのＩＴＯ等の透明導電膜からなり、層間絶縁膜２３上に積層されている。このとき、ＴＦＴ５、ソース配線３、及びゲート配線２にも上層画素電極２４が重畳されるようにする。
【０１００】
また、上層画素電極２４は、層間絶縁膜２３に形成されたコンタクトホール２３ａを介して下層画素電極１２に接続され、この結果、ＴＦＴ５のドレイン電極１１と接続されることとなる。また、上層画素電極２４には、複数の開口部２４ａが形成されている。開口部２４ａは、例えば図４に示すような菱形パターンとし、下層画素電極１２が設けられた箇所に対向する上層画素電極２４全面に形成する。この開口部２４ａの大きさは、上層画素電極２４のサイズにもよるが数μｍ～十数μｍ程度にする。
【０１０１】
上記構成の液晶表示装置の等価回路は、実施形態１と同様に図３に示すものとなる。従って、前記（２），（４）式から、層間絶縁膜２３の膜厚、比誘電率、及び面積のうち２つが決まれば残る１つが決まるため、比誘電率及び面積を調整することで、層間絶縁膜２３の膜厚を調整することが可能である。これにより、本実施形態における液晶表示装置は、層間絶縁膜２３の膜厚を厚く形成することにより、配線部分やＴＦＴ５上の配向膜を平坦化することができ、表示品位の向上が図れる。
【０１０２】
また、本構成では、層間絶縁膜２３をアクリル樹脂等の有機膜で形成しているので、スピン塗布法等で容易に厚膜化することができる。また、実施形態１で用いたチッ化シリコン等の無機膜は、Ｐ－ＣＶＤ法等で成膜するため膜厚を厚くすればするほど時間がかかり生産性を悪くしてしまうが、有機膜を使用すれば膜厚を厚くした場合でも無機膜ほど生産性が落ちることはない。
【０１０３】
さらに、層間絶縁膜２３を感光性樹脂で形成しているので、フォトレジスト塗布工程が省

略でき、プロセスの短縮が図れる。

【０１０４】

また、層間絶縁膜２３が厚く形成されているので、実施形態１の場合と比較して、さらに、下層画素電極１２及びソース配線３と、上層画素電極２４との間のリークを防止することができる。

【０１０５】

さらに、下層画素電極１２と上層画素電極２４とを接続するコンタクトホール２３ａはＣｓ配線４上に形成されているので、表示品位を落とすことはない。即ち、コンタクトホール２３ａが形成された箇所は当然平坦ではないので、コンタクトホール２３ａがＣｓ配線４上に形成されなければ、そこでは配向乱れが生じ光漏れがあり表示品位を落してしまうが、本構成ではＣｓ配線４でその部分を隠しているので、表示品位は保たれる。これは、Ｃｓ　ｏｎ　Ｃｏｍ方式だけではなく、Ｃｓ　ｏｎ　Ｇａｔｅ方式でも同じであり、その場合は隣のゲート配線上でコンタクトを取ってやるとよい。

【０１０６】

ところで、層間絶縁膜２３と配向膜とが接する界面では、通電動作中に電荷が誘起され、層間絶縁膜２３が帯電する現象が起こる。このような現象が生じると、ＴＦＴ５がオフのときにＴＦＴ５に電荷がかかりソース－ドレイン間にリーク電流が流れて表示品位が低下してしまう。本実施形態における液晶表示装置は、上層画素電極２４がＴＦＴ５と重畳する構成であるので、ＴＦＴ５上の上層画素電極２４によって電荷を放出し、上記帯電現象を抑えることができる。この結果、ＴＦＴ５のオフ特性の劣化が避けられ、高信頼性の液晶表示装置を得ることができる。上記帯電現象は、層間絶縁膜２３が有機膜の方が無機膜の場合よりも起こりやすく、またエージング時等の高温動作時に起こりやすいので、このような場合に特に有効である。

【０１０７】

また、従来では画素電極と配線との間に隙間があるために、対向基板側にＢＭ(Black Matrix)等の遮光膜を設ける必要があったが、本構成では上層画素電極２４がソース配線３あるいはゲート配線２と重なりを持つように設けられているので、対向基板側に遮光膜を設ける必要ない。従って、生産効率を向上させると共に、コストダウンを図ることができる。

【０１０８】

さらに、従来では、対向基板とアクティブマトリクス基板との貼り合わせ精度が悪いために、貼り合わせ精度分（数μｍ程度）だけ遮光膜と画素電極とを重ねて形成しなければならず、開口率の低下を招いていたが、本構成ではマージンを設ける必要がないので、開口率を上げることができる。この結果、高輝度化もしくは低消費電力化が実現可能となる。

【０１０９】

このとき、層間絶縁膜２３を厚く形成しているので、ソース配線３あるいはゲート配線２と、上層画素電極２４とを重ね合せた場合でも寄生容量を抑えることができる。

【０１１０】

次に、実施形態１と同様に上記の構成の液晶表示装置の性能評価を行った結果を前記表１に示す。ここで、液晶材及び配向膜材ともに、実施形態１と同様のものを用いた。

【０１１１】

この結果、本実施形態の液晶表示装置は、実施形態１よりも大きな電圧差を有するものが配向乱れを生ずることなく、また、セルギャップも容易に得られることがわかった。

【０１１２】

さらに、前記比較例１，２の部分ａ’と、実施形態１の部分ａと、本実施形態の部分ａとの実効電圧は同じであるが、開口率が増加した分だけバックライトからの光量を落とすことができるので、消費電力を下げることが可能となることがわかる。例えば、11.3型ＳＶＧＡで、従来では開口率が６５％であったが、本構成では８５％となり、12.1型ＸＧＡで、従来では６０％であったが、本構成では８０％という結果が得られた。

【０１１３】

尚、実施形態２では層間絶縁膜２３としてアクリル樹脂を用いたが、これに限られることはない。しかしながら、層間絶縁膜２３としては、比誘電率が低く透明度の高いもの、具体的には過視光領域の透過率が９０％以上のものが好ましく、例えば、ポリアミドイミド（ε_p＝３．５～４．０）、ポリアリレート（ε_p＝３．０）、ポリエーテルイミド（ε_p＝３．２）、エポキシ（ε_p＝３．５～４．０）、及び透明度の高いポリイミド（ε_p＝３．０～３．４：例えばヘキサフルオロプロピレンを含む酸二無水物とジアミンとの組合わせ）等を用いることができる。

【０１１４】

尚、上記実施形態１、２では、上層画素電極に形成された開口部は菱形パターンとしたが、これに限られることはない。例えば、上層画素電極２５に斜めストライプ（スリット）の開口部２５ａが形成された構造（図６参照）、上層画素電極２６の上部分に大きな開口部２６ａが１つ形成された構造（図７参照）、並びに上層画素電極２７に縦ストライプ（スリット）の開口部２７ａが形成された構造（図８参照）等が考えられる。

【０１１５】

但し、層間絶縁膜の面積（開口部の面積）と、上層画素電極の面積（開口部以外の面積）とが所定の面積比を有する必要がある。この面積比は、人間の目に開口部とそれ以外との両方の情報が混じり合って見えることによって広視野角化を達成することができる値に設定する。

【０１１６】

ここで、開口部は、ラビング方向に沿って形成した方がラビング不良が起こらないため望ましい。例えば図２の菱形パターンの場合には４５度方向（菱形の辺に平行な方向）にラビング処理を行っている。さらに、図７のような大きな開口部２６ａよりも図２のような小さな開口部１４ａの方が１つ１つの開口部が目立たなくなるので好ましく、１つの開口部の大きさは５０μｍ角以下が望ましい。

【０１１７】

尚、上記実施形態１、２では画素電極を上層画素電極と下層画素電極の２層構造としたが、画素電極を３層以上にしても同様の効果が得られる。また、下層面素電極をゲート絶縁膜上一面に形成したが、上層画素電極と入れ子状に形成しても同様の効果が得られる。

本発明の液晶表示装置の製造方法は、基板上に、複数のスイッチング素子と複数の最下層の画素電極とを各々接続させてマトリクス状に形成すると共に、該スイッチング素子に接続させて走査配線及び信号配線を互いに交差するように形成する第１の工程と、上記最下層の画素電極上に、層間絶縁膜を介した１層以上の上層の画素電極を上記スイッチング素子と電気的に接続されるように形成する第２の工程と、最上層の画素電極の、下層にある画素電極に対向する箇所に開口部を形成する第３の工程と、上記基板とそれに対向する対向基板との間に液晶を封入する第４の工程とを備えることを特徴としている。

上記の方法によれば、液晶表示装置を最低限のコストアップで容易に作成することができる。

上記の液晶表示装置の製造方法は、上記第１の工程において、最下層の画素電極と走査配線あるいは信号配線とを異なる材料で形成し、上記走査配線あるいは信号配線を画素電極材を含む２層に形成することを特徴としている。

上記の方法によれば、最下層の画素電極を形成するときに、走査配線あるいは信号配線の１層目も同時に形成し、その後画素電極材とは異なる材料を用いて配線の２層目を形成する。これにより、異なる材料の同じ箇所が断線しない限り、断線不良とはならないので、断線冗長性を持たせることが可能となる。

上記の液晶表示装置の製造方法は、上記第１の工程と第２の工程との間で、不良箇所の有無を検査することを特徴としている。

上記の方法によれば、製造過程の早い段階で良否の判定を行うことができるため、余分な材料を使用することがなく、コストダウンが図れる。

上記の液晶表示装置の製造方法は、上記の検査の結果、不良箇所が発見された場合に該不良個所を修正することを特徴としている。

上記の方法によれば、最下層の画素電極と走査配線あるいは信号配線との間で最もリークが起こりやすいので、これらが形成された段階で不良箇所を修正すれば、効率よく修正を行うことができる。これにより、さらにコストダウンを図れる。

【０１１８】

【発明の効果】

以上のように、本発明の請求項１に記載の液晶表示装置は、画素電極が層間絶縁膜を介して２層以上設けられ、少なくとも最上層の画素電極には、下層にある画素電極に対向する箇所に複数の開口部が設けられているとともに、該開口部のそれぞれの大きさは５０μｍ角以下である構成である。

【０１１９】

これにより、最上層の画素電極の膜厚分のみの凹凸しか生じず、画素電極の表面が平坦化されるので、配向乱れが生じることなく、視角特性を向上させることができるという効果が得られる。

【０１２０】

請求項２に記載の液晶表示装置は、請求項１に記載の構成に加えて、上記最上層の画素電極の外形が下層の画素電極の外形よりも大きい構成である。

これにより、下層の画素電極と信号配線との間隔を大きく取ることができるので、電極と配線間のリーク不良を防止することが可能となり、高開口率の液晶表示装置が歩留り良く得られるという効果を奏する。

【０１２１】

請求項３に記載の液晶表示装置は、請求項１、又は２に記載の構成に加えて、上記層間絶縁膜が有機膜からなる構成である。

これにより、層間絶縁膜の膜厚を容易に厚くすることができるので、より効果的に視角特性の異なる領域を設けることが可能となる。

【０１２２】

請求項４に記載の液晶表示装置は、請求項１、２、又は３に記載の構成に加えて、上記最上層の画素電極が上記層間絶縁膜を介してスイッチング素子と重畳している構成である。

【０１２３】

これにより、スイッチング素子がオフのときにリーク電流が流れるのを防止することができるので、表示品位の劣化を抑えることができ、信頼性の高い液晶表示装置を得ることができるという効果を奏する。

【０１２４】

請求項５に記載の液晶表示装置は、請求項１、２、３、又は４に記載の構成に加えて、上記最上層の画素電極が上記層間絶縁膜を介して走査配線あるいは信号配線と重畳している構成である。

これにより、遮光膜を設ける必要がないので、生産効率を向上させ、コストダウンを図ることができると共に、貼り合わせの際のマージンを設ける必要がないので、開口率を上げて高輝度化もしくは低消費電力化が実現可能となるという効果を奏する。

【０１２５】

請求項６に記載の液晶表示装置は、走査配線と信号配線との交差部近傍にスイッチング素子が設けられ、該スイッチング素子に接続された画素電極を有する第１の基板と、該第１の基板に対向配置され、対向電極を有する第２の基板とを有し、上記基板間に液晶が封入されてなる液晶表示装置において、上記画素電極には複数の開口部が形成されているとともに、該開口部のそれぞれの大きさは５０μｍ角以下であり、該画素電極と上記対向電極との間に電圧が印加されている構成である。

これにより、１つの画素内で液晶への印加電圧が異なる領域が２つ以上形成されることになり、その結果、１つの画素内で液晶の光透過率の異なる領域が２つ以上形成されることになるため、液晶表示装置の画面を斜め方向から見たときの視角特性を向上させることができるという効果が得られる。

【０１２６】

請求項７に記載の液晶表示装置は、請求項１、２、３、４、５又は６に記載の構成に加えて、上記開口部がラビング方向に沿って開口している構成である。これにより、ラビング処理を行ったときにラビング不良が起こりにくいので、開口部を設けることによる表示品位の劣化を防止することができるという効果を奏する。

【図面の簡単な説明】

【図１】本発明の実施形態１にかかる液晶表示装置におけるアクティブマトリクス基板の１画素部分の構成を示す断面図である。

【図２】上記液晶表示装置を示す平面図である。

【図３】上記液晶表示装置の１画素内の等価回路を示す回路図である。

【図４】本発明の実施形態２にかかる液晶表示装置におけるアクティブマトリクス基板の１画素部分の構成を示す平面図である。

【図５】図４の液晶表示装置のＢ－Ｂ’矢視断面図である。

【図６】液晶表示装置における他の上層画素電極の構成を示す平面図である。

【図７】液晶表示装置におけるその他の上層画素電極の構成を示す平面図である。

【図８】液晶表示装置におけるさらに他の上層画素電極の構成を示す平面図である。

【図９】Ｃｓ　ｏｎ　Ｃｏｍ方式の構成を示す平面図である。

【図１０】Ｃｓ　ｏｎ　Ｇａｔｅ方式の構成を示す平面図である。

【図１１】実施形態１における液晶表示装置の検査装置を示す構成図である。

【図１２】上記検査装置による検査方法を説明する説明図である。

【図１３】従来の液晶表示装置におけるアクティブマトリクス基板の１画素部分の構成を示す平面図である。

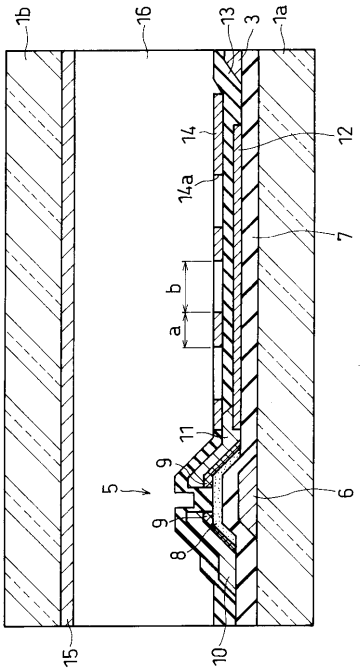
【図１４】図１３の液晶表示装置のＣ－Ｃ’矢視断面図である。

【図１５】他の従来の液晶表示装置におけるアクティブマトリクス基板の１画素部分の構成を示す断面図である。

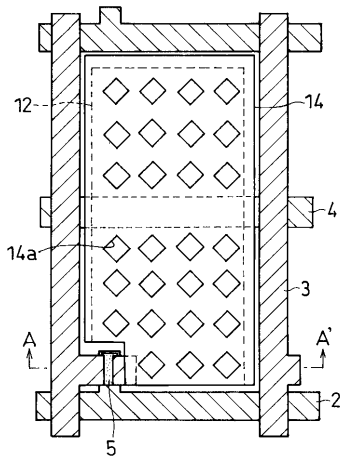
【符号の説明】

２　　ゲート配線（走査配線）
３　　ソース配線（信号配線）
５　　ＴＦＴ（スイッチング素子）
１２　　下層画素電極
１３　　層間絶縁膜
１４　　上層画素電極
１４ａ　開口部
１６　　液晶

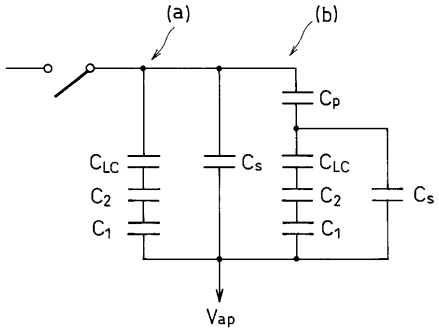
【図１】


1b
16
13
3
1a
14
12
14a
7
b
a
11
9
5
6
9
8
15
10

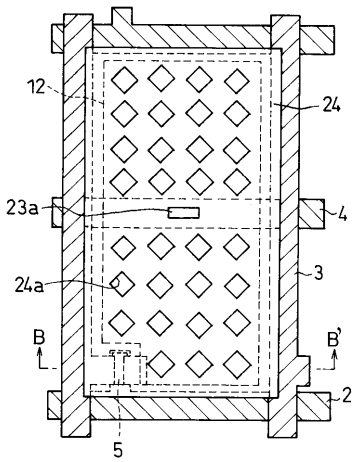
【図２】


12
14
4
14a
3
A
A'
2
5

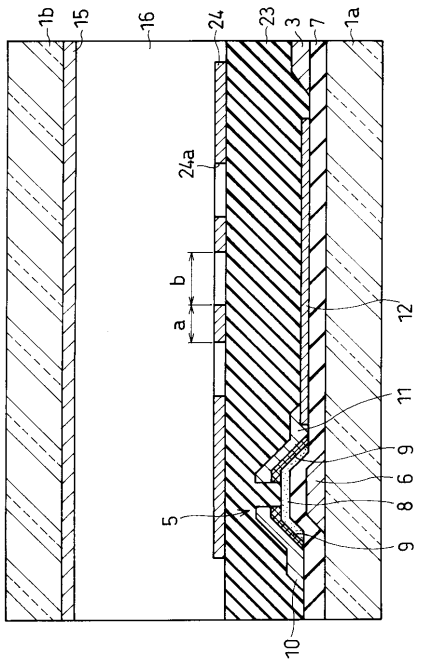
【図３】


(a)
(b)
Cp
CLC
C2
C1
Cs
CLC
C2
C1
Cs
Vap

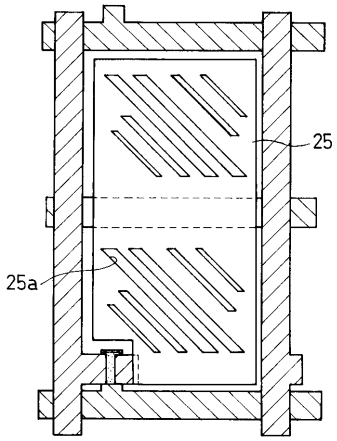
【図４】


12
24
23a
4
24a
3
B
B'
2
5

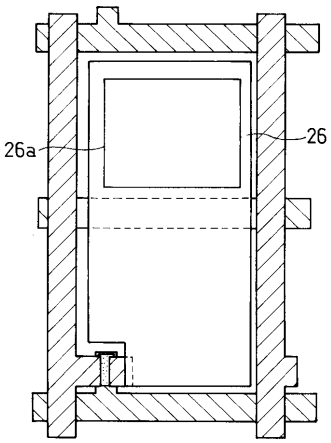
【図５】


1b
15
16
24
23
3
7
1a
24a
b
a
12'
11
9
6
8
5
9
10

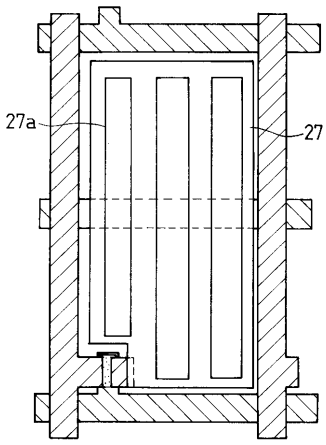
【図６】



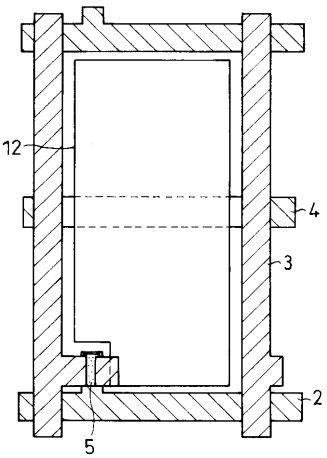
【図７】



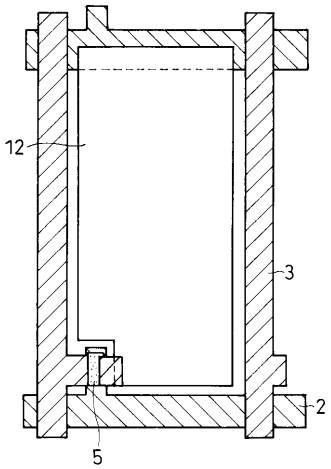
【図８】



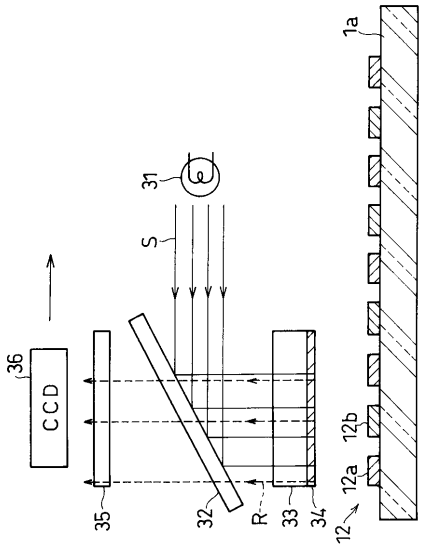
【図９】



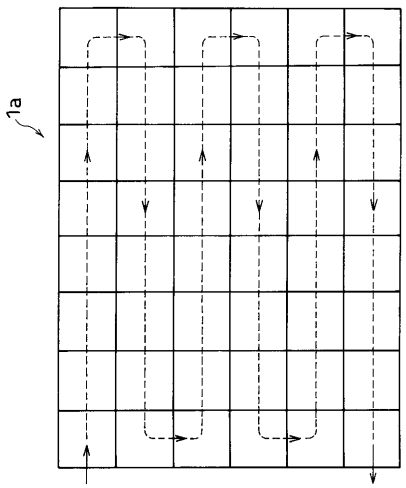
【図１０】



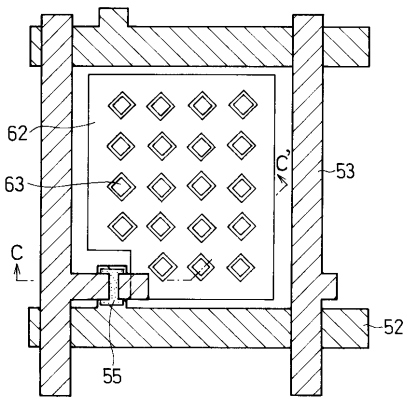
【図１１】



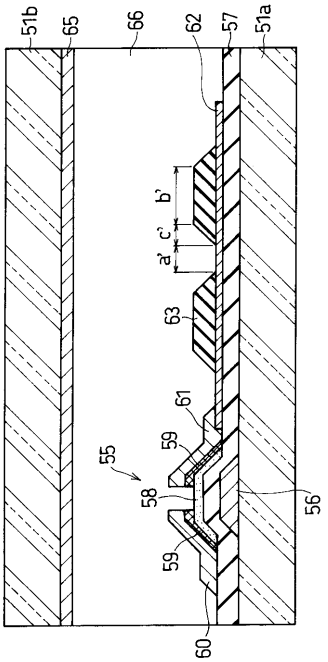
【図１２】



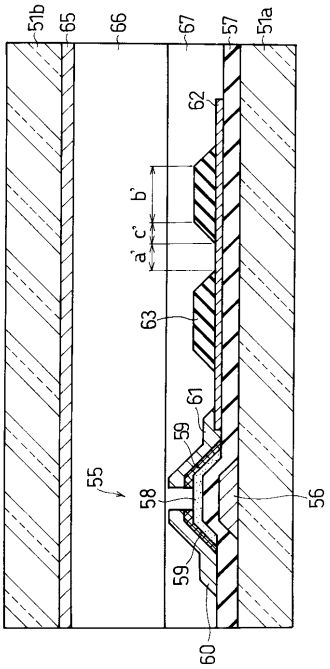
【図１３】



【図１４】


51b
65
66
62
57
51a
b'
c'
a'
63
61
59
55
58
56'
59
60

【図１５】


51b
65
66
67
57
51a
62
b'
c'
a'
63
61
59
55
58
56
59
60

フロントページの続き

(56)参考文献 特開平８－２６２４２６（ＪＰ，Ａ）
特開平７－３２５３２３（ＪＰ，Ａ）
特開平５－１４２５７０（ＪＰ，Ａ）
特開平８－１６０４５４（ＪＰ，Ａ）
特開平７－１９１３３７（ＪＰ，Ａ）
特開平５－１９６９５０（ＪＰ，Ａ）
特開平５－２７３５６９（ＪＰ，Ａ）