



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년08월24일
(11) 등록번호 10-0977947
(24) 등록일자 2010년08월18일

(51) Int. Cl.

H01L 21/28 (2006.01)

(21) 출원번호 10-2003-0031929

(22) 출원일자 2003년05월20일

심사청구일자 2008년05월20일

(65) 공개번호 10-2003-0091700

(43) 공개일자 2003년12월03일

(30) 우선권주장

10/153,231 2002년05월21일 미국(US)

(56) 선행기술조사문헌

KR1020010059542 A*

KR1020020002911 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

에이저 시스템즈 인크

미국 플로리다주 32819-8698 올란도 사우스 존 영
파크웨이 9333

(72) 발명자

머캄트 세일러쉬 만신

미국 플로리다주 32835 올란도 바인랜드 옥스 블
러바드 8214

올라드지 이사시아 오

싱가포르 598723 홈 파크 1 05-01 홈 애비뉴 11

고 성 진

미국 플로리다주 34787 윈터 가든 윈드미어 크로
싱 서클 120 0

(74) 대리인

김원준, 김창세

전체 청구항 수 : 총 8 항

심사관 : 김상걸

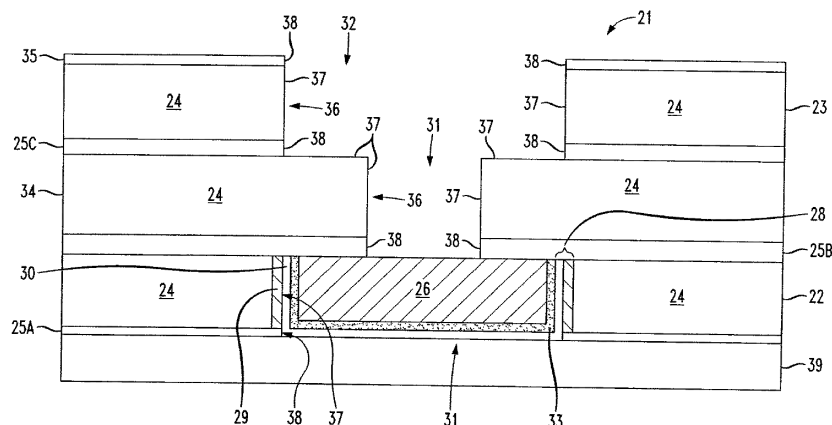
(54) 반도체 장치 및 반도체 장치 제조 공정

(57) 요약

반도체 장치 금속화 구성 요소용 장벽 층은 구성 요소 리세스 내에 형성된 실리콘 질화물 막과 실리콘 질화물 막 위에 형성된 내열성 금속 막을 제공한다. 이 장치 구성 요소는 유전체 재료 및 유전체 내에 형성된 리세스를 포함한다. 리세스 내의 유전체 재료의 표면은 제어된 파라미터 하에서 질소에 노출된다. 리세스의 내부에 인접한 유전체 재료 섹션은 실리콘 질화물로 변환된다.

내열성 금속은 리세스 측벽을 따라 부합하게 증착된다. 씨드 층은 내열성 금속 막 위에 증착되고, 도전성 금속은 리세스 내에 증착된다. 장치는 연마되어 리세스 외부의 과다 금속을 제거하고 장치를 평탄화한다.

대표도



특허청구의 범위

청구항 1

상부에 제 1 에칭 정지층(first etch stop layer)이 배치된 제 1 유전체층과,

상기 제 1 유전체층내에 배치된 제 1 금속 러너(metal runner)와,

상기 제 1 유전체층 위에 배치되어 제 1 에칭 정지층과 접촉하고, 상부에 제 2 에칭 정지층이 배치된 제 2 유전체층과,

상기 제 2 유전체층 위에 배치되어 상기 제 2 에칭 정지층과 접촉하는 제 3 유전체층과.

상기 제 2 유전체층과 상기 제 3 유전체층과 상기 제 1 에칭 정지층 및 상기 제 2 에칭 정지층을 통과하여 상기 제 1 금속 러너의 표면에서 종료되는 개구부 - 상기 개구부는 상기 제 2 에칭 정지층의 표면에 의해 이격된 유전체 표면들을 가지며, 상기 개구부내에 배치된 상기 제 2 에칭 정지층의 표면을 따르기보다는 상기 개구부내의 유전체 표면들의 각각을 따라서 배치된 제 1 실리콘 질화물 막을 가짐 - 와,

상기 개구부내에 배치되고, 상기 제 1 실리콘 질화물 막의 표면과, 상기 제 1 에칭 정지층 및 상기 제 2 에칭 정지층의 표면 및 상기 제 1 금속 러너의 표면을 따라 배치된 제 1 내열성 금속막과,

상기 개구부내 및 상기 제 1 내열성 금속막의 표면상에 배치된 제 1 씨드층과,

상기 개구부내에 배치되어 상기 제 1 씨드층과 접촉하며, 상기 개구부의 나머지 부분에 충전되는 금속 플러그(metal plug)를 포함하되,

상기 제 1 금속 러너는 상기 제 1 유전체층의 아래에 배치된 제 4 유전체층 위에 배치된 제 3 에칭 정지층과 상기 제 1 유전체층을 통해서 연장되는 개구부내에 배치되며,

상기 제 1 금속 러너는

상기 제 1 유전체층의 개구부내에 배치된 상기 제 3 에칭 정지층의 표면을 따르기 보다는, 상기 제 1 유전체층의 개구부내에서 상기 제 1 유전체층의 표면을 따라 배치된 제 2 실리콘 질화물 막과,

상기 제 1 유전체층의 개구부내에 배치되고, 상기 제 2 실리콘 질화물 막의 표면과, 상기 제 3 에칭 정지층의 표면 및 상기 제 4 유전체층의 표면을 따라 배치된 제 2 내열성 금속막과,

상기 제 1 유전체층의 개구부내에 배치되고 상기 제 2 내열성 금속막의 표면상에 배치된 제 2 씨드층을 포함하며,

상기 제 1 금속 러너는 상기 제 2 씨드층과 접촉하여 상기 제 1 유전체층의 개구부의 나머지 부분에 충전되는 반도체 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 금속 플러그는 이중 대마신 상호 접속 구조(dual damascene interconnect structure)를 형성하는 반도체 장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

반도체 장치의 제조 공정으로서,

제 1 유전체층을 형성하는 단계와,

상기 제 1 유전체층내에 제 1 금속 러너를 형성하는 단계와,

상기 제 1 유전체층 위에 제 1 에칭 정지층을 형성하는 단계와,

상기 제 1 에칭 정지층상에 제 2 유전체층을 형성하는 단계와,

상기 제 2 유전체층상에 제 2 에칭 정지층을 형성하는 단계와,

상기 제 2 에칭 정지층상에 제 3 유전체층을 형성하는 단계와,

상기 제 2 유전체층과 상기 제 3 유전체층과 상기 제 1 에칭 정지층 및 상기 제 2 에칭 정지층을 통과하여 상기 제 1 금속 러너의 표면에서 종료되는 개구부 - 상기 개구부는 상기 제 2 에칭 정지층의 표면에 의해 이격되는 유전체 표면을 가짐 - 를 형성하는 단계와,

상기 개구부내에 배치된 상기 제 2 에칭 정지층의 표면을 따르기 보다는 상기 개구부내의 상기 유전체 표면의 각각을 따라 제 1 실리콘 질화물 막을 형성하는 단계와,

상기 개구부내에 배치되고, 상기 제 1 실리콘 질화물 막의 표면과, 상기 제 1 에칭 정지층 및 상기 제 2 에칭 정지층의 표면 및 상기 제 1 금속 러너의 표면을 따라 배치되는 제 1 내열성 금속막을 형성하는 단계와,

상기 개구부내 및 상기 제 1 내열성 금속막의 표면상에 배치된 제 1 씨드층을 형성하는 단계와,

상기 개구부내에서 상기 제 1 씨드층과 접촉하는 금속 플러그(metal plug)를 형성하되, 상기 금속 플러그는 상기 개구부의 나머지 부분에 충전되는, 단계를 포함하고,

상기 제 1 유전체층을 형성하는 단계는 제 4 유전체층 위에 배치된 제 3 에칭 정지층상에 제 1 유전체층을 형성하는 단계를 포함하며,

상기 제 1 금속 러너를 형성하는 단계는

상기 제 1 유전체층과 상기 제 3 에칭 정지층을 통과하여 상기 제 4 유전체층의 표면까지 개구부를 형성하여, 상기 제 1 유전체층의 유전체 표면과 상기 제 3 에칭 정지층의 표면들을 노출시키는 단계와,

상기 제 1 유전체층의 개구부내에 배치된 상기 제 3 에칭 정지층의 표면을 따르기 보다는, 상기 제 1 유전체층의 개구부내에서 상기 제 1 유전체층의 유전체 표면의 각각을 따라 제 2 실리콘 질화물 막을 형성하는 단계와,

상기 제 2 실리콘 질화물 막의 표면과, 상기 제 3 에칭 정지층의 표면 및 상기 제 4 유전체층의 표면을 따라서 상기 제 1 유전체층의 개구부내에 배치되는 제 2 내열성 금속막을 형성하는 단계와,

상기 제 1 유전체층의 개구부내 및 상기 제 2 내열성 금속막의 표면상에 배치되는 제 2 씨드층을 형성하는 단계와,

상기 제 1 유전체층의 개구부내에서 상기 제 2 씨드층과 접촉하는 금속 플러그를 형성하되, 상기 금속 플러그는 상기 제 1 유전체층의 개구부의 나머지 부분에 충전되는, 단계를 포함하는

반도체 장치 제조 공정.

청구항 8

삭제

청구항 9

제 7 항에 있어서,

상기 제 1 실리콘 질화물 막을 형성하는 단계는,

상기 제 2 유전체층과 상기 제 3 유전체층의 표면을 질소 함유 물질에 노출시킴으로써, 상기 개구부에 인접한 상기 제 2 유전체층과 상기 제 3 유전체층의 표면의 적어도 일부분의 화학 성분을 실리콘 질화물로 전환시키는 단계를 포함하는,

반도체 장치 제조 공정.

청구항 10

제 7 항에 있어서,

상기 제 1 내열성 금속막을 형성하는 단계는 최종 두께가 150Å인 제 1 내열성 금속막을 형성하는 단계를 포함하는,

반도체 장치 제조 공정.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

제 7 항에 있어서,
상기 제 1 씨드층과 금속 플러그는 구리를 포함하는
반도체 장치 제조 공정.

청구항 23

제 1 항에 있어서,
상기 제 1 내열성 금속막은 150Å의 두께를 가지는
반도체 장치.

청구항 24

제 1 항에 있어서,
상기 제 1 씨드층과 상기 금속 플러그는 구리를 포함하는
반도체 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0011] 본 발명은 반도체 장치의 제조에 관한 것으로, 좀 더 구체적으로 반도체 장치 구성 요소의 금속화(metallization) 및 유전체 재료의 패시베이션(passivation)에 사용되는 장벽 층에 관한 것이다.
- [0012] 박막(thin films)은 반도체 장치의 제조에서 서로 다른 다양한 기능들을 수행한다. 예를 들어, 박막은 상호접속 구조체의 구성에 사용된다. 상호접속 구조체는 멀티 레벨 반도체 장치의 상이한 레벨을 연결하는 집적 회로 장치 상의 구조체이며, 도전성 금속이 증착되는 트렌치(trenches) 및 비아(vias)와 같은 피처를 포함한다. 박막은 종종 유전체 재료와 도전성 금속 사이의 피처 내에 장벽 층을 형성하는 데 사용된다.
- [0013] 전형적인 상호접속 구조체가 도 1에 도시되어 있다. 상호접속 구조체(11)는 유전체 층(14) 또는 절연 층으로 분리되는 상위 금속 층(12)과 하위 금속 층(13)을 포함한다. 도전성 금속 층(12 및 13)은 유전체 재료(16) 내에서 이격된 금속 라인(15)을 포함한다. 도전성 금속으로 충전된 비아(17)는 상위 금속층(12)의 금속 라인(15)을 하위 금속층(13)의 도전성 라인(15)과 상호접속한다. 전형적으로, 멀티 레벨 구조체에 있어서, 하위 금속화 층(13)은 단일 대머신(single damascene)으로 알려진 공정을 이용하여 제조되고, 유전체 층(14) 및 상위 금속 층(12)은 이중 대머신으로 알려진 공정을 이용하여 제조된다. 이들 대머신 공정은 당업자에게 잘 알려져 있다.
- [0014] 양 대머신 공정에서, 트렌치, 비아 또는 이들의 조합과 같은 피처가 유전체 재료(16) 내에 에칭된다. 그런 다음 장벽 층(18)은 스퍼터 증착과 같이 알려진 공정을 이용하여 피처에 증착된다. 장벽 층(18)은 피처의 측벽 및 바닥에 부합하는(conforming) 박막을 형성한다. 씨드 층(seed layer)(19)은 장벽 층(18) 위에 증착되고, 도전성 금속은 씨드 층(19) 위의 피처 내에 전기 도금된다. 이들 증착 단계 이후, 장치는 평탄화되어 피처 외부에 있는 과다한 막 및 금속을 제거한다. 장벽 층(18)은 도전성 금속이 유전체 재료 내로 확산되는 것을 방지하고, 씨드 층(19)은 장벽 층(18)에 대한 도전성 금속의 접착을 촉진한다. 내열성 금속(refractory metals) 및/또는 내열성 금속 합금이 종종 장벽 층 제조에 사용된다. 예를 들어 탄탈(Ta) 및/또는 탄탈 질화물(TaN)이 장벽 층의 구성 요소로서 도포될 수 있다.
- [0015] 그러나, Ta는 다결정이고, Ta 결정입자 경계를 통과하는 구리의 확산이 지속된다. 이러한 문제를 해결하기 위한 종래의 시도는 Ta 막의 두께를 증가시키는 것과, 결정입자 경계 확산 경로를 차단하도록 질소를 Ta에 부가하는 것과, 또는 Ta/TaN 이중 장벽 층을 사용하는 것을 포함하고 있었다. 유감스럽게도, 이들 옵션은 장벽 층의 저항을 증가시켜 일렉트로마이그레이션에 나쁜 영향을 주게 된다. 이것은 도 1에 도시된 바와 같이, 장벽 층(18)이 하위 금속화 층(13) 및 라인(15) 위의 비아 바닥 상에 증착되는 경우에 특히 그러하며, 따라서 상호접속

구조체 양단의 저항을 증가시킨다.

[0016] 또한, Ta 막은 다공성 로우-k 유전체 재료(low-k dielectric materials)에서 흡수된 물이 구리를 침범하는 것을 방지하지 못한다. 로우-k 유전체 재료는 그들의 낮은 저항 때문에 부분적으로 사용되고, 약 4.0보다 작은 유전 상수를 갖는 유전체 재료를 포함한다. 유기규산염(organosilicates)이 가장 일반적으로 사용되는 로우-k 유전체이다. 그러나, 로우-k 유전체는 고도로 다공성이고, 또한 흡습성을 가지고 있다. 다공성 로우-k 유전체 내에서 포획된 물은 증발될 것이다. 증발된 물은 구리로 이동하여 금속을 산화시킬 수 있다. 또한, Ta는 유기규산염 및 상호접속 구조체의 제조에 사용되는 다른 스핀 온 로우-k 유전체 재료(other spin on low-k dielectric materials)에 잘 접촉되지 않는다.

발명이 이루고자 하는 기술적 과제

[0017] 본 발명은 장벽 층 및 새로운 이중막을 이용하는 장벽 층 제조 공정에 관한 것이다. 장벽 층을 포함하는 두 개의 막은 트렌치, 비아, 홀 등과 같이 장치 구조 내에 형성된 리세스(recess) 또는 피쳐(feature) 내에 형성된다. 장벽 층은 장치 피쳐 내에서 유전체 재료를 따라 배치되는 실리콘 질화물(SiN)을 포함하는 제 1 막을 포함한다. 제 2 막 즉 내열성 금속 막(refractory metal film)은 피쳐의 측벽 및 바닥을 따라 또한 실리콘 질화물 막 위에 증착된다. 본 명세서에서 사용된 내열성 금속이라는 용어는 내열성 금속 합금도 포함할 것이다. 이어서, 금속 씨드 층이 장벽 층 위에 증착되고, 도전성 금속이 씨드 층 위의 피쳐 내에 증착된다.

[0018] 본 발명은 상호접속 구조체의 제조에 관련하여 설명되지만, 여기에만 제한되는 것이 아니며, 금속화 및/또는 유전체 패시베이션을 위해 장벽 층을 필요로 하는 어떠한 장치 구성 요소에도 적용될 수 있다. 상호접속 구조체는 일반적으로 각각이 서로 위에 증착된 유전체 재료의 다수의 층(유전체 층)을 포함한다. 이들 유전체 층은 유전체 재료 내에서 에칭될 피쳐의 경계를 부분적으로 정의하는 에칭 정지 층(etch stop layer)에 의해 분리된다. 유전체 재료는 최대 약 4.0의 유전 상수를 갖는, 유기규산염과 같은 스핀 온 유전체(spin-on dielectrics)를 포함하는, 본 명세서에서 사용된 용어인 로우-k 유전체를 포함할 수 있다.

[0019] 유전체 내에 에칭된 비아 또는 트렌치와 같은 리세스 또는 피쳐는 유전체 재료의 하나 이상의 노출된 표면을 포함할 수 있는 적어도 하나 이상의 측벽을 가지고 있다. 유전체의 표면은 일정 기간 동안 사전결정된 온도 및 압력 하에서 질소에 노출된다. 유전체의 표면은 유전체 표면을 따라 Si_3N_4 막을 형성하는 질화(nitridation)를 겪게 된다. 질화는 유전체의 일부의 화학적 조성을 변경하여, 유전체 재료 내에서 및 유전체 표면을 따라 집적된 막을 형성한다.

[0020] 내열성 금속 막은 피쳐의 측벽 및 바닥에 부합하도록 피쳐 내에 또한 실리콘 질화물 막 위에 증착된다. 금속 씨드 층은 내열성 금속 막 위에 증착된다. 도전성 금속은 피쳐 내에 증착되고, 장치는 화학적 기계적 평탄화("CMP")를 이용하여 평탄화되어 장치 피쳐 외부의 과다한 금속 및 막을 제거한다.

[0021] 이러한 방식으로, Si_3N_4 막(또는 제 1 막)은 유전체 재료의 표면을 봉합하고, 내열성 금속 막과 함께, 도전성 금속이 유전체로 확산되는 것을 방지하는 장벽 층으로서 작용한다. Si_3N_4 는 또한 내열성 금속이 로우-k 유전체의 표면에 접촉되는 것을 촉진한다.

발명의 구성 및 작용

[0022] 본 명세서에서 설명된 본 발명은 상호접속 구조체의 이중 대머신 제조와 관련하여, 도 2 내지 도 5에서 보다 자세히 예시된다. 그러나, 새로운 장벽 층 및 장벽 층의 제조 공정에 대한 본 발명은 상호접속 구조체 또는 상호접속 구조체의 특정 피쳐(비아 또는 트렌치)에 제한되지 않는다. 또한, 본 발명은 금속 층의 단일 대머신 구성 및 유전체 처리에도 적용될 수 있다. 새로운 장벽 층은 다양한 유형의 반도체 장치 구성 요소 및 장치 피쳐에 사용될 수 있다.

[0023] 도 2와 관련하여, 하위 금속 층(22)이 완성된 상호접속 구조체(21)의 제조 단계가 도시되어 있다. 하위 금속 층(22)은 반도체 기판(39) 위에 증착된 유전체(24)를 포함한다. 제 1 에칭 정지 층(25A)은 장치 기판(35)과 하위 금속 층(22) 사이에 삽입된다.

[0024] 에칭 정지 층(25A)은 대개 상호접속 구조체의 제조에 사용되고 당업자에게 알려져 있으며, 실리콘 탄화물, 실리

콘 질화물, 실리콘 이산화물 및/또는 이들의 조합을 포함할 수 있는 유전체 재료로 구성된다. 유전체는 예를 들어 유기규산염 유리와 같은 최대 4.0의 유전 상수를 갖는 스핀 온 로우-k(spin-on low-k) 유전체를 포함할 수 있다. 이러한 유전체들 중 몇몇은 Novellus, Inc.사에 의해 제조되고 판매되는 CORAL 및 BLACK DIAMOND를 포함한다. 그러나, 이 유전체 재료는 로우-k 유전체에 제한되는 것은 아니다.

[0025] 절연 층(34) 및 상위 금속 층(23)의 형태로, 두 개의 유전체 층을 하위 금속 층(22) 위에 증착한다. 제 2 에칭 정지 층(25B)을 먼저 하위 금속 층(22) 위에 증착한 후, 절연 층(34)을 에칭 정지 층(25B) 및 하위 금속 층(22) 위에 증착한다. 이어서, 제 3 에칭 정지 층(25C)을 절연 층(34) 위에 증착하고, 상위 금속 층(23)을 제 3 에칭 정지 층(25C) 위에 증착한다.

[0026] 이어서, 장치 장벽 층(35)을 상위 금속 층(23) 위에 형성한다. 대개, 장치 장벽 층(35)은 비아 또는 트렌치와 같은 장치 피처를 패터닝하고 에칭할 목적으로 장치 위에 증착된 마스크 층의 잔여 막(film remnant)이다. 도 2를 참조하면, 비아(31)를 절연 층(34) 내에 에칭하고, 트렌치(32)를 상위 금속 층(23) 내에 에칭한다. 장치 피처(31 및 32)를 형성하는 데 당업자에게 잘 알려진 이중 대머신 공정을 사용할 수 있다.

[0027] 에칭 정지 층(25B 및 25C) 및 장치 장벽 층(35)은 전형적으로 상호접속 구조체의 제조에 사용되는 유전체 재료로 구성되고, 당업자에게는 잘 알려져 있으며, 실리콘 탄화물, 실리콘 질화물, 실리콘 이산화물 및/또는 이들의 조합을 포함할 수 있다. 절연 층(34) 및 상위 금속 층(23)은 유전체 재료(24)로 구성될 수 있다.

[0028] 도 2에 도시된 바와 같이, 하위 금속 층은 유전체(24) 내에 형성된 라인(26)을 포함한다. 하위 금속 층(26)은, 로우-k 유전체 재료 내에 트렌치 피처(32)를 에칭하고, 그 트렌치(31) 내에 장벽 층(28) 형성한 다음, 장벽 층(28) 위에 씨드 층(33)을 증착하고, 구리와 같은 도전성 금속을 씨드 층(33) 위에 증착하여 라인(26)을 형성하는 단일 대머신 공정을 이용하여 제조한다. 그런 다음, 에칭 정지 층(25B)을 금속 층(22) 위에 증착한다.

[0029] 도 3 내지 도 5를 참조하면, 하위 금속 층의 제조를 완료하고, 비아(31) 및 트렌치(32)를 각각 층(34 및 23)에 증착한 후, 장벽 층(28)을 피처(31 및 32) 내에 형성하고, 그런 다음 씨드 층(33)을 장벽 층(28) 위에 증착한다. 도전성 금속은 피처(31 및 32) 내에, 또한 라인(26) 및 씨드 층(33) 위에 증착하거나 성장시킨다. 금속(27), 장벽 층(28) 및 씨드 층(33)을 CMP를 이용하여 평탄화하여, 피처(31 및 32) 외부의 장치 상에 증착된 과도한 금속 및 막 재료를 제거한다.

[0030] 하위 금속 층(22)과 상위 금속 층(23)의 피처 내에 형성된 장벽 층(28)은 피처(31 및 32) 내의 유전체(24)의 표면을 따라 배치된 실리콘 질화물(Si_3N_4)로 구성된 제 1 막(29)을 포함한다. 장벽 층(28)은 제 1 막(29) 위에 증착된 내열성 금속 및/또는 내열성 금속 합금으로 구성된 제 2 막(30)도 포함한다.

[0031] 도 2 및 도 3을 참조하면, 피처(31 및 32)는 유전체 재료(24) 및 에칭 정지 층(25A, 25B 및 25C) 각각의 노출된 표면(37 및 38)에 의해 형성된 측벽(36)을 포함한다. 비아(31)는 또한 라인(26)의 상단 표면에 의해 형성된 바닥을 포함한다. 하위 금속 층의 트렌치(32)는 또한 기판(39) 위에 배치된 바닥을 포함한다. 제 1 막(29)은 유전체 표면(37)만 따라 배치되고, 제 2 막(30)은 유전체 표면(37) 및 에칭 정지 표면(38)을 포함하는 측벽(36)을 커버한다.

[0032] 일정 기간 동안 사전 결정된 온도 및 압력에서 피처(31 및 32) 내의 유전체 표면(37)을 질소에 노출시킴으로써 제 1 막(29)을 형성한다. 유전체 표면(37)은 유전체(24)의 실리콘과 제어된 파라미터 하에서 도입된 질소 사이의 화학적 결합을 형성하는, 질소화(nitridation)로 알려진 화학적 반응을 거치게 된다.

[0033] 질소화는 플라즈마 에칭 또는 플라즈마 강화 증착 수단과 같이, 플라즈마가 생성할 수 있는 수단을 이용해 수행할 수 있다. 예를 들어, 질소화는 마이크로웨이브 플라즈마, rf-파워 바이어스를 갖는 물리적 증착 수단, 또는 플라즈마 강화 화학적 증착(PECVD) 수단으로 수행할 수 있다. 이들 각각의 수단은 반도체 장치의 제조에 사용되고, 그들의 작용은 당업자에게 알려져 있으며, 이 당업자들은, 선택된 수단이 플라즈마가 생성된 챔버(chamber)에 주입된 질소를 받아들이는 데 적합할 수 있다는 것을 이해할 것이다. 이러한 수단 중 하나는 Novellus, Inc.사가 제조한 IRIDIA-DL 마이크로웨이브 수단을 포함한다.

[0034] 피처(31 및 32)를 유전체(24)에 에칭하고, 후속 제조 단계를 위해 장치를 세정한 후, 장치를 마이크로웨이브 반응 챔버의 플레튼(platen)에 고정한다. IRIDIA-DL 마이크로웨이브를 사용하는 경우, 순수 질소(N_2), 또는 암모니아(NH_3) 형태의 질소를 IRIDIA 마이크로웨이브에 대해 약 500 sccm 비율의 챔버를 통해 제거한다. 챔버의 온도는 약 120 초 동안, 약 600 mtorr의 압력 및 약 1700 와트에서 설정된 마이크로웨이브 전력에서 약 270° C까지 상승한다.

[0035] 질소를 마이크로웨이브 반응 챔버를 통해 제거하는 경우, 플라즈마는 Si_3N_4 막을 형성하는 유전체 표면에 실리콘을 퍼붓고(bombard) 반응하는 질소 이온 및/또는 자유기(free radicals)를 생성한다. 실제로, 제 1 막은 유전체 표면을 약 50Å 깊이까지 관통하고, 최대 약 100Å의 깊이까지 실리콘과 반응할 수 있다. 전형적으로 실리콘 질화물 막(29)의 깊이는 유전체(24) 내에서 약 15Å에서 약 50Å까지의 범위를 가질 수 있다. 질소는 에칭 정지 층(25A-C), 장치 장벽 층(35) 또는 피처(31 및 32) 내에서 다수의 제 1 막(29)의 섹션을 형성하는 도전성 금속의 노출된 표면과 반응하지 않는다.

[0036] 실리콘 질화물 막을 유전체 표면 상에 형성한 후, 제 2 막(30)을 피쳐(31 및/또는 32) 내에 증착한다. 제 2 막(30)(내열성 금속 막으로도 지칭됨)은 내열성 금속 또는 내열성 금속 합금으로서 구성된다. 장벽 층을 형성하는 데 사용되는 공통 금속은 탄탈(Ta) 또는 탄탈 질화물을 포함하나, 텅스텐, 텅스텐 질화물, 티타늄 및/또는 티타늄 질화물을 포함하는 다른 내열성 금속도 수용할 수 있다. 내열성 금속 막은, 금속 막(30)이 피쳐(31 및 32)의 측벽(36)의 형상에 부합하고 실리콘 질화물 막(29)을 커버하는, 스퍼터 증착 또는 화학 기상 증착과 같은 알려진 증착 공정을 이용하여 도포한다. 도 4 및 도 5에 도시된 바와 같이, 내열성 금속 막은 비아(31)의 형상에 부합하고 도전성 라인(26)을 커버한다. 실리콘 질화물 막(29)을 형성함으로써, 내열성 금속 막(30)의 두께는 상당히 감소되어, 막(30)과 라인(26) 사이의 접촉 저항을 감소시킬 수 있다. 내열성 금속 막(30)은 약 150 Å에서 약 500 Å까지의 두께 범위를 가진다. 막(30)은 이제 전형적인 두께의 약 절반까지 감소될 수 있다.

[0037] 이어서, 씨드 층(33)을 내열성 막(30) 위에 증착하여 도전성 금속 층을 피쳐(31 및 32)의 측벽(36)에 부착할 것이다. 그런 다음 구리 또는 도전성 금속(27)을 비아 및 트렌치 피쳐(31 및 32)에 증착하고, 장치를 평탄화한다. 완전한 상호접속 구조체가 도 5에 도시되어 있는데, 금속으로 충전된 비아(31)에 의해 상호접속되는 상위 금속 층(23)과 하위 금속 층(22)의 라인(27)을 포함한다. 트렌치 피쳐(32) 및 비아(31) 각각은, 피쳐(31 및 32) 내의 유전체(24)의 표면을 따라 배치된 제 1 막 즉, 실리콘 질화물 막(29) 및 실리콘 질화물 막(29) 위에 증착된 내열성 금속 막(30)을 포함하는 새로운 장벽 층을 따라 늘어서 있다.

[0038] 본 발명의 바람직한 실시예가 본 명세서에서 도시되고 설명되었지만, 이러한 실시예들은 단지 예시로서 제공되었고 여기에 제한되는 것은 아니다. 당업자라면 본 발명을 벗어나지 않고서 다수의 변형, 변경 및 대체를 할 것이다. 예를 들어, 본 발명은 본 명세서에서 개시된 최상 모드에 제한될 필요는 없는데, 그 이유는 다른 응용도 본 발명으로부터 동일하게 효과를 얻을 수 있기 때문이다. 따라서, 본 발명은 첨부한 청구항의 정신 및 범주에 의해서만 제한되어야 한다.

발명의 효과

[0039] 본 발명에 따르면, 위에서 서술한 종래의 장벽 층의 구성 요소의 단점을 본 발명이 제공하는 새로운 이중막을 이용하는 장벽 층 제조 공정을 제공함으로써 이를 해결할 수 있다.

도면의 간단한 설명

[0001] 도 1은 종래 기술의 장벽 층을 가진 반도체 장치 상의 상호접속 구조체의 부분적 단면도.

[0002] 도 2는 금속 층 내의 새로운 장벽 층을 이용하는 상호접속 구조체의 제조 단계에 대한 부분적인 단면도이며, 비아 및 트렌치는 금속 층 위에 에칭되어 있는 도면,

[0003] 도 3은 Si_3N_4 막이 비아 및 트렌치 내에 형성된 상호접속 구조체의 제조 단계에 대한 부분적 단면도,

[0004] 도 4는 내열성 금속 막이 비아 및 트렌치 내에 증착된 상호접속 구조체의 제조 단계에 대한 부분적인 단면도.

[0005] 도 5는 내열성 금속 막과 도전성 금속이 비아 및 트렌치 내에 증착된 상호접속 구조체의 제조 단계에 대한 부분적인 단면도.

[0006] 도면의 주요 부분에 대한 부호의 설명

[0007] 11 : 상호접속 구조체 12,13 : 도전성 금속 층

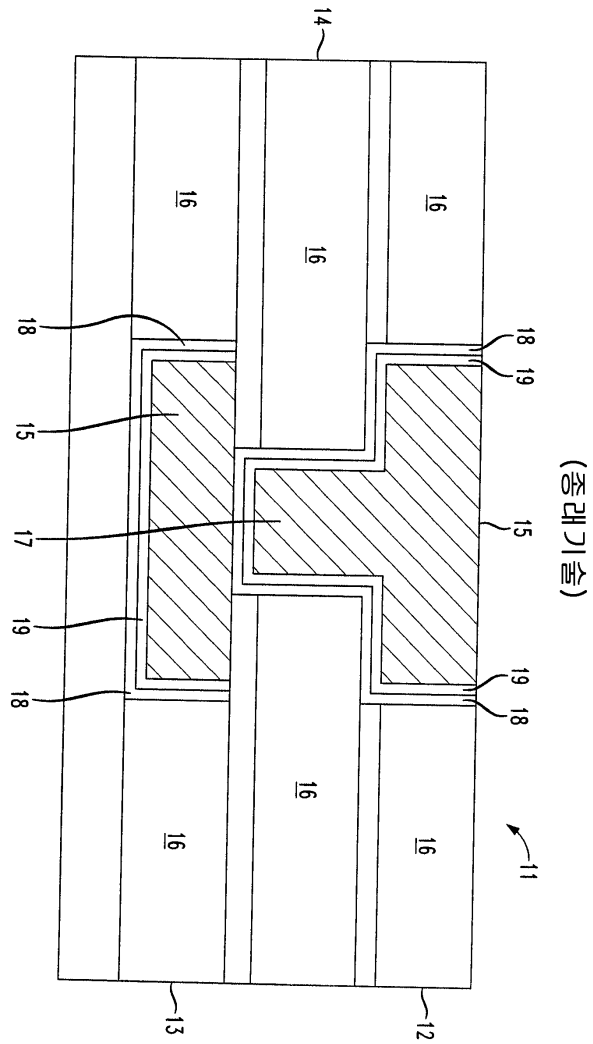
[0008] 14 : 유전체 층 15 : 금속 라인

[0009] 16 : 유전체 17 : 비아

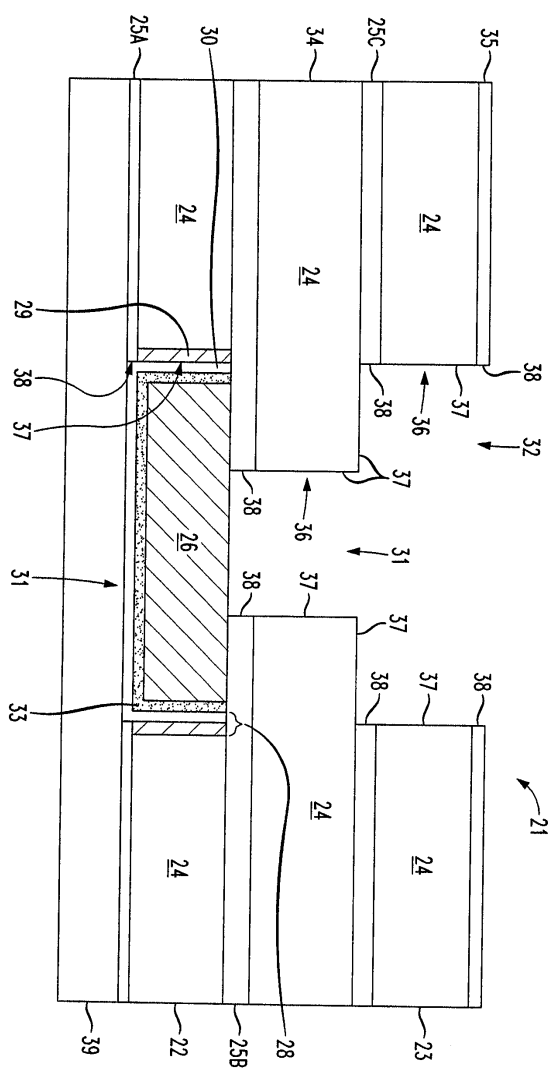
[0010] 31,32 : 피쳐 37,38 : 노출된 표면

도면

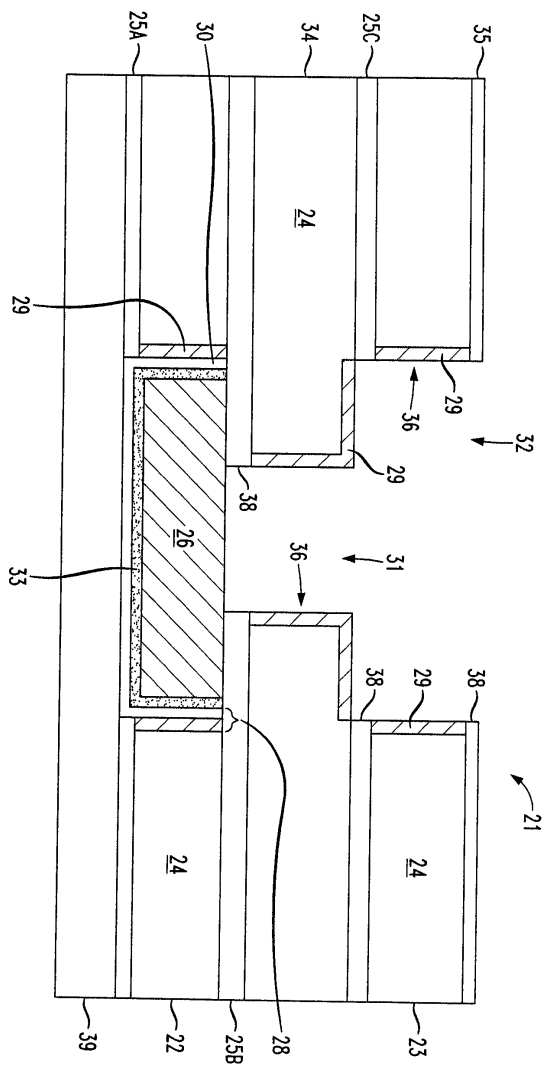
도면1



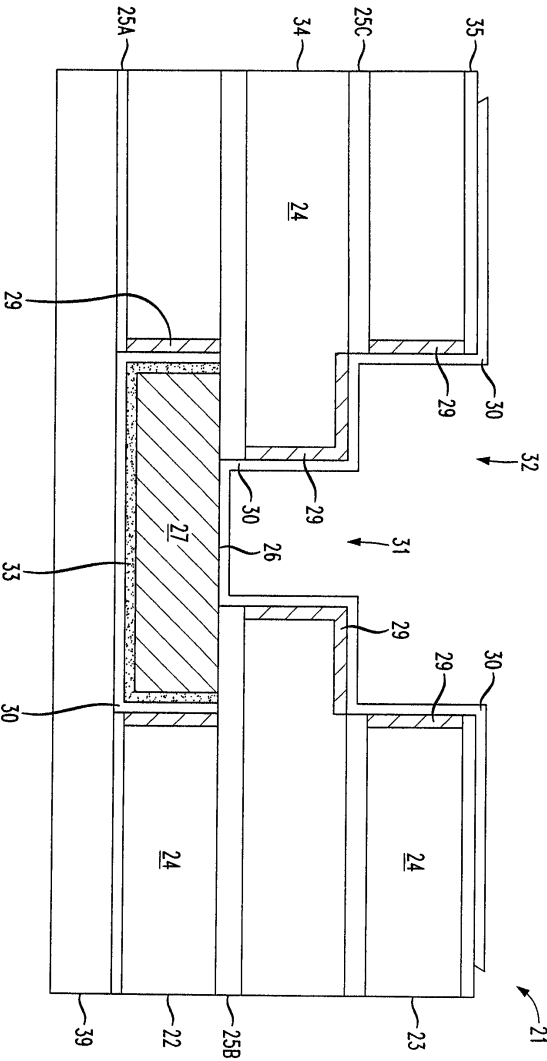
도면2



도면3



도면4



도면5

