



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0074412  
(43) 공개일자 2009년07월07일

(51) Int. Cl.

H03L 7/18 (2006.01) H03L 7/08 (2006.01)

(21) 출원번호 10-2008-0000183

(22) 출원일자 2008년01월02일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

손영수

경기 군포시 당동 922-5번지

박광일

경기 용인시 수지구 상현동 869 엘지자이아파트  
909-1102

(74) 대리인

박상수

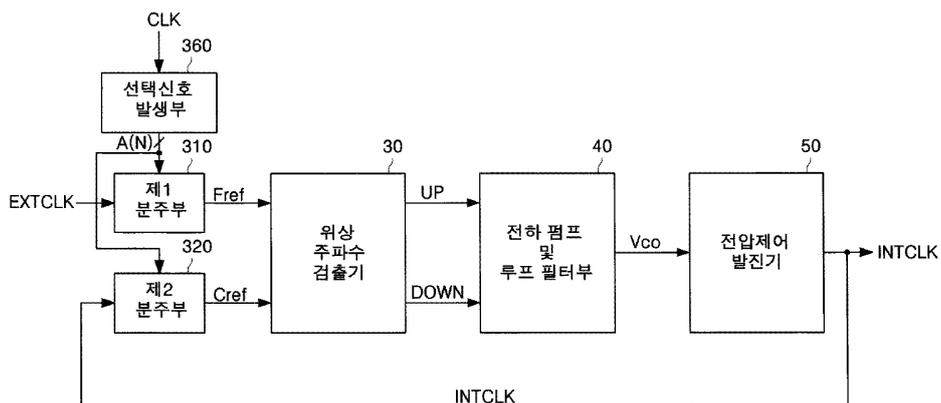
전체 청구항 수 : 총 18 항

(54) 분주회로 및 이를 이용한 위상 동기 루프

(57) 요약

본 발명은 분주회로 및 이를 이용한 위상 동기 루프를 공개한다. 본 발명의 위상 동기 루프는 제1 클럭신호에 응답하여 변화되는 선택 신호를 출력하는 선택신호 발생부, 외부에서 인가되는 기준 클럭 신호를 설정된 분주비 만큼 분주하여 제1 분주 신호를 출력하되, 선택신호에 응답하여 제1 분주 신호의 1주기 동안 인가된 기준 클럭 신호의 복수개의 에지 중 하나의 에지를 선택하고, 선택된 에지를 기준으로 제1 분주 신호를 동기하여 발생하는 제1 분주회로, 출력 클럭 신호를 인가받아 분주비 만큼 분주하여 제2 분주 신호를 출력하되, 선택신호에 응답하여 제2 분주 신호의 1주기 동안 인가된 기준 클럭 신호의 복수개의 에지 중 하나의 에지를 선택하고, 선택된 에지를 기준으로 제2 분주 신호를 동기하여 발생하는 제2 분주회로 및 제1 및 제2 분주 신호들의 위상차를 검출하여, 위상차에 대응하는 컨트롤 전압을 발생하고, 컨트롤 전압에 대응하는 주파수를 갖는 상기 출력 클럭 신호를 출력하는 동기신호 출력부를 구비하는 것을 특징으로 한다. 따라서, 본 발명의 위상 동기 루프는 분주 신호의 기준이 되는 입력 신호의 특정 에지를 주기적으로 일정한 순서 없이 선택하여 선택한 에지를 기준으로 분주 신호를 생성하여 비교하므로, 특정 에지에서의 발생할 수 있는 주기적인 노이즈 영향을 줄여 회로의 안정성을 높일 수 있다.

대표도



**특허청구의 범위**

**청구항 1**

중속 연결되는 적어도 하나의 분주 출력단을 구비하여,

상기 분주 출력단은 입력 클럭 신호 또는 이전 분주 출력단의 출력신호를 설정된 분주비 만큼 분주한 정 출력 신호와 상기 정 출력 신호의 반전 신호인 부 출력 신호를 출력하는 분주기, 및 선택 신호에 응답하여 상기 정 출력 신호 및 상기 부 출력 신호 중 한 개의 신호를 선택하여 출력하는 믹스를 구비하여,

상기 입력 클럭 신호를 분주하여 분주 신호를 출력하며, 상기 선택신호에 응답하여 상기 분주 신호의 1주기 동안 인가된 상기 클럭 신호의 복수개의 에지 중 하나의 에지를 선택하고, 상기 선택된 에지를 기준으로 상기 분주 신호를 동기하여 발생하는 것을 특징으로 하는 분주회로.

**청구항 2**

제1항에 있어서, 상기 선택신호는

상기 믹스 각각에 대하여 랜덤(Random)한 1비트의 신호로 인가되는 것을 특징으로 하는 분주회로.

**청구항 3**

제2항에 있어서, 상기 분주기는

플립플롭인 것을 특징으로 하는 분주회로.

**청구항 4**

제1 클럭신호에 응답하여 변화되는 선택 신호를 출력하는 선택신호 발생부;

외부에서 인가되는 기준 클럭 신호를 설정된 분주비 만큼 분주하여 제1 분주 신호를 출력하되, 상기 선택신호에 응답하여 상기 제1 분주 신호의 1주기 동안 인가된 상기 기준 클럭 신호의 복수개의 에지 중 하나의 에지를 선택하고, 상기 선택된 에지를 기준으로 상기 제1 분주 신호를 동기하여 발생하는 제1 분주회로;

출력 클럭 신호를 인가받아 상기 분주비 만큼 분주하여 제2 분주 신호를 출력하되, 상기 선택신호에 응답하여 상기 제2 분주 신호의 1주기 동안 인가된 상기 기준 클럭 신호의 복수개의 에지 중 하나의 에지를 선택하고, 상기 선택된 에지를 기준으로 상기 제2 분주 신호를 동기하여 발생하는 제2 분주회로; 및

상기 제1 및 제2 분주 신호들의 위상차를 검출하여, 상기 위상차에 대응하는 컨트롤 전압을 발생하고, 상기 컨트롤 전압에 대응하는 주파수를 갖는 상기 출력 클럭 신호를 출력하는 동기신호 출력부를 구비하는 것을 특징으로 하는 위상 동기 루프.

**청구항 5**

제4항에 있어서, 상기 제1 분주회로는

중속 연결되는 적어도 하나의 기준 분주 출력단을 구비하고,

상기 기준 분주 출력단은 상기 기준 클럭 신호 또는 상기 이전 기준 분주 출력단의 출력신호를 1/2 분주한 정 출력 신호와 상기 정 출력 신호의 반전 신호인 부 출력 신호를 출력하는 분주기, 및 상기 선택 신호에 응답하여 상기 정 출력 신호 및 상기 부 출력 신호 중 한 개의 신호를 선택하여 출력하는 믹스를 구비하는 것을 특징으로 하는 위상 동기 루프.

**청구항 6**

제5항에 있어서, 상기 분주기는

플립플롭인 것을 특징으로 하는 위상 동기 루프.

**청구항 7**

제4항에 있어서, 상기 제2 분주회로는

종속 연결되는 적어도 하나의 출력 분주 출력단을 구비하고,

상기 출력 분주 출력단은 상기 출력 클럭 신호 또는 상기 이전 출력 분주 출력단의 출력신호를 1/2 분주한 정 출력 신호와 상기 정 출력 신호의 반전 신호인 부 출력 신호를 출력하는 분주기, 및 상기 선택 신호에 응답하여 상기 정 출력 신호 및 상기 부 출력 신호 중 한 개의 신호를 선택하여 출력하는 맥스를 구비하는 것을 특징으로 하는 위상 동기 루프.

**청구항 8**

제7항에 있어서, 상기 분주기는

플립플롭인 것을 특징으로 하는 위상 동기 루프.

**청구항 9**

제4항에 있어서, 상기 선택신호 발생부는

상기 제1 클럭신호에 응답하여 미리 설정된 방식으로 비트 신호를 발생하는 비트 신호 발생기; 및

직렬로 연결된 적어도 한 개 이상의 플립플롭을 구비하여,

상기 적어도 한 개 이상의 플립플롭은 상기 제1 클럭 신호에 응답하여 처음 단은 상기 비트 신호를 인가받고, 이 후 단은 앞 단의 출력을 인가받아 상기 선택 신호를 출력하는 것을 특징으로 하는 위상 동기 루프.

**청구항 10**

제9항에 있어서, 상기 플립플롭은

D 플립플롭인 것을 특징으로 하는 위상 동기 루프.

**청구항 11**

제9항에 있어서, 상기 비트 신호는

랜덤(Random)하게 발생하는 것을 특징으로 하는 위상 동기 루프.

**청구항 12**

제4항에 있어서, 상기 선택신호 발생부는

상기 제1 클럭신호에 응답하여 미리 설정된 방식으로 적어도 한 개 이상의 상기 선택 신호를 생성하여 출력하는 비트 신호 발생기를 구비하는 것을 특징으로 하는 위상 동기 루프.

**청구항 13**

제12항에 있어서, 상기 선택 신호는

랜덤(Random)하게 발생하는 것을 특징으로 하는 위상 동기 루프.

**청구항 14**

제4항에 있어서, 상기 제1 클럭 신호는

주파수가 낮은 클럭인 것을 특징으로 하는 위상 동기 루프.

**청구항 15**

제4항에 있어서, 상기 동기신호 출력부는

상기 제1 분주신호와 상기 제2 분주신호의 위상차에 응답하여 업 신호 또는 다운 신호를 출력하는 위상 주파수 검출부;

상기 업 신호와 다운 신호에 대응되는 상기 컨트롤 전압을 출력하는 전하 펌프 및 루프 필터부; 및

상기 컨트롤 전압에 대응하는 주파수의 상기 출력신호를 출력하는 전압제어 발진기를 구비하는 것을 특징으로 하는 위상 동기 루프.

**청구항 16**

제1 클럭신호를 선택신호에 응답하여 적어도 하나의 선택신호를 출력하는 선택신호 발생단계;

외부에서 인가되는 기준 클럭 신호와 출력 클럭 신호를 각각 인가받고, 각각을 설정된 분주비 만큼 분주하여 출력하되, 상기 선택신호에 응답하여 상기 출력되는 신호들의 1주기 동안 인가된 상기 기준 클럭 신호와 출력 클럭 신호 각각의 복수개의 에지 중 하나의 에지를 각각 선택하고, 상기 선택된 에지들을 기준으로 상기 출력되는 신호들을 각각 동기하여 출력하는 클럭 분주 단계; 및

상기 클럭 분주 단계에서 출력되는 신호들의 위상차를 검출하여, 상기 위상차에 대응하는 컨트롤 전압을 발생하고, 상기 컨트롤 전압에 대응하여 상기 기준 클럭 신호와 주파수와 위상이 동기된 상기 출력 클럭 신호를 발생하는 동기신호 발생단계를 구비하는 것을 특징으로 하는 위상 동기 루프의 위상 동기 방법.

**청구항 17**

제16항에 있어서, 상기 클럭 분주 단계는

상기 기준 클럭 신호를 설정된 분주비 만큼 분주하여 제1 분주신호 출력하되, 상기 선택신호에 응답하여 상기 제1 분주신호의 1주기 동안 인가된 상기 기준 클럭 신호의 복수개의 에지 중 하나의 에지를 선택하고, 상기 선택된 에지를 기준으로 상기 제1 분주신호를 동기하여 출력하는 제1 분주신호 발생단계; 및

상기 출력 클럭 신호를 설정된 분주비 만큼 분주하여 제2 분주신호 출력하되, 상기 선택신호에 응답하여 상기 제2 분주신호의 1주기 동안 인가된 상기 기준 클럭 신호의 복수개의 에지 중 하나의 에지를 선택하고, 상기 선택된 에지를 기준으로 상기 제2 분주신호를 동기하여 출력하는 제2 분주신호 발생단계를 구비하는 것을 특징으로 하는 위상 동기 루프의 위상 동기 방법.

**청구항 18**

제17항에 있어서, 상기 동기신호 발생단계는

상기 제1 분주신호와 상기 제2 분주신호의 위상차에 응답하여 업 신호 또는 다운 신호를 출력하는 위상차 검출 단계;

상기 업 신호 또는 다운 신호에 대응되는 컨트롤 전압을 생성하여 출력하는 제어전압 출력단계; 및

상기 컨트롤 전압에 대응하는 주파수의 상기 출력 클럭 신호를 출력하는 동기신호 출력단계를 구비하는 것을 특징으로 하는 위상 동기 루프의 위상 동기 방법.

**명세서**

**발명의 상세한 설명**

**기술 분야**

<1> 본 발명은 분주회로에 관한 것으로서, 특히 위상 동기 루프에서 노이즈에 대한 회로의 안정성을 개선할 수 있는 분주회로 및 이를 이용한 위상 동기 루프에 관한 것이다.

**배경 기술**

<2> 일반적으로 컴퓨터 시스템이나 칩 상에서 각각 독립적으로 동작하는 장치 또는 전자회로를 하나의 기준신호에 맞추어 제어할 필요성이 요구된다. 그러므로 컴퓨터 시스템 설계자나 칩 상에는, 외부에서 입력되는 기준신호에 동기(synchronous)하는 내부 신호를 발생하는 동기회로가 설계되어 내장된다. 이러한 동기회로의 대표적인 것이 위상 동기 루프(Phase Locked Loop: PLL)이다.

<3> 위상 동기 루프는 입력 신호와 전압 제어 발진기(Voltage Controlled Oscillator : VCO)에서 출력되는 출력 신호의 위상차를 검출하여 출력 신호의 주파수 및 위상을 결정하는 회로로, 입력 신호의 주파수와 출력 신호의 주파수를 동기 시키기 위해서 많이 사용하고 있다.

- <4> 도 1은 종래의 위상 동기 루프의 블록도로서, 제1 분주회로(10), 제2 분주회로(20), 위상 주파수 검출기(30), 차지 펌프 및 루프 필터부(40), 전압제어 발진기(50)로 구성되어 있다.
- <5> 종래의 위상 동기 루프의 구성을 설명하면 다음과 같다.
- <6> 제1 분주회로(10)는 외부에서 입력되는 특정 주파수를 갖는 신호인 외부 클럭(EXTCLK)을 분주하여 분주 주파수 신호(Fref)를 생성하여 출력한다.
- <7> 제2 분주회로(20)는 전압제어 발진기(VCO: Voltage Controlled Oscillator, 50)의 출력인 내부 클럭(INTCLK)을 입력받아 분주하여 분주 주파수 신호(Fref)와 동일한 주파수를 갖는 비교 주파수 신호(Cref)를 생성하여 출력한다.
- <8> 위상 주파수 검출기(PFD: Phase Frequency Detector, 30)는 제1 분주회로(10)에서 분주되어 출력되는 분주 주파수 신호(Fref)와 제2 분주회로(20)에서 분주되어 출력되는 비교 주파수 신호(Cref)를 비교하고 두 신호의 위상차에 대응하여 업(Up) 신호 또는 다운(Down) 신호를 생성 출력한다.
- <9> 전하 펌프 및 루프 필터부(Charge Pump & Loop Filter, 40)는 위상 주파수 검출기(30)로부터 입력되는 업(Up) 신호 또는 다운(Down) 신호에 의해 각각 소싱 전류(Sourcing current) 또는 싱킹 전류(Sinking current)를 생성하고, 생성된 전류의 양에 따라 컨트롤 전압(Vco)을 생성시켜 전압제어 발진기(50)에 공급한다. 이때, 컨트롤 전압(Vco)은 생성되는 과정에서 저역 통과 필터(Low Pass Filter)를 거치게 되어 일부 노이즈가 제거된다.
- <10> 전압 제어 발진기(50)는 전하 펌프 및 루프 필터부(40)에서 출력되는 컨트롤 전압(Vco)에 대응 하는 주파수를 갖으며, 외부 클럭(EXTCLK)에 동기되는 내부 클럭(INTCLK)을 출력한다.
- <11> 이와 같이 종래의 위상 동기 루프는 외부 클럭(EXTCLK)과 전압제어 발진기(50)의 출력인 내부 클럭(INTCLK)을 각각의 분주회로(10, 20)를 이용하여 분주하고, 분주된 두 개의 신호를 비교하여 두 신호의 위상차에 해당하는 업(Up) 신호 또는 다운(Down) 신호를 생성하여 출력되는 내부 클럭(INTCLK)의 주파수를 제어하는 컨트롤 전압(Vco)의 레벨을 조절하므로 내부 클럭(INTCLK)을 외부 클럭(EXTCLK)과 동기 시킬 수 있게 된다.
- <12> 따라서, 비교되는 두 신호 사이에 위상차가 생기면 컨트롤 전압(Vco)의 레벨이 바뀌어져서 바로 전압제어 발진기(50)에 전달되므로 위상 동기 루프는 항상 능동적으로 동작하도록 구성되어 있다.
- <13> 여기서, 위상 주파수 검출기에서 비교되는 두 신호의 주파수가 높을 경우 위상 동기 루프는 비교에 민감하게 반응하여 응답속도가 빠르나 순간적인 노이즈에 취약하게 되며, 비교횟수가 많아서 많은 전류를 소비하게 된다. 반대로 두 신호의 주파수가 낮을 경우 비교에 덜 민감하여 응답속도가 느리나 순간적 노이즈에는 반대로 강하게 된다. 상기와 같이 노이즈와 소비전류 그리고 응답 속도의 상관관계를 적절히 해결하기 위해 분주회로는 비교되는 두 신호의 높은 주파수를 적정수준으로 낮춰주는 역할을 한다.
- <14> 도 2는 도1에 노이즈가 발생하였을 때 출력되는 파형을 나타낸 도면이다.
- <15> 도1 및 도2를 참조하면, 위상 동기 루프는 입력되는 외부 클럭(EXTCLK)을 분주한 분주 주파수 신호(Fref)와 피드백되는 내부 클럭(INTCLK)을 분주한 비교 주파수 신호(Cref)를 비교하여 두 신호의 위상차에 해당하는 업(Up) 신호 또는 다운(Down) 신호를 생성하여, 출력되는 내부 클럭(INTCLK)의 주파수를 제어하는 컨트롤 전압(Vco)의 레벨을 조절하므로 내부 클럭(INTCLK)을 외부 클럭(EXTCLK)과 동기 시키게 되는데, 여기서 제1 분주회로(10) 및 제2 분주회로(20)는 입력되는 외부 클럭(EXTCLK)과 내부 클럭(INTCLK)의 주기적인 특정 에지(제1 에지, E(N)-1)를 기준으로 분주하게 된다.
- <16> 그런데, 주기적인 노이즈에 의해 외부 클럭(EXTCLK)의 제1 에지(E2-1, E3-1, E4-1...)에 노이즈가 생겨 노이즈 발생 시간(t1)동안 외부 클럭(EXTCLK)이 딜레이(Delay) 된 경우, 분주 주파수 신호(Fref) 또한 노이즈 발생 시간(t1)만큼 딜레이 되어 내부 클럭(INTCLK)의 위상이 딜레이 시간(t1) 만큼 딜레이 된다. 결국 외부 클럭(EXTCLK)과 내부 클럭(INTCLK)을 동기 시킬 수 없게 된다.
- <17> 다시 말하면, 상기와 같은 외부 클럭(EXTCLK)의 1/4 분주회로의 경우 외부 클럭(EXTCLK)의 에지(Edge)중 주기적으로 제1 에지(E(N)-1)만 비교에 이용되고, 나머지 에지(E(N)-2 ~ E(N)-4)는 무시되어, 제1 에지(E(N)-1)에 주기적인 노이즈가 발생하여 딜레이 될 경우, 내부 클럭(INTCLK)을 외부 클럭(EXTCLK)과 동기 시킬 수 없게 된다.
- <18> 또한 다른 경우를 생각해 보면 주기적으로 노이즈가 제1 에지(E(N)-1) 이외의 나머지 에지(E(N)-2 ~ E(N)-4)에서 생길 경우에도 위상 동기 루프는 이를 감지하지 못하게 된다.

<19> 따라서, 분주회로를 이용하면서 외부 클럭(EXTCLK)의 특정 에지에서 발생하는 주기적인 노이즈에 대해 회로의 안정성을 높일 수 있는 기술이 필요하다.

**발명의 내용**

**해결 하고자하는 과제**

<20> 본 발명의 목적은 외부 클럭의 주기적인 노이즈에 대해 회로의 안정성을 높일 수 있는 분주회로를 제공하는 것이다.

<21> 본 발명의 다른 목적은 외부 클럭의 주기적인 노이즈에 대해 회로의 안정성을 높일 수 있는 분주회로를 이용한 위상 동기 루프를 제공하는 것이다.

<22> 본 발명의 다른 목적은 외부 클럭의 주기적인 노이즈에 대해 회로의 안정성을 높일 수 있는 분주회로를 이용한 위상 동기 루프의 위상 동기 방법을 제공하는 것이다.

**과제 해결수단**

<23> 상기 목적을 달성하기 위한 본 발명의 분주회로는 종속 연결되는 적어도 하나의 분주 출력단을 구비하여, 상기 분주 출력단은 입력 클럭 신호 또는 이전 분주 출력단의 출력신호를 설정된 분주비 만큼 분주한 정 출력 신호와 상기 정 출력 신호의 반전 신호인 부 출력 신호를 출력하는 분주기, 및 선택 신호에 응답하여 상기 정 출력 신호 및 상기 부 출력 신호 중 한 개의 신호를 선택하여 출력하는 믹스를 구비하여, 상기 입력 클럭 신호를 분주하여 분주 신호를 출력하며, 상기 선택신호에 응답하여 상기 분주 신호의 1주기 동안 인가된 상기 클럭 신호의 복수개의 에지 중 하나의 에지를 선택하고, 상기 선택된 에지를 기준으로 상기 분주 신호를 동기하여 발생하는 것을 특징으로 한다.

<24> 상기 목적을 달성하기 위한 본 발명의 분주회로의 상기 선택신호는 상기 믹스 각각에 대하여 랜덤(Random)한 1비트의 신호로 인가되는 것을 특징으로 한다.

<25> 상기 목적을 달성하기 위한 본 발명의 분주회로의 상기 분주기는 플립플롭인 것을 특징으로 한다.

<26> 상기 다른 목적을 달성하기 위한 본 발명의 위상 동기 루프는 제1 클럭신호에 응답하여 변화되는 선택 신호를 출력하는 선택신호 발생부, 외부에서 인가되는 기준 클럭 신호를 설정된 분주비 만큼 분주하여 제1 분주 신호를 출력하되, 상기 선택신호에 응답하여 상기 제1 분주 신호의 1주기 동안 인가된 상기 기준 클럭 신호의 복수개의 에지 중 하나의 에지를 선택하고, 상기 선택된 에지를 기준으로 상기 제1 분주 신호를 동기하여 발생하는 제1 분주회로, 출력 클럭 신호를 인가받아 상기 분주비 만큼 분주하여 제2 분주 신호를 출력하되, 상기 선택신호에 응답하여 상기 제2 분주 신호의 1주기 동안 인가된 상기 기준 클럭 신호의 복수개의 에지 중 하나의 에지를 선택하고, 상기 선택된 에지를 기준으로 상기 제2 분주 신호를 동기하여 발생하는 제2 분주회로 및 상기 제1 및 제2 분주 신호들의 위상차를 검출하여, 상기 위상차에 대응하는 컨트롤 전압을 발생하고, 상기 컨트롤 전압에 대응하는 주파수를 갖는 상기 출력 클럭 신호를 출력하는 동기신호 출력부를 구비하는 것을 특징으로 한다.

<27> 상기 다른 목적을 달성하기 위한 본 발명의 상기 제1 분주회로는 종속 연결되는 적어도 하나의 기준 분주 출력단을 구비하고, 상기 기준 분주 출력단은 상기 기준 클럭 신호 또는 상기 이전 기준 분주 출력단의 출력신호를 1/2 분주한 정 출력 신호와 상기 정 출력 신호의 반전 신호인 부 출력 신호를 출력하는 분주기 및 상기 선택 신호에 응답하여 상기 정 출력 신호 및 상기 부 출력 신호 중 한 개의 신호를 선택하여 출력하는 믹스를 구비하는 것을 특징으로 한다.

<28> 상기 다른 목적을 달성하기 위한 본 발명의 상기 제2 분주회로는 종속 연결되는 적어도 하나의 출력 분주 출력단을 구비하고, 상기 출력 분주 출력단은 상기 출력 클럭 신호 또는 상기 이전 출력 분주 출력단의 출력신호를 1/2 분주한 정 출력 신호와 상기 정 출력 신호의 반전 신호인 부 출력 신호를 출력하는 분주기 및 상기 선택 신호에 응답하여 상기 정 출력 신호 및 상기 부 출력 신호 중 한 개의 신호를 선택하여 출력하는 믹스를 구비하는 것을 특징으로 한다.

<29> 상기 다른 목적을 달성하기 위한 본 발명의 상기 분주기는 플립플롭인 것을 특징으로 한다.

<30> 상기 다른 목적을 달성하기 위한 본 발명의 상기 선택신호 발생부는 상기 제1 클럭신호에 응답하여 미리 설정된 방식으로 비트 신호를 발생하는 비트 신호 발생기 및 직렬로 연결된 적어도 한 개 이상의 플립플롭을 구비하여, 상기 적어도 한 개 이상의 플립플롭은 상기 제1 클럭 신호에 응답하여 처음 단은 상기 비트 신호를 인가받고,

이 후 단은 앞 단의 출력을 인가받아 상기 선택 신호를 출력하는 것을 특징으로 한다.

- <31> 상기 다른 목적을 달성하기 위한 본 발명의 상기 플립플롭은 D 플립플롭인 것을 특징으로 한다.
- <32> 상기 다른 목적을 달성하기 위한 본 발명의 상기 비트 신호는 랜덤(Random)하게 발생하는 것을 특징으로 한다.
- <33> 상기 다른 목적을 달성하기 위한 본 발명의 상기 선택신호 발생부는 상기 제1 클럭신호에 응답하여 미리 설정된 방식으로 적어도 한 개 이상의 상기 선택 신호를 생성하여 출력하는 비트 신호 발생기를 구비하는 것을 특징으로 한다.
- <34> 상기 다른 목적을 달성하기 위한 본 발명의 상기 선택 신호는 랜덤(Random)하게 발생하는 것을 특징으로 한다.
- <35> 상기 다른 목적을 달성하기 위한 본 발명의 상기 제1 클럭 신호는 주파수가 낮은 클럭인 것을 특징으로 한다.
- <36> 상기 다른 목적을 달성하기 위한 본 발명의 상기 동기신호 출력부는 상기 제1 분주신호와 상기 제2 분주신호의 위상차에 응답하여 업 신호 또는 다운 신호를 출력하는 위상 주파수 검출부, 상기 업 신호와 다운 신호에 대응되는 상기 컨트롤 전압을 출력하는 전하 펌프 및 루프 필터부 및 상기 컨트롤 전압에 대응하는 주파수의 상기 출력신호를 출력하는 전압제어 발진기를 구비하는 것을 특징으로 한다.
- <37> 상기 다른 목적을 달성하기 위한 본 발명의 위상 동기 루프의 위상 동기 방법은 제1 클럭신호를 선택신호에 응답하여 적어도 하나의 선택신호를 출력하는 선택신호 발생단계, 외부에서 인가되는 기준 클럭 신호와 출력 클럭 신호를 각각 인가받고, 각각을 설정된 분주비 만큼 분주하여 출력하되, 상기 선택신호에 응답하여 상기 출력되는 신호들의 1주기 동안 인가된 상기 기준 클럭 신호와 출력 클럭 신호 각각의 복수개의 에지 중 하나의 에지를 각각 선택하고, 상기 선택된 에지들을 기준으로 상기 출력되는 신호들을 각각 동기하여 출력하는 클럭 분주 단계 및 상기 클럭 분주 단계에서 출력되는 신호들의 위상차를 검출하여, 상기 위상차에 대응하는 컨트롤 전압을 발생하고, 상기 컨트롤 전압에 대응하여 상기 기준 클럭 신호와 주파수와 위상이 동기된 상기 출력 클럭 신호를 발생하는 동기신호 발생단계를 구비하는 것을 특징으로 한다.
- <38> 상기 다른 목적을 달성하기 위한 본 발명의 상기 클럭 분주 단계는 상기 기준 클럭 신호를 설정된 분주비 만큼 분주하여 제1 분주신호 출력하되, 상기 선택신호에 응답하여 상기 제1 분주신호의 1주기 동안 인가된 상기 기준 클럭 신호의 복수개의 에지 중 하나의 에지를 선택하고, 상기 선택된 에지를 기준으로 상기 제1 분주신호를 동기하여 출력하는 제1 분주신호 발생단계 및 상기 출력 클럭 신호를 설정된 분주비 만큼 분주하여 제2 분주신호 출력하되, 상기 선택신호에 응답하여 상기 제2 분주신호의 1주기 동안 인가된 상기 기준 클럭 신호의 복수개의 에지 중 하나의 에지를 선택하고, 상기 선택된 에지를 기준으로 상기 제2 분주신호를 동기하여 출력하는 제2 분주신호 발생단계를 구비하는 것을 특징으로 한다.
- <39> 상기 다른 목적을 달성하기 위한 본 발명의 상기 동기신호 발생단계는 상기 제1 분주신호와 상기 제2 분주신호의 위상차에 응답하여 업 신호 또는 다운 신호를 출력하는 위상차 검출단계, 상기 업 신호 또는 다운 신호에 대응되는 컨트롤 전압을 생성하여 출력하는 제어전압 출력단계 및 상기 컨트롤 전압에 대응하는 주파수의 상기 출력 클럭 신호를 출력하는 동기신호 출력단계를 구비하는 것을 특징으로 한다.

**효 과**

- <40> 따라서, 본 발명의 분주회로 및 이를 이용한 위상 동기 루프는 종래의 위상 동기 루프에서 주기적으로 입력 신호의 특정 에지를 기준으로 분주 신호를 생성하여 비교했던 것을, 분주 신호의 기준이 되는 입력 신호의 특정 에지를 주기적으로 일정한 순서 없이 선택하여 선택한 에지를 기준으로 분주 신호를 생성하여 비교하므로, 특정 에지에서의 발생할 수 있는 주기적인 노이즈 영향을 줄여 회로의 안정성을 높일 수 있다.

**발명의 실시를 위한 구체적인 내용**

- <41> 이하, 첨부한 도면을 참고로 하여 본 발명의 분주회로 및 이를 이용한 위상 동기 루프를 설명하면 다음과 같다.
- <42> 도 3은 본 발명에 따른 위상 동기 루프를 나타낸 도면으로서, 제1 분주회로(310), 제2 분주회로(320), 위상 주파수 검출기(30), 전하 펌프 및 루프 필터부(40), 전압제어 발진기(50), 및 선택신호 발생부(360)로 구성되어 있다.
- <43> 여기서, 도1과 동일한 구성과 동작을 하는 도3의 위상 주파수 검출기(30), 전하 펌프 및 루프 필터부(40), 전압 제어 발진기(50)는 도1과 동일한 번호를 부여하도록 한다.

- <44> 도3의 위상 동기 루프의 구성을 설명하면 다음과 같다.
- <45> 선택신호 발생부(360)는 주파수가 낮은 선택 클럭(CLK)에 응답하여 적어도 1비트의 선택 신호(A(N))를 생성하여 제1 분주회로(310) 및 제2 분주회로(320)로 출력한다.
- <46> 제1 분주회로(310)는 외부에서 입력되며 특정 주파수를 갖는 외부 클럭(EXTCLK)을 설정된 분주비에 따라 분주하여 분주 주파수 신호(Fref)를 출력하는데, 선택신호 발생부(360)의 선택 신호(A(N))에 응답하여 분주 주파수 신호(Fref)가 이전 분주 주파수 신호(Fref)보다 위상이 앞서거나 뒤진 분주 주파수 신호(Fref)를 생성하여 출력한다.
- <47> 제2 분주회로(320)는 전압제어 발진기(VCO: Voltage Controlled Oscillator, 50)의 출력인 내부 클럭(INTCLK)을 입력받아 설정된 분주비에 따라 분주하여 분주 주파수 신호(Fref)와 동일한 주파수를 갖는 비교 주파수 신호(Cref)를 출력하는데, 선택신호 발생부(360)의 선택 신호(A(N))에 응답하여 비교 주파수 신호(Cref)가 이전 비교 주파수 신호(Cref)보다 위상이 앞서거나 뒤진 비교 주파수 신호(Cref)를 생성하여 출력한다.
- <48> 위상 주파수 검출기(PFD: Phase Frequency Detector, 330)는 제1 분주회로(310)의 출력인 분주 주파수 신호(Fref)와 제2 분주회로(320)의 출력인 비교 주파수 신호(Cref)를 인가받아 비교 하여 두 신호의 위상차에 해당하는 업(Up) 신호 또는 다운(Down) 신호를 생성하여 출력한다.
- <49> 전하 펌프 및 루프 필터부(Charge Pump & Loop Filter, 340)는 위상 주파수 검출기(330)에서 출력되는 업(Up) 신호 또는 다운(Down) 신호를 입력받아, 각각 대응하여 소싱 전류(Sourcing current) 또는 싱킹 전류(Sinking current)를 생성하고, 생성된 전류의 양에 따라 컨트롤 전압(Vco)을 생성시켜 전압제어 발진기(50)에 공급한다. 이때, 생성되는 컨트롤 전압(Vco)은 저역 통과 필터를 거치게 되어 일부 노이즈가 제거된다.
- <50> 전압 제어 발진기(50)는 전하 펌프 및 루프 필터부(340)에서 출력되는 컨트롤 전압(Vco)을 입력받아, 컨트롤 전압(Vco)에 대응 하는 주파수를 갖고, 외부 클럭(EXTCLK)에 동기되는 내부 클럭(INTCLK)을 출력한다.
- <51> 도 4는 도3의 선택신호 발생부, 제1 분주회로 및 제2 분주회로를 구체적으로 나타낸 도면으로서, 제1 분주회로(310), 제2 분주회로(320) 및 선택신호 발생부(360)로 구성되어 있으며, 제1 분주회로(310)는 제1 분주기(311), 제1 믹스(312), 제2 분주기(313), 제2 믹스(314), 제N 분주기(315), 및 제N 믹스(316)로 구성되어 있다.
- <52> 그리고 제2 분주회로(320)는 제1 분주기(321), 제1 믹스(322), 제2 분주기(323), 제2 믹스(324), 제N 분주기(325), 및 제N 믹스(326)로 구성되어 있고, 선택신호 발생부(360)는 비트 신호 발생기(361), 제1 D플립플롭(365), 제2 D플립플롭(366), 제N D플립플롭(367)으로 구성되어 있다.
- <53> 이때, 제1 분주회로(310)와 제2 분주회로(320)는 동일한 동작을 하며, 단지 제1 분주회로(310)는 외부 클럭(EXTCLK)을 분주하고, 제2 분주회로(320)는 내부 클럭(INTCLK)을 분주하는 것이 다르다. 따라서, 제1 분주회로(310)의 설명으로 제2 분주회로(320)의 설명은 생략하기로 한다.
- <54> 도4의 선택신호 발생부 및 분주회로의 구성을 설명하면 다음과 같다.
- <55> 제1 분주기(311)는 외부 클럭(EXTCLK)을 1/2로 분주한 정출력(Q)과 정출력이 반전된 신호인 부출력(/Q)을 출력한다.
- <56> 제1 믹스(312)는 제1 분주기(311)의 정출력(Q)과 부출력(/Q)을 인가받고, 선택신호 발생부(360)의 제1 선택신호(A1)에 응답하여 제1 분주기(311)의 정출력(Q)과 부출력(/Q)중 한 개를 출력을 선택하여 제1 분주 출력(OUTA1)으로 출력한다.
- <57> 제2 분주기(313)는 제1 믹스(312)에서 출력되는 제1 분주 출력(OUTA1)을 인가받고 1/2 분주하여 정출력(Q)과 부출력(/Q)을 출력한다.
- <58> 제2 믹스(314)는 제2 분주기(313)의 정출력(Q)과 부출력(/Q)을 인가받고, 선택신호 발생부(360)의 제2 선택신호(A2)에 응답하여 제2 분주기(313)의 정출력(Q)과 부출력(/Q)중 한 개의 출력을 선택하여 제2 분주 출력(OUTA2)으로 출력한다.
- <59> 제N 분주기(315)는 제N-1 믹스(미도시)에서 출력되는 제N-1 분주 출력(OUTA(N-1))을 인가받아 1/2 분주하여 정출력(Q)과 부출력(/Q)을 출력한다.
- <60> 제N 믹스(316)는 선택신호 발생부(360)의 제N 선택신호(A(N))에 응답하여 입력되는 제N 분주기(315)의 정출력(Q) 또는 부출력(/Q)을 선택하여 제N 분주 출력(OUTA(N))으로 출력한다.

- <61> 여기서, 분주기들 각각은 다양한 회로로 구성될 수 있으나, 본 발명에서는 설명의 편의를 위하여 일반적으로 이용되는 D플립플롭을 이용하여 구성하는 것으로 하며, D플립플롭은 반전되어 출력되는 부출력(/Q)을 입력으로 되 먹임하면, 입력되는 클럭의 1/2분주한 신호를 얻을 수 있다.
- <62> 따라서, 제1 분주회로(310)는 N개의 분주기를 구비하여 외부 클럭(EXTCLK)이  $1/(2^N)$  분주된 분주 출력(OUTA(N))을 출력하고, 제2 분주회로(320) 또한 N개의 분주기를 구비하여 내부 클럭(INTCLK)이  $1/(2^N)$  분주된 분주 출력(OUTB(N))을 출력한다.
- <63> 도3에서는 외부 클럭(EXTCLK)과 내부 클럭(INTCLK)의 주파수가 동일한 경우를 가정하여 제1 분주회로(310) 및 제2 분주회로(320)가 동일한 개수의 분주기와 먹스를 구비 하는 것으로 도시하였으나, 외부 클럭(EXTCLK)과 내부 클럭(INTCLK)의 주파수가 다른 경우에는 제1 분주회로(310) 및 제2 분주회로(320)의 분주기와 먹스의 개수를 달리할 수 있다. 즉, 제1 분주회로(310)는 N개의 분주기와 N개의 먹스를 구비하고, 제2 분주회로(320)는 M개의 분주기와 M개의 먹스를 구비하여 분주비를 서로 다르게 할 수도 있음은 당연하다.
- <64> 비트 신호 발생기(361)는 주파수가 낮은 클럭인 선택 클럭(CLK)에 응답하여 '0'과 '1'을 비순차적으로 갖는 1비트의 비트 신호(BS)를 생성하여 출력한다.
- <65> 제1 D플립플롭(365)은 비트 신호 발생기(361)에서 출력되는 비트 신호(BS)를 인가받고, 선택 클럭(CLK)에 응답하여 제1 먹스(312)와 제2 D플립플롭(366)으로 제1 선택신호(A1)를 출력한다.
- <66> 제2 D플립플롭(366)은 선택 클럭(CLK)에 응답하여 제1 D플립플롭(365)의 제1 선택신호(A1)를 인가받고, 제2 먹스(314)와 제3 D플립플롭(미도시)으로 제2 선택신호(A2)를 출력한다.
- <67> 제N D플립플롭(367)은 선택 클럭(CLK)에 응답하여 제N-1 D플립플롭(미도시)의 제N-1 선택신호(A(N-1))를 인가받고, 제N 먹스(316)로 제N 선택신호(A(N))를 출력한다.
- <68> 따라서, 선택신호 발생부(360)의 비트 신호 발생기(361)는 선택 클럭(CLK)에 응답하여 비트 신호(BS)를 출력하고, 직렬로 연결된 복수개의 D플립플롭(365~367)은 선택 클럭(CLK)에 따라 비트 신호(BS)를 인가받아 다음 단의 D플립플롭으로 출력하여 비트 신호(BS)를 다음 단의 D플립플롭으로 쉬프트(Shift)하며, 동시에 제1 분주회로(310) 및 제2 분주회로(320)의 복수개의 먹스로 출력되고 있는 선택 신호들(A1~A(N))을 현재의 출력으로 바꾼다.
- <69> 이때, 선택신호 발생부(360)는 복수개의 D플립플롭을 구비하지 않고, '0'과 '1'을 비순차적으로 갖는 1비트의 복수개의 선택 신호(A1~A(N))를 생성하여 출력하는 비트 신호 발생기(361)를 구비하여 제1 분주기(310) 및 제2 분주기(320)의 먹스들을 직접 제어할 수 있음은 당연하다.
- <70> 도 5는 도4의 선택신호 발생부에 따른 제1 분주회로의 출력을 나타낸 도면으로서, 외부에서 입력되는 외부 클럭(EXTCLK)과 선택신호 발생부(360)에 출력이 응답하여 외부 클럭(EXTCLK)을 1/2 분주한 제1 분주 출력(OUTA1) 그리고 제1 분주 출력(OUTA1)을 1/2 분주한 제2 분주 출력(OUTA2)의 파형으로 나타낸 것이다.
- <71> 도4 및 도5를 참조하여, 도4의 선택신호 발생부, 제1 분주회로 및 제2 분주회로의 동작과 도5에 나타낸 도4의 제1 분주회로의 출력파형을 설명하면 다음과 같다.
- <72> 여기서, 제1 분주기(311), 제1 먹스(312), 제2 분주기(313), 제2 먹스(314), 비트 신호 발생기(361), 제1 D플립플롭(365) 및 제2 D플립플롭(366)만을 이용하여 외부 클럭(EXTCLK)이 1/4분주되어 제2 분주 출력(OUTA2)으로 출력되는 것을 예로 들어 설명하도록 한다.
- <73> 여기서, 제1 D플립플롭(365) 및 제2 D플립플롭(366)에서 출력되는 제1 및 제2 선택 신호들(A1, A2)의 초기 설정은 모두 '0' 상태로 되어 있는 것으로 한다.
- <74> 제1 분주기(311)가 외부 클럭(EXTCLK)을 인가받아 1/2 분주하여 정출력(Q)과 부출력(/Q)을 출력하면, 제1 먹스(312)는 제1 D플립플롭(365)의 제1 선택신호(A1)에 응답하여 제1 분주기(311)의 정출력(Q)을 선택하여 제1 분주 출력(OUTA1)으로 출력한다.
- <75> 제2 분주기(313)가 제1 분주 출력(OUTA1)을 인가받아 1/2 분주하여 정출력(Q)과 부출력(/Q)을 출력하면, 제2 먹스(314)는 제2 D플립플롭(366)의 제2 선택신호(A2)에 응답하여 제2 분주기(313)의 정출력(Q)을 선택하여 제2 분주 출력(OUTA2)으로 출력한다.
- <76> 이때, 제1 D플립플롭(365) 및 제2 D플립플롭(366)에서 출력되는 제1 및 제2 선택신호들(A1, A2) 각각이 '

0'과'0'일 때의 제2 분주 출력(OUTA2)은 외부 클럭(EXTCLK)의 첫 번째 에지(E(N)-1)에서 1/4 분주된 것으로 한다.

- <77> 이 후, 선택 클럭(CLK)에 응답하여 비트 신호 발생기(361)가 '1'의 비트 신호(BS)를 출력하였다면, 제1 D플립플롭(365)은 다음번 선택 클럭(CLK)에 응답하여 '1'인 제1 선택신호(A1)를 출력하고, 제1 믹스(312)는 이에 응답하여 제1 분주기(311)의 부출력(/Q)을 선택하여 출력한다.
- <78> 그리고 동시에 제2 D플립플롭(366)은 제1 D플립플롭(365)의 이전 제1 선택 신호(A1)인 '0'을 제2 선택 신호(A2)로서 출력하게 되어, 제2 믹스(314)는 계속하여 제2 분주기(313)의 정출력(Q)을 선택하여 출력하며, 비트 신호 발생기(361)는 '0'과'1'중 일정한 순서 없이 선택하여 비트신호(BS)의 다음 상태를 출력한다.
- <79> 이로써, 제1 D플립플롭(365) 및 제2 D플립플롭(366)의 제1 및 제2 선택신호들(A1, A2) 각각은 '0'과'0'에서 '1'과'0'으로 바뀌었으므로 제1 분주 출력(OUTA1)이 부출력(/Q)으로 바뀌고, 제2 분주 출력(OUTA2)은 정출력(Q)을 유지하여, 제1 D플립플롭(365) 및 제2 D플립플롭(366)의 제1 및 제2 선택신호들(A1, A2) 각각이 '0'과'0'일 때, 외부 클럭(EXTCLK)의 첫 번째 에지(E(N)-1)에서 분주된 제2 분주 출력(OUTA2)과는 달리 한 클럭 뒤진 두 번째 에지(E(N)-2)에서 1/4분주된 제2 분주 출력(OUTA2)이 출력된다.
- <80> 계속해서, 비트 신호 발생기(361)에서 비트신호(BS)가 '0'이 출력되었다면, 제1 D플립플롭(365)은 다음번 선택 클럭(CLK)에 응답하여 '0'인 제1 선택신호(A1)를 출력하고, 제1 믹스(312)는 이에 응답하여 제1 분주기(311)의 정출력(Q)을 선택하여 출력한다.
- <81> 그리고 동시에 제2 D플립플롭(366)은 제1 D플립플롭(365)의 이전 제1 선택 신호(A1)인 '1'을 제2 선택신호(A2)를 출력하게 되어, 제2 믹스(314)는 계속하여 제2 분주기(313)의 부출력(/Q)을 선택하여 출력하게 되며, 비트 신호 발생기(361)는 '0'과'1'중 일정한 순서 없이 선택하여 비트신호(BS)의 다음 상태를 출력한다.
- <82> 이로써, 제1 D플립플롭(365) 및 제2 D플립플롭(366)의 제1 및 제2 선택신호들(A1, A2)은 각각 '1'과'0'에서 각각 '0'과'1'로 바뀌었으므로 제1 분주 출력(OUT1)이 정출력(Q)으로 바뀌고, 제2 분주 출력(OUT2)은 부출력(/Q)으로 바뀌어, 제1 D플립플롭(365) 및 제2 D플립플롭(366)의 제1 및 제2 선택신호들(A1, A2) 각각이 '1'과'0'일 때, 외부 클럭(EXTCLK)의 두 번째 에지(E(N)-2)에서 분주된 제2 분주 출력(OUTA2)과는 달리 한 클럭 뒤진 세 번째 에지(E(N)-3)에서 1/4분주된 제2 분주 출력(OUTA2)이 출력된다.
- <83> 이 후, 계속하여 선택 클럭(CLK)에 응답하여 비트 신호 발생기(361)의 비트 신호(BS)와 제1 D플립플롭(365) 및 제2 D플립플롭(366)의 제1 및 제2 선택신호들(A1, A2)의 출력이 바뀔 것이다.
- <84> 선택신호 발생부(360)가 상기와 같이 동작할 때, 비트 신호 발생기(361)와 제1 D플립플롭(365), 제2 D플립플롭(366)의 출력 변화를 표1에 나타내었다.

**표 1**

랜덤신호발생기 (임의 출력)	제1 D플립플롭	제2 D플립플롭
1	0(초기)	0(초기)
0	1	0
1	0	1
1	1	0
0	1	1
0	0	1
1	0	0

- <85>
- <86> 상기와 같은 동작으로 제1 분주 출력(OUTA1)은 외부 클럭(EXTCLK)을 1/2 분주한 것이 되고, 제2 분주 출력(OUTA2)은 외부 클럭(EXTCLK)을 1/4 분주한 것이 되며, 선택신호 발생부(360)의 복수개의 선택 신호(A1 ~ A(N)) 출력에 따라 제1 분주기(311) 및 제2 분주기(313)의 정출력(Q)과 부출력(/Q)을 선택하므로 주기적으로 일정한 순서 없이 외부 클럭(EXTCLK)의 에지를 선택하고, 선택된 에지를 기준하여 1/4분주 되어 출력된다.
- <87> 상기 동작을 정리하여 설명하면, 제1 선택신호(A1)가 '0'으로 제1 믹스(312)의 출력이 정출력(Q)이고, 제2 선택신호(A2)가 '0'으로 제2 믹스(314)의 출력이 정출력(Q)이면, 제2 분주 출력(OUTA2)은 외부 클럭(EXTCLK)을 제1

에지(E(N)-1)에서 1/4분주한 클럭이 된다.

- <88> 또한, 제1 선택신호(A1)가 '1'로 제1 믹스(312)의 출력이 정출력(Q)이고, 제2 선택신호(A2)가 '0'으로 제2 믹스(314)의 출력이 부출력(/Q)이면, 제2 분주 출력(OUTA2)은 외부 클럭(EXTCLK)을 제2 에지(E(N)-2)에서 1/4분주한 클럭이 되며, 제1 선택신호(A1)가 '0'으로 제1 믹스(312)의 출력이 정출력(Q)이고, 제2 선택신호(A2)가 '1'로 제2 믹스(314)의 출력이 부출력(/Q)이면, 제2 분주 출력(OUTA2)은 외부 클럭(EXTCLK)을 제3 에지(E(N)-3)에서 1/4분주한 클럭이 된다.
- <89> 그리고, 제1 선택신호(A1)가 '1'로 제1 믹스(312)의 출력이 부출력(/Q)이고, 제2 선택신호(A2)가 '0'으로 제2 믹스(314)의 출력이 정출력(Q)이면, 제2 분주 출력(OUTA2)은 외부 클럭(EXTCLK)을 제2 에지(E(N)-2)에서 1/4분주한 출력이 되고, 제1 선택신호(A1)가 '1'로 제1 믹스(312)의 출력이 부출력(/Q)이고, 제2 선택신호(A2)도 '1'로 제2 믹스(314)의 출력이 부출력(/Q)이면, 제2 분주 출력(OUTA2)은 외부 클럭(EXTCLK)을 제4 에지(E(N)-4)에서 1/4분주한 클럭이 된다.
- <90> 여기서, 설명은 생략하였지만 내부 클럭(INTCLK) 또한 상기와 같이 제2 분주회로(320)에서 제1 및 제2 선택 신호(A1, A2)에 따라 에지가 선택되어 분주된다.
- <91> 상기와 같이 본 발명의 제1 및 제2 분주회로(310, 320)는 선택신호 발생부(360)의 제1 및 제2 선택 신호들(A1, A2)에 따라 외부 클럭(EXTCLK)과 내부 클럭(INTCLK)의 에지를 선택하고, 선택된 에지를 기준으로 분주한다.
- <92> 여기서, 제1 및 제2 선택 신호(A1, A2)를 발생하는 선택 클럭(CLK)의 주파수가 높으면 주기적인 노이즈에 대하여 시스템이 빠르게 응답하지만 반면에 전류소모가 증가한다. 또한 선택 클럭(CLK)의 주파수가 낮으면 주기적인 노이즈에 대하여 시스템의 응답은 빠르지 않다. 따라서, 전류 소모와 시스템의 응답에 관계를 생각하여 설계자가 선택 클럭(CLK)의 주파수를 설정하겠지만, 전류소모를 줄이기 위해 주파수가 낮은 것이 바람직하다
- <93> 도6은 본 발명의 위상 동기 루프의 동작을 설명하기 위한 출력파형이다.
- <94> 도3과 도4를 참조하여 본 발명의 위상 동기 루프의 동작과 출력 파형을 설명하면 다음과 같다.
- <95> 외부에서 입력되는 외부 클럭(EXTCLK)을 제1 분주회로(310)가 입력을 받고, 전압제어 발진기(50)의 출력인 내부 클럭(INTCLK)을 제2 분주회로(320)가 피드백 입력 받아서 설정된 분주비만큼 분주하여 각각 분주 주파수 신호(Fref) 및 비교 주파수 신호(Cref)를 출력한다.
- <96> 이때, 외부 클럭(EXTCLK) 및 내부 클럭(INTCLK)을 설정된 분주비에 따라 분주하는 제1 분주회로(310) 및 제2 분주회로(320)는 외부 클럭(EXTCLK) 및 내부 클럭(INTCLK)의 주기적인 특정 에지를 선택하여 분주하게 되는데, 제1 분주회로(310) 및 제2 분주회로(320)는 선택신호 발생부(360)의 출력 신호에 응답하여 선택된 특정 에지를 다른 에지로 변화시켜 변화된 에지를 기준으로 외부 클럭(EXTCLK)을 분주시킨 분주 주파수 신호(Fref) 및 내부 클럭(INTCLK)을 분주시킨 비교 주파수 신호(Cref)를 출력한다.
- <97> 이 후, 위상 주파수 검출기(30)는 분주된 두 개의 신호(Fref, Cref)를 비교하여 두 신호의 위상차에 해당하는 업(Up) 신호 또는 다운(Down) 신호를 생성하고, 전하 펌프 및 루프 필터부(40)는 위상 주파수 검출기(30)의 업(Up) 신호 또는 다운(Down) 신호에 응답하여, 내부 클럭(INTCLK)의 주파수를 제어하는 컨트롤 전압(Vco)의 레벨을 조절하므로 전압제어 발진기(50)에서 출력되는 내부 클럭(INTCLK)이 변화되고, 상기와 같은 과정을 반복하면서 내부 클럭(INTCLK)이 외부 클럭(EXTCLK)과 동기된다.
- <98> 도6의 출력파형은 입력 신호가 1/4분주되어 비교되는 위상 동기 루프의 출력을 예를 들어 나타낸 도면으로, 외부로부터 입력되는 외부 클럭(EXTCLK)의 제1 에지(E(N)-1)에 노이즈가 생겼을 때, 선택신호 발생부에 출력에 응답하여 제1 분주회로(310)의 제1 믹스(312)의 제1 분주출력(OUTA1)과 제2 믹스(314)의 제2 분주출력(OUTA2) 그리고 내부 클럭(INTCLK)의 변화를 나타낸 것이다.
- <99> 여기서, 1/4분주를 이용한 위상 동기 루프이므로 제1 분주회로(310)의 분주 주파수 신호(Fref) 출력은 곧 제2 분주 출력(OUTA2)이 된다.
- <100> 외부 클럭(EXTCLK)의 제1 에지(E(N)-1)에서 주기적인 노이즈가 발생하여 노이즈의 영향으로 노이즈 발생 시간(t1) 동안 외부 클럭(EXTCLK)이 딜레이 되고, 이에 따라 제1 분주 출력(OUTA1)은 외부 클럭(EXTCLK)의 제1 에지에서 노이즈 발생 시간(t1) 동안 딜레이 된다.
- <101> 이때, 선택신호 발생부(360)의 제1 및 제2 선택 신호들(A1, A2)은 모두 '0'상태로 설정되어 있다.

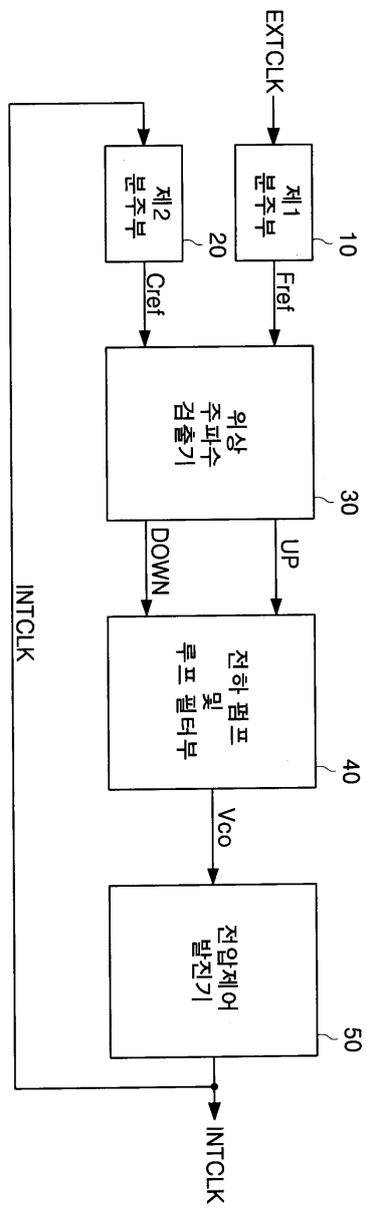
- <102> 제1 분주 출력(OUTA1)이 딜레이 되므로 제2 분주 출력(OUTA2) 또한 딜레이 되어, 제1 분주회로(310)의 분주 주파수 신호(Fref)가 딜레이 된다. 따라서, 내부 클럭(INTCLK)은 딜레이 된 분주 주파수 신호(Fref)에 동기 되어 노이즈 발생 시간(t1) 동안 딜레이 되어 출력된다.
- <103> 이때, 클럭신호(CLK)에 응답하여 선택신호 발생부(360)는 제1 및 제2 선택신호들(A1, A2)을 '1'과'0'상태로 출력하며, 클럭신호(CLK)의 발생 시간(t2)에 제1 분주회로(310)의 제1 믹스(312)와 제2 믹스(314)는 제1 및 제2 선택신호들(A1, A2)에 응답하여 노이즈가 없는 제2 에지(E(N)-2)를 기준으로 분주한 제1 분주 출력(OUTA1)이 출력되고, 제1 분주 출력(OUTA1)에 응답하여 제2 분주 출력(OUTA2)이 출력된다.
- <104> 따라서, 내부 클럭(INTCLK)은 노이즈가 없는 외부 클럭의 제2 에지(E(N)-2)를 기준으로 분주된 분주 주파수 신호(Fref)에 동기 되어, 외부 클럭(EXTCLK)과 동기 된다.
- <105> 일반적으로 1/4 분주되는 분주기는 외부 클럭(EXTCLK)의 제1 에지(E(N)-1)를 반영하여 분주된 클럭을 출력을 하지만, 상기와 같은 본 발명에서는 외부 클럭(EXTCLK)의 제1 에지(E(N)-1)부터 제4 에지(E(N)-4)가 모두 반영되도록 네 가지의 상태를 만들고, 이 네 가지의 상태 중 한 가지를 주기적으로 일정한 순서 없이 선택하여 분주된 클럭을 출력하므로 결과적으로 외부 클럭(EXTCLK)의 모든 에지를 반영하여 분주된 출력을 출력한다.
- <106> 본 발명에서는 1/4 분주되는 분주회로를 예로 들어 설명하였지만, 1/N 분주되는 분주회로를 사용할 수 있음은 당연하다.
- <107> 따라서, 본 발명의 분주회로 및 이를 이용한 위상 동기 루프는 상기와 같이 복수개의 분주기 각각의 정 출력 또는 부 출력을 임의로 선택하여 분주 신호를 생성하므로 노이즈가 발생한 특정 에지가 회로에 반영되는 빈도수를 줄임으로 특정 에지에서의 발생하는 주기적인 노이즈 영향을 줄여 회로의 안정성을 높였다.
- <108> 상기에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**도면의 간단한 설명**

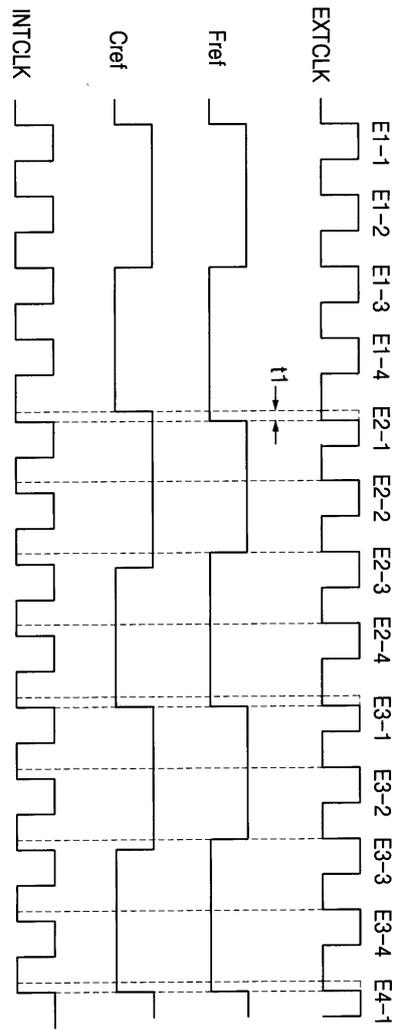
- <109> 도 1은 종래의 위상 동기 루프의 블록도이다.
- <110> 도 2는 도1에 노이즈가 발생하였을 때 출력되는 파형을 나타낸 도면이다.
- <111> 도 3은 본 발명에 따른 위상 동기 루프를 나타낸 도면이다.
- <112> 도 4는 도3의 선택신호 발생부, 제1 분주회로 및 제2 분주회로를 구체적으로 나타낸 도면이다.
- <113> 도 5는 도4의 선택신호 발생부에 따른 제1 분주회로의 출력을 나타낸 도면이다.
- <114> 도6은 본 발명의 위상 동기 루프의 동작을 설명하기 위한 출력파형이다.

도면

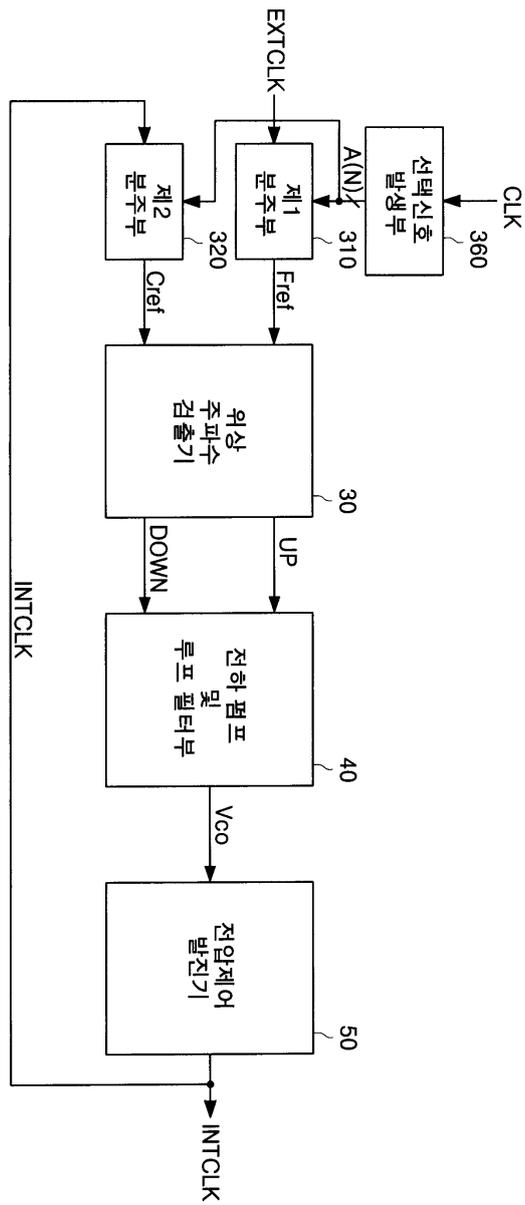
도면1



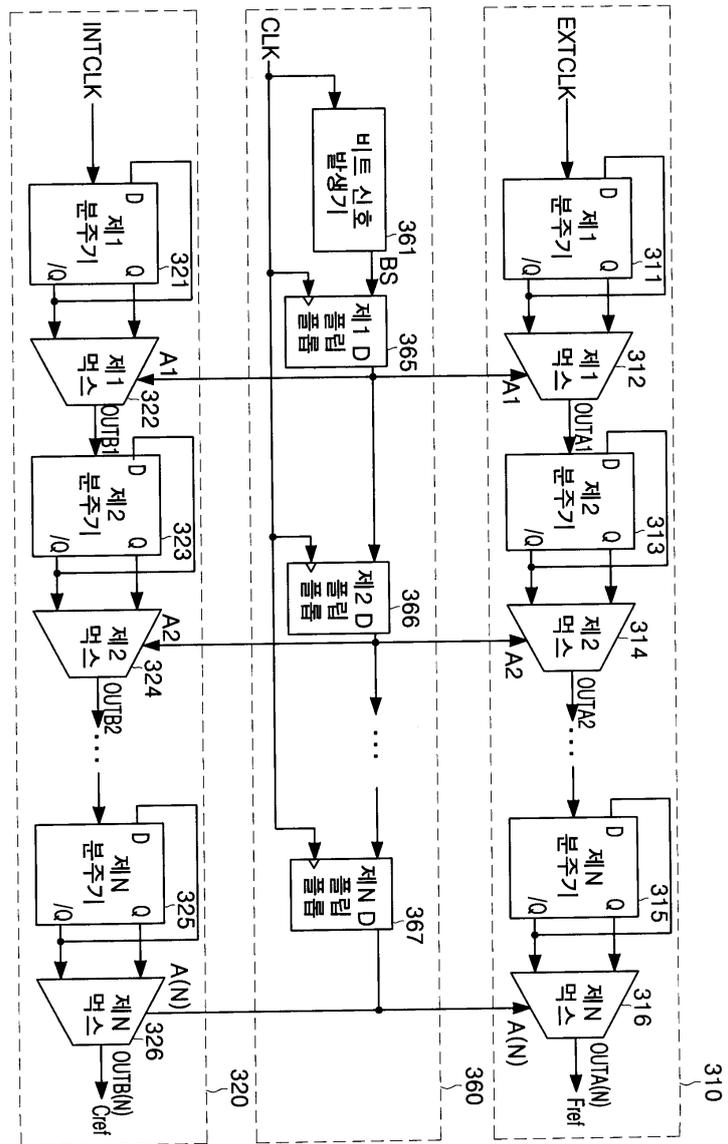
도면2



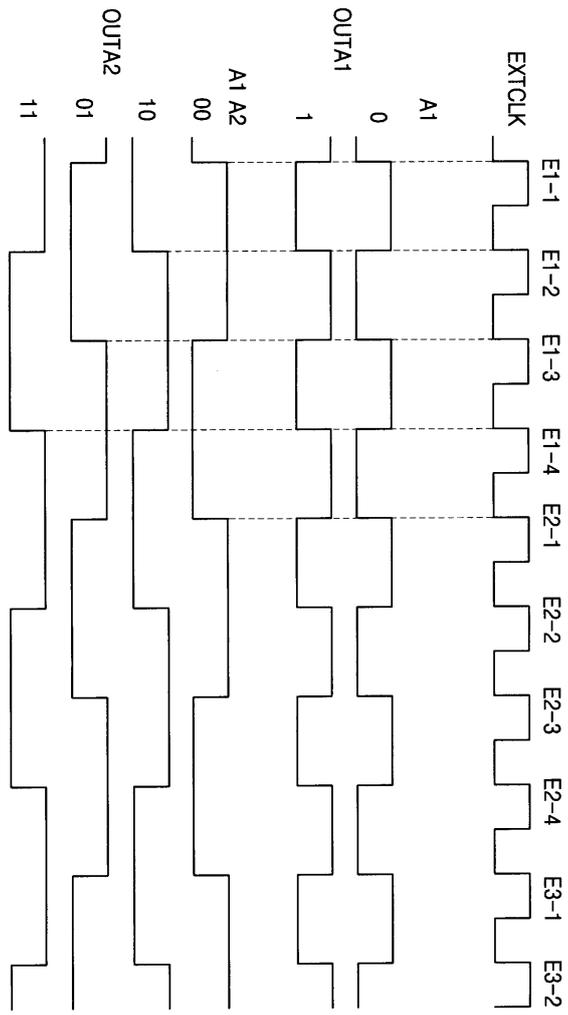
도면3



도면4



도면5



도면6

