(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3697044号
(P3697044)
(45)発行日　平成17年9月21日(2005.9.21)　(24)登録日　平成17年7月8日(2005.7.8)

(51)Int.Cl.[7]　F I
H01L 21/8242　H01L 27/10　681F
H01L 27/108　H01L 27/10　621C

請求項の数 22　(全 38 頁)

(21)出願番号　特願平9-350537
(22)出願日　平成9年12月19日(1997.12.19)
(65)公開番号　特開平11-186518
(43)公開日　平成11年7月9日(1999.7.9)
審査請求日　平成15年2月7日(2003.2.7)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　福田　琢也
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　大路　譲
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　小林　伸好
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内

最終頁に続く

(54)【発明の名称】半導体集積回路装置およびその製造方法

(57)【特許請求の範囲】
【請求項１】
半導体基板のメモリセルアレイ領域に形成されたメモリセル選択用ＭＩＳＦＥＴと、前記メモリセルアレイ領域の周辺の周辺回路領域に形成された周辺回路用ＭＩＳＦＥＴと、前記メモリセル選択用ＭＩＳＦＥＴおよび周辺回路用ＭＩＳＦＥＴを覆う第１層間絶縁膜と、前記メモリセルアレイ領域の前記第１層間絶縁膜上に形成されたビット線と、前記ビット線上に形成され、前記メモリセル選択用ＭＩＳＦＥＴのソース・ドレイン領域の一方に電気的に接続された下部電極を備えた情報蓄積用容量素子と、前記情報蓄積用容量素子と同層に形成され、前記情報蓄積用容量素子の高さに起因する前記メモリセルアレイ領域と前記周辺回路領域との段差を緩和または解消する第１の部分、および前記情報蓄積用容量素子を覆う第２の部分を含む第２層間絶縁膜とを有する半導体集積回路装置であって、
前記第２層間絶縁膜は、その表面が平坦化され、かつ、その表面近傍に配線溝が形成されており、前記配線溝の内部には、前記表面と同一面内にその表面を有する配線が形成され、
前記周辺回路領域、または、前記周辺回路領域およびロジック回路領域の前記第１層間絶縁膜上には、前記ビット線と同一の材料からなる第１層配線が形成され、
前記配線は、前記第１層配線の上部に形成された第２層配線であり、
前記配線溝の下部に接続孔が形成され、前記第２層配線は、前記接続孔の内部に前記第２層配線と一体に形成された接続部を介して前記第１層配線に接続され、
前記第１層配線は、前記周辺回路領域またはロジック回路領域のＭＩＳＦＥＴのソース

又はドレイン領域に接続されていることを特徴とする半導体集積回路装置。
【請求項２】
半導体基板のメモリセルアレイ領域に形成されたメモリセル選択用ＭＩＳＦＥＴと、前記メモリセルアレイ領域の周辺の周辺回路領域に形成された周辺回路用ＭＩＳＦＥＴと、前記メモリセルアレイ領域および周辺回路領域以外のロジック回路領域に形成された演算回路その他のロジック回路を構成するロジック回路用ＭＩＳＦＥＴと、前記メモリセル選択用ＭＩＳＦＥＴ、周辺回路用ＭＩＳＦＥＴおよびロジック回路用ＭＩＳＦＥＴを覆う第１層間絶縁膜と、前記メモリセルアレイ領域の前記第１層間絶縁膜上に形成されたビット線と、前記ビット線上に形成され、前記メモリセル選択用ＭＩＳＦＥＴのソース・ドレイン領域の一方に電気的に接続された下部電極を備えた情報蓄積用容量素子と、前記情報蓄積用容量素子と同層に形成され、前記情報蓄積用容量素子の高さに起因する前記メモリセルアレイ領域と前記周辺回路領域およびロジック回路領域との段差を緩和または解消する第１の部分、および前記情報蓄積用容量素子を覆う第２の部分を含む第２層間絶縁膜とを有する半導体集積回路装置であって、
前記第２層間絶縁膜は、その表面が平坦化され、かつ、その表面近傍に配線溝が形成されており、前記配線溝の内部には、前記表面と同一面内にその表面を有する配線が形成され、
前記周辺回路領域およびロジック回路領域の前記第１層間絶縁膜上には、前記ビット線と同一の材料からなる第１層配線が形成され、
前記配線は、前記第１層配線の上部に形成された第２層配線であり、
前記配線溝の下部に接続孔が形成され、前記第２層配線は、前記接続孔の内部に前記第２層配線と一体に形成された接続部を介して前記第１層配線に接続され、
前記第１層配線は、前記周辺回路領域およびロジック回路領域のＭＩＳＦＥＴのソース又はドレイン領域に接続され、
前記メモリセルアレイ領域、前記周辺回路領域およびロジック回路領域上において、前記第２層配線の上層に上層配線が形成され、
前記上層配線は、前記周辺回路領域およびロジック回路領域に形成された前記第２層配線に接続され、
前記周辺回路領域およびロジック回路領域とが前記上層配線で接続されていることを特徴とする半導体集積回路装置。
【請求項３】
請求項２記載の半導体集積回路装置であって、
前記上層配線はバス配線を構成することを特徴とする半導体集積回路装置。
【請求項４】
請求項１、２または３記載の半導体集積回路装置であって、
前記配線の底面は、前記情報蓄積用容量素子の上面よりも下方に位置することを特徴とする半導体集積回路装置。
【請求項５】
請求項１記載の半導体集積回路装置であって、
前記周辺回路領域上において、前記第２層配線の上層に上層配線が形成され、
前記上層配線は、前記第２層配線に接続されていることを特徴とする半導体集積回路装置。
【請求項６】
請求項１～５の何れか一項に記載の半導体集積回路装置であって、
前記第２層配線およびその接続部は、銅を主導電層とする金属導電体からなることを特徴とする半導体集積回路装置。
【請求項７】
請求項１～５の何れか一項に記載の半導体集積回路装置であって、
前記第２層配線およびその接続部は、アルミニウムを主導電層とする金属導電体からなることを特徴とする半導体集積回路装置。

【請求項８】
請求項７記載の半導体集積回路装置であって、
前記アルミニウムからなる主導電層と前記配線溝および接続孔との界面には、窒化チタン膜が形成されていることを特徴とする半導体集積回路装置。
【請求項９】
請求項２または６記載の半導体集積回路装置であって、
前記上層配線は、その表面近傍に配線溝を有する上層層間絶縁膜の前記配線溝内に形成され、その表面と前記上層層間絶縁膜の表面とがほぼ同一平面内にある導電膜で形成されていることを特徴とする半導体集積回路装置。
【請求項１０】
半導体基板の主面のメモリセルアレイ領域にメモリセル選択用ＭＩＳＦＥＴを、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用ＭＩＳＦＥＴまたはロジック回路用ＭＩＳＦＥＴをそれぞれ形成する工程、前記メモリセル選択用ＭＩＳＦＥＴおよび周辺回路用ＭＩＳＦＥＴまたはロジック回路用ＭＩＳＦＥＴを覆う第１絶縁膜を形成する工程、前記メモリセルアレイ領域の前記第１絶縁膜上にビット線を、前記周辺回路領域またはロジック回路領域の前記第１絶縁膜上に前記ビット線と同一の材料からなる第１層配線を形成する工程、前記ビット線および第１層配線を覆う第２絶縁膜を前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成する工程、前記メモリセルアレイ領域の前記第２絶縁膜上に情報蓄積用容量素子の下部電極、前記下部電極を覆う容量絶縁膜および上部電極を形成する工程、前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に第３絶縁膜を形成する工程、を含む半導体集積回路装置の製造方法であって、
前記第３絶縁膜の表面をＣＭＰ法で平坦化した後、前記周辺回路領域またはロジック回路領域の前記平坦化された第３絶縁膜およびその下層絶縁膜に配線溝および接続孔を形成し、前記配線溝および接続孔の内部を含む前記第３絶縁膜上に第１導電層および第２導電層を順次堆積し、前記第３絶縁膜の表面上の前記第１および第２導電層をＣＭＰ法により除去して、前記配線溝内に前記第１および第２導電層からなる配線を、前記接続孔内に前記第１および第２導電層からなり、かつ前記第１層配線に接続する接続部を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。
【請求項１１】
請求項１０記載の半導体集積回路装置の製造方法であって、
前記第３絶縁膜の堆積前に、前記周辺回路領域またはロジック回路領域に前記情報蓄積用容量素子と同層に形成される第４絶縁膜を形成し、前記メモリセルアレイ領域と前記周辺回路領域またはロジック回路領域との間の前記情報蓄積用容量素子の高さに起因する段差を緩和または解消することを特徴とする半導体集積回路装置の製造方法。
【請求項１２】
請求項１１記載の半導体集積回路装置の製造方法であって、
前記第４絶縁膜は、前記情報蓄積用容量素子の下部電極の形成の際に円筒形状の溝が形成される絶縁膜であることを特徴とする半導体集積回路装置の製造方法。
【請求項１３】
請求項１０記載の半導体集積回路装置の製造方法であって、
前記第３絶縁膜は、前記情報蓄積用容量素子を覆い、前記情報蓄積用容量素子の高さに相当する寸法以上の膜厚で堆積されることを特徴とする半導体集積回路装置の製造方法。
【請求項１４】
請求項１０～１３の何れか一項に記載の半導体集積回路装置の製造方法であって、
前記メモリセルアレイ領域、前記周辺回路領域またはロジック回路領域上において、前記平坦化された第３絶縁膜上に上層配線が形成され、
前記上層配線は、前記周辺回路領域またはロジック回路領域に形成された前記第２層配線に接続されていることを特徴とする半導体集積回路装置の製造方法。
【請求項１５】

請求項１０～１４の何れか一項に記載の半導体集積回路装置の製造方法であって、
前記第１導電層は、窒化チタン膜であり、前記第２導電層はアルミニウム膜であることを特徴とする半導体集積回路装置の製造方法。
【請求項１６】
請求項１５記載の半導体集積回路装置の製造方法であって、
前記アルミニウム膜の堆積後に、前記半導体基板を高圧力化に保持し、前記アルミニウム膜を前記接続孔内に埋め込むことを特徴とする半導体集積回路装置の製造方法。
【請求項１７】
請求項１０～１４の何れか一項に記載の半導体集積回路装置の製造方法であって、
前記第１導電層は、タンタル膜、ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜から選択された何れか１つのまたは複数の薄膜であり、前記第２導電層は銅膜であることを特徴とする半導体集積回路装置の製造方法。
【請求項１８】
請求項１７記載の半導体集積回路装置の製造方法であって、
前記銅膜は、メッキ法により堆積されることを特徴とする半導体集積回路装置の製造方法。
【請求項１９】
請求項１０～１４の何れか一項に記載の半導体集積回路装置の製造方法であって、
前記第３絶縁膜および前記配線上にシリコン窒化膜を堆積することを特徴とする半導体集積回路装置の製造方法。
【請求項２０】
半導体基板の主面のメモリセルアレイ領域にメモリセル選択用ＭＩＳＦＥＴを、前記メモリセルアレイ領域の周辺の周辺回路領域に周辺回路用ＭＩＳＦＥＴを、前記メモリセルアレイ領域および周辺回路領域以外のロジック回路領域に演算回路その他のロジック回路を構成するロジック回路用ＭＩＳＦＥＴとをそれぞれ形成する工程、
前記メモリセル選択用ＭＩＳＦＥＴ、周辺回路用ＭＩＳＦＥＴおよびロジック回路用ＭＩＳＦＥＴを覆う第１絶縁膜を形成する工程、
前記メモリセルアレイ領域の前記第１絶縁膜上にビット線を、前記周辺回路領域およびロジック回路領域の前記第１絶縁膜上に前記ビット線と同一の材料からなる第１層配線を形成する工程、
前記ビット線および第１層配線を覆う第２絶縁膜を前記メモリセルアレイ領域、前記周辺回路領域および前記ロジック回路領域上に形成する工程、
前記メモリセルアレイ領域の前記第２絶縁膜上に情報蓄積用容量素子の下部電極、前記下部電極を覆う容量絶縁膜および上部電極を形成する工程、
前記情報蓄積用容量素子上、前記周辺回路領域上および前記ロジック回路領域上に第３絶縁膜を形成する工程、
前記第３絶縁膜の表面をＣＭＰ法で平坦化した後、前記周辺回路領域およびロジック回路領域の前記平坦化された第３絶縁膜およびその下層絶縁膜に配線溝および接続孔を形成し、前記配線溝および接続孔の内部を含む前記第３絶縁膜上に第１導電層および第２導電層を順次堆積し、前記第３絶縁膜の表面上の前記第１および第２導電層をＣＭＰ法により除去して、前記配線溝内に前記第１および第２導電層からなる配線を、前記接続孔内に前記第１および第２導電層からなり、かつ前記第１層配線に接続する接続部を形成する工程、
前記メモリセルアレイ領域、前記周辺回路領域およびロジック回路領域において、前記平坦化された第３絶縁膜上に上層配線を形成する工程、
を含み、
前記上層配線は、前記周辺回路領域およびロジック回路領域に形成された前記配線に接続され、
前記周辺回路領域およびロジック回路領域とが前記上層配線で接続されていることを特徴とする半導体集積回路装置の製造方法。

【請求項２１】
請求項２０記載の半導体集積回路装置の製造方法であって、
前記上層配線はバス配線を構成することを特徴とする半導体集積回路装置の製造方法。
【請求項２２】
請求項１４または２１記載の半導体集積回路装置の製造方法であって、
前記上層配線は、その表面近傍に配線溝を有する上層層間絶縁膜の前記配線溝内に形成され、その表面と前記上層層間絶縁膜の表面とがほぼ同一平面内にある導電膜で形成されていることを特徴とする半導体集積回路装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体集積回路装置およびその製造技術に関し、特に、いわゆるＣＯＢ（Capacitor Over Bitline）構造を有するＤＲＡＭ（Dynamic Random Access Memory）、あるいは、そのようなＤＲＡＭと論理制御回路または論理演算回路等のロジック回路とが１つの半導体基板に混載された半導体集積回路装置に適用して有効な技術に関するものである。
【０００２】
【従来の技術】
ＤＲＡＭのメモリセルは、一般に、半導体基板の主面上にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置され、１個のメモリセル選択用ＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor ）とこれに直列に接続された１個の情報蓄積用容量素子（キャパシタ）とで構成されている。メモリセル選択用ＭＩＳＦＥＴは、周囲を素子分離領域で囲まれた活性領域に形成され、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一対の半導体領域で構成されている。ビット線は、メモリセル選択用ＭＩＳＦＥＴの上部に配置され、その延在方向に隣接する２個のメモリセル選択用ＭＩＳＦＥＴによって共有されるソース、ドレインの一方と電気的に接続されている。情報蓄積用容量素子は、同じくメモリセル選択用ＭＩＳＦＥＴの上部に配置され、上記ソース、ドレインの他方と電気的に接続されている。
【０００３】
特開平７－７０８４号公報は、ビット線の上部に情報蓄積用容量素子を配置するキャパシタ・オーバー・ビットライン（ＣＯＢ；Capacitor Over Bitline）構造のＤＲＡＭを開示している。この公報に記載されたＤＲＡＭでは、キャパシタの下部電極（蓄積電極）が上方に開口を有する円筒形状に加工され、これによってその表面積を増加して、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量（Ｃｓ）の減少を補い、半導体記憶装置としての動作信頼度を確保している。また、下部電極に接して容量絶縁膜が形成され、その上部に上部電極（プレート電極）が形成されている。
【０００４】
このような円筒形状の下部電極を有するキャパシタは、その形状に由来して必然的に立体化される。この立体化のために、キャパシタが形成されるメモリセルアレイ領域と、周辺回路領域等それ以外の領域との間に、キャパシタの高さに相当する段差が発生する。
【０００５】
このような段差が存在すれば、キャパシタの形成後に形成される配線層のパターニングの際に露光焦点の合わせが困難になり、微細な配線パターンが得られなくなる。半導体集積回路装置の微細化の進展に伴って単位面積あたりに確保する必要がある蓄積容量値が大きくなり、このためキャパシタ高さがさらに高くなり、他方、配線パターンの微細化によって許容される露光焦点の合わせ余裕の値が益々厳しいものとなる。したがって、前記段差を緩和する手段は、ＣＯＢ構造のメモリセル構造を採用する限り必須の技術課題となる。
【０００６】
前記段差を緩和できる技術として以下のような技術が知られている。たとえば、平成５年１０月２６日、工業調査会発行、「やさしいＵＬＳＩ技術」、ｐ１５５～ｐ１６４に記載

されているように、ＳＯＧ（Spin On Glass ）膜あるいは低融点ガラスの塗布および溶融による塗布法、ガラスフローによる熱処理法、ＣＶＤ（Chemical Vapor Deposition ）の表面反応メカニズムを適用して自己平坦化させる方法等が知られ、たとえば、特開平７－１２２６５４号公報には、ＢＰＳＧ（Boron-doped Phospho-Silicate Glass）膜のリフローによる平坦化とスピンオングラス膜（ＳＯＧ膜）による平坦化とを組み合わせて段差の低減を図る技術が開示されている。

【０００７】

また、たとえば、平成８年５月１日、工業調査会発行、「電子材料」１９９６年５月号、ｐ２２～ｐ２７に記載されているように、フォトレジスト犠牲膜、ＳＯＧ膜あるいは自己平坦化ＣＶＤ膜の堆積とエッチバック法とを組み合わせた方法およびＣＭＰ（Chemical Mechanical Polishing ）法が知られている。

【０００８】

しかし、ＳＯＧ膜あるいは低融点ガラスの塗布および溶融による塗布法では、微細な凹凸を埋め込む（平坦化）することはできても、周辺回路領域のように広い面積の凹部を埋め込むことはできず、前記のような段差の緩和には顕著な効果を期待できない。すなわち、キャパシタの高さに起因するメモリセルアレイ領域と周辺回路領域との絶対段差は解消されず、たとえばメモリセルアレイ上に配置される配線をパターニングする際、焦点深度の余裕が十分にとれない関係から、微細な配線パターンを得ることは困難である。

【０００９】

また、ガラスフローによる熱処理法（たとえばＢＰＳＧのリフロー膜）、あるいはＢＰＳＧ膜のリフローによる平坦化とスピンオングラス膜（ＳＯＧ膜）による平坦化とを組み合わせて段差の低減を図る技術では、ＢＰＳＧ膜のリフローの際に高い温度の熱処理が必要となり、今後の高集積化されたＤＲＡＭにおいてゲート、プラグあるいはキャパシタの材料としてメタル系材料が用いられることを考慮すれば、そのような高温プロセスを採用することによるメタル系材料の好ましくない反応が生じ、ＤＲＡＭの性能を向上できない恐れがある。

【００１０】

また、ＣＶＤの表面反応メカニズムを適用して自己平坦化させる方法、あるいは、フォトレジスト犠牲膜、ＳＯＧ膜、自己平坦化ＣＶＤ膜の堆積とエッチバック法とを組み合わせた方法では、プロセスが複雑となり、安定な工程の実現という観点から好ましくない。

【００１１】

そこで、比較的安定な工程を得ることができ、また、原理的にウェハ全面での平坦性を得ることが可能なＣＭＰ法を段差の解消に適用する技術が有望視される。

【００１２】

【発明が解決しようとする課題】

しかし、ＣＭＰ法で前記段差を解消した場合には、メモリセルアレイ領域以外の領域にキャパシタと同層に形成される絶縁膜の厚さが、キャパシタ高さと同等あるいはそれ以上となって、相当に厚くなる。微細化されたＤＲＡＭにおいてはキャパシタ高さを高くして蓄積容量を確保する必要上その厚さは１μｍにまでおよぶ場合も生じる。このため、キャパシタ形成工程の前に形成された第１層配線と、完全平坦化が実現された絶縁膜上の配線（第２層配線）とを接続する場合には、キャパシタの段差を反映した厚い絶縁膜に接続孔を開口する必要があり、その接続孔のアスペクト比（接続孔開口径に対する接続孔の深さ）が大きくなってしまう。すなわち、第１層配線と第２層配線とをプラグを用いて接続する場合であっても高いアスペクト比のプラグで接続することとなり、このような高いアスペクト比のプラグを形成するために、歩留りの低下を招く恐れが存在する。

【００１３】

また、ＤＲＡＭと論理制御回路または論理演算回路等のロジック回路とが１つの半導体基板に混載された半導体集積回路装置にあっては、ロジック回路部は、ＤＲＡＭの周辺回路と同様に高いアスペクト比のプラグによって第１層配線と第２層配線とが接続されることとなる。このような高いアスペクト比のプラグで配線が接続されれば、その抵抗によって

、ロジック回路の高速応答性等の性能が阻害されることとなる。

【００１４】

なお、特開平９－９２７９４号公報には、段差の低減および蓄積電極の加工工程の簡略化のために、キャパシタを掘込み型とし、キャパシタ形成用の凹部と配線溝とを同時に形成する方法が開示されているが、円筒型の蓄積電極（下部電極）の内外面を利用するキャパシタの形成には不適当であり、また、キャパシタを形成した後に配線（第２層配線）を形成する際には、ＣＭＰ法を用いることができないという不具合がある。また、前記公報の技術によりキャパシタの下部電極を周辺回路の第２層配線と同時に形成した場合には、その第２層配線の形成工程の後にキャパシタの容量絶縁膜の形成を行うこととなる。キャパシタの蓄積電荷の増大を考慮して酸化タンタル等の酸化物金属で容量絶縁膜を構成した場合には、必然的に高い温度の熱処理工程を実施する必要があり、第２層配線に低抵抗な銅あるいはアルミニウム等の金属材料を用いることは、熱的拡散性の及び軟化観点から採用できない。

【００１５】

本発明の目的は、ＣＯＢ構造のメモリセルを有する半導体集積回路装置において、立体化されたキャパシタと同層に形成された厚い絶縁膜を挟んで配置される第１層配線と第２層配線との接続信頼性を向上することにある。

【００１６】

また、本発明の目的は、前記第１層配線と第２層配線との接続孔部分の抵抗を低減することにある。

【００１７】

また、本発明の目的は、第２層配線以上の配線の配線抵抗を低減することにある。

【００１８】

また、本発明の目的は、第２層配線の形成工程を高い熱処理工程が必要なキャパシタの形成工程以降とし、熱拡散係数の大きな材料であっても第２層配線に用いることが可能な技術を提供することにある。

【００１９】

また、本発明の目的は、ＣＯＢ構造のメモリセルを有するＤＲＡＭと同一の基板に形成される周辺回路、あるいはロジック回路の高速応答性能を向上することにある。

【００２０】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００２１】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００２２】

（１）本発明の半導体集積回路装置は、半導体基板のメモリセルアレイ領域に形成されたメモリセル選択用ＭＩＳＦＥＴと、メモリセルアレイ領域の周辺の周辺回路領域に形成された周辺回路用ＭＩＳＦＥＴと、メモリセル選択用ＭＩＳＦＥＴおよび周辺回路用ＭＩＳＦＥＴを覆う第１層間絶縁膜と、メモリセルアレイ領域の第１層間絶縁膜上に形成されたビット線と、ビット線上に形成され、メモリセル選択用ＭＩＳＦＥＴの一方のソース・ドレイン領域に電気的に接続された下部電極を備えた情報蓄積用容量素子と、情報蓄積用容量素子と同層に形成され、情報蓄積用容量素子の高さに起因するメモリセルアレイ領域と周辺回路領域との段差を緩和または解消する第１の部分、および情報蓄積用容量素子を覆う第２の部分を含む第２層間絶縁膜とを有する半導体集積回路装置であって、第２層間絶縁膜の表面が平坦化され、かつ、第２層間絶縁膜の表面近傍に配線溝が形成されており、配線溝の内部には、表面と同一面内にその表面を有する配線が形成されているものである。

【００２３】

また、本発明の半導体集積回路装置は、前記した半導体集積回路装置のメモリセルアレイ領域および周辺回路領域以外に、演算回路その他のロジック回路を構成するロジック回路用ＭＩＳＦＥＴが形成されたロジック回路領域を有し、このロジック回路領域の第２層間絶縁膜についても、その表面が平坦化され、かつ、その表面近傍に配線溝が形成され、配線溝の内部には、表面と同一面内にその表面を有する配線が形成されているものである。

【００２４】

このような半導体集積回路装置によれば、第２層間絶縁膜の表面が平坦化されているため、メモリセルアレイ領域とその他の領域との間に情報蓄積用容量素子の起因する段差が形成されず、このような段差が存在した場合には生ずるであろう露光光の焦点ずれが発生しない。このため、第２層間絶縁膜上に形成される配線等のパターニングを精密に行うことができる。これにより微細な配線等を形成して半導体集積回路装置の高集積化および高性能化に対応することが可能となる。

【００２５】

ただし、このように第２層間絶縁膜の表面を平坦化すれば、周辺回路領域あるいはロジック回路領域についての第２層間絶縁膜の膜厚が前記段差に相当する寸法だけ厚くなり、何ら対策を施さない従来技術の場合には第２層間絶縁膜上に形成する配線とその下部部材とを接続する接続孔を高いアスペクト比で加工する必要があることは前記したとおりである。

【００２６】

しかし、本発明では、第２層間絶縁膜の表面を平坦化するとともにその表面近傍に配線溝を形成し、この配線溝に第２層間絶縁膜の表面と同一の平面内にその表面を有する配線が形成されるため、第２層間絶縁膜の下部の部材と、配線底部との距離が短くなり、配線と前記部材とを接続する接続部の長さを短くできる。これにより、接続部を形成する接続孔の長さを短くしてその加工を容易とし、加工不良の発生を抑制して半導体集積回路装置の製造歩留まりと信頼性を向上できる。また、接続部の長さが短くなることから、その接続部の抵抗が低くなり、配線と前記部材との接続抵抗を低減して半導体集積回路装置の高速応答性等の性能を向上できる。

【００２７】

また、前記配線はメモリセルアレイ領域には形成されず、周辺回路領域にのみ、または周辺回路領域およびロジック回路領域にのみ形成することができる。これにより、周辺回路領域またはロジック回路領域での配線および接続部の抵抗値を低減して周辺回路およびロジック回路の高速応答性能を向上できる。特にロジック回路部分の高速応答性能の向上は、そのまま演算速度の向上等、半導体集積回路装置の性能向上に直接影響し、重要である。

【００２８】

また、配線の底面は、情報蓄積用容量素子の上面よりも下方に位置するものとすることができる。このように、配線底面を情報蓄積用容量素子の上面よりも下方に位置させることにより、配線底面からその下部に位置する部材に向けて接続する接続部の長さを、より短くすることができる。接続部の長さの短縮は、前記したとおり半導体集積回路装置の歩留まりおよび信頼性の向上、および性能向上に寄与するため、この長さをさらに短くできることは、前記効果をより顕著に発現させることができることを意味する。

【００２９】

また、周辺回路領域、または、周辺回路領域およびロジック回路領域の第１層間絶縁膜上には、ビット線と同一の材料からなる第１層配線が形成され、配線は、第１層配線の上部に形成された第２層配線とすることができる。このように、第１層間絶縁膜上にビット線と同一材料の第１層配線を形成することにより、第１層配線の形成工程をビット線の形成工程と同一にして、工程を簡略化することが可能となる。また、前記配線を第２層配線とし、第２層配線と接続される下部部材を、第１層配線とすることにより、第２層配線と第１層配線との間、すなわち接続部の長さを短くできる。これにより、接続孔の形成工程の容易化による製造歩留まりおよび信頼性の向上、接続部の長さ短縮化による直列抵抗の低

減、それに基ずく半導体集積回路装置の性能向上をより顕著に図ることができる。

【００３０】

なお、配線（あるいは第２層配線）と接続部とは、配線が配線溝に、接続部が接続孔にそれぞれ形成され、一体として形成されたものとすることができる。すなわち、配線溝の下部に接続孔を形成し、配線または第２層配線は、接続孔の内部に配線または第２層配線と一体に形成された接続部を介して周辺回路用ＭＩＳＦＥＴ、ロジック回路用ＭＩＳＦＥＴまたは第１層配線に接続されているものとすることができる。このような配線および接続部は、後に説明するように、いわゆるダマシン法（特に配線と接続部とを一体で形成するデュアルダマシン法）で形成することが可能である。

【００３１】

また、配線およびその接続部または第２層配線およびその接続部は、銅を主導電層とする金属導電体とすることができ、この場合、銅からなる主導電層と配線溝および接続孔との界面には、タンタル膜、ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜から選択された何れか１つのまたは複数の薄膜を形成することができる。また、配線または第２層配線の表面をシリコン窒化膜で覆うことができる。

【００３２】

銅を主導電層とすることにより配線および接続部の抵抗値を低減し、半導体集積回路装置の性能を向上できる。特にロジック回路部分での性能向上は、その要求が強く期待されており、技術的効果が大きい。また、タンタル膜、ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜から選択された何れか１つのまたは複数の薄膜は、銅に対するブロッキング層として機能するものである。これにより銅の層間絶縁膜等への拡散を防止して、半導体集積回路装置の信頼性を向上できる。特に、タンタル膜およびニオブ膜は、タンタルおよびニオブと銅との化学結合が安定に存在し、タンタル／銅界面（ニオブ／銅界面）での銅原子の移動が抑制される。このため、銅の拡散のみならず、エレクトロマイグレーションに対してもその抑制効果が大きく、その結果、耐エレクトロマイグレーションに優れた高い信頼性の半導体集積回路装置を得ることができる。さらに、配線または第２層配線の表面をシリコン窒化膜で覆うことにより、銅の上方への拡散を抑制することができる。

【００３３】

また、配線およびその接続部または第２層配線およびその接続部は、アルミニウムを主導電層とする金属導電体とすることができ、この場合、アルミニウムからなる主導電層と配線溝および接続孔との界面には、窒化チタン膜を形成することができる。

【００３４】

アルミニウムを主導電層とすることにより配線および接続部の抵抗値を低減し、半導体集積回路装置の性能を向上できる。特にロジック回路部分での性能向上は、その要求が強く期待されており、技術的効果が大きい。また、窒化チタン膜は後に説明するアルミニウムを高圧力下で接続孔に埋め込む際のウェッティング層として機能させることができる。

【００３５】

なお、下部電極は、上方に開孔を有する筒形状を有するものとすることができる。このような上方に開孔を有する筒形状の下部電極は大きな表面積を得ることができることから今後のＤＲＡＭの高集積化には有利な形状であるが必然的に立体的な形状となり、そのため、情報蓄積用容量素子に起因する段差も高くなる。よって、本発明を適用した場合の効果が特に顕著になる下部電極の形状である。

【００３６】

また、配線または第２層配線の上層には、さらに、その表面近傍に配線溝を有する上層層間絶縁膜、および、配線溝内に形成されその表面と上層層間絶縁膜の表面とがほぼ同一平面内にある上層配線が形成されてもよい。このように第２層配線以上の第３あるいは第４配線層をも前記した第２層配線（配線）と同様としてその直列抵抗を低減し、半導体集積回路装置の性能を向上できる。

【００３７】

（２）本発明の半導体集積回路装置の製造方法は、半導体基板の主面のメモリセルアレイ領域にメモリセル選択用ＭＩＳＦＥＴを、半導体基板の周辺回路領域またはロジック回路領域に周辺回路用ＭＩＳＦＥＴまたはロジック回路用ＭＩＳＦＥＴをそれぞれ形成する工程、メモリセル選択用ＭＩＳＦＥＴおよび周辺回路用ＭＩＳＦＥＴまたはロジック回路用ＭＩＳＦＥＴを覆う第１絶縁膜を形成する工程、メモリセルアレイ領域の第１絶縁膜上にビット線を形成する工程、ビット線を覆う第２絶縁膜を形成する工程、メモリセルアレイ領域の第２絶縁膜上に情報蓄積用容量素子の下部電極、下部電極を覆う容量絶縁膜および上部電極を形成する工程、情報蓄積用容量素子上に第３絶縁膜を形成する工程、を含む半導体集積回路装置の製造方法であって、第３絶縁膜の表面をＣＭＰ法で平坦化した後、周辺回路領域またはロジック回路領域の平坦化された第３絶縁膜およびその下層絶縁膜に配線溝および接続孔を形成し、配線溝および接続孔の内部を含む第３絶縁膜上に第１導電層および第２導電層を順次堆積し、第３絶縁膜の表面上の第１および第２導電層をＣＭＰ法により除去して、配線溝内に第１および第２導電層からなる配線を、接続孔内に第１および第２導電層からなる接続部を形成する工程、を含むものである。

【００３８】

このような半導体集積回路装置の製造方法によれば、いわゆるデュアルダマシン法で配線を形成し、前記（１）で記載した半導体集積回路装置を形成できる。

【００３９】

また、本製造方法のよれば、配線は、情報蓄積用容量素子を形成した後に形成されるため、情報蓄積用容量素子の形成の際に通常行われる高い温度の熱処理により配線が影響を受けることがない。逆にいえば、情報蓄積用容量素子の形成の際に未だ配線は形成されていないため、配線の耐熱性を考慮して情報蓄積用容量素子の形成の際の熱工程を制限する必要がない。これにより情報蓄積用容量素子の形成の際には十分に高い温度の熱処理（たとえば７００℃程度）を施して蓄積容量の大きい情報蓄積用容量素子を形成することができ、一方、配線には耐熱性には劣るが高い導電率を有した材料、たとえば銅、アルミニウム等を使用して配線抵抗を低減し、半導体集積回路装置の性能を向上できる。このような製造方法により、融点の低いアルミニウムあるいは拡散速度の速い銅を配線材料に用いることが可能となる。

【００４０】

さらに、本製造方法では、配線溝を形成した後に接続孔を形成するため、配線溝の深さに相当する分だけ接続孔の深さが緩和される。このため接続孔の加工工程を容易にして加工不良による半導体集積回路装置の歩留まりの低下を抑制することができる。また、接続孔に形成される接続部の長さが短縮されるため配線とそれが接続部により接続される下部部材との間の直列抵抗を低減して半導体集積回路装置の性能を向上できる。

【００４１】

なお、第３絶縁膜の平坦化の際には、情報蓄積用容量素子に起因する段差が解消されるが、このような段差を解消するには、第３絶縁膜の堆積前にその段差に相当する絶縁膜をあらかじめ形成する方法がある。すなわち、第３絶縁膜の堆積前に、周辺回路領域またはロジック回路領域に情報蓄積用容量素子と同層に形成される第４絶縁膜を形成し、メモリセルアレイ領域と周辺回路領域またはロジック回路領域との間の情報蓄積用容量素子の高さに起因する段差を緩和または解消することができる。

【００４２】

この段差の解消方法つまり第４絶縁膜の形成方法としては、第４絶縁膜を、情報蓄積用容量素子の下部電極の形成の際に円筒形状の溝が形成される絶縁膜とする方法とすることができる。この方法によれば、情報蓄積用容量素子の下部電極を上方に開口を有する筒形状にする場合、第４絶縁膜を別途形成する必要はなく、下部電極を形成する際に必要な第４絶縁膜を段差の緩和にも用いるものであり、工程を簡略化することができる。特に、第３絶縁膜の堆積およびＣＭＰ法による研磨の際には、あらかじめ第４絶縁膜で段差の緩和が行われているため、ＣＭＰ工程による第３絶縁膜の研磨量が多くならず、ＣＭＰ工程の工程負荷を低減できる。

【００４３】
また、第３絶縁膜を、情報蓄積用容量素子を覆い、情報蓄積用容量素子の高さに相当する寸法以上の膜厚で堆積されるものとして、段差を解消することもできる。この場合、段差の解消は第３絶縁膜の堆積および第３絶縁膜のＣＭＰ法による研磨のみで行う。この場合のＣＭＰ法による研磨は、メモリセルアレイ領域上の第３絶縁膜の膜厚が相当に厚いため、ＣＭＰ法での平坦性を確保することが困難になる場合も生じる。このような場合には、周辺回路領域あるいはロジック回路領域にのみＣＭＰ法による研磨の研磨速度調整層（たとえば第３絶縁膜の代表的な材料であるシリコン酸化膜よりも研磨速度の遅いシリコン窒化膜）を堆積することができる。
【００４４】
また、上記半導体集積回路装置の製造方法において、ビット線の形成と同時に、周辺回路領域またはロジック回路領域の第１絶縁膜上に、ビット線と同一の材料からなる第１層配線を形成し、接続部は、第１層配線に接続されるものとすることができる。このような半導体集積回路装置の製造方法によれば、接続部の長さが短縮化できる。すなわち、接続部が形成される接続孔の深さを低減して、接続孔の形成工程を容易にして加工不良の発生を抑制し、半導体集積回路装置の歩留まりを向上できる。
【００４５】
また、第１導電層を、窒化チタン膜とし、第２導電層をアルミニウム膜とすることができる。この場合、アルミニウム膜の堆積後に、半導体基板を高圧力化に保持し、アルミニウム膜を接続孔内に埋め込むことができる。
【００４６】
あるいは、第１導電層を、タンタル膜、ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜から選択された何れか１つのまたは複数の薄膜とし、第２導電層を銅膜とすることができる。この場合、銅膜は、メッキ法により堆積することができる。メッキ法には電解メッキ法、あるいは無電解メッキ法が例示できる。さらに、第３絶縁膜および配線上にシリコン窒化膜を堆積することができる。
【００４７】
【発明の実施の形態】
以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。
【００４８】
（実施の形態１）
図１は、本発明の一実施の形態であるＤＲＡＭを形成した半導体チップ全体の一例を示した平面図である。本実施の形態のＤＲＡＭは、２５６Ｍｂｉｔの記憶容量を有し、その外形サイズは、たとえば１２×５mm^2であり、メモリ占有率は５８％である。図示のように、単結晶シリコンからなる半導体チップ１Ａの主面には、Ｘ方向（半導体チップ１Ａの長辺方向）およびＹ方向（半導体チップ１Ａの短辺方向）に沿って多数のメモリアレイＭＡＲＹがマトリクス状に配置されている。Ｘ方向に沿って互いに隣接するメモリアレイＭＡＲＹの間にはセンスアンプＳＡが配置され、センスアンプＳＡに接続されるビット線ＢＬには５１２個のメモリセルがつながっている。ワード線に階層ワード構造が採用されている場合にはＹ方向に沿って互いに隣接するメモリアレイＭＡＲＹの間にはサブワードデコーダＳＷＤが配置されている。また、半導体チップ１Ａの主面の中央部には、ワードドライバＷＤ、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。
【００４９】
図２は、本実施の形態１のＤＲＡＭの等価回路図である。図示のように、このＤＲＡＭのメモリアレイ（ＭＡＲＹ）は、マトリクス状に配置された複数のワード線ＷＬ（ＷＬn-1、ＷＬn 、ＷＬn+1 …）と複数のビット線ＢＬおよびそれらの交点に配置された複数のメモリセル（ＭＣ）により構成されている。１ビットの情報を記憶する１個のメモリセルは

、１個のキャパシタＣとこれに直列に接続された１個のメモリセル選択用ＭＩＳＦＥＴＱｓとで構成されている。メモリセル選択用ＭＩＳＦＥＴＱｓのソース、ドレインの一方は、キャパシタＣと電気的に接続され、他方はビット線ＢＬと電気的に接続されている。ワード線ＷＬの一端は、ワードドライバＷＤに接続され、ビット線ＢＬの一端は、センスアンプＳＡに接続されている。

【００５０】

図３は、本実施の形態１のＤＲＡＭの要部断面図である。図３において、Ａ領域はメモリアレイＭＡＲＹの一部を示し、Ｂ領域は周辺回路の一部を示す。

【００５１】

ｐ形の単結晶シリコンからなる半導体基板１の主面には、Ａ領域のｐ形ウェル２、Ｂ領域のｐ形ウェル３およびｎ形ウェル４が形成されている。また、ｐ形ウェル２を囲むようにｎ形のディープウェル６が形成されている。なお、各ウェルには、しきい値電圧調整層が形成されていてもよい。

【００５２】

各ウェルの主面には、分離領域７が形成されている。分離領域７はシリコン酸化膜からなり、半導体基板１の主面に形成された浅溝８に熱酸化されたシリコン酸化膜９を介して形成されている。

【００５３】

ｐ形ウェル２の主面にはＤＲＡＭのメモリセル選択用ＭＩＳＦＥＴＱｓが形成されている。また、ｐ形ウェル３およびｎ形ウェル４の主面には各々ｎチャネルＭＩＳＦＥＴＱｎおよびｐチャネルＭＩＳＦＥＴＱｐが形成されている。

【００５４】

メモリセル選択用ＭＩＳＦＥＴＱｓは、ｐ形ウェル２の主面上にゲート絶縁膜１０を介して形成されたゲート電極１１と、ゲート電極１１の両側のｐ形ウェル２の主面に形成された不純物半導体領域１２とからなる。ゲート絶縁膜１０は、たとえば７～８ｎｍの膜厚を有する熱酸化により形成されたシリコン酸化膜からなる。ゲート電極１１は、たとえば膜厚７０ｎｍの多結晶シリコン膜１１ａ、膜厚５０ｎｍの窒化チタン膜１１ｂおよび膜厚１００ｎｍのタングステン膜１１ｃの積層膜とすることができる。また、不純物半導体領域１２にはｎ形の不純物、たとえば砒素またはリンが導入されている。

【００５５】

メモリセル選択用ＭＩＳＦＥＴＱｓのゲート電極１１の上層にはシリコン窒化膜からなるキャップ絶縁膜１３が形成され、さらにその上層をシリコン窒化膜１４で覆われる。シリコン窒化膜１４は、ゲート電極１１の側壁にも形成され、後に説明する接続孔を形成する際の自己整合加工に利用される。なお、メモリセル選択用ＭＩＳＦＥＴＱｓのゲート電極１１は、ＤＲＡＭのワード線として機能するものであり、分離領域７の上面にはワード線ＷＬが形成されている。

【００５６】

一方、ｎチャネルＭＩＳＦＥＴＱｎおよびｐチャネルＭＩＳＦＥＴＱｐは、各々ｐ形ウェル３およびｎ形ウェル４の主面上に形成され、ゲート絶縁膜１０を介して形成されたゲート電極１１と、ゲート電極１１の両側の各ウェルの主面に形成された不純物半導体領域１５とから構成される。ゲート絶縁膜１０およびゲート電極１１は前記と同様である。不純物半導体領域１５は低濃度不純物領域１５ａと高濃度不純物領域１５ｂとからなり、いわゆるＬＤＤ（Lightly Doped Drain ）構造を形成している。不純物半導体領域１５に導入される不純物は、ＭＩＳＦＥＴの導電形に応じてｎ形またはｐ形の不純物が導入される。

【００５７】

ｎチャネルＭＩＳＦＥＴＱｎおよびｐチャネルＭＩＳＦＥＴＱｐのゲート電極１１の上層にはシリコン窒化膜からなるキャップ絶縁膜１３が形成され、側面には、たとえばシリコン窒化膜からなるサイドウォールスペーサ１６が形成されている。

【００５８】

メモリセル選択用ＭＩＳＦＥＴＱｓ、ｎチャネルＭＩＳＦＥＴＱｎおよびｐチャネルＭＩ

ＳＦＥＴＱｐは、層間絶縁膜１７で覆われている。層間絶縁膜１７は、たとえばＳＯＧ（Spin On Glass ）膜、ＴＥＯＳ（テトラメトキシシラン）を原料ガスとしプラズマＣＶＤ法により形成されたシリコン酸化膜（以下ＴＥＯＳ酸化膜という）がＣＭＰ（Chemical Mechanical Polishing ）法により平坦化されたＴＥＯＳ酸化膜およびＴＥＯＳ酸化膜の積層膜とすることができる。

【００５９】

層間絶縁膜１７上には、さらにＴＥＯＳ酸化膜１７ｄが形成され、その上面にビット線ＢＬおよび第１層配線１８が形成されている。ビット線ＢＬおよび第１層配線１８は、たとえば窒化チタン膜とタングステン膜との積層膜とすることができる。これにより、ビット線ＢＬおよび第１層配線１８を低抵抗化してＤＲＡＭの性能を向上することができる。また、ビット線ＢＬと第１層配線１８とは、後に説明するように同時に形成される。これにより工程を簡略化することができる。

【００６０】

ビット線ＢＬはプラグ１９およびプラグ１９ｂを介して一対のメモリセル選択用ＭＩＳＦＥＴＱｓに共有される不純物半導体領域１２に接続される。プラグ１９は、たとえばｎ形の不純物が導入された多結晶シリコン膜とすることができる。プラグ１９ｂは、たとえば窒化チタン膜とタングステン膜との積層膜とすることができる。また、プラグ１９とプラグ１９ｂとの接続部にはコバルトシリサイド膜２０が形成されている。これによりプラグ１９とプラグ１９ｂとの間、つまりビット線ＢＬとプラグ１９との間の接続抵抗を低減し、接続信頼性を向上することができる。

【００６１】

第１層配線１８は、接続孔２１内に形成されたプラグ２２を介してｎチャネルＭＩＳＦＥＴＱｎおよびｐチャネルＭＩＳＦＥＴＱｐの不純物半導体領域１５またはゲート電極１１に接続される。プラグ２２は、プラグ１９ｂと同様にたとえば窒化チタン膜とタングステン膜との積層膜とすることができる。また、プラグ２２と不純物半導体領域１５との接続部にはコバルトシリサイド膜２０が形成されている。これによりプラグ２２と不純物半導体領域１５との間の接続抵抗を低減し、接続信頼性を向上することができる。

【００６２】

ビット線ＢＬおよび第１層配線１８は、層間絶縁膜２３で覆われている。層間絶縁膜２３は、たとえばＳＯＧ膜、ＣＭＰ法により平坦化されたＴＥＯＳ酸化膜、ＴＥＯＳ酸化膜の積層膜とすることができる。なお、ビット線ＢＬおよび第１層配線１８はシリコン窒化膜からなるキャップ絶縁膜およびサイドウォールスペーサで覆われてもよい。

【００６３】

層間絶縁膜２３の上層のＡ領域には情報蓄積用のキャパシタＣが形成されている。また、Ｂ領域の層間絶縁膜２３の上層にはキャパシタＣと同層に絶縁膜２４が形成されている。絶縁膜２４はたとえばシリコン酸化膜とすることができ、キャパシタＣと同層に形成することによりキャパシタＣの標高に起因するＡ領域とＢ領域との間の段差の発生を防止することができる。これによりフォトリソグラフィの焦点深度に余裕を持たせることができ、工程を安定にして微細加工に対応することができる。なお、層間絶縁膜２３の上面にはシリコン窒化膜２３ｂが形成されている。シリコン窒化膜２３ｂは後に説明するようにキャパシタＣの下部電極２７を形成する際のエッチングストッパとして機能する薄膜である。

【００６４】

キャパシタＣは、メモリセル選択用ＭＩＳＦＥＴＱｓのビット線ＢＬに接続される不純物半導体領域１２とは逆の不純物半導体領域１２に接続されるプラグ２５に、プラグ２６を介して接続される下部電極２７と、たとえばシリコン窒化膜および酸化タンタルからなる容量絶縁膜２８と、たとえば窒化チタンからなるプレート電極２９とから構成される。

【００６５】

キャパシタＣの上層には、たとえばＴＥＯＳ酸化膜からなる絶縁膜３０が形成されている。絶縁膜３０と絶縁膜２４とは、キャパシタＣを覆い、これを他の部材から絶縁する層間絶縁膜（第２層間絶縁膜）である。絶縁膜２４が前記情報蓄積用容量素子（キャパシタＣ

）の高さに起因する前記メモリセルアレイ領域と前記周辺回路領域との段差を緩和または解消する部分（第１の部分）に相当し、絶縁膜３０が情報蓄積用容量素子を覆う部分（第２の部分）に相当する。絶縁膜３０の表面はＣＭＰ法により平坦化され、半導体基板１の全面において平坦性が確保されている。

【００６６】

絶縁膜３０および絶縁膜２４の表面近傍には、配線溝３１が形成され、その配線溝３１内には第２層配線３２が形成されている。図３に示すとおり、第２層配線３２の表面と絶縁膜３０の表面とは同一の平面内にあり、また、第２層配線３２の底面はキャパシタＣの表面（プレート電極２９の表面）よりも下部に位置している。第２層配線３２は後に説明するようにＣＭＰ法で形成される。

【００６７】

また、配線溝３１の下部には接続孔３３が形成され、接続孔３３内には接続部３４が形成されている。第２層配線３２および接続部３４は一体として形成されており、第２層配線３２は第１導電層３２ａおよび第２導電層３２ｂから構成され、接続部３４は第１導電層３４ａおよび第２導電層３４ｂから構成される。第１導電層３２ａ、３４ａは、たとえばタンタル膜からなり、第２導電層３２ｂ、３４ｂは、たとえば銅からなる。

【００６８】

第２導電層３２ｂ、３４ｂは、第２層配線３２および接続部３４の主導電層として機能するものである。このように銅からなる主導電層を有するため、第２層配線３２および接続部３４の低抵抗化を図ることができ、半導体集積回路装置、特に周辺回路の応答性を高速化してＤＲＡＭの性能を向上することができる。

【００６９】

第１導電層３２ａ、３４ａは、銅の拡散を防止するバリア層として機能するものである。特に本実施の形態ではタンタル膜を用いるため、第１導電層３２ａ、３４ａと第２導電層３２ｂ、３４ｂとの界面でＴａ－Ｃｕの結合を形成し、銅の拡散またはエレクトロマイグレーションによる移動を有効に防止することができる。また、Ｔａ－Ｃｕの結合を形成することにより銅膜の接着性を向上することができる。これによりＤＲＡＭの信頼性を向上できる。

【００７０】

また、本実施の形態では、配線溝３１の下部に接続孔３３が形成されるため、配線溝３１の深さに相当する分だけ接続孔３３の深さを浅くできる。ここでは、たとえば配線溝３１の深さ、すなわち第２層配線３２の膜厚を0.７μｍとし、接続孔３３の深さ、すなわち接続部３４の長さを0.７μｍとすることができる。これは、従来技術のように絶縁膜３０上に第２層配線を形成する場合と比較して接続孔の深さを1.４μｍから0.７μｍに短縮することができることを意味する。このように、接続孔３３の深さを浅くすることにより、接続孔３３の加工工程を容易にし、加工不良の発生を抑制して接続信頼性を向上し、ＤＲＡＭの製造歩留まりを向上することができる。また、接続孔３３の深さを浅くできるため、接続部３４の長さも短くでき、接続部３４の抵抗を低減して第２層配線３２と第１層配線１８との間の抵抗を低減することができる。

【００７１】

なお、ここでは、第１導電層３２ａ、３４ａとしてタンタル膜を例示しているが、ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜であってもよく、これらの積層膜であってもよい。

【００７２】

絶縁膜３０および第２層配線３２の上面にはシリコン窒化膜３５が形成されている。このようなシリコン窒化膜３５により銅の上方への拡散を防止することができる。

【００７３】

シリコン窒化膜３５の上層には層間絶縁膜３６が形成され、層間絶縁膜３６の表面近傍には配線溝３７が形成されている。配線溝３７の底部には第２層配線３２またはキャパシタＣのプレート電極２９に接続される接続孔３８が形成されている。配線溝３７の内部には

第３層配線３９が形成され、接続孔３８の内部には接続部４０が形成されている。層間絶縁膜３６および第３層配線３９の表面は同一平面内に存在し、後に説明するようにＣＭＰ法で形成される。

【００７４】

第３層配線３９は、第２層配線３２と同様に、第１導電層３９ａおよび第２導電層３９ｂからなり、接続部４０は、接続部３４と同様に、第１導電層４０ａおよび第２導電層４０ｂからなる。第１導電層３９ａ、４０ａは、第１導電層３２ａ、３４ａと同様に、たとえばタンタル膜とすることができ、また、ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜あるいはこれらの積層膜としてもよい。第２導電層３９ｂ、４０ｂは、第２導電層３２ｂ、３４ｂと同様にたとえば銅からなる。第３層配線３９はメインワード線ＭＷＢあるいはワード線ＷＬのシャント配線として用いることができる。

【００７５】

層間絶縁膜３６および第３層配線３９の表面にはシリコン窒化膜４１が形成されており、シリコン窒化膜により第３層配線３９からの銅の拡散を防止する。

【００７６】

シリコン窒化膜４１の上層には層間絶縁膜４２が形成され、その表面近傍には第２層配線３２、第３層配線３９と同様な構成の第４層配線４３が形成されている。第４層配線４３は、図示しない接続部を介して第３層配線３９に接続される。第４層配線４３は、Ｙセレクト線ＹＳとして用いることができる。

【００７７】

層間絶縁膜４２および第４層配線４３上にはシリコン窒化膜４４が形成され、さらに絶縁膜４５およびパッシベーション膜４６が形成されている。シリコン窒化膜４４は、第４層配線４３からの銅の拡散を防止する。

【００７８】

次に、本実施の形態のＤＲＡＭの製造方法を図４～図２８を用いて工程順に説明する。図４～図２８は本発明の一実施の形態のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【００７９】

まず、ｐ形の半導体基板１を用意し、この半導体基板１の主面に浅溝８を形成する。その後半導体基板１に熱酸化を施し、シリコン酸化膜９を形成する。さらにシリコン酸化膜を堆積してこれをＣＭＰ法により研磨して浅溝８内にのみシリコン酸化膜を残し、分離領域７を形成する。

【００８０】

次に、フォトレジストをマスクにして不純物をイオン注入し、ｐ形ウェル２，３、ｎ形ウェル４およびディープウェル６を形成する（図４）。

【００８１】

次に、ｐ形ウェル２，３、ｎ形ウェル４が形成された活性領域に熱酸化法によりゲート絶縁膜１０を形成し、さらに半導体基板１の全面に不純物がドープされた多結晶シリコン膜、窒化チタン膜、タングステン膜およびシリコン窒化膜を順次堆積する。その後、シリコン窒化膜、タングステン膜、窒化チタン膜および多結晶シリコン膜をフォトリソグラフィ技術およびエッチング技術を用いてパターニングし、ゲート電極１１（ワード線ＷＬ）およびキャップ絶縁膜１３を形成する。さらにキャップ絶縁膜１３およびゲート電極１１とフォトレジストをマスクとして不純物をイオン注入し、不純物半導体領域１２および低濃度不純物領域１５ａを形成する（図５）。

【００８２】

次に、半導体基板１の全面にシリコン窒化膜（図示せず）を堆積し、メモリセルが形成される領域（Ａ領域）にのみフォトレジスト膜４７を形成する。その後、そのフォトレジスト膜をマスクとして、前記シリコン窒化膜を異方性エッチングし、Ａ領域の半導体基板１上にのみシリコン窒化膜１４を形成すると同時にＢ領域のゲート電極１１の側壁にサイドウォールスペーサ１６を形成する。さらに、サイドウォールスペーサ１６をマスクにして

不純物を自己整合的にイオン注入し、高濃度不純物領域１５ｂを形成する（図６）。

【００８３】

次に、フォトレジスト膜４７を残したまま半導体基板１の全面にコバルト膜（図示せず）をスパッタ法等で堆積し、フォトレジスト膜４７を除去した後に熱処理を行って、コバルト膜と高濃度不純物領域１５ｂとの間で選択的にシリサイド反応を行い、その後、未反応のコバルト膜を選択的にエッチングして除去し、コバルトシリサイド膜２０を高濃度不純物領域１５ｂ上に形成する。

【００８４】

次に、半導体基板１の全面にＳＯＧ膜を塗布し、これを４００℃程度の温度でキュアした後、８００℃程度の熱処理を施して安定化する。さらにプラズマＣＶＤ法によりＴＥＯＳ酸化膜を堆積する。この場合のＴＥＯＳ酸化膜は、半導体基板１の主面上からその表面が1.３μｍの高さとなるように堆積することができる。このＴＥＯＳ酸化膜をＣＭＰ法を用いて研磨し、その表面を平坦化する。これによりゲート電極１１およびキャップ絶縁膜１３に起因する段差が解消される。この結果、この後のフォトリソグラフィ工程のフォーカスマージンを向上することができ、微細な接続孔の開口等が可能となる。表面を洗浄後、ＣＭＰにより生じたＴＥＯＳ酸化膜１７ｄ上のスクラッチによる損傷を補修するため、さらにＴＥＯＳ酸化膜を堆積する。このようにして、ＳＯＧ膜、ＣＭＰ法により平坦化されたＴＥＯＳ酸化膜およびＴＥＯＳ酸化膜からなる層間絶縁膜１７を形成する。

【００８５】

次に、層間絶縁膜１７に接続孔を開口し、プラグインプラを施した後に不純物がドープされた多結晶シリコン膜を堆積し、この多結晶シリコン膜をＣＭＰ法により研磨してプラグ１９，２５を形成する（図７）。なお、この接続孔は、２段階のエッチングにより開口して半導体基板１の過剰エッチングを防止することができる。

【００８６】

次に、ＴＥＯＳ酸化膜１７ｄを形成する。このＴＥＯＳ酸化膜１７ｄを形成した時点で半導体基板１の主面からの標高は約0.８μｍとなる。

【００８７】

次に、ビット線ＢＬが接続されるプラグ１９が露出するようにＴＥＯＳ酸化膜１７ｄに開口を形成する。その後、半導体基板１の全面にコバルト膜（図示せず）をスパッタ法等で堆積し、熱処理を行って、コバルト膜とプラグ１９との間で選択的にシリサイド反応を行い、その後、未反応のコバルト膜を選択的にエッチングして除去し、コバルトシリサイド膜２０をプラグ１９上に形成する。

【００８８】

次に、ｎチャネルＭＩＳＦＥＴＱｎおよびｐチャネルＭＩＳＦＥＴＱｐの不純物半導体領域１５およびゲート電極１１が露出するように層間絶縁膜１７に接続孔２１を形成する（図８）。なおこの段階で、先に説明した高濃度不純物領域１５ｂ上のコバルトシリサイド膜２０を形成することもできる。

【００８９】

次に、半導体基板１の全面、つまり接続孔２１の内部を含むＴＥＯＳ酸化膜１７ｄ上に窒化チタン膜２２ａおよびタングステン膜２２ｂをたとえばスパッタ法で堆積し、ＴＥＯＳ酸化膜１７ｄ表面の窒化チタン膜２２ａおよびタングステン膜２２ｂをＣＭＰ法で研磨して除去する。このようにして窒化チタン膜２２ａおよびタングステン膜２２ｂからなるプラグ２２およびプラグ１９ｂを形成する（図９）。なお、窒化チタン膜２２ａは、チタン膜および窒化チタン膜の積層膜とすることもできる。

【００９０】

次に、窒化チタン膜１８ａおよびタングステン膜１８ｂを、たとえばスパッタ法により順次堆積し、これをフォトリソグラフィとドライエッチング技術を用いてパターニングし、窒化チタン膜１８ａおよびタングステン膜１８ｂからなるビット線ＢＬおよび第１層配線１８を形成する（図１０）。このように、本実施の形態では、ビット線ＢＬと第１層配線１８とを同時に形成するため、工程を簡略化することができる。また、プラグ２２を形成

した後にビット線ＢＬおよび第１層配線１８を形成するため、ビット線ＢＬおよび第１層配線１８の膜厚を薄くすることができ、この結果、特にビット線ＢＬ間の線間容量を低減して蓄積電荷の有無の検出感度を向上できる。

【００９１】

なお、ビット線ＢＬおよび第１層配線１８は、単層のタングステン膜により形成することもできる。ビット線ＢＬおよび第１層配線１８をタングステン膜のみで形成することにより窒化チタン膜との積層膜の場合に比較して同一断面積状態での抵抗値を低減できる。これは、窒化チタンよりもタングステンの方が抵抗率が低いことに基づく。また、ビット線ＢＬおよび第１層配線１８には、たとえばシリコン窒化膜からなるキャップ絶縁膜およびサイドウォールスペーサを形成することができる。

【００９２】

次に、半導体基板１の全面にＳＯＧ膜を塗布し、これを４００℃程度の温度でキュアした後、プラズマＣＶＤ法によりＴＥＯＳ酸化膜を堆積する。このＴＥＯＳ酸化膜の堆積は、その表面がＴＥＯＳ酸化膜１７ｄから0.８μｍとなるように行う。その後、このＴＥＯＳ酸化膜をＣＭＰ法を用いて研磨し、ＳＯＧ膜および表面が平坦化された層間絶縁膜２３を形成する。平坦化された層間絶縁膜２３の表面は、ＴＥＯＳ酸化膜１７ｄから0.６μｍとなる。これによりこの後のフォトリソグラフィ工程のフォーカスマージンを向上することができ、微細な接続孔の開口等が可能となる。なお、表面を洗浄後、さらにＴＥＯＳ酸化膜を堆積してＣＭＰにより形成されたスクラッチを覆ってもよい。

【００９３】

次に、層間絶縁膜２３に接続孔を開口し、不純物がドープされた多結晶シリコン膜を堆積し、この多結晶シリコン膜をＣＭＰ法により研磨してプラグ２６を形成する（図１１）。

【００９４】

次に、半導体基板１の全面に２００ｎｍ膜厚のシリコン窒化膜２３ｂを形成し、絶縁膜２４を堆積する（図１２）。絶縁膜２４の堆積はプラズマＣＶＤにより行うことができ、その膜厚は1.２μｍとする。

【００９５】

次に、キャパシタＣの形成工程を説明する。必要な蓄積容量は約３０ｐＦである。

【００９６】

キャパシタＣが形成される領域に0.７５×0.２５μｍの寸法で溝４８を形成する。溝４８の形成によりプラグ２６を露出させる（図１３）。溝４８の形成にはフォトリソグラフィおよびドライエッチング技術を用いることができる。

【００９７】

次に、溝４８を覆う多結晶シリコン膜４９を半導体基板１の全面に堆積し、さらに半導体基板１の全面にシリコン酸化膜５０を堆積する（図１４）。多結晶シリコン膜４９にはリンをドープすることができ、その膜厚は0.０３μｍとすることができる。多結晶シリコン膜４９の膜厚が溝４８の寸法に対して十分に薄いため、多結晶シリコン膜４９は溝４８の内部にもステップカバレッジよく堆積される。シリコン酸化膜５０は、溝４８の内部に埋め込まれるように堆積する。溝４８の内部への埋め込み性を考慮すれば、シリコン酸化膜５０はＳＯＧ膜あるいはＴＥＯＳを用いたＣＶＤ法によるシリコン酸化膜とすることができる。

【００９８】

次に、絶縁膜２４上のシリコン酸化膜５０および多結晶シリコン膜４９を除去して、キャパシタＣの下部電極２７を形成する（図１５）。シリコン酸化膜５０および多結晶シリコン膜４９の除去はエッチバック法またはＣＭＰ法により行うことができる。また、下部電極２７の内部には、シリコン酸化膜５０が残存している。

【００９９】

次に、フォトレジスト膜５１をマスクとしてウェットエッチングを施し、メモリセルアレイ領域（Ａ領域）の絶縁膜２４およびシリコン酸化膜５０を除去する（図１６）。これにより下部電極２７が露出される。

【０１００】
なお、シリコン窒化膜２３ｂはウェットエッチング工程でのエッチングストッパとして機能する。また、絶縁膜２４のエッジ部分は、ウェットエッチングによりエッチングされるため、厳密には図示のように急峻ではないが、簡単のため急峻に（直角に）示している。
【０１０１】
このように、周辺回路領域（Ｂ領域）に絶縁膜２４を残すため、キャパシタＣが形成された後のメモリセルアレイ領域（Ａ領域）と周辺回路領域（Ｂ領域）との間に、キャパシタＣの高さ（下部電極２７の高さでもある）に起因した段差が大きく形成されないため、キャパシタＣの形成工程後の工程のフォトリソグラフィを精細に行うことができ、ＤＲＡＭの高集積化に対応することが容易となる。
【０１０２】
次に、下部電極２７表面を窒化または酸窒化処理した後、酸化タンタル膜を堆積する。酸化タンタル膜の堆積は、有機タンタルガスを原料としたＣＶＤ法により形成できる。この段階での酸化タンタル膜はアモルファス構造を有するものである。ここで酸化タンタル膜に熱処理を施して結晶化（多結晶化）された酸化タンタル膜（Ta_2O_5）とし、より強固な誘電体として容量絶縁膜２８を形成する。この熱処理は７００℃以上の温度で行う必要がある。したがって、本熱処理工程前に形成された部材の耐熱性が問題となるが、本実施の形態では、未だ耐熱性に問題のある第２層配線等が形成されていない。このため、熱処理工程に特に制限を設ける必要はない。このため、誘電率の大きな多結晶酸化タンタル膜を安定に形成でき、キャパシタＣの形成面積を増大させることなくキャパシタＣの蓄積容量を増加することができる。
【０１０３】
さらに、窒化チタン膜をたとえばＣＶＤ法により堆積する。その後、フォトレジスト膜５２を用いて窒化チタン膜および多結晶酸化タンタル膜をパターニングし、容量絶縁膜２８およびプレート電極２９を形成する（図１７）。このようにして下部電極２７、容量絶縁膜２８およびプレート電極２９からなるキャパシタＣが形成される。
【０１０４】
次に、ＴＥＯＳ酸化膜５３を半導体基板１の全面に堆積する（図１８）。ＴＥＯＳ酸化膜５３は、プレート電極２９を絶縁するためのものであり、その膜厚は、0.３μｍとする。このＴＥＯＳ酸化膜５３をＣＭＰ法により研磨して平坦化し、絶縁膜３０を形成する（図１９）。この段階で、絶縁膜３０の上面と第１層配線１８との距離は、1.４μｍである。このように、絶縁膜２４でメモリセルアレイ領域（Ａ領域）と周辺回路領域（Ｂ領域）との段差をあらかじめ緩和しているため、ＴＥＯＳ酸化膜５３を平坦化して絶縁膜３０を形成するＣＭＰ工程の工程負荷を低減することができる。また、絶縁膜３０の表面が平坦化されているため、その後のフォトリソグラフィ工程を精密に行うことができ微細な加工が可能となり、また、後に説明するようにいわゆるダマシン法を用いて配線を形成しても、絶縁膜３０の表面に残留金属が生じない。
【０１０５】
次に、フォトレジスト膜５４を用いて、絶縁膜３０および絶縁膜２４をドライエッチングによりエッチングし、配線溝３１を形成する（図２０）。さらに、フォトレジスト膜５４を除去した後、フォトレジスト膜５５を形成し、これを用いて絶縁膜２４、シリコン窒化膜２３ｂおよび層間絶縁膜２３をドライエッチングによりエッチングし、接続孔３３を形成する（図２１）。このように、配線溝３１の底面下に接続孔３３を形成するため、接続孔３３を加工するドライエッチングでのエッチング深さが浅くなる。このため接続孔３３のドライエッチング工程のエッチングアスペクト比を小さくすることができ、エッチング加工を容易にすることができる。この結果、接続孔３３のドライエッチング工程での加工不良を低減してＤＲＡＭの製造歩留まりの向上および信頼性の向上を図ることができる。
【０１０６】
次に、配線溝３１および接続孔３３の内部を含む半導体基板１の全面に、タンタル膜５６をスパッタ法またはＣＶＤ法を用いて堆積する。さらに、銅膜５７をタンタル膜５６上に

堆積する（図２２）。銅膜５７の堆積は、電解メッキ法または無電解メッキ法等のメッキ法により行うことができる。メッキ法を用いるため、接続孔３３のような微細な空間内にも銅膜５７を良好に埋め込むことができる。

【０１０７】

次に、配線溝３１以外の領域の絶縁膜３０上の銅膜５７およびタンタル膜５６を、ＣＭＰ法を用いて研磨し除去する。このようにして配線溝３１内に第２層配線３２を、接続孔３３内に接続部３４を形成する（図２３）。タンタル膜５６は、第２層配線３２の第１導電層３２ａとなり、接続部３４の第１導電層３４ａとなる。また、銅膜５７は、第２層配線３２の第２導電層３２ｂとなり、接続部３４の第２導電層３４ｂとなる。前記したとおり、第２層配線３２と接続部３４とは一体に形成される。第１導電層３２ａ、３４ａが銅のバリア膜として機能し、第２導電層３２ｂ、３４ｂが第２層配線３２および接続部３４の主導電層となることは前記したとおりである。

【０１０８】

なお、本実施の形態では、第２層配線３２の厚さ（配線溝３１の深さ）を0.７μｍとし、接続部３４の長さ（接続孔３３の深さ）を、0.７μｍとすることができる。また、タンタル膜５６の他にニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜であってもよく、これらの積層膜であってもよい。ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜もスパッタ法またはＣＶＤ法を用いて堆積できる。

【０１０９】

次に、絶縁膜３０および第２層配線３２上にシリコン窒化膜３５を堆積する（図２４）。シリコン窒化膜３５の堆積はプラズマＣＶＤ法あるいはスパッタ法で行える。このシリコン窒化膜３５により第２層配線３２の銅の拡散を抑制できる。

【０１１０】

次に、シリコン窒化膜３５上に層間絶縁膜３６を堆積する。層間絶縁膜３６としてＴＥＯＳ酸化膜を堆積することができる。さらに、前記した配線溝３１および接続孔３３の場合と同様にフォトレジスト膜をマスクとしたドライエッチングにより層間絶縁膜３６、シリコン窒化膜３５あるいは絶縁膜３０をエッチングし、配線溝３７および接続孔３８を形成する（図２５）。

【０１１１】

次に、前記したタンタル膜５６および銅膜５７と同様に、配線溝３７および接続孔３８の内部を含む半導体基板１の全面にタンタル膜５８および銅膜５９を堆積する（図２６）。さらに、層間絶縁膜３６上のタンタル膜５８および銅膜５９をＣＭＰ法により研磨して除去し、配線溝３７に第３層配線３９を、接続孔３８に接続部４０を形成する（図２７）。タンタル膜５８は、第３層配線３９の第１導電層３９ａとなり、接続部４０の第１導電層４０ａとなる。また、銅膜５９は、第３層配線３９の第２導電層３９ｂとなり、接続部４０の第２導電層４０ｂとなる。第３層配線３９と接続部４０とは一体に形成されることは第２層配線３２の場合と同様である。第１導電層３９ａ、４０ａが銅のバリア膜として機能し、第２導電層３９ｂ、４０ｂが第３層配線３９および接続部４０の主導電層となることは前記したとおりである。

【０１１２】

なお、タンタル膜５８の他にニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜であってもよく、これらの積層膜であってもよい。ニオブ膜、窒化タンタル膜、窒化チタン膜または窒化タングステン膜もスパッタ法またはＣＶＤ法を用いて堆積できる。

【０１１３】

次に、層間絶縁膜３６および第３層配線３９上にシリコン窒化膜４１を堆積し、第３層配線３９の場合と同様に、層間絶縁膜４２、第４層配線４３および図示しない接続部を形成後、シリコン窒化膜４４を堆積する（図２８）。これらの詳細は第３層配線３９の場合と同様であるため説明を省略する。

【０１１４】

最後に、絶縁膜４５を半導体基板１の全面に堆積後、ＭＩＳＦＥＴのダメージ回復を図るため、４００℃での水素アニール処理を施し、さらに半導体基板１の全面にパッシベーション膜４６を堆積して図３に示すＤＲＡＭがほぼ完成する。

【０１１５】

上記したＤＲＡＭおよびその製造方法によれば、絶縁膜３０が平坦化され、メモリセルアレイ領域（Ａ領域）と周辺回路領域（Ｂ領域）との間の段差が解消されているため、第２層配線３２以降の工程を精密に行って、加工精度を向上できるとともに、配線溝３１の底面下に接続孔３３を形成するため、前記段差解消に起因する絶縁膜３０および絶縁膜２４の厚さによる接続孔のアスペクト比を小さくすることができる。これにより、接続孔３３を確実に開口してＤＲＡＭの歩留まりおよび信頼性を向上できる。また、このため、第２層配線３２の底面は、キャパシタＣの上面よりも低く位置することとなる。

【０１１６】

また、接続孔３３の深さが浅くなるため、接続部３４の長さが短くなり、接続部３４の抵抗を低減できる。これにより第１層配線１８と第２層配線３２との間の抵抗を低減してＤＲＡＭの周辺回路の高速応答性能等の性能向上を図ることができる。

【０１１７】

さらに、第２層配線３２および接続部３４の主導電層（第２導電層３２ｂ，３４ｂ）に銅材料を採用して、第２層配線３２および接続部３４の抵抗をさらに低減し、ＤＲＡＭの性能をさらに向上できる。

【０１１８】

また、本実施の形態では、キャパシタＣの形成後に第２層配線３２および接続部３４を形成するため、キャパシタＣの容量絶縁膜２８の形成工程における熱処理に制限を設ける必要はなく、安定して高い誘電率の容量絶縁膜２８を形成し、キャパシタＣの蓄積容量値を大きくできる。逆に、第２層配線３２および接続部３４の材料として耐熱性の高い多結晶シリコン膜やタングステン膜を採用する必要はなく、熱拡散しやすい銅を用いることが可能となる。これにより、導電率の高い銅を用いて第２層配線３２および接続部３４の抵抗を低減し、ＤＲＡＭの性能を向上できる。

【０１１９】

なお、本実施の形態の効果を説明するため、特開平９－９２７９４号公報に記載された技術等（従来技術）と比較して説明する。

【０１２０】

特開平９－９２７９４号公報に記載の技術では第１層配線と第２層配線とを接続するプラグをキャパシタ形成工程前に形成しているため、プラグ形成工程が増える欠点があり、その他に、第２層配線の形成後にキャパシタ形成されるため、銅のような拡散係数の高い材料を第２層配線に用いることができない。仮に銅を第２層配線に用いた場合には、キャパシタ形成工程に７００℃という高い温度の熱処理工程を採用することはできない。しかし、本実施の形態ではこのような不具合はない。

【０１２１】

また、本実施の形態の構造を採用しないＤＲＡＭでは、キャパシタＣの形成工程後に第２層配線がメモリセルアレイ上にも形成されるが、プレート電極との絶縁性を確保する必要等から、さらにシリコン酸化膜を0.３μｍ程度の膜厚で堆積している。このため、第２層配線と第１層配線との間隔は、1.７μｍとなる。また、第２層配線は、メモリセルアレイ領域と周辺回路領域との段差を解消する絶縁膜上に形成されるため、第２層配線と第１層配線とを接続する接続孔の深さは1.７μｍとなる。仮に0.３μｍ厚さのシリコン酸化膜を形成しない場合であっても接続孔の深さは1.４μｍとなる。したがって、第２層配線と第１層配線とを接続するプラグの長さは1.４μｍ以上となる。このようなアスペクト比の高いプラグを形成するためには深い接続孔にも埋め込みの可能な窒化チタン膜あるいはブランケットＣＶＤ法等によるタングステン膜の採用が必要となる。よって、このような技術により形成されたプラグの抵抗は、約５Ω程度となり、また、接続孔が深いため製造歩留りは７０％程度に止まる。また、このように高い抵抗値のプラグにより周辺回路の配線を

構成するため、周辺回路の動作周波数は、プラグの抵抗で律速され、最大で約１２５ｋＨｚとなる。

【０１２２】

これに対し、本実施の形態では、前記プラグの相当する接続部３４の主導電層の抵抗率の低い銅を用い、また、その長さが0.７μｍと短いため、接続部３４の抵抗値は１Ω以下となる。また、製造歩留りは、接続孔３３の深さが浅いため９９％以上を確保することができる。したがって、周辺回路の動作周波数は、接続部３４が銅を主導電層とすることに加え第２層配線３２も主導電層を銅としているため、最大７００ｋＨｚ以上とすることができる。

【０１２３】

なお、本実施の形態では、接続部３４が第１層配線１８に接続される例を説明したが、周辺回路領域（Ｂ領域）に第１層配線１８およびプラグ２２を形成せず、接続部３４をｎチャネルＭＩＳＦＥＴＱｎおよびｐチャネルＭＩＳＦＥＴＱｐの不純物半導体領域１５またはゲート電極１１に直接接続させることも可能である。この場合、第２層配線３２は、第１層配線として機能する。

【０１２４】

また、本実施の形態では、絶縁膜２４によりキャパシタＣに起因する段差を緩和する例を示したが、絶縁膜２４を形成せず、キャパシタＣの標高以上の膜厚の絶縁膜３０を堆積し、この絶縁膜３０をＣＭＰ法により研磨して平坦化してもよい。この場合、周辺回路領域（Ｂ領域）のＣＭＰによるディッシングを防止するため、周辺回路領域（Ｂ領域）にたとえばシリコン窒化膜を形成することが望ましい。

【０１２５】

また、絶縁膜２４は、キャパシタＣの下部電極２７を形成するための溝４８を形成した絶縁膜２４を用いるのではなく、キャパシタＣの形成後に、キャパシタＣの標高以上の膜厚の絶縁膜を堆積し、この絶縁膜を周辺回路領域（Ｂ領域）を覆うフォトレジスト膜をマスクとしてエッチングし、周辺回路領域にのみ残すようにして形成されたものであってもよい。

【０１２６】

また、本実施の形態では、第３層配線３９、第４層配線４３にも銅を主導電層とする配線を適用した例を示したが、下層配線と接続されるプラグを形成した後に、たとえばチタン膜、アルミニウム膜、窒化チタン膜の積層膜をパターニングして第３層配線、第４層配線としてもよい。

【０１２７】

（実施の形態２）

図２９は、本発明の他の実施の形態であるＤＲＡＭの要部断面図である。本実施の形態のＤＲＡＭは実施の形態１のＤＲＡＭとその平面配置および回路構成（図１および図２）において同様である。したがって、その部分の説明は省略する。また、本実施の形態のＤＲＡＭは、実施の形態１のＤＲＡＭと第２層配線以上の構成および製造方法についてのみ相違し、その他の構成および絶縁膜３０への配線溝３１および接続孔３３の形成工程（図２１）まで同様である。したがって、その部分の説明についても省略する。

【０１２８】

本実施の形態のＤＲＡＭの第２層配線６０は、絶縁膜３０および絶縁膜２４の表面近傍に形成された配線溝３１内に形成されている。図２９に示すとおり、第２層配線６０の表面と絶縁膜３０の表面とは同一の平面内にあり、また、第２層配線６０の底面はキャパシタＣの表面（プレート電極２９の表面）よりも下部に位置している。この点は実施の形態１と同様である。

【０１２９】

また、配線溝３１の下部には接続孔３３が形成され、接続孔３３内には接続部６１が形成されている。第２層配線６０および接続部６１は、実施の形態１と同様、一体として形成されており、第２層配線６０は窒化チタン膜からなる第１導電層６０ａおよびアルミニウ

ム膜からなる第２導電層６０ｂから構成される。接続部６１は窒化チタン膜からなる第１導電層６１ａおよびアルミニウム膜からなる第２導電層６１ｂから構成される。

【０１３０】

第２導電層６０ｂ、６１ｂは、第２層配線６０および接続部６１の主導電層として機能するものである。このようにアルミニウムからなる主導電層を有するため、第２層配線６０および接続部６１の低抵抗化を図ることができ、半導体集積回路装置、特に周辺回路の応答性を高速化してＤＲＡＭの性能を向上することができる。第１導電層６０ａ、６１ａは、アルミニウム膜を形成する際のウェッティング層として機能するものである。

【０１３１】

また、実施の形態１と同様に、配線溝３１の下部に接続孔３３が形成されるため、配線溝３１の深さに相当する分だけ接続孔３３の深さを浅くできる。したがって、実施の形態１と同様に、第２層配線６０の膜厚を0.７μｍとし、接続部６１の長さを0.７μｍとすることができる。この結果、実施の形態１で説明した加工不良の発生の抑制による接続信頼性の向上、ＤＲＡＭの製造歩留まりの向上の効果、接続部６１の長さの短縮化によるＤＲＡＭの性能向上の効果も同様に得ることができる。

【０１３２】

絶縁膜３０および第２層配線６０の上面には層間絶縁膜６２が形成され、層間絶縁膜６２には、接続孔６３が形成されている。接続孔６３には、窒化チタン膜６４ａおよびタングステン膜６４ｂからなるプラグ６４が形成され、第２層配線６０またはプレート電極２９に接続されている。層間絶縁膜６２は、たとえばＴＥＯＳ酸化膜とすることができる。

【０１３３】

層間絶縁膜６２およびプラグ６４上には、窒化チタン膜６５ａ、アルミニウム膜６５ｂおよび窒化チタン膜６５ｃからなる第３層配線６５が形成され、第３層配線６５は、層間絶縁膜６６で覆われている。また、層間絶縁膜６６上には、窒化チタン膜６７ａ、アルミニウム膜６７ｂおよび窒化チタン膜６７ｃからなる第４層配線６７が形成され、第４層配線６７は、絶縁膜６８で覆われている。

【０１３４】

層間絶縁膜６６および絶縁膜６８は、たとえばバイアススパッタを併用したＣＶＤ法で形成されたシリコン酸化膜とすることができる。第３層配線６５はメインワード線ＭＷＢあるいはワード線ＷＬのシャント配線として用いることができる。第４層配線６７は、図示しない接続部を介して第３層配線６５に接続される。第４層配線６７は、Ｙセレクト線ＹＳとして用いることができる。絶縁膜６８上にはパッシベーション膜４６が形成されている。

【０１３５】

次に、本実施の形態のＤＲＡＭの製造方法を図３０～図３７を用いて工程順に説明する。図３０～図３７は本発明の他の実施の形態のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【０１３６】

本実施の形態のＤＲＡＭの製造方法は、前記したとおり、実施の形態１の図２１の工程までは同様である。

【０１３７】

配線溝３１および接続孔３３の内部を含む半導体基板１の全面に、窒化チタン膜６９をたとえばＣＶＤ法を用いて堆積する。さらに、アルミニウム膜７０をたとえばスパッタ法を用いて堆積する（図３０）。アルミニウム膜７０は、スパッタ法で堆積されるため、図示するとおりステップカバレッジが悪く、ボイド等を有する状態となる。

【０１３８】

そこで、半導体基板１を３０００気圧程度の高圧力下に保持する。このような高圧力下では温度の上昇し、アルミニウム膜７０が流動性を持つ状態となって、配線溝３１および接続孔３３の内部に完全に埋め込まれる（図３１）。この際、窒化チタン膜６９がアルミニウム膜７０のウェッティング層として機能し、アルミニウムの流動性をよくして埋め込み

性を向上できる。

【０１３９】

次に、配線溝３１以外の領域の絶縁膜３０上のアルミニウム膜７０および窒化チタン膜６９を、ＣＭＰ法を用いて研磨し除去する。このようにして配線溝３１内に窒化チタン膜からなる第１導電層６０ａおよびアルミニウム膜からなる第２導電層６０ｂから構成される第２層配線６０を、接続孔３３内に窒化チタン膜からなる第１導電層６１ａおよびアルミニウム膜からなる第２導電層６１ｂから構成される接続部６１を形成する（図３２）。このように第２層配線６０と接続部６１とは一体に形成される。

【０１４０】

次に、絶縁膜３０および第２層配線６０上にＴＥＯＳ酸化膜を堆積し、層間絶縁膜６２を形成する。さらに、フォトレジスト膜をマスクとしたドライエッチングにより層間絶縁膜６２および絶縁膜３０をエッチングし接続孔６３を形成する（図３３）。

【０１４１】

次に、接続孔６３の内部を含む層間絶縁膜６２上に窒化チタン膜７１およびタングステン７２を順次堆積し（図３４）、接続孔６３以外の層間絶縁膜６２上の窒化チタン膜７１およびタングステン７２をＣＭＰ法で研磨し除去して窒化チタン膜６４ａおよびタングステン膜６４ｂからなるプラグ６４を形成する（図３５）。窒化チタン膜６４ａおよびタングステン膜６４ｂはＣＶＤ法またはスパッタ法で堆積できる。

【０１４２】

次に、窒化チタン膜をＣＶＤ法で、アルミニウム膜をスパッタ法で堆積し、窒化チタン膜、アルミニウム膜および窒化チタン膜からなる積層膜を堆積する。その後、フォトリソグラフィとドライエッチング技術を用いて積層膜をパターニングし、窒化チタン膜６５ａ、アルミニウム膜６５ｂおよび窒化チタン膜６５ｃからなる第３層配線６５を形成する（図３６）。

【０１４３】

次に、スパッタを重畳させたＣＶＤ法でシリコン酸化膜を堆積し、これによってシリコン酸化膜を第３層配線６５に埋め込む。その後このシリコン酸化膜をＣＭＰ法を用いて平坦化し、層間絶縁膜６６を形成する。さらに、第３層配線６５と同様に、図示しないプラグおよび第４層配線６７を形成する（図３７）。

【０１４４】

最後に、絶縁膜６８を半導体基板１の全面に堆積後、ＭＩＳＦＥＴのダメージ回復を図るため、４００℃での水素アニール処理を施し、さらに半導体基板１の全面にパッシベーション膜４６を堆積して図２９に示すＤＲＡＭがほぼ完成する。

【０１４５】

本実施の形態のＤＲＡＭおよびその製造方法によれば、実施の形態１で説明した効果と同様の効果を得ることができる。また、本実施の形態では、電気抵抗が低いアルミニウムを用いているため、接続部６１の抵抗値は１Ω以下である。また、製造歩留りは、接続孔３３が短いため、９９％以上である。また、周辺回路の動作周波数は、第２層配線６０および接続部６１がアルミニウムを用いてであるため、最大５００ｋＨｚ以上である。

【０１４６】

（実施の形態３）

図３８は、本発明のさらに他の実施の形態である半導体集積回路装置を形成した半導体チップ全体の一例を示した平面図である。

【０１４７】

本実施の形態の半導体集積回路装置は、ＤＲＡＭとロジック回路とを単一チップ内に混載させたものであり、ロジック部２０１、メモリ部２０２を有する。ロジック部２０１には論理演算等を行うＣＰＵ、スタック等が形成され、メモリ部２０２にはデータの記憶素子が形成されている。メモリ部２０２の周辺には第１のＩ／Ｏ部２０３、第２のＩ／Ｏ部２０４が配置され、データの入出力を制御する。また、第１のＩ／Ｏ部２０３、第２のＩ／Ｏ部２０４を介して入出力されるデータは、デコーダ部２０６を介してバス２０５に伝送

され、ロジック部２０１に送られる。

【０１４８】

本実施の形態の半導体集積回路装置のチップサイズは１５×８ｍｍ^2 であり、ＤＲＡＭのメモリ容量は２５６Ｍｂｉｔである。

【０１４９】

図３９は、本実施の形態のＤＲＡＭの要部断面図である。本実施の形態のＤＲＡＭのメモリセルアレイ領域（Ａ領域）および周辺回路領域（Ｂ領域）は、実施の形態１とその構成および製造方法において同様である。したがって、その部分の説明を省略する。

【０１５０】

本実施の形態の半導体集積回路装置は、メモリセルアレイ領域（Ａ領域）および周辺回路領域（Ｂ領域）の他にロジック回路領域（Ｄ領域）を有する。ロジック回路領域は、メモリセルアレイ領域および周辺回路領域以外の領域であり、たとえばロジック部２０１、第１のＩ／Ｏ部２０３、第２のＩ／Ｏ部２０４、バス２０５、等が形成されている。

【０１５１】

ロジック回路領域（Ｄ領域）の半導体基板１には、周辺回路領域と同様のｐ形ウェル３、分離領域７が形成され、その主面上には、周辺回路領域と同様のｎチャネルＭＩＳＦＥＴＱｎが形成されている。ここではｎチャネルＭＩＳＦＥＴＱｎ２を例示しているがｐチャネルＭＩＳＦＥＴであってもよい。また、ＣＭＩＳＦＥＴ構造を有していてもよい。

【０１５２】

ｎチャネルＭＩＳＦＥＴＱｎ２のゲート電極１１、キャップ絶縁膜１３、サイドウォールスペーサ１６、ソース・ドレイン領域を構成する不純物半導体領域１５は、周辺回路領域と同様である。また、層間絶縁膜１７、ＴＥＯＳ酸化膜１７ｄその上層に形成される第１層配線１８、プラグ２２も周辺回路領域と同様である。さらに、層間絶縁膜２３、シリコン窒化膜２３ｂ、絶縁膜２４、絶縁膜３０、第２層配線３２、接続部３４、シリコン窒化膜３５、４１、４４、層間絶縁膜３６、４２、第３層配線３９、接続孔３８、第４層配線４３、第４層配線の接続部４３ｂ、絶縁膜４５、パッシベーション膜４６についても周辺回路領域と同様である。したがって、説明を省略する。第４層配線４３は、メモリ部２０２とロジック部２０１とを接続するバス２０５に適用することができる。

【０１５３】

本実施の形態の半導体集積回路装置の製造方法は、前記したロジック回路領域の各々の部材に対応する周辺回路領域の各部材の製造方法と同様であり、実施の形態１で説明したとおりである。したがって、詳細な説明を省略する。

【０１５４】

本実施の形態の半導体集積回路装置によれば、前記した実施の形態１の効果に加えて、以下の効果を有する。すなわち、図３９に示したとおり、ＤＲＡＭの領域（メモリセルアレイ領域（Ａ領域）および周辺回路領域（Ｂ領域））とロジック回路領域（Ｄ領域）とが、同一の第２層配線３２、第３層配線３９および第４層配線４３で接続されることとなるが、これらの配線は銅を主導電層とする高速応答性能に優れた配線である。したがって、ＤＲＡＭの部分とロジック回路の部分とは高速配線で接続され、半導体集積回路装置の動作周波数を大きくして半導体集積回路装置の性能を向上できる。本実施の形態の場合、動作周波数は、最大７００ｋＨｚ以上とすることができる。このような高速応答性能は、ＤＲＡＭとロジック回路とを別個独立した半導体チップで構成した場合には、それらを接続する配線が長くならざるを得ず、高い動作周波数は得られない。一方、同一チップにＤＲＡＭとロジック回路とを混載した場合であっても、抵抗率の高い配線を用いる場合や、抵抗値の高い接続部あるいはプラグで異層間の配線接続を行う場合にもこのような高い動作周波数は得難い。すなわち、本実施の形態では、接続部３４の抵抗値を低減し、第２層配線３２、第３層配線３９および第４層配線４３に抵抗率の低い銅材料を用い、かつ、ＤＲＡＭの領域とロジック回路領域で同一の配線を用いることにより、前記した難点を解消し、半導体集積回路装置の性能を著しく高めたものである。

【０１５５】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【０１５６】

たとえば、上記実施の形態ではシリコンＭＩＳＦＥＴを例示して説明したが他の半導体材料を用いたＭＩＳ型半導体装置にも適用することができる。

【０１５７】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【０１５８】

（１）ＣＯＢ構造のメモリセルを有する半導体集積回路装置において、立体化されたキャパシタと同層に形成された厚い絶縁膜を挟んで配置される第１層配線と第２層配線との接続信頼性を向上できる。

【０１５９】

（２）第１層配線と第２層配線との接続孔部分の抵抗を低減できる。

【０１６０】

（３）第２層配線以上の配線の配線抵抗を低減できる。

【０１６１】

（４）第２層配線の形成工程を高い熱処理工程が必要なキャパシタの形成工程以降とし、熱拡散係数の大きな材料あるいは熱流動性のある材料であっても第２層配線に用いることが可能となる。

【０１６２】

（５）ＣＯＢ構造のメモリセルを有するＤＲＡＭと同一の基板に形成される周辺回路、あるいはロジック回路の高速応答性能を向上できる。

【０１６３】

また、上記効果は、特に工程数を増加することなく達成できる。

【図面の簡単な説明】

【図１】実施の形態１のＤＲＡＭを形成した半導体チップ全体の一例を示した平面図である。

【図２】実施の形態１のＤＲＡＭの等価回路図である。

【図３】実施の形態１のＤＲＡＭの要部断面図である。

【図４】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図５】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図６】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図７】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図８】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図９】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図１０】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図１１】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図１２】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図１３】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図１４】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図１５】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図１６】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図１７】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図１８】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図１９】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図２０】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

【図２１】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。

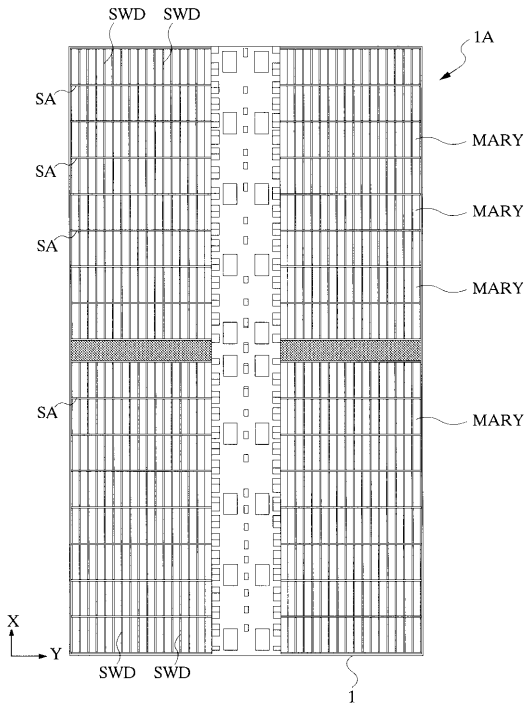
【図２２】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図２３】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図２４】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図２５】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図２６】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図２７】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図２８】実施の形態１のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図２９】実施の形態２のＤＲＡＭの要部断面図である。
【図３０】実施の形態２のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図３１】実施の形態２のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図３２】実施の形態２のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図３３】実施の形態２のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図３４】実施の形態２のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図３５】実施の形態２のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図３６】実施の形態２のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図３７】実施の形態２のＤＲＡＭの製造方法の一例を工程順に示した断面図である。
【図３８】実施の形態３の半導体集積回路装置を形成した半導体チップ全体の一例を示した平面図である。
【図３９】実施の形態３のＤＲＡＭの要部断面図である。
【符号の説明】
１　半導体基板
１Ａ　半導体チップ
２　ｐ形ウェル
３　ｐ形ウェル
４　ｎ形ウェル
６　ディープウェル
７　分離領域
８　浅溝
９　シリコン酸化膜
１０　ゲート絶縁膜
１１　ゲート電極
１１ａ　多結晶シリコン膜
１１ｂ　窒化チタン膜
１１ｃ　タングステン膜
１２　不純物半導体領域
１３　キャップ絶縁膜
１４　シリコン窒化膜
１５　不純物半導体領域
１５ａ　低濃度不純物領域
１５ｂ　高濃度不純物領域
１６　サイドウォールスペーサ
１７　層間絶縁膜
１７ｄ　ＴＥＯＳ酸化膜
１８　第１層配線
１８ａ　窒化チタン膜
１８ｂ　タングステン膜
１９　プラグ
１９ｂ　プラグ
２０　コバルトシリサイド膜
２１　接続孔

２２　プラグ
２２ａ　窒化チタン膜
２２ｂ　タングステン膜
２３　層間絶縁膜
２３ｂ　シリコン窒化膜
２４　絶縁膜
２５　プラグ
２６　プラグ
２７　下部電極
２８　容量絶縁膜
２９　プレート電極
３０　絶縁膜
３１　配線溝
３２　第２層配線
３２ａ　第１導電層
３２ｂ　第２導電層
３３　接続孔
３４　接続部
３４ａ　第１導電層
３４ｂ　第２導電層
３５　シリコン窒化膜
３６　層間絶縁膜
３７　配線溝
３８　接続孔
３９　第３層配線
３９ａ　第１導電層
３９ｂ　第２導電層
４０　接続部
４０ａ　第１導電層
４０ｂ　第２導電層
４１　シリコン窒化膜
４２　層間絶縁膜
４３　第４層配線
４３ｂ　接続部
４４　シリコン窒化膜
４５　絶縁膜
４６　パッシベーション膜
４７　フォトレジスト膜
４８　溝
４９　多結晶シリコン膜
５０　シリコン酸化膜
５１　フォトレジスト膜
５２　フォトレジスト膜
５３　ＴＥＯＳ酸化膜
５４　フォトレジスト膜
５５　フォトレジスト膜
５６　タンタル膜
５７　銅膜
５８　タンタル膜
５９　銅膜

６０　第２層配線
６０ａ　第１導電層
６０ｂ　第２導電層
６１　接続部
６１ａ　第１導電層
６１ｂ　第２導電層
６２　層間絶縁膜
６３　接続孔
６４　プラグ
６４ａ　窒化チタン膜
６４ｂ　タングステン膜
６５　第３層配線
６５ａ　窒化チタン膜
６５ｂ　アルミニウム膜
６５ｃ　窒化チタン膜
６６　層間絶縁膜
６７　第４層配線
６７ａ　窒化チタン膜
６７ｂ　アルミニウム膜
６７ｃ　窒化チタン膜
６８　絶縁膜
６９　窒化チタン膜
７０　アルミニウム膜
７１　窒化チタン膜
７２　タングステン
２０１　ロジック部
２０２　メモリ部
２０３　第１のＩ／Ｏ部
２０４　第２のＩ／Ｏ部
２０５　バス
２０６　デコーダ部
ＢＬ　ビット線
Ｃ　キャパシタ
ＭＡＲＹ　メモリアレイ
ＭＷＢ　メインワード線
Ｑｎ　ｎチャネルＭＩＳＦＥＴ
Ｑｎ２　ｎチャネルＭＩＳＦＥＴ
Ｑｐ　ｐチャネルＭＩＳＦＥＴ
Ｑｓ　メモリセル選択用ＭＩＳＦＥＴ
ＳＡ　センスアンプ
ＳＷＤ　サブワードデコーダ
ＷＤ　ワードドライバ
ＷＬ　ワード線
ＹＳ　Ｙセレクト線

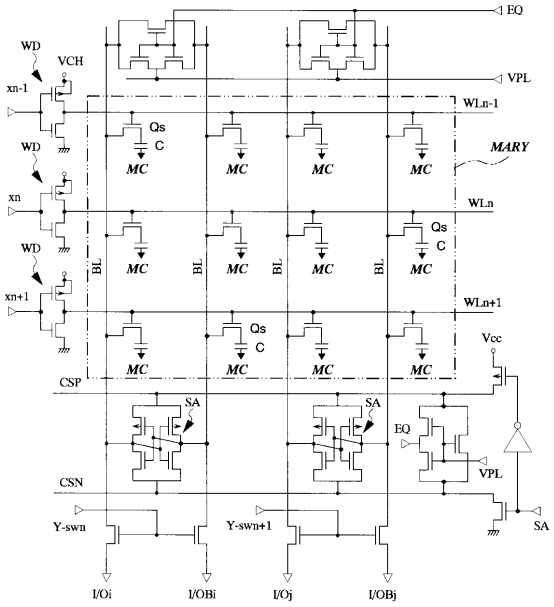
【図１】

図 1



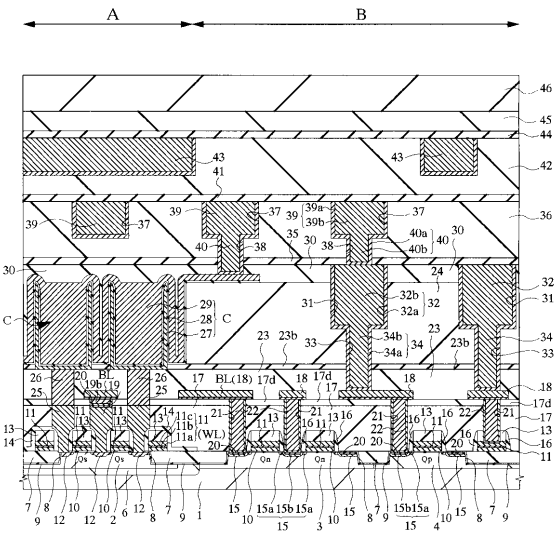
【図２】

図 2



【図３】

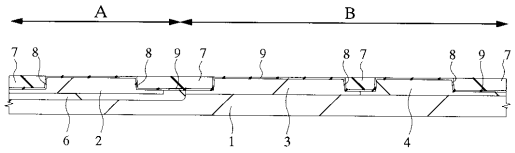
図 3



18：第1層配線　32：第2層配線
24：絶縁膜　33：接続孔
30：絶縁膜　34：接続部
31：配線溝　C：キャパシタ

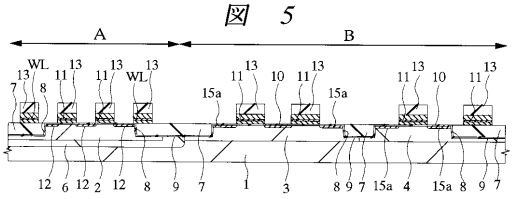
【図４】

図 4



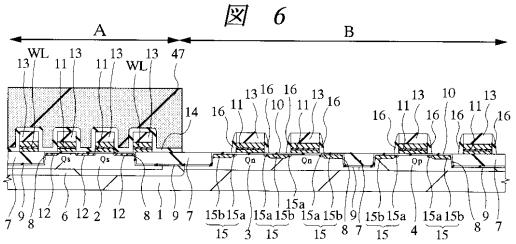
【図５】

図 5



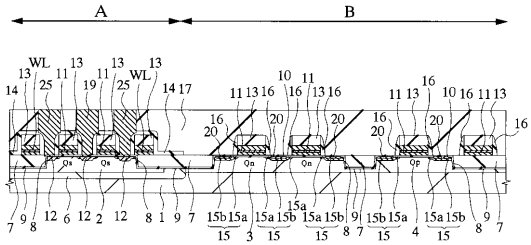
【図６】

図 6



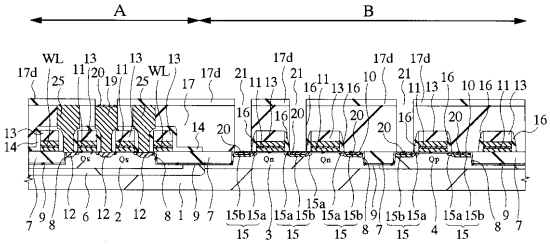
【図７】

図 7



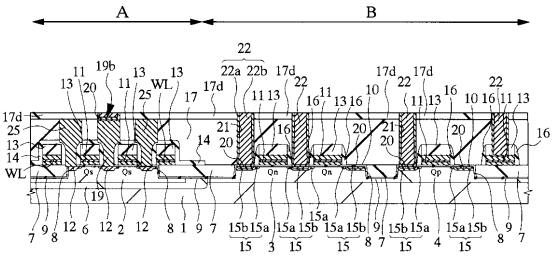
【図８】

図 8



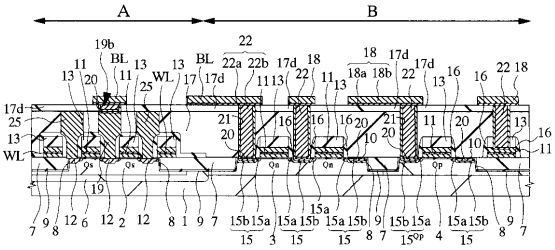
【図９】

図 9



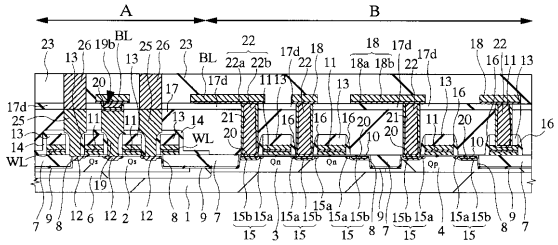
【図１０】

図 10



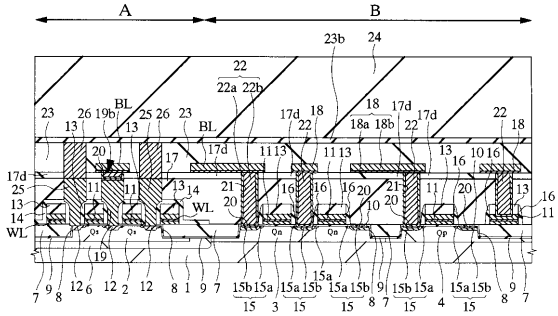
【図１１】

図 11



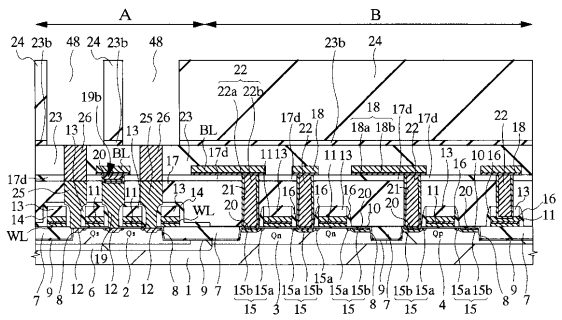
【図１２】

図 12



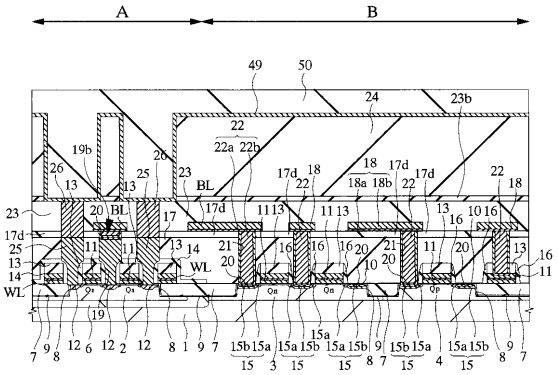
【図１３】

図 13



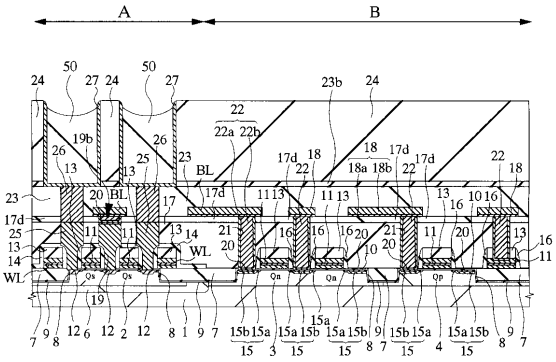
【図１４】

図 14



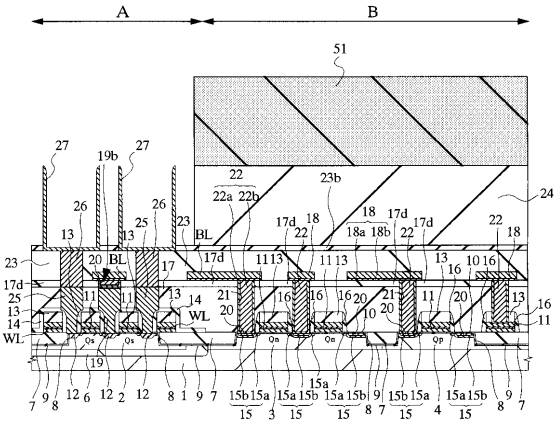
【図１５】

図 15



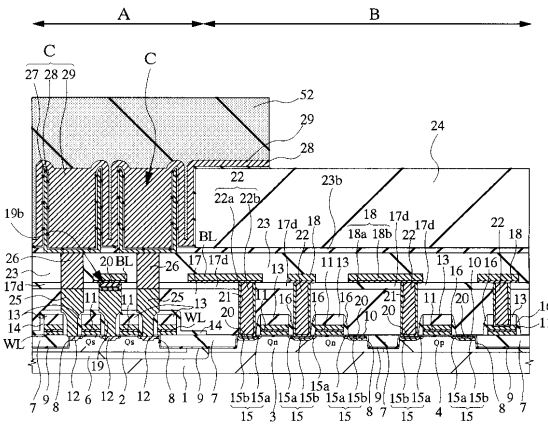
【図１６】

図 16



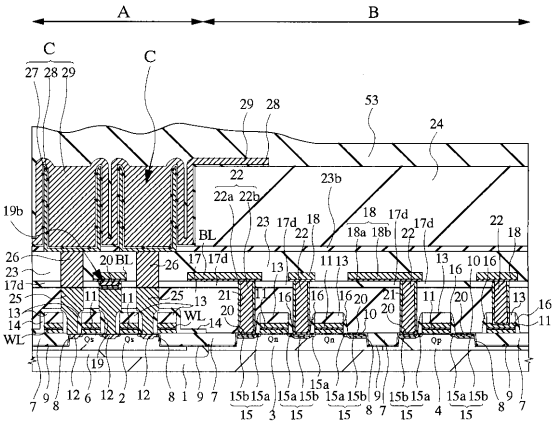
【図１７】

図 17



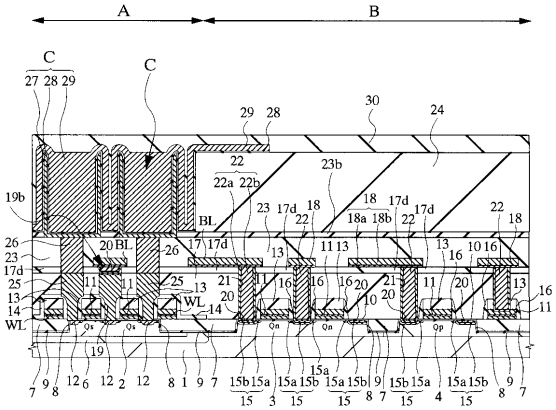
【図１８】

図　１８



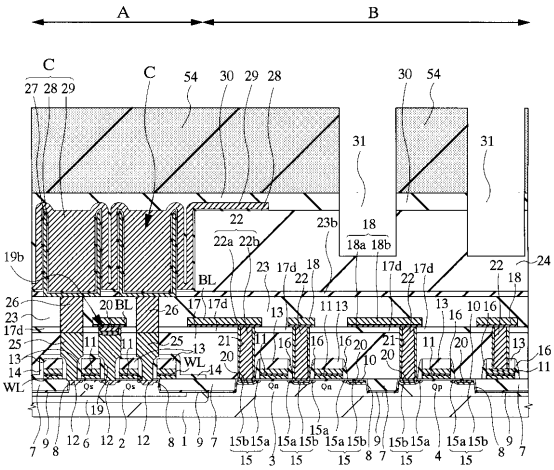
【図１９】

図　１９



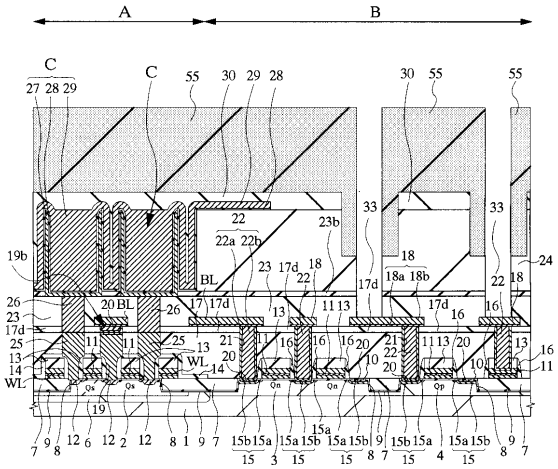
【図２０】

図　２０



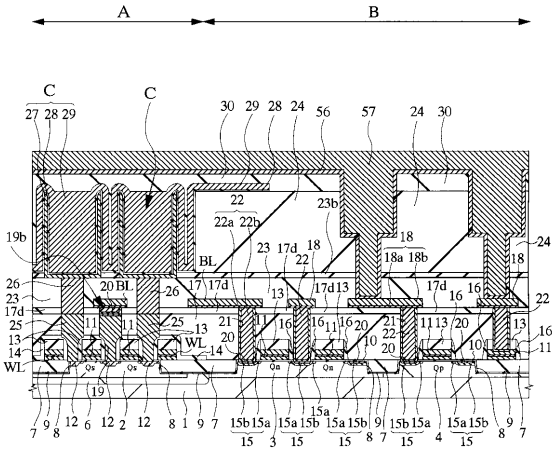
【図２１】

図　２１



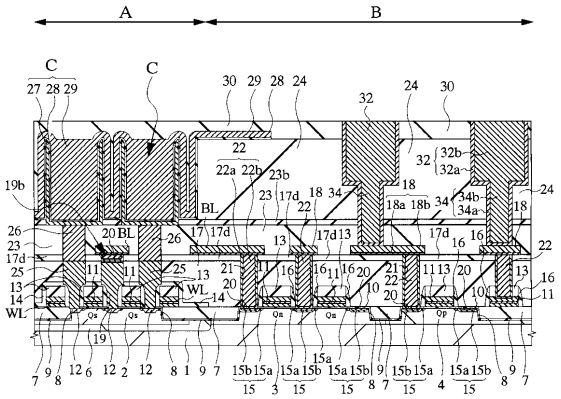
【図２２】

図　２２



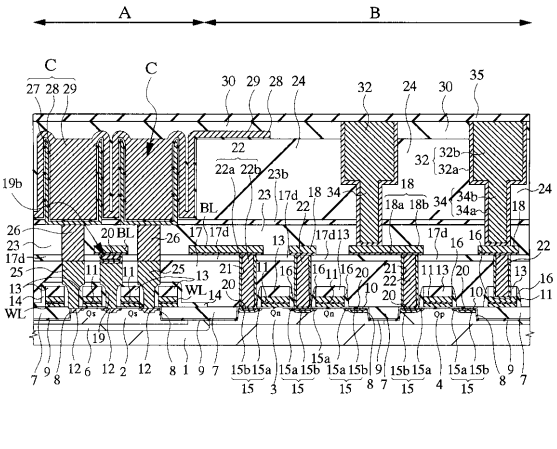
【図２３】

図　２３



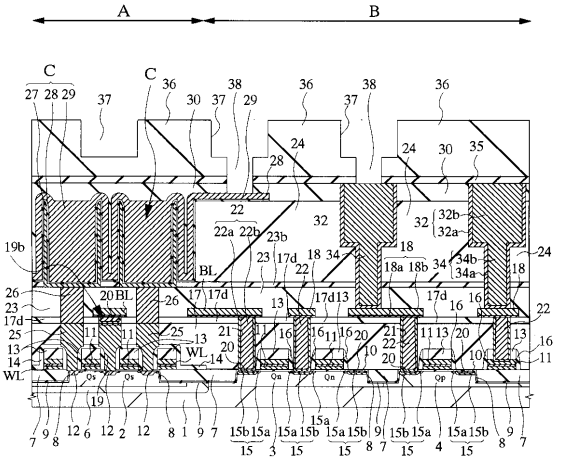
【図２４】

図　２４



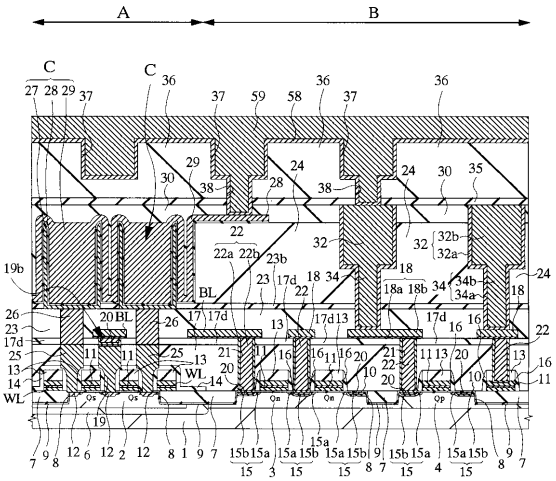
【図２５】

図　２５



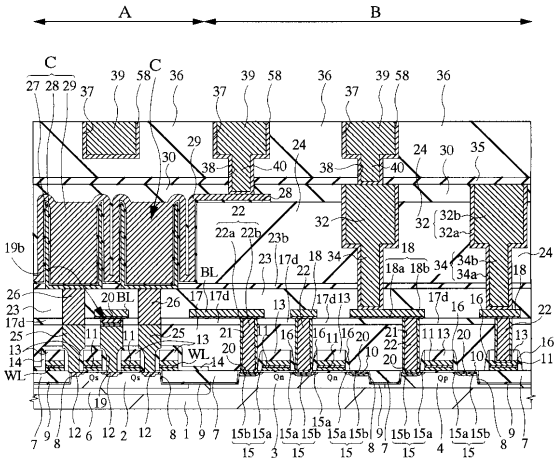
【図２６】

図　２６



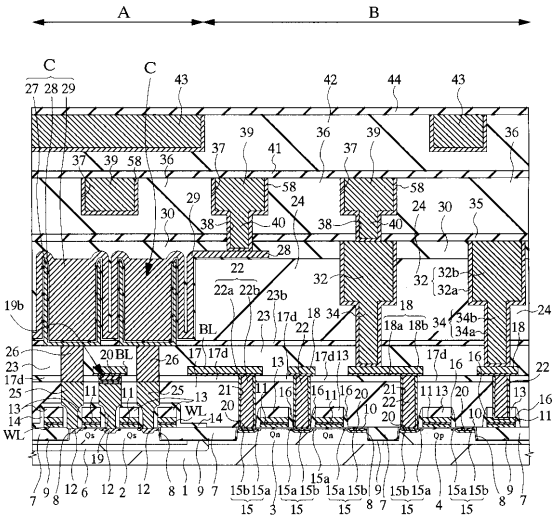
【図２７】

図　２７



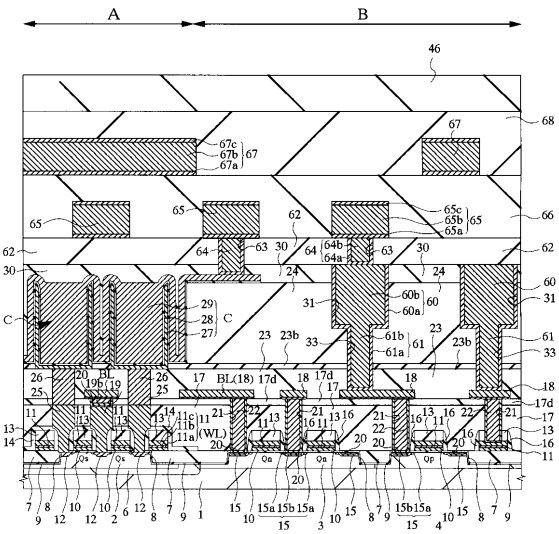
【図２８】

図　２８



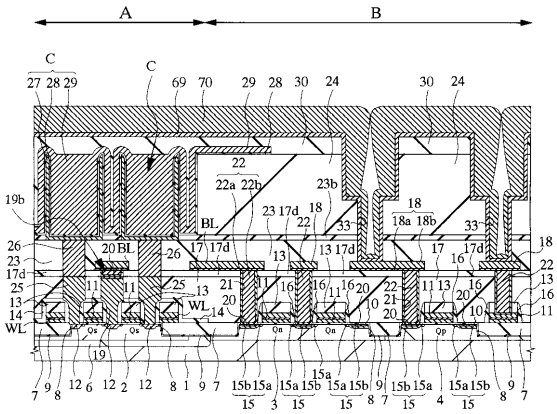
【図２９】

図　２９



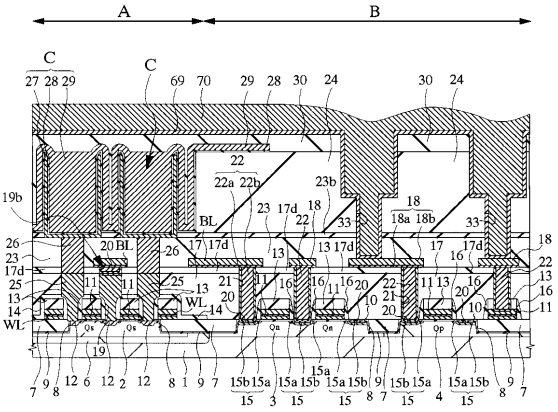
【図３０】

図 30



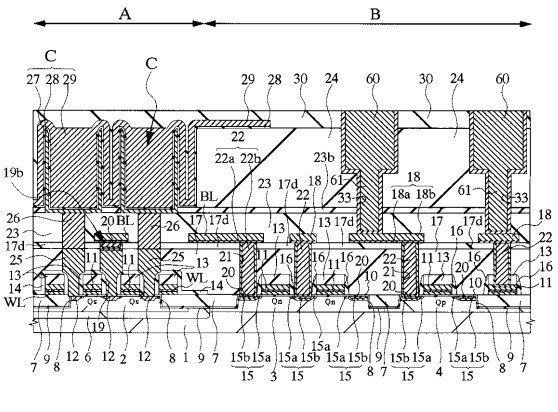
【図３１】

図 31



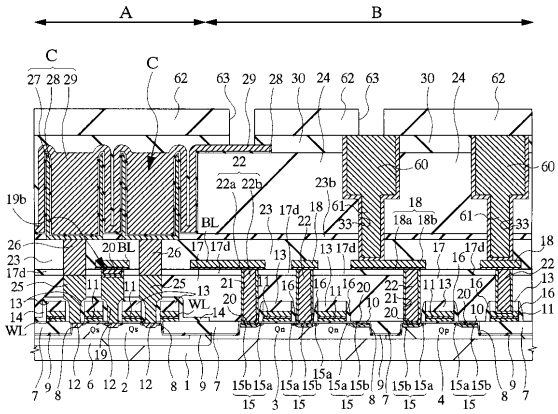
【図３２】

図 32



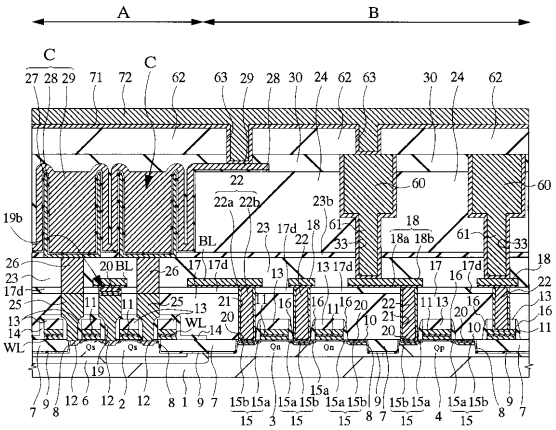
【図３３】

図 33



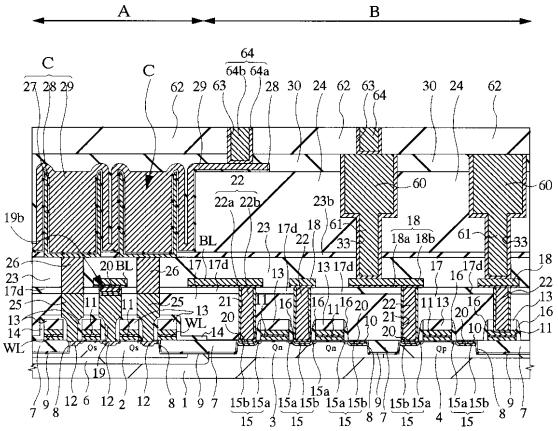
【図３４】

図 34



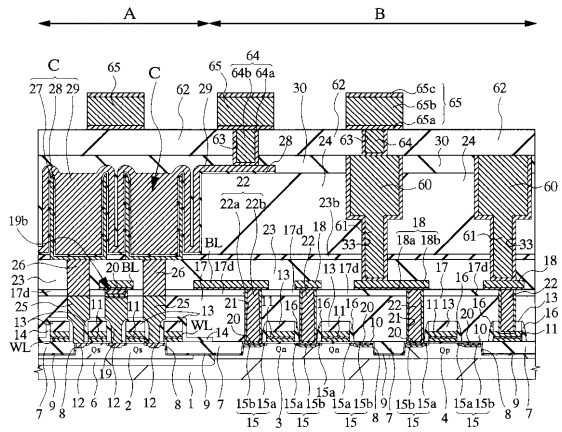
【図３５】

図 35



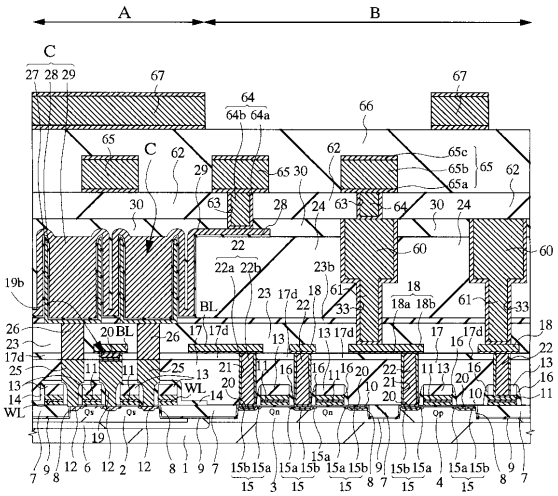
【図３６】

図 36



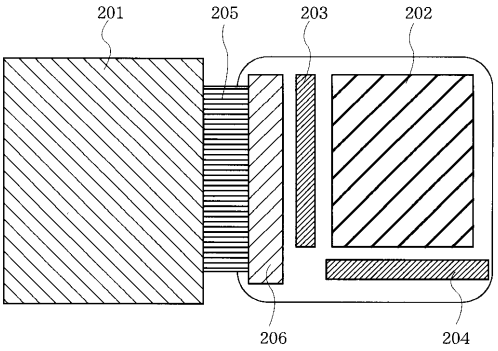
【図３７】

図 37



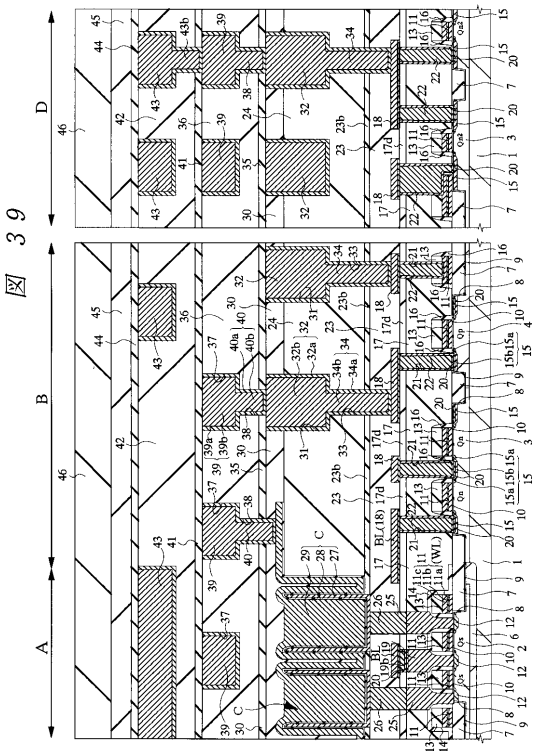
【図３８】

図 38



【図３９】

図 39



フロントページの続き

審査官　國島　明弘

(56)参考文献　特開平０９－３１２２９１（ＪＰ，Ａ）
特開平０９－１２９８４４（ＪＰ，Ａ）
特開平０９－０９２７９４（ＪＰ，Ａ）
特開平０９－０３６２３１（ＪＰ，Ａ）
特開平０８－０８３７９６（ＪＰ，Ａ）
国際公開第９７／０１９４６８（WO，Ａ１）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H01L 21/8242
H01L 27/108