



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월06일

(11) 등록번호 10-1518094

(24) 등록일자 2015년04월29일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) G02F 1/136 (2006.01)
H01L 21/336 (2006.01)

(21) 출원번호 10-2011-0059076

(22) 출원일자 2011년06월17일

심사청구일자 2014년04월18일

(65) 공개번호 10-2011-0138192

(43) 공개일자 2011년12월26일

(30) 우선권주장

JP-P-2010-139207 2010년06월18일 일본(JP)

(56) 선행기술조사문헌

KR1020090079686 A*

JP2009224479 A*

KR1019990014006 A*

JP2010062229 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

이찌조 미쓰히로

일본 2430036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
엔도 도시야일본 2430036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
스즈끼 구니히코

일본 2430036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장수길, 박충범, 이중희

전체 청구항 수 : 총 9 항

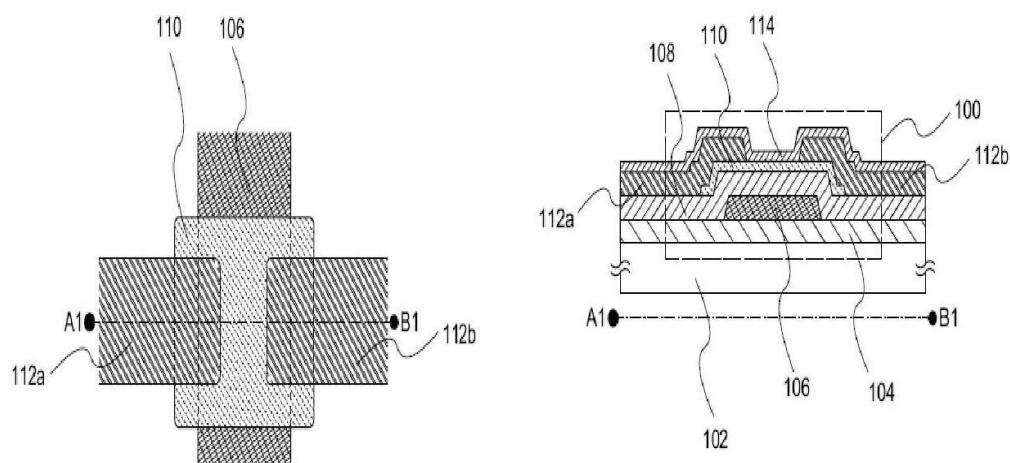
심사관 : 설관식

(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 양호한 전기 특성을 갖는 반도체 장치를 제공하는 것을 과제로 한다.

채널 영역을 형성하는 산화물 반도체층과 접하는 게이트 절연층으로서 수소 농도가 $6 \times 10^{20} \text{ atoms/cm}^3$ 미만, 또 불소 농도가 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상인 게이트 절연층을 사용함으로써, 게이트 절연층으로부터 방출되는 수소량이 저감되어, 산화물 반도체층 내로 수소가 확산되는 것을 방지할 수 있다. 또한, 불소에 의해 산화물 반도체층 내에 존재하는 수소를 탈리시켜, 산화물 반도체층 내의 수소 농도를 저감시킬 수 있기 때문에, 양호한 전기 특성을 갖는 반도체 장치를 제공할 수 있다.

대 표 도

명세서

청구범위

청구항 1

반도체 장치로서,

게이트 전극층;

상기 게이트 전극층 위의 산화알루미늄막을 포함하는 게이트 절연층;

상기 게이트 절연층 위의 산화물 반도체층;

상기 산화물 반도체층 위에 접하는 소스 전극층 및 드레인 전극층; 및

상기 산화물 반도체층, 상기 소스 전극층 및 상기 드레인 전극층 위에 접하는 절연층을 포함하고,

상기 산화알루미늄막 내의 수소 농도가 6×10^{20} atoms/cm³ 미만이고, 상기 산화알루미늄막 내의 불소 농도가 1×10^{21} atoms/cm³ 이상인, 반도체 장치.

청구항 2

반도체 장치로서,

게이트 전극층;

상기 게이트 전극층 위의 산화알루미늄막을 포함하는 게이트 절연층;

상기 게이트 절연층 위의 산화물 반도체층;

상기 산화물 반도체층 위에 접하는 소스 전극층 및 드레인 전극층; 및

상기 산화물 반도체층, 상기 소스 전극층 및 상기 드레인 전극층 위에 접하는 절연층을 포함하고,

상기 산화알루미늄막 내의 수소 농도가 6×10^{20} atoms/cm³ 미만이고, 상기 산화알루미늄막 내의 불소 농도가 1×10^{21} atoms/cm³ 이상이고,

상기 절연층 내의 수소 농도가 6×10^{20} atoms/cm³ 미만이고, 상기 절연층 내의 불소 농도가 1×10^{21} atoms/cm³ 이상인, 반도체 장치.

청구항 3

반도체 장치로서,

게이트 전극층;

상기 게이트 전극층 위의 제 1 게이트 절연층;

상기 제 1 게이트 절연층 위의 산화알루미늄막을 포함하는 제 2 게이트 절연층;

상기 제 2 게이트 절연층 위에 접하는 산화물 반도체층;

상기 산화물 반도체층 위에 접하는 소스 전극층 및 드레인 전극층; 및

상기 산화물 반도체층, 상기 소스 전극층 및 상기 드레인 전극층 위에 접하는 절연층을 포함하고,

상기 산화알루미늄막 내의 수소 농도가 6×10^{20} atoms/cm³ 미만이고, 상기 산화알루미늄막 내의 불소 농도가 1×10^{21} atoms/cm³ 이상인, 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 게이트 절연층은 산화실리콘, 산화질화실리콘, 질화산화실리콘, 산화하프늄, 또는 산화탄탈을 포함하는, 반도체 장치.

청구항 5

제 3 항에 있어서,

상기 제 2 게이트 절연층은 산화실리콘, 산화질화실리콘, 질화산화실리콘, 산화하프늄, 또는 산화탄탈을 포함하는, 반도체 장치.

청구항 6

제 3 항에 있어서,

상기 제 1 게이트 절연층 내의 불소 농도가 1×10^{20} atoms/cm³ 미만인, 반도체 장치.

청구항 7

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 결정화된 영역을 포함하는, 반도체 장치.

청구항 8

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 실리콘을 함유하는 영역을 포함하는, 반도체 장치.

청구항 9

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 결정화된 영역, 및 실리콘을 함유하는 영역을 포함하는, 반도체 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

발명의 설명

기술 분야

본 발명은 산화물 반도체를 사용하는 반도체 장치 및 그 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서에 있어서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경기술

[0003] 근년에 들어, 플랫 패널 디스플레이로 대표되는 액정 표시 장치나 발광 표시 장치에 있어서, 이들 대부분에 사용되는 트랜지스터는 유리 기판 위에서 비정질 실리콘이나 다결정 실리콘 등의 실리콘 반도체로 구성된다.

[0004] 이 실리콘 반도체 대신에 산화물 반도체를 트랜지스터에 사용하는 기술이 주목을 받고 있다.

[0005] 예를 들어 산화물 반도체로서 1원계 금속 산화물인 산화아연이나 동족 (Homologous) 화합물인 In-Ga-Zn-O계 산화물이 있고, 이들을 사용하여 트랜지스터를 제작하여 표시 장치의 화소의 스위칭 소자 등에 사용하는 기술이 개시되어 있다(특허 문헌 1 내지 특허 문헌 3 참조).

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본국 특개2006-165528호 공보

(특허문헌 0002) 일본국 특개2007-96055호 공보

(특허문헌 0003) 일본국 특개2007-123861호 공보

발명의 내용

해결하려는 과제

[0007] 산화물 반도체를 채널 영역에 사용한 트랜지스터는 임계값 전압(V_{th})이 음의 방향으로 변동되어, 게이트 전극에 전압이 인가되지 않는 상태($V_{gs}=0V$)에서도 드레인 전류가 흐르는(노멀리 온(normally on) 상태) 문제가 있다.

[0008] 이러한 상황을 감안하여, 본 발명의 일 형태는 양호한 전기 특성을 갖는 반도체 장치를 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0009] 상술한 문제를 해결하기 위해서는 채널 영역을 형성하는 산화물 반도체층과 접하는 게이트 절연층에 수소 함유량이 낮고 또 불소를 함유한 절연층을 사용한다. 상기 게이트 절연층에 상기 절연층을 사용함으로써, 상기 게이트 절연층으로부터 방출되는 수소량이 저감함과 아울러, 산화물 반도체층 내에 존재하는 수소를 탈리시킬 수 있기 때문에, 산화물 반도체층 내의 수소 함유량을 저감시킬 수 있다.

[0010] 구체적으로는 게이트 절연층에 수소 농도가 $6 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하이며, 또 불소 농도가 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{21} \text{ atoms/cm}^3$ 이상인 절연층을 사용한다.

[0011] 그래서, 본 발명의 일 형태는 게이트 전극층과, 채널 영역을 형성하는 산화물 반도체층과, 산화물 반도체층과 접하여 형성되는 소스 전극층 및 드레인 전극층과, 게이트 전극층과 산화물 반도체층 사이에 형성되는 게이트 절연층을 갖고, 게이트 절연층의 수소 농도가 $6 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하이며, 게이트 절연층의 불소 농도가 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{21} \text{ atoms/cm}^3$ 이상인, 반도체 장치이다.

[0012] 또한, 상기 반도체 장치는 산화물 반도체층이 게이트 절연층을 사이에 두고 게이트 전극층과 중첩되는 하부 게이트(bottom gate) 구조를 갖는 반도체 장치이다.

[0013] 또한, 본 발명의 다른 일 형태는 게이트 절연층을 산화실리콘, 산화질화실리콘, 질화산화실리콘, 산화하프늄,

산화알루미늄, 또는 산화탄탈 등의 산화물 절연층으로 하는 것이다.

[0014] 또한, 상술한 구성에 있어서, 게이트 절연층은 단층뿐만 아니라 적층으로 하여도 좋다. 예를 들어 게이트 전극 층을 덮는 제 1 게이트 절연층과, 상기 제 1 게이트 절연층을 덮고 또 상기 산화물 반도체층과 접하는 제 2 게이트 절연층을 적층하여, 게이트 절연층을 2층 구조로 하여도 좋다. 이 때, 제 2 게이트 절연층은 산화물 반도체층과 접하기 때문에 수소 함유량이 적고, 또 불소를 함유한 게이트 절연층으로 함으로써, 제 2 게이트 절연층으로부터 방출되는 수소량이 저감함과 아울러, 산화물 반도체층 내에 존재하는 수소를 탈리시킬 수 있기 때문에, 산화물 반도체층 내의 수소 함유량을 저감시킬 수 있다.

[0015] 그래서, 본 발명의 다른 일 형태는 상기 반도체 장치의 게이트 절연층을, 게이트 전극층을 덮는 제 1 게이트 절연층과, 제 1 게이트 절연층을 덮고 또 상기 산화물 반도체층과 접하는 제 2 절연층의 적층으로 하고, 제 2 게이트 절연층의 수소 농도는 $6 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하이며, 제 2 게이트 절연층의 불소 농도는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{21} \text{ atoms/cm}^3$ 이상으로 하는 것이다. 또한, 제 1 게이트 절연층의 불소 농도는 $1 \times 10^{20} \text{ atoms/cm}^3$ 미만으로 하는 것이 바람직하다.

[0016] 상기 반도체 장치에 있어서, 산화물 반도체층을 사이에 두고 게이트 절연층과 대향하고 또 상기 산화물 반도체층에 접하여 형성되는 절연층을 구비하여도 좋다. 상기 절연층은 게이트 절연층과 마찬가지로 수소 함유량이 적고, 불소를 함유함으로써, 상기 절연층으로부터 방출되는 수소량이 저감함과 아울러, 산화물 반도체층 내에 존재하는 수소를 탈리시킬 수 있기 때문에, 산화물 반도체층 내의 수소 함유량을 저감시킬 수 있다.

[0017] 그래서, 본 발명의 다른 일 형태는 상기 반도체 장치에 있어서, 산화물 반도체층과 접하는 절연층의 수소 농도가 $6 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하이며, 불소 농도가 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{21} \text{ atoms/cm}^3$ 이상인, 반도체 장치이다.

[0018] 또한, 산화물 반도체층 위에 형성되는 절연층은 게이트 절연층과 마찬가지로 산화물 절연층이 바람직하고, 상기 산화물 절연층으로서는 산화실리콘, 산화질화실리콘, 질화산화실리콘, 산화하프늄, 산화알루미늄, 또는 산화탄탈 등을 들 수 있다.

발명의 효과

[0019] 본 발명의 일 형태에 따르면, 양호한 전기 특성을 갖는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0020] 도 1a 및 도 1b는 트랜지스터를 설명하는 상면도 및 단면도.

도 2a 및 도 2b는 갈륨 원자 중심의 클러스터 모델을 도시하는 도면.

도 3a 및 도 3b는 수소 원자를 추출하는 반응에 관한 반응식 및 에너지 다이어그램을 도시하는 도면.

도 4a 내지 도 4d는 결합 에너지의 산출에 이용하는 모델을 도시하는 도면.

도 5a 및 도 5b는 수소 원자를 추출하는 반응에 관한 반응식 및 에너지 다이어그램을 도시하는 도면.

도 6a 내지 도 6d는 트랜지스터의 제작 방법을 설명하는 단면도.

도 7은 전자 서적의 일례를 도시하는 외판도.

도 8a 및 도 8b는 텔레비전 장치 및 디지털 포토 프레임의 예를 도시하는 외판도.

도 9는 휴대형 컴퓨터의 일례를 도시하는 사시도.

도 10은 산화실리콘층에 함유되는 수소 농도 및 불소 농도를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0021] 이하에서는 본 발명의 실시형태에 대해서 도면을 사용하여 상세하게 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할

수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 개시하는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 도면을 사용하여 발명의 구성을 설명하는 데, 같은 것을 가리키는 부호는 상이한 도면 간에서도 공통적으로 사용한다. 그리고, 같은 것을 가리킬 때는 해치(hatch) 패턴을 같게 하고, 특별히 부호를 붙이지 않는 경우가 있다. 또한, 편의상 절연층을 상면도에 도시하지 않는 경우가 있다. 또한, 각 도면에서 도시하는 각 구성의 크기, 층의 두께, 또는 영역은 명료화하기 위해서 과장되어 표기되는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지는 않는다.

[0022] 또한, '소스'나 '드레인'의 기능은 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바뀌는 경우가 있다. 따라서, 본 명세서에서는 '소스'나 '드레인'이라는 용어는 바꾸어 사용할 있다.

[0023] (실시형태 1)

[0024] 본 실시형태에서는 본 발명의 일 형태인 반도체 장치에 대해서 도 1a 및 도 1b를 사용하여 설명한다. 또한, 본 실시형태에서는 상기 반도체 장치의 예를 트랜지스터로서 설명한다.

[0025] 도 1a는 반도체 장치가 갖는 트랜지스터(100)의 상면도이다. 도 1b는 도 1a에 도시하는 일점 쇄선 A1-B1 사이의 단면도이다. 트랜지스터(100)는 기판(102) 위에 하지 절연층(104), 게이트 전극층(106), 게이트 절연층(108), 채널 영역을 형성하는 산화물 반도체층(110), 소스 전극층(112a) 및 드레인 전극층(112b), 채널 영역을 형성하는 산화물 반도체층(110), 및 소스 전극층(112a)과 드레인 전극층(112b)을 덮는 절연층(114)을 포함한다.

[0026] 트랜지스터(100)는 산화물 반도체층(110)이 게이트 절연층(108)을 사이에 두고 게이트 전극층(106)과 중첩되어 형성되는 하부 게이트 구조의 트랜지스터이다. 또한, 트랜지스터(100)는 소스 전극층(112a) 및 드레인 전극층(112b)이 산화물 반도체층(110)의 상면의 일부와 접하여 형성되는 상부 접촉(top contact) 구조이다. 또한, 하부 게이트 구조의 트랜지스터에는 상부 접촉 구조 이외에 소스 전극층 및 드레인 전극층이, 채널 영역을 형성하는 반도체층의 하면의 일부와 접하여 형성되는 하부 접촉 구조가 있다. 본 발명의 일 형태는 상부 접촉 구조 및 하부 접촉 구조를 포함하지만, 본 실시형태에서는 상부 접촉 구조를 예로 들어 설명한다.

[0027] 트랜지스터(100)는 게이트 절연층(108)의 상면의 일부와 산화물 반도체층(110)의 하면이 접하는 구조를 갖는다. 그러므로 트랜지스터(100)의 제작 공정에서, 게이트 절연층(108)에 수소가 많이 존재하는 경우, 산화물 반도체층(110)에 수소가 확산됨으로써 산화물 반도체층(110) 내의 수소 함유량이 증가한다. 그리고, 산화물 반도체층(110) 내의 수소 함유량이 증가함으로써, 산화물 반도체층(110) 내의 캐리어가 증가한다. 따라서, 트랜지스터(100)의 임계값 전압(V_{th})은 음의 방향으로 변동되어, 게이트 전극에 전압이 인가되지 않는 상태($V_{gs}=0V$)에서도 드레인 전류가 흐르는(노멀리 온) 상태가 되기 때문에 전기 특성이 좋지 않은 트랜지스터가 된다.

[0028] 그래서, 산화물 반도체층(110)으로 확산된 수소를 추출하는 방법으로서 산화물 반도체층(110)을 열처리하는 방법이 있다. 그러나, 트랜지스터의 제작 공정을 증가할수록 비용이 증가하고 수율을 저하시킬 가능성이 있기 때문에 바람직하지 않다.

[0029] 그래서, 산화물 반도체층(110)과 접하는 게이트 절연층(108)의 수소 농도를 $6 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하로 함으로써, 게이트 절연층(108)으로부터 방출되는 수소량이 저감하기 때문에, 산화물 반도체층(110)으로 수소가 확산되는 것이 억제된다. 또한, 산화물 반도체층(110)과 접하는 게이트 절연층(108)의 불소 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{21} \text{ atoms/cm}^3$ 이상으로 함으로써, 산화물 반도체층(110) 내에 존재하는 수소를 탈리시킬 수 있기 때문에, 산화물 반도체층(110) 내의 수소 함유량을 저감시킬 수 있다.

[0030] 즉, 산화물 반도체층(110)과 접하는 게이트 절연층(108)을 상기 수소 농도 및 상기 불소 농도를 갖는 게이트 절연층으로 함으로써, 트랜지스터의 제작 공정을 증가하지 않고 양호한 전기 특성을 갖는 트랜지스터를 얻을 수 있다.

[0031] 또한, 산화물 반도체층(110)과 소스 전극층(112a) 및 드레인 전극층(112b)을 덮는 절연층(114)은 산화물 반도체층(110)의 상면의 일부와 접한다. 그러므로 절연층(114)의 수소 농도를 $6 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하로 하며, 불소 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{21} \text{ atoms/cm}^3$ 이상으로 하여도 좋다. 절연층(114)을 상기 수소 농도로 함으로써, 절연층(114)으로부터 방출되는 수소량이 저감하기 때문에, 산화물 반도체층(110)으로 수소가 확산되는 것이 억제된다. 또한,

절연층(114)을 상기 불소 농도로 함으로써, 산화물 반도체층(110) 내에 존재하는 수소를 탈리시킬 수 있기 때문에, 산화물 반도체층(110) 내의 수소 함유량을 저감시킬 수 있다.

[0032] 기판(102)으로서는 나중의 제작 공정에 견딜 수 있는 것이라면 특별히 한정되지 않는다. 예를 들어 기판(102)으로서 유리 기판, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등의 절연성 기판, 실리콘 등의 반도체 재료로 이루어진 반도체 기판, 금속 또는 스테인리스 등의 도전체로 이루어진 도전성 기판 등을 사용할 수 있다. 또한, 플라스틱 기판도 적절히 사용할 수 있다.

[0033] 또한, 트랜지스터의 제작 공정 중에 가열 온도가 높은 열처리를 하는 경우에는 유리 기판으로서 변형점이 730°C 이상의 것을 사용하면 좋다. 예를 들어, 알루미노 실리케이트 유리, 알루미노 보로실리케이트 유리, 바륨 보로 실리케이트 유리 등의 유리 재료가 사용된다. 봉산과 비교하여 산화바륨(BaO)을 많이 함유시킴으로써, 더 실용적인 내열 유리를 얻을 수 있다. 따라서, 봉산보다 산화바륨을 많이 함유한 유리 기판을 사용하는 것이 바람직하다.

[0034] 하지 절연층(104)은 기판(102)으로부터 불순물 원소가 확산되는 것을 방지할뿐만 아니라 트랜지스터의 제작 공정 중의 에칭 공정으로 기판이 에칭되는 것을 방지한다. 하지 절연층(104)의 두께는 한정하지 않지만, 상기 이유로 하지 절연층(104)의 두께는 50nm 이상으로 하는 것이 바람직하다. 또한, 하부 게이트 구조의 트랜지스터라면, 나중에 형성되는 게이트 절연층(108)이 상기 하지 절연층(104)으로서의 기능을 갖기 때문에, 하지 절연층(104)을 형성하지 않는 구성으로 하여도 좋다.

[0035] 하지 절연층(104)은 나중에 형성하는 게이트 절연층(108)에 적용할 수 있는 재료를 사용하여 단층 또는 적층 구조로 형성된다.

[0036] 게이트 전극층(106)은 하지 절연층(104) 위에 형성된다. 게이트 전극층(106)의 재료는 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 네오디뮴, 스칸듐 등의 금속재료, 또는 이들 금속 재료를 주성분으로 하는 합금 재료, 또는 이들 금속의 질화물을 사용하여 단층 구조 또는 적층 구조의 도전막으로 형성된다. 또한, 나중의 공정에서 행해지는 열처리의 온도에 견딜 수 있는 것이라면, 상기 금속 재료로서 알루미늄 또는 구리를 사용할 수도 있다. 알루미늄 또는 구리는 내열성 및 부식성 문제를 회피하기 위해서 고용점 금속 재료와 조합하여 사용하면 좋다. 고용점 금속 재료로서는 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 네오디뮴, 스칸듐 등을 사용할 수 있다.

[0037] 예를 들어 적층 구조의 게이트 전극층(106)으로서 알루미늄막 위에 몰리브덴막이 적층된 2층 구조, 구리막 위에 몰리브덴막이 적층된 2층 구조, 구리막 위에 질화티타늄막 또는 질화탄탈막이 적층된 2층 구조, 또는 질화티타늄막과 몰리브덴막이 적층된 2층 구조가 바람직하다. 또한, 적층의 게이트 전극층(106)으로서 알루미늄막, 알루미늄과 실리콘의 합금막, 알루미늄과 티타늄의 합금막, 또는 알루미늄과 네오듐의 합금막을 중간층으로 하고, 텉스텐막, 질화텅스텐막, 질화티타늄막 또는 티타늄막을 상하의 층으로 하여 적층한 3층 구조로 하는 것이 바람직하다.

[0038] 또한, 게이트 전극층(106)에는 산화인듐, 산화인듐산화주석 합금, 산화인듐산화아연 합금, 산화아연, 산화아연 알루미늄, 산화질화아연알루미늄, 또는 산화아연갈륨 등의 투광성을 갖는 산화물 도전막 또는 다결정 실리콘을 사용할 수 있다.

[0039] 게이트 전극층(106)의 두께는 특별히 한정하지 않고, 금속 재료, 합금 재료, 또는 그 외의 화합물로 이루어진 도전막의 전기 저항이나 제작 공정에 걸리는 시간을 고려하여 적절히 결정할 수 있다. 예를 들어 10nm 내지 500nm로 형성하면 좋다.

[0040] 게이트 절연층(108)은 게이트 전극층(106)을 덮어 형성된다. 게이트 절연층(108)은 산화물 반도체층(110)과 접하기 때문에, 게이트 절연층(108)의 수소 농도를 $6 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하로 하며, 또 불소 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{21} \text{ atoms/cm}^3$ 이상으로 한다.

[0041] 또한, 게이트 절연층(108)은 산화실리콘, 산화질화실리콘, 질화실리콘, 질화산화실리콘, 산화하프늄, 산화알루미늄, 또는 산화탄탈 등을 재료로 한 산화물 절연층을 사용하여 단층 구조 또는 적층 구조로 형성한다. 또한, 게이트 절연층(108)의 두께는 절연 내압 및 트랜지스터의 제작 공정을 고려하여 적절히 결정할 수 있다. 게이트 절연층(108)의 두께는, 예를 들어 1nm 이상 300nm 이하, 더 바람직하게는 5nm 이상 50nm 이하로 하면 좋다.

- [0042] 특히, 게이트 절연층(108)은 플라즈마 CVD(Plasma Enhanced Chemical Vapor Deposition)법으로 형성한 산화실리콘층으로 할 수 있다.
- [0043] 플라즈마 CVD법이란 플라즈마 CVD 장치 내의 반응실에 원료가 되는 퇴적성 가스를 공급하여 플라즈마 에너지를 이용하여 막을 형성하는 방법이다.
- [0044] 플라즈마 CVD 장치는 고주파 전원을 사용하는 용량 결합형 고주파 플라즈마 CVD 장치나 유도 결합형 고주파 플라즈마 CVD 장치, 마이크로파 발생원인 마그네트론 및 유전체를 구비하고, 마이크로파를 사용하여 플라즈마를 발생시키는 마이크로파 플라즈마 CVD 장치(전자 사이클로트론 공명 플라즈마 CVD 장치)나 헬리콘파 플라즈마 CVD 장치 등이 있고, 본 명세서에 제시하는 플라즈마 CVD법에서는 글로우 방전 플라즈마를 이용하여 막을 형성하는 CVD 장치를 적절히 사용할 수 있다. 또한, 플라즈마 CVD법은 기판을 가열하면서 실시할 수 있다.
- [0045] 원료가 되는 퇴적성 가스는 분자 구조에 수소가 함유되지 않는 가스로 형성된다.
- [0046] 즉, 퇴적성 가스로서 SiH_4 가 아니라 SiF_4 를 사용한다. 또한, 산화시키기 위한 가스는 수소나 물의 함유량이 적은 N_2O 또는 O_2 로 하고, 플라즈마의 확대를 고려하여 아르곤 등과 같은 첨가되는 다른 가스로서도 수소나 물의 함유량이 적은 가스를 사용한다.
- [0047] 또한, 플라즈마 CVD법으로 산화실리콘층을 형성할 때 플라즈마 CVD 장치의 반응실 내에 잔류되거나 또는 반응실의 내벽에 흡착되는 수소나 물 등의 불순물을 제거한 후, 반응실의 내벽을 가열하면서 상기 가스를 사용하여 형성한다. 이렇게 함으로써, 수소 농도가 $6 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하로 하며, 불소 농도가 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{21} \text{ atoms/cm}^3$ 이상인 산화실리콘층을 플라즈마 CVD법으로 형성할 수 있다.
- [0048] 또한, 게이트 전극층(106) 위에 불소를 함유한 산화실리콘층을 형성할 때 생성되는 불소로 인해 게이트 전극층(106)이 에칭될 가능성이 있지만, 게이트 절연층(108)을 2층으로 함으로써 이것을 방지할 수 있다. 이 때, 게이트 전극층(106)과 접하는 제 1 게이트 절연층은 불소 농도가 $1 \times 10^{20} \text{ atoms/cm}^3$ 미만 등, 불소 함유량이 적은 절연층으로 한다. 그리고, 산화물 반도체층(110)과 접하는 제 2 게이트 절연층은 SiF_4 가스를 사용한 산화실리콘층과 같은, 불소 농도가 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{21} \text{ atoms/cm}^3$ 이상인 절연층으로 한다. 제 1 게이트 절연층의 수소 농도는 특별히 한정되지 않지만, 제 2 게이트 절연층의 수소 농도는 산화물 반도체층(110)과 접하는 것을 고려하여 가능한 한 낮은 것이 바람직하다. 예를 들어 제 2 게이트 절연층의 수소 농도는 $6 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{20} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다. 상술한 수소 농도로 함으로써, 산화물 반도체층(110)으로 수소가 확산되는 것을 억제할 수 있다. 또한, 제 1 게이트 절연층은 제 2 게이트 절연층(예를 들어, 상술한 바와 같이 SiF_4 가스를 사용한 산화실리콘층)을 형성할 때 소실되지 않는 두께로 형성한다. 또한, 제 1 게이트 절연층에는 게이트 절연층(108)으로 예시한 산화물 절연층을 사용할 수 있다.
- [0049] 채널 영역을 형성하는 산화물 반도체층(110)은 게이트 절연층(108) 위에 형성된다. 또한, 산화물 반도체층(110)의 두께는 10nm 내지 300nm, 바람직하게는 20nm 내지 100nm로 한다.
- [0050] 산화물 반도체층(110)은 In, Ga, 및 Zn을 함유한 In-Ga-Zn-O계 금속 산화물을 재료로서 사용한 비단결정막으로 형성되며, $\text{InMn}_3(\text{ZnO})_m$ ($m > 0$)으로 표기되는 구조를 갖는다. 또한, M은 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 또는 코발트(Co) 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들어 M으로서, Ga의 경우뿐만 아니라, Ga와 Ni 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 함유되는 경우가 있다. 또한, 상술한 금속 산화물에 있어서, M으로서 함유되는 금속 원소 외에, 불순물 원소로서 Fe, Ni, 또는 그 외의 천이 금속 원소, 또는 이 천이 금속의 산화물을 함유한 것이 있다. 그리고, 산화물 반도체층(110)으로서 형성되는 상기 금속 산화물을 스퍼터링법으로 형성하는 경우, 금속 산화물 타깃 중의 금속 산화물의 상대 밀도가 80% 이상, 바람직하게는 95% 이상, 더 바람직하게는 99.9% 이상인 상대 밀도가 높은 금속 산화물 타깃을 사용한다.
- [0051] 구체적으로는 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 금속 산화물이나, 3원계 금속 산화물인 In-Ga-Zn-O계 금속 산화물, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, Sn-Al-Zn-O계 금속 산화물이나, 2원계 금속 산화물인 In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, Zn-Mg-O계 금속 산화물, Sn-Mg-O계 금속 산화물, In-Mg-O계 금속 산화물이나, In-O계

금속 산화물, Sn-0계 금속 산화물, Zn-0계 금속 산화물 등을 사용하여 형성할 수 있다. 여기서, 예를 들어 In-Ga-Zn-0계 금속 산화물이란 적어도 In, Ga, 및 Zn을 함유한 산화물이고, 그 조성비는 특별히 한정하지 않는다. 또한, In, Ga, 및 Zn 이외의 원소를 함유하여도 좋다. 또한, 산화물 반도체층(110)에 산화실리콘을 함유시켜도 좋다.

소스 전극총(112a) 및 드레인 전극총(112b)은 게이트 절연총(108) 및 산화물 반도체총(110) 위에 형성된다. 또한, 소스 전극총(112a) 및 드레인 전극총(112b)은 게이트 전극총(106)으로 예시한 재료를 사용하여 형성하면 좋다. 소스 전극총(112a) 및 드레인 전극총(112b)의 두께에 대해서도 게이트 전극총(106)의 설명을 기초로 하여 적절히 선택하면 좋다.

페시베이션막 또는 층간 절연막으로서 기능하는 절연층(114)은 소스 전극층(112a), 드레인 전극층(112b), 및 산화물 반도체층(110)을 덮어 형성된다.

절연층(114)은 게이트 절연층(108)과 마찬가지로 플라즈마 CVD법으로 형성할 수 있다. 산화물 반도체층(110)의 상면의 일부와 접하기 때문에, 게이트 절연층(108)과 같은 산화실리콘층을 사용함으로써 절연층(114)으로부터 방출되는 수소량이 저감함과 아울러, 산화물 반도체층(110) 내에 존재하는 수소를 탈리시킬 수 있기 때문에, 산화물 반도체층(110) 내의 수소 함유량을 저감시킬 수 있다.

절연층(114)의 막 두께는 게이트 절연층(108)과 마찬가지로 불소를 함유한 산화실리콘층을 형성할 때 생기는 불소로 인해, 소스 전극층(112a) 및 드레인 전극층(112b)이 에칭되는 가능성을 고려하여 적절히 결정하면 좋다.

또한, 절연층(114)으로서는 수소 함유량만을 적게 한 절연층을 사용하여도 좋다. 예를 들어 산화실리콘층을 이하에 제시하는 바와 같은 스퍼터링법으로 형성하면 좋다. 구체적으로는 Si 타깃 또는 SiO_2 타깃 등을 사용하여 형성한다. 바람직하게는 SiO_2 타깃, 더 바람직하게는 수산기 농도가 1000ppm 이하인 SiO_2 타깃, 또는 SIMS(Secondary Ion Mass Spectrometry)로 측정된 수소 농도가 $3.5 \times 10^{19} \text{ atoms/cm}^3$ 이하인 SiO_2 타깃을 사용한다. 또한, 형성시에 공급하는 가스는 아르곤 등의 희 가스, 및 산소로 한다. 그리고, 형성시에 공급하는 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물 농도가 ppm 정도, ppb 정도로 표현되는 수준까지 제거된 고순도 가스를 사용하는 것이 바람직하다.

여기서, 산화물 반도체층(110)과 접하는 게이트 절연층(108), 및 절연층(114)으로서 불소를 함유한 절연층을 사용함으로써, 산화물 반도체층(110) 내에 존재하는 수소를 탈리시키는 효과에 대해서, 양자 화학 계산을 사용하여 설명한다.

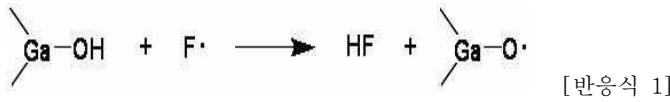
본 실시형태에서 제시하는 양자 화학 계산에는 가우시안 기저(Gaussian basis)를 사용한 밀도 범함수 이론(Density Functional Theory: DFT)을 이용한다. 밀도 범함수 이론에서는, 교환 상관 상호 작용은 전자 밀도로 표현된 하나의 전자 포텐셜의 범함수에 근사하기 때문에, 계산은 고속이며 고정밀도이다. 본 실시형태에서는 흑합 범함수인 B3LYP를 사용하여 교환과 상관 에너지에 관련한 각 파라미터의 중요성을 규정한다.

또한, 모든 원자에 적용하는 기저 함수는 각각의 원자가(價) 궤도에 3개의 단축 함수를 사용한 triple split valence 기저계의 기저 함수인 6-311G로 한다. 상술한 기저 함수에 의해, 수소 원자이면 1s 내지 3s의 궤도가 고려되고, 산소 원자이면, 1s 내지 4s, 2p 내지 4p의 궤도가 고려된다. 또한, 계산 정밀도를 향상시키기 위해서, 분극 기저계(分極 基底系)로서, 수소 원자에는 p함수를 이용하고, 수소 원자 외에는 d함수를 이용한다. 그리고, 암자 화학 계산 프로그램에는 CONQUEX Corporation 제조의 Gaussian 09를 사용한다.

본 실시형태에 있어서, 산화물 반도체층(110)에 존재하는 수소 원자는 산소 원자나 금속 원자와 결합하고, 하기 구조식($a-1$) 및 구조식($a-2$)으로 가정한다. 하기 구조식($a-1$) 및 구조식($a-2$)에서는 배위 결합은 고려하지 않고 이온 결합만을 고려한다. 본 실시형태에서의 산화물 반도체층(110)은 상술한 In(인듐), Ga(갈륨), 및 Zn(아연)을 함유한 금속 산화물(산화물 반도체)로 하지만, 하기 구조식($a-1$) 및 구조식($a-2$)으로 나타내는 금속 원자는 Ga(갈륨)로 한다.



[0062] 불소 원자가 산화물 반도체층(110) 내의 수소를 탈리시키는 과정으로서는, 반응식 1 및 반응식 2에 나타낸 수소를 추출하는 반응이 있다.



[0065] 반응식 1에서는 불소 라디칼이 수산기의 수소 원자와 반응하여 HF(불화수소) 분자를 형성하고, 반응식 2에서는 불소 라디칼이 갈륨 원자와 결합하는 수소 원자와 반응하여 HF(불화수소) 분자를 형성한다. 또한, 반응식 1 및 반응식 2 내의 '·'는 라디칼을 나타낸다.

[0066] 본 양자 화학 계산에서는 상기 구조식(α-1) 및 구조식(α-2)에서 도 2a 및 도 2b에 도시하는 간단한 클리스터 모델을 이용하여 계산하며, 상기 반응에 대한 활성화 에너지를 산출하여 반응이 어느 정도 일어나는지를 평가한다.

[0067] 반응식 1에 나타내는 반응에 대해서 양자 화학 계산을 하여, 해석한 반응 경로와 에너지 다이어그램을 도 3a 및 도 3b에 도시한다.

[0068] 도 3a 및 도 3b에 있어서, 시작 상태(1)에서는 불소 라디칼이 점선으로 둘러싸인 반응물에 대해서 무한하게 멀리 떨어져 있는 상태이다. 또한, 도 3a 및 도 3b에 도시한 에너지 다이어그램에서는 시작 상태(1)의 에너지를 기준으로 한다. 중간체(2)에서는 불소 라디칼이 갈륨 원자로 접근하여 Ga-O 결합이 절단되어 수산기 라디칼이 생성함으로써 Ga-F 결합이 형성된다. 이 반응에 의해 중간체(2)의 포텐셜 에너지가 -1.67eV가 된다. 중간체(3)에서는 수산기 라디칼의 수소 원자가 불소 원자에 의해 추출되어 HF 분자를 생성한다. 중간체(2) 및 중간체(3)의 포텐셜 에너지 차이인 활성화 에너지는 0.61eV로 산출된다. 중간체(4)에서는 산소 라디칼과 HF 분자가 상호 작용되고, 종료 상태(5)에서는 HF 분자가 일점 파선으로 둘러싸인 생성물에 대해서 무한하게 멀리 떨어져 있는 상태이다.

[0069] 중간체(2)에 있어서, 불소 라디칼이 갈륨 원자로 접근함으로써, Ga-O 결합이 절단되고 Ga-F 결합이 형성되는 것은 Ga-O 결합의 결합 에너지가 4.37eV이고 Ga-F 결합의 결합 에너지가 5.31eV인 것에 기인한다. 여기서 말하는 Ga-O 결합의 결합 에너지란 갈륨 원자에 수산기가 결합된 상태(도 4a 참조)의 포텐셜 에너지와, 수산기 라디칼이 무한하게 멀리 떨어져 있는 상태(도 4b 참조)의 포텐셜 에너지의 차이를 산출한 값이다. 또한, 여기서 말하는 Ga-F 결합의 결합 에너지란 갈륨 원자에 불소가 결합된 상태(도 4c 참조)의 포텐셜 에너지와 불소 라디칼이 무한하게 멀리 떨어져 있는 상태(도 4d 참조)의 포텐셜 에너지의 차이를 산출한 값이다.

[0070] 반응식 1에 나타낸 산화물 반도체층(110) 내의 수소를 추출하는 반응은 시작 상태(1)와 종료 상태(5)의 에너지 차이를 보면, 발열 반응인 것을 알 수 있다. 그러므로 수소를 추출하는 반응이 쉽게 진행된다고 할 수 있다.

[0071] 다음에, 반응식 2에 나타낸 반응에 대해서 양자 화학 계산을 하여, 해석한 반응 경로와 에너지 다이어그램을 도 5a 및 도 5b에 도시한다.

[0072] 도 5a 및 도 5b에 있어서, 시작 상태(1)에서는 불소 라디칼이 점선으로 둘러싸인 반응물에 대해서 무한하게 멀리 떨어져 있는 상태이다. 또한, 도 5a 및 도 5b에 도시한 에너지 다이어그램에서는 시작 상태(1)의 에너지를 기준으로 한다. 중간체(2)에서는 불소 라디칼이 갈륨 원자로 접근하여 Ga-H 결합이 절단되어 수소 라디칼이 생성됨으로써 Ga-F 결합을 형성한다. 이 반응에 의해 중간체(2)의 포텐셜 에너지가 -1.99eV가 된다. 중간체(3)에서는 수소 라디칼이 불소 원자와 결합하여 HF 분자를 형성한다. 중간체(2) 및 중간체(3)의 포텐셜 에너지 차이인 활성화 에너지는 0.45eV로 산출된다. 중간체(4)에서는 갈륨 원자에 결합된 산소 원자와 HF 분자가 상호 작용되고, 종료 상태(5)에서는 HF 분자가 일점 파선으로 둘러싸인 생성물에 대해서 무한하게 멀리 떨어져 있는 상태이다.

[0073] 반응식 1과 마찬가지로 중간체(2)에서는 불소 라디칼이 갈륨 원자로 접근하면, Ga-H 결합이 절단되고 Ga-F 결합이 형성되는 것은 반응식 1에서 설명한 이유와 마찬가지로 Ga-F 결합이 Ga-H 결합보다 결합 에너지의 관점에서 더 안정적인 것에 기인한다.

[0074] 반응식 2에 나타낸 산화물 반도체층(110) 내의 수소를 추출하는 반응에 있어서도, 시작 상태(1)와 종료 상태

(5)의 에너지 차이를 보면, 발열 반응인 것을 알 수 있다. 그러므로 수소를 추출하는 반응이 쉽게 진행된다고 할 수 있다.

[0075] 상술한 바와 같이 하여 산화물 반도체층(110)과 접하는 게이트 절연층(108) 및 절연층(114)으로서 불소를 함유한 절연층을 사용함으로써, 산화물 반도체층(110) 내에 존재하는 수소를 탈리시킬 수 있다.

[0076] <트랜지스터(100)의 제작 방법>

[0077] 여기서, 트랜지스터(100)의 구체적인 제작 방법에 대해서 도 6a 내지 도 6d를 사용하여 설명한다.

[0078] 기판(102) 위에 하지 절연층(104)을 형성한다. 기판(102) 및 하지 절연층(104)은 상술한 것을 사용할 수 있고, 본 실시형태에서는 기판(102)에 유리 기판을 사용한다. 하지 절연층(104)은 플라즈마 CVD법으로도 형성할 수 있지만, 본 실시형태의 제작 방법에서는 타깃을 SiO_2 로 하고, 형성시에 공급하는 가스를 아르곤 등의 희 가스 및 산소로 하여, RF 스퍼터링법으로 산화실리콘층을 200nm 형성한다.

[0079] 다음에, 게이트 전극층(106)으로서 기능하는 도전막을 형성한다. 상기 도전막으로서 본 반도체 장치의 제작 방법에서는 티타늄 타깃을 사용한 DC 스퍼터링법으로 두께 150nm의 티타늄막을 형성한다. 그 후, 제 1 포토리소그래피 공정 및 에칭 공정을 실시하여 두께 150nm의 게이트 전극층(106)을 형성한다.

[0080] 상기 도전막의 에칭에는 웨트 에칭, 드라이 에칭 중 어느 쪽을 사용하여도 좋다. 또한, 소자의 미세화라는 관점에서는 드라이 에칭을 사용하는 것이 적합하다. 에칭 가스나 에칭액에 대해서는 피에칭 재료에 따라 적절히 선택한다.

[0081] 또한, 게이트 전극층(106)의 측면은 테이퍼 형상으로 하는 것이 바람직하다. 게이트 전극층(106) 위에는 나중의 공정에서 산화물 반도체막, 소스 전극층 및 드레인 전극층이 되는 도전막을 형성하기 때문에, 단차(段差) 부분에서 배선이 단선되는 것을 방지하기 위해서다. 게이트 전극층(106)의 측면을 테이퍼 형상으로 하기 위해서는 레지스트 마스크를 후퇴시키면서 에칭하면 좋다.

[0082] 다음에, 게이트 절연층(108)을 형성한다. 상술한 바와 같이, 플라즈마 CVD법으로 형성한다. 플라즈마 CVD 장치 내의 반응실의 내벽을 가열하여, 반응실의 내벽으로부터 불순물을 방출시킨다. 그 후, 반응실 내에 잔류되거나 또는 반응실의 내벽으로부터 방출시킨 불순물을 삼불화 질소(NF_3) 등의 불소 화합물을 사용한 플라즈마 세정으로 제거한다. 또한, 본 실시형태에서는 고주파 전원을 사용한 용량 결합형 플라즈마 CVD 장치를 사용한다.

[0083] 플라즈마 CVD 장치 내의 반응실의 내벽을 가열하는 온도는 100°C 이상 350°C 이하, 바람직하게는 100°C 이상 125°C 이하로 하면 좋고, 적어도 30분 이상, 바람직하게는 60분 이상 가열하는 것이 바람직하다. 또한, 여기서 말하는 가열 공정은 배기하면서 실시할 수도 있다.

[0084] 상기 플라즈마 세정 방법은 특별히 한정하지 않는다. 본 반도체 장치의 제작 방법에서는 세정을 실시할 반응실에서 플라즈마를 생성하고 세정도 하는 방법에 대해서 예시하지만, 세정을 실시할 반응실의 외부에서 미리 플라즈마를 생성하고, 상기 생성한 플라즈마를 반응실에 공급하여 세정하는 원격 플라즈마 세정이라도 좋다.

[0085] 본 반도체 장치의 제작 방법에서의 플라즈마 세정은 플라즈마 처리 공정과 배기 공정으로 이루어지고, 구체적인 플라즈마 세정 조건으로서는 삼불화 질소(NF_3)를 400sccm 내지 2000sccm의 유량으로 반응실 내에 공급하고, 반응실 내의 압력을 10Pa 내지 200Pa로 조정하고, 전극 간격은 15mm 내지 60mm로 조정하고, 13.56MHz 내지 60MHz의 고주파 전원으로 500W 내지 2000W의 전력(단위 전극 면적당 전력(파워 밀도)으로서는 1W/cm^2 내지 4W/cm^2)을 출력함으로써 플라즈마를 생성하여 5분 내지 10분 동안 처리하면 좋다. 더 바람직한 플라즈마 세정 조건으로서는 삼불화 질소(NF_3)를 600sccm의 유량으로 반응실 내에 공급하고, 반응실 내의 압력을 70Pa 정도로 조정하고, 전극 간격은 50mm로 조정하고, 60MHz의 고주파 전원으로 900W의 전력(파워 밀도로 환산하면 약 1.8W/cm^2)을 7분 동안 출력하는 것이다.

[0086] 그 후, 퇴적성 가스로서 SiF_4 , 산화시키기 위한 가스로서 N_2O , 첨가 가스로서 아르곤을 반응실에 공급하고 플라즈마 에너지를 이용하여 산화실리콘막을 200nm 형성한다. 또한, 게이트 절연층(108)을 2층으로 하는 경우에는 게이트 전극층(106)과 접하는 제 1 게이트 절연층에 퇴적성 가스로서 SiH_4 를 사용한 산화실리콘막을 150nm 형성하고, 산화물 반도체층(110)과 접하는 제 2 게이트 절연층에 퇴적성 가스로서 SiF_4 가스를 사용한 산화실리콘막을 50nm 형성하면 좋다.

[0087] 상술한 공정으로 얻어진 구성을 도 6a에 도시한다.

[0088] 다음에, 두께 50nm의 산화물 반도체막을 스퍼터링법으로 형성한다. 산화물 반도체막은 게이트 절연층(108)과 접하여 형성되기 때문에, 게이트 절연층(108)에 함유되는 불소가 산화물 반도체막 내에 존재하는 수소를 탈리시킨다. 본 실시형태에서는 스퍼터링법을 사용하지만, 진공 증착법, 펄스 레이저 퇴적법, CVD법 등을 사용하여 형성하여도 좋다.

[0089] 산화물 반도체막은 상기 열거한 금속 산화물을 사용할 수 있다. 본 반도체 장치의 제작 방법에서는 In(인듐), Ga(갈륨), 및 Zn(아연)을 함유한 산화물 반도체 타깃(mol수 비가 $In_2O_3:Ga_2O_3:ZnO=1:1:1$, 또는 $In_2O_3:Ga_2O_3:ZnO=1:1:2$)을 사용한 스퍼터링법을 이용하여 얻어지는, 두께 50nm의 In-Ga-Zn-O계 비단결정막을 사용한다. 또한, 본 반도체 장치의 제작 방법에서는 DC 스퍼터링법을 사용하고, 아르곤의 유량을 30sccm, 산소의 유량을 15sccm로 하고, 기관 온도는 실온(15°C 내지 35°C)으로 한다.

[0090] 또한, 산화물 반도체막을 스퍼터링법으로 형성하기 전에 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 하는 것이 바람직하다. 역 스퍼터링이란 아르곤 분위기하에서 기관 측에 RF 전원을 사용하여 전압을 인가하여 기관 근방에 플라즈마를 형성함으로써 표면을 개질(改質)하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 사용하여도 좋다. 또한, 아르곤 분위기에 산소, 아산화질소 등을 첨가한 분위기에서 실시하여도 좋다. 또한, 아르곤 분위기에 염소, 사불화탄소 등을 첨가한 분위기에서 실시하여도 좋다.

[0091] 산화물 반도체막을 형성할 때, 예를 들어 감압 상태로 유지된 처리실 내에 기관을 유지하고, 기관의 온도가 100°C 이상 550°C 미만, 바람직하게는 200°C 이상 400°C 이하가 되도록 기관을 가열한다. 또는 산화물 반도체막을 형성할 때의 기관의 온도는 실온(15°C 내지 35°C 이하)으로 하여도 좋다. 그리고, 처리실 내의 수분을 제거하면서 수소나 물 등이 제거된 스퍼터링 가스를 도입하고, 산화물 반도체 타깃을 사용하여 산화물 반도체막을 형성한다. 기관을 가열하면서 산화물 반도체막을 형성함으로써, 산화물 반도체막에 함유되는 불순물을 저감할 수 있다. 또한, 스퍼터링에 의한 손상을 경감할 수 있다. 처리실 내의 수분을 제거하기 위해서는 흡착형 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오(cryo) 펌프, 이온 펌프, 티타늄 서블리메이션(sublimation) 펌프 등을 사용할 수 있다. 또한, 터보 펌프에 콜드 트랩(cold trap)을 장착한 것을 사용하여도 좋다. 크라이오 펌프 등을 사용하여 배기함으로써 처리실로부터 수소나 물 등을 제거할 수 있기 때문에, 산화물 반도체막 내의 불순물 농도를 저감할 수 있다. 그 후, 제 2 포토리소그래피 공정 및 애칭 공정을 실시하여 섬 형상으로 가공된 산화물 반도체층(109)을 형성한다.

[0092] 상술한 공정으로 얻어진 구성을 도 6b에 도시한다.

[0093] 다음에, 대기 분위기 또는 불활성 가스 분위기(질소, 헬륨, 네온, 또는 아르곤 등)하, 또는 대기압하에서의 노점이 영하 60°C 이하인, 수분 함유량이 적은 공기하에서 산화물 반도체층(109)에 열처리하여도 좋다. 구체적으로는 대기 분위기하에서 100°C 이상 400°C 이하에서 10분 이상, 바람직하게는 350°C에서 60분 동안 열처리한다. 산화물 반도체층(109)에 열처리함으로써, 수분, 수소가 탈리한 산화물 반도체층(110)이 형성된다. 이 경우에도, 게이트 절연층(108)에 함유된 불소가 산화물 반도체막 내에 존재하는 수소를 탈리시킨다. 또한, 게이트 절연층(108)으로부터 산화물 반도체층(110)의 결함에 산소가 공급된다.

[0094] 또한, 불활성 가스 분위기(질소, 헬륨, 네온, 또는 아르곤 등)하에서 500°C 이상 750°C 이하(또는 유리 기관의 변형점 이하의 온도)에서 1분 이상 10분 이하 정도, 바람직하게는 600°C, 3분 이상 6분 이하 정도의 RTA(Rapid Thermal Anneal) 처리로 실시할 수 있다. 또한, RTA법을 사용하면, 짧은 시간에 탈수화 또는 탈수소화할 수 있기 때문에, 유리 기관의 변형점을 초과하는 온도에서도 처리할 수 있다. 가열 처리에서는 불활성 가스는 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스에 수분, 수소 등이 함유되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 또는 아르곤 등의 희 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0095] 또한, 상기 열처리를 실시하는 타이밍은 섬 형상의 산화물 반도체층(109)을 형성한 후에 한정되지 않고, 섬 형상의 산화물 반도체층(109)을 형성하기 전의 산화물 반도체막에 대해 실시하여도 좋다. 또한, 상기 열처리는 복수회 실시하여도 좋다.

[0096] 상기 가열 처리의 다른 방법으로서 대기 분위기하에서 기관 온도가 설정 온도의 350°C에 도달한 상태에서 60분 동안 열처리한다. 열처리는 전기로를 사용한 가열 방법, 가열한 기체를 사용하는 GRTA(Gas Rapid Thermal Anneal)법, 또는 램프 광을 사용하는 LRTA(Lamp Rapid Thermal Anneal)법 등의 순간 가열 방법 등을 사용할 수

있다. 예를 들어 전기로를 사용하여 열처리하는 경우에는 승온 특성을 $0.1^{\circ}\text{C}/\text{min}$ 이상 $20^{\circ}\text{C}/\text{min}$ 이하, 강온 특성을 $0.1^{\circ}\text{C}/\text{min}$ 이상 $15^{\circ}\text{C}/\text{min}$ 이하로 하는 것이 바람직하다.

[0097] 불활성 가스 분위기하에서 열처리한 후의 산화물 반도체층(110)은 비정질인 것이 바람직하지만, 일부가 결정화되어도 좋다.

[0098] 여기서, 산화물 반도체층(110)의 노출된 표면에 산소, 오존, 일산화이질소를 사용하여 플라즈마 처리를 하여도 좋다. 플라즈마 처리를 함으로써, 산화물 반도체층(110)의 결함에 산소를 공급할 수 있다.

[0099] 상술한 공정으로 얻어진 구성을 도 6c에 도시한다.

[0100] 다음에, 소스 전극 및 드레인 전극으로서 기능하는 도전막을 형성하고, 제 3 포토리소그래피 공정 및 에칭 공정을 행하여 소스 전극층(112a), 드레인 전극층(112b)을 형성한다. 상기 도전막은 게이트 전극층(106)과 같은 것으로 할 수 있다. 본 반도체 장치의 제작 방법에서는 티타늄 타깃을 사용한 스퍼터링법으로 두께 150nm의 티타늄막을 형성하고 제 3 포토리소그래피 공정 및 에칭 공정에 의해 소스 전극층(112a), 드레인 전극층(112b)을 형성한다.

[0101] 이 후, 소스 전극층(112a) 및 드레인 전극층(112b) 위에 게이트 절연층(108)과 마찬가지로 절연층(114)을 형성한다. 또한, 본 실시형태에서는 절연층(114)으로서 두께 50nm의 산화실리콘층을 형성한다.

[0102] 또한, 절연층(114)을 형성한 후에 열처리하여도 좋다. 상기 열처리는 대기 분위기하, 또는 불활성 가스 분위기(질소, 헬륨, 네온, 또는 아르곤 등)하에서 실시한다. 바람직하게는 200°C 이상 400°C 이하로 실시하기로 하며, 본 실시형태에서는 대기 분위기하에서 350°C , 1시간의 열처리를 실시한다. 상술한 공정을 거쳐 얻어진 구성을 도 6d에 도시한다.

[0103] 상술한 공정에 의해, 본 실시형태에 제시하는 반도체 장치에 있어서, 수소 농도가 저감되고, 불소를 함유한 게이트 절연층을 사용함으로써, 상기 게이트 절연층으로부터 산화물 반도체층에 수소가 확산되는 것을 억제할 수 있고, 상기 산화물 반도체층 내에 존재하는 수소를 탈리시켜 상기 산화물 반도체층의 수소 함유량을 저감시킬 수 있다. 따라서, 본 실시형태에 제시하는 반도체 장치는 양호한 전기 특성을 갖는 반도체 장치이다.

[0104] 또한, 본 실시형태에서 제시한 구성을 본 명세서의 다른 실시형태에서 제시하는 구성과 적절히 조합할 수 있다.

[0105] (실시형태 2)

[0106] 상기 실시형태에서 설명한 트랜지스터를 제작하고, 상기 트랜지스터를 화소부에, 또한 구동 회로에도 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 트랜지스터를 사용한 구동 회로의 일부 또는 전체를 화소부와 같은 기판 위에 일체로 형성하여, 시스템 온 패널(system-on panel)을 형성할 수 있다. 또한, 상기 실시형태에서 기재한 산화물 반도체 재료를 사용한 트랜지스터에서 메모리 셀을 함유한 반도체 장치를 제작할 수도 있다.

[0107] 표시 장치는 표시 소자를 포함한다. 표시소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 적용할 수 있다.

[0108] 또한, 표시 장치는 표시 소자가 밀봉된 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 모듈을 포함한다. 또한, 상기 표시 장치를 제작하는 과정에 있어서, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관하여, 상기 소자 기판은 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은 구체적으로는 표시 소자의 화소 전극만이 형성된 상태라도 좋고, 화소 전극이 되는 도전막을 형성한 후이며, 에칭되어 화소 전극을 형성하기 전의 상태라도 좋고, 다양한 형태가 적합하다.

[0109] 또한, 본 명세서에서의 표시 장치란 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들어, FPC(Flexible Printed Circuit) 또는 TAB(Tape Automated Bonding) 테이프, 또는 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식으로 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하기로 한다.

[0110] (실시형태 3)

- [0111] 상기 실시형태에서 기재한 트랜지스터의 제작 방법으로 제작한 트랜지스터로 이루어진 표시 장치를 전자 잉크를 구동시켜 표시하는 전자 종이에 적용할 수 있다. 전자 종이는 정보를 표시하는 것이라면 다양한 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 종이를 사용하여 전자 서적(전자 책), 포스터, 전자 간판(Digital Signage), PID(Public Information Display), 전철 등의 탈 것류의 차내 광고, 신용 카드 등의 각종 카드에서의 표시 등에 적용할 수 있다. 전자 기기의 일례를 도 7에 도시한다.
- [0112] 도 7은 전자 서적의 일례를 도시한다. 예를 들어, 전자 서적(2700)은 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성된다. 케이스(2701) 및 케이스(2703)는 축(軸)부(2711)에 의하여 일체로 되고, 상기 축부(2711)를 축으로 하여 개폐(開閉)할 수 있다. 이러한 구성으로 함으로써 종이 서적과 같은 동작을 할 수 있다.
- [0113] 케이스(2701)에는 표시부(2705) 및 광전 변환 장치(2706)가 조합되고, 케이스(2703)에는 표시부(2707) 및 광전 변환 장치(2708)가 조합된다. 표시부(2705) 및 표시부(2707)는 연속한 하나의 화면을 표시하는 구성으로 하여도 좋고, 상이한 화면을 표시하는 구성으로 하여도 좋다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들어 오른쪽 표시부(도 7에서는 표시부(2705))에 글을 표시하고, 왼쪽 표시부(도 7에서는 표시부(2707))에 화상을 표시할 수 있다.
- [0114] 또한, 도 7에서는 케이스(2701)에 조작부 등을 구비한 예를 도시한다. 예를 들어 케이스(2701)에 있어서, 전원(2721), 조작키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)로 페이지를 넘길 수 있다. 또한, 케이스의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 이면이나 축면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2700)은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.
- [0115] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하여, 다운로드하는 구성으로 할 수도 있다.
- [0116] (실시형태 4)
- [0117] 본 명세서에 개시하는 반도체 장치는 다양한 전자 기기(게임기도 포함함)에 적용할 수 있다. 전자기기로서는, 예를 들어 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 전자 종이, 디지털 카메라나 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 패친코(pachinko)기 등의 대형 게임기 등을 들 수 있다.
- [0118] 도 8a는 텔레비전 장치의 일례를 도시한다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 조합된다. 표시부(9603)에 의해 영상을 표시할 수 있다. 또한, 여기서는 스텐드(9605)로 케이스(9601)를 지지한 구성을 도시한다.
- [0119] 텔레비전 장치(9600)는 케이스(9601)가 구비하는 조작 스위치나, 별개의 리모트 컨트롤러(9610)에 의해 조작할 수 있다. 리모트 컨트롤러(9610)가 구비하는 조작 키(9609)에 의해 채널이나 음량을 조작할 수 있어 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9610)에 상기 리모트 컨트롤러(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 설치하는 구성으로 하여도 좋다.
- [0120] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기로 일반적인 텔레비전 방송을 수신할 수 있고, 또 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간 등)의 정보 통신을 할 수도 있다.
- [0121] 도 8b는 디지털 포토 프레임의 일례를 도시한다. 예를 들어, 디지털 포토 프레임(9700)은 케이스(9701)에 표시부(9703)가 조합된다. 표시부(9703)는 각종 화상을 표시할 수 있고, 예를 들어 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써 일반적인 포토 프레임과 마찬가지로 기능시킬 수 있다.
- [0122] 또한, 디지털 포토 프레임(9700)은 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다. 이들 구성은 표시부와 동일면에 조합되어도 좋지만, 축면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에 디지털 카메라를 사용하여 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 취득하고, 취득한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.
- [0123] 또한, 디지털 포토 프레임(9700)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의해, 원

하는 화상의 데이터를 취득하여 표시시키는 구성으로 할 수도 있다.

[0124] 도 9는 휴대형 컴퓨터의 일례를 도시하는 사시도이다.

[0125] 도 9에 도시하는 휴대형 컴퓨터는 상부 케이스(9301)와 하부 케이스(9302)를 접속하는 힌지 유닛을 닫은 상태로 하여 표시부(9303)를 갖는 상부 케이스(9301)와, 키보드(9304)를 갖는 하부 케이스(9302)를 중첩한 상태로 할 수 있고, 운반하기에 편리함과 동시에, 사용자가 키보드 입력하는 경우에는 힌지 유닛을 열린 상태로 하여, 표시부(9303)를 보면서 입력 조작을 할 수 있다.

[0126] 또한, 하부 케이스(9302)는 키보드(9304) 외에 입력 조작을 하는 포인팅 디바이스(9306)를 갖는다. 또한, 표시부(9303)를 터치 입력 패널로 하면, 표시부의 일부에 터치함으로써 입력 조작을 할 수도 있다. 또한, 하부 케이스(9302)는 CPU나 하드 디스크 등의 연산 기능부를 갖는다. 또한, 하부 케이스(9302)는 다른 기기, 예를 들어 USB의 통신 규격에 준거한 통신 케이블이 삽입되는 외부 접속 포트(9305)를 갖는다.

[0127] 상부 케이스(9301)에는 상부 케이스(9301) 내부에 슬라이드시켜 수납 가능한 표시부(9307)를 더 갖고, 넓은 표시 화면을 실현할 수 있다. 또한, 수납 가능한 표시부(9307)의 화면의 방향을 사용자가 조절할 수 있다. 또한, 수납 가능한 표시부(9307)를 터치 입력 패널로 하면, 수납 가능한 표시부의 일부에 터치함으로써 입력 조작을 할 수도 있다.

[0128] 표시부(9303) 또는 수납 가능한 표시부(9307)는 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자 등의 발광 표시 패널 등의 영상 표시 장치를 이용한다.

[0129] 또한, 도 9에 도시하는 휴대형 컴퓨터는 수신기 등을 구비한 구성으로 하여, 텔레비전 방송을 수신하여 영상을 표시부(9303) 또는 표시부(9307)에 표시할 수 있다. 또한, 상부 케이스(9301)와 하부 케이스(9302)를 접속하는 힌지 유닛을 닫은 상태로 한 채, 표시부(9307)를 슬라이드시켜 화면 전체면을 노출시키고, 화면 각도를 조절하여 사용자가 텔레비전 방송을 볼 수도 있다. 이 경우에는, 힌지 유닛을 열린 상태로 하여 표시부(9303)를 표시시키는 일이 없고, 또한 텔레비전 방송을 표시하기 위한 회로만을 기동하기 때문에, 최소한의 소비 전력으로 할 수 있어, 배터리 용량에 한계가 있는 휴대형 컴퓨터에서 유용하다.

[0130] (실시예 1)

[0131] 본 실시예에서는 실시형태 1에서 설명한 반도체 장치(구체적으로는 트랜지스터의 게이트 절연층 등)에 적용할 수 있는 산화실리콘막(시료 A)을 제작하고, 시료 A에 함유되는 수소 농도 및 불소 농도에 대해서 평가하였다.

[0132] 우선, 시료 A의 제작 방법에 대해서 설명한다. 시료 A는 플라즈마 CVD법을 사용하여 제작하였다.

[0133] 플라즈마 CVD 장치의 반응실의 내벽 온도가 115°C가 되도록 60분 동안 가열하여, 반응실 내에 잔류되거나 또는 흡착된 불순물을 함유한 가스를 방출시켰다.

[0134] 다음에, 삼불화질소(NF_3)를 600sccm의 유량으로 반응실 내에 공급하고, 반응실 내의 압력을 70Pa 정도로 조정하고, 캡 간격은 50mm로 조정하고, 60MHz의 고주파 전원으로 900W의 전력을 7분 동안 출력하여 반응실 내의 내벽의 온도가 115°C가 되도록 가열한 채 플라즈마 세정하여 불순물을 함유한 가스를 제거하였다. 또한, 본 실시예에서 사용한 플라즈마 CVD 장치에서의 전극 면적은 490cm^2 이다.

[0135] 플라즈마 세정한 후, 반응실의 내벽 온도가 115°C가 되도록 가열하면서 실리콘 웨이퍼 위에 산화실리콘막을 막 두께가 200nm가 되도록 형성하였다. 이 때, 실리콘을 함유한 퇴적성 가스로서 불화실란(SiF_4)을 6sccm의 유량, 첨가 가스로서 이질화산소(N_2O)를 1000sccm의 유량, 불활성 가스로서 Ar을 1000sccm의 유량으로 반응실 내에 공급하고, 반응실 내의 압력을 133Pa로 조정하고, 캡 간격은 10mm로 조정하고, 산화실리콘막이 형성되는 실리콘 웨이퍼의 온도를 400°C로 조정하고, 60MHz의 고주파 전원으로 800W의 전력을 출력함으로써 산화실리콘막을 형성하였다.

[0136] 다음에, 시료 A에 대해서 SIMS 측정을 하여 그 결과를 도 10에 도시하였다. 도 10에서는 세로축은 시료 A에 함유되는 수소 농도 또는 불소 농도를 나타내고, 가로축은 시료 A의 산화실리콘막 표면으로부터 기판 방향으로의 깊이를 나타낸다. 또한, 시료 A의 수소 농도 프로파일을 실선으로 나타내고, 시료 A의 불소 농도 프로파일을 파선(破線)으로 나타낸다. 시료 A에서는 가로축 10nm 내지 120nm를 정량 범위로 하고 가로축 200nm 이상은 실리콘 웨이퍼를 나타낸다.

[0137] 도 10에 도시하는 바와 같이, 시료 A의 수소 농도는 정량 범위에서 3.4×10^{19} atoms/cm³ 이하이고, 시료 A의 불소 농도는 정량 범위에서 9.2×10^{20} atoms/cm³ 이상인 것이 확인되었다.

[0138] 상술한 바와 같이, 불화실란(SiF₄)을 사용하여 형성함으로써, 수소 농도가 저감되고 또 산화물 반도체층으로부터 수소를 탈리시킬 수 있는 불소 농도를 갖는 산화실리콘층을 형성할 수 있다. 본 실시예에 제시한 산화실리콘막을 반도체 장치(구체적으로는 트랜지스터의 게이트 절연층 등)에 적용함으로써, 양호한 전기 특성을 갖는 반도체 장치(트랜지스터)를 제작할 수 있다.

부호의 설명

[0139] 100: 트랜지스터

102: 기판

104: 하지 절연층

106: 게이트 전극층

108: 게이트 절연층

109: 산화물 반도체층

110: 산화물 반도체층

112a: 소스 전극층

112b: 드레인 전극층

114: 절연층

2700: 전자 서적

2701: 케이스

2703: 케이스

2705: 표시부

2706: 광전 변환 장치

2707: 표시부

2708: 광전 변환 장치

2711: 축부

2721: 전원

2723: 조작 키

2725: 스피커

9301: 상부 케이스

9302: 하부 케이스

9303: 표시부

9304: 키보드

9305: 외부 접속 포트

9306: 포인팅 디바이스

9307: 표시부

9600: 텔레비전 장치

9601: 케이스

9603: 표시부

9605: 스탠드

9607: 표시부

9609: 조작 키

9610: 리모트 컨트롤러

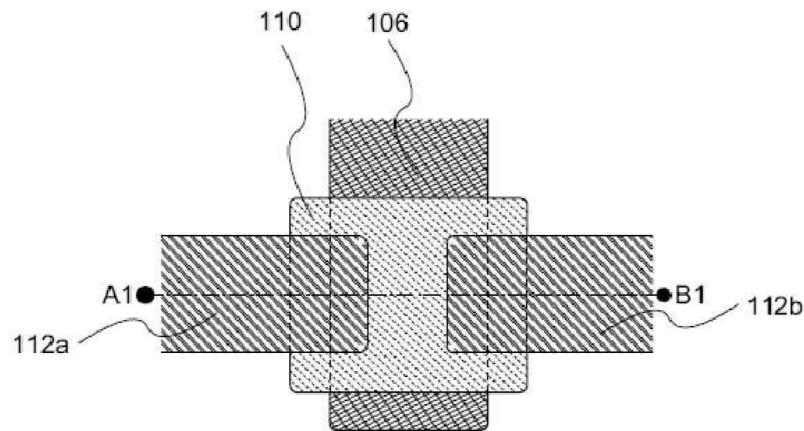
9700: 디지털 포토 프레임

9701: 케이스

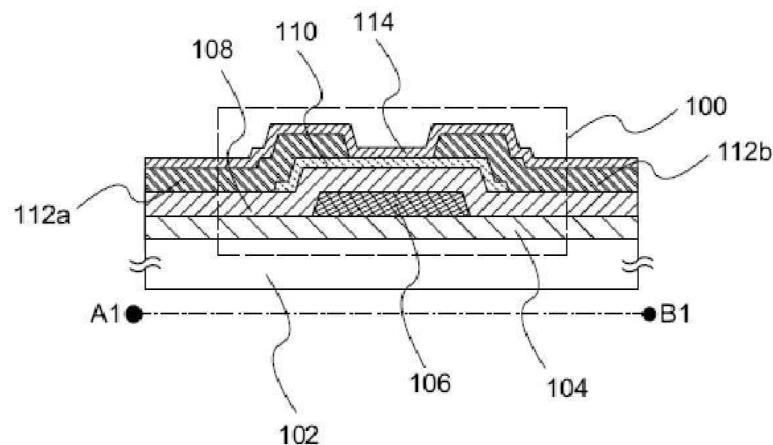
9703: 표시부

도면

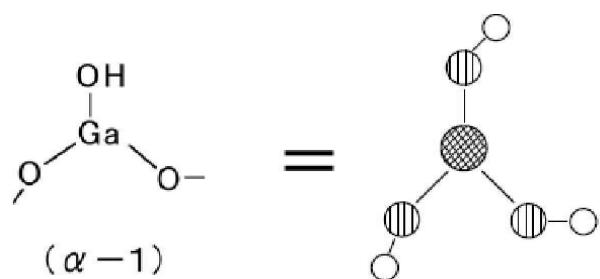
도면1a



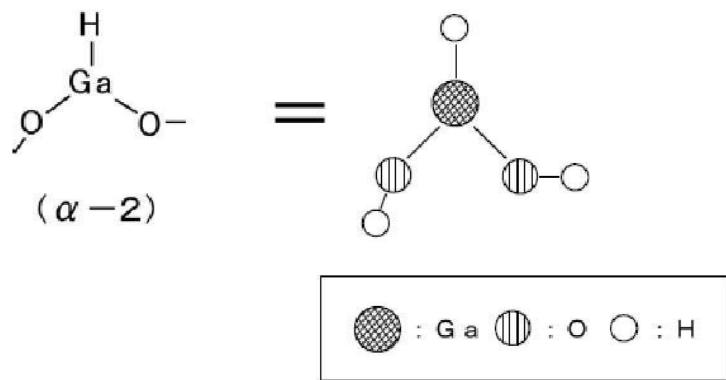
도면1b



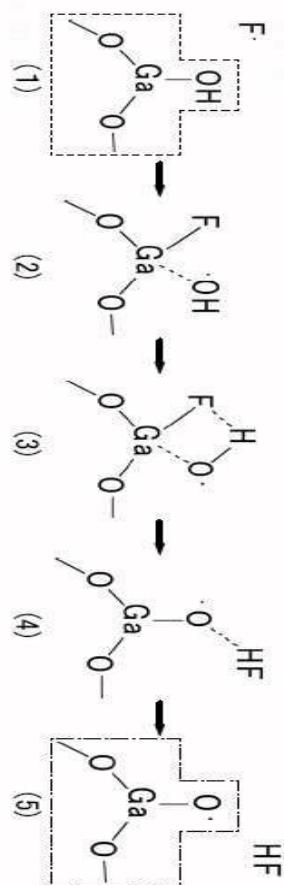
도면2a



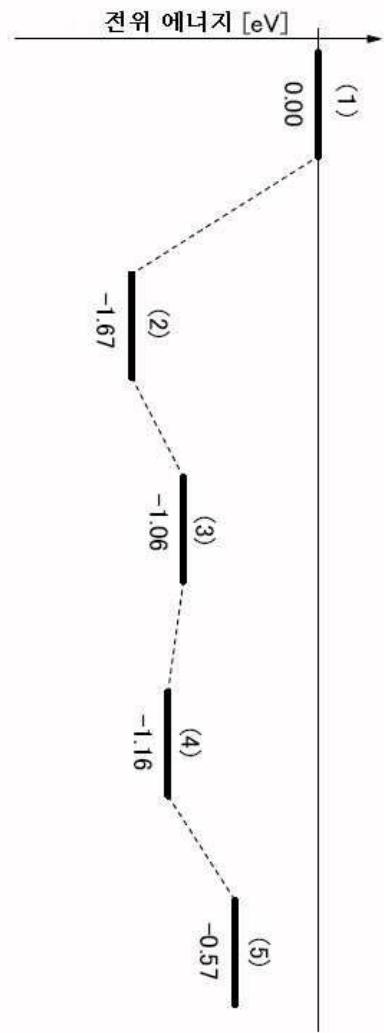
도면2b



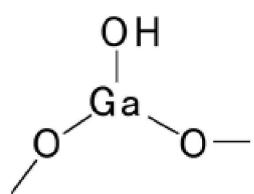
도면3a



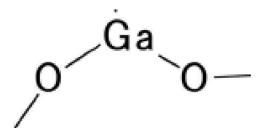
도면3b



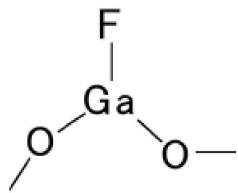
도면4a



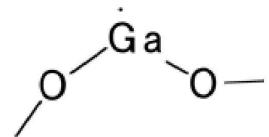
도면4b



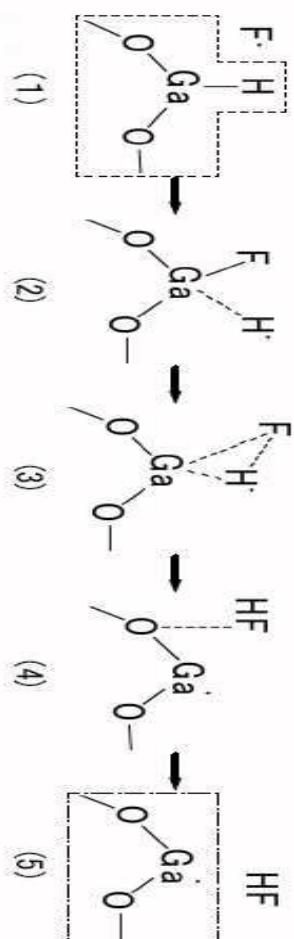
도면4c



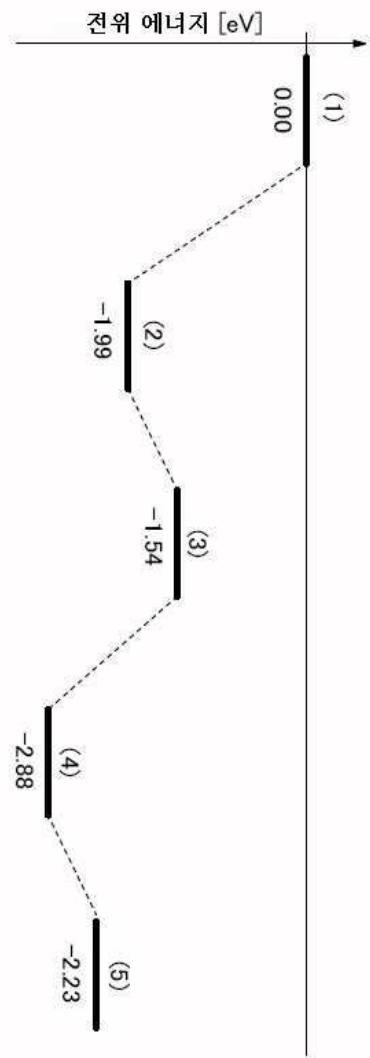
도면4d



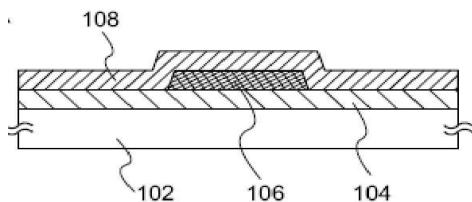
도면5a



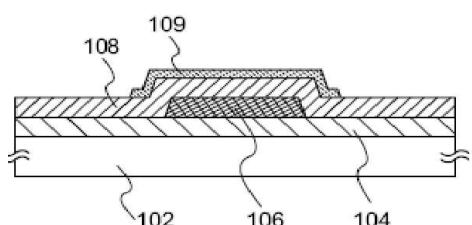
도면5b



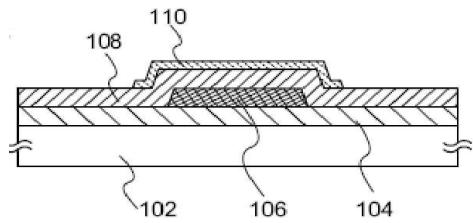
도면6a



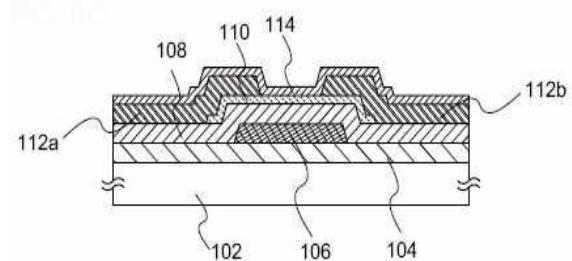
도면6b



도면6c

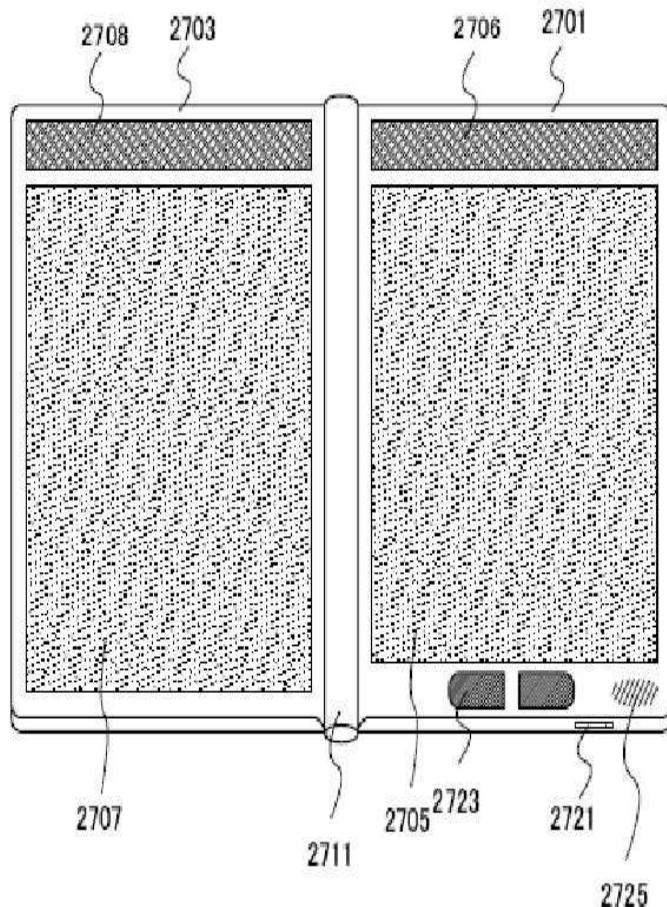


도면6d

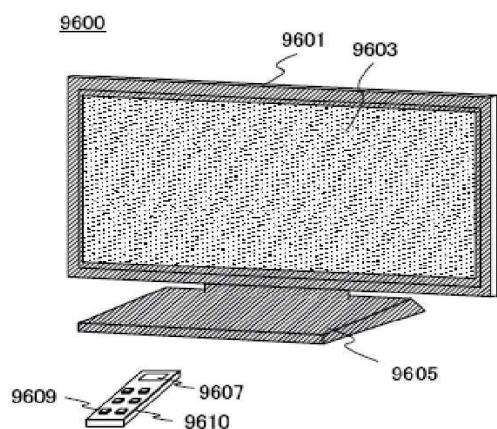


도면7

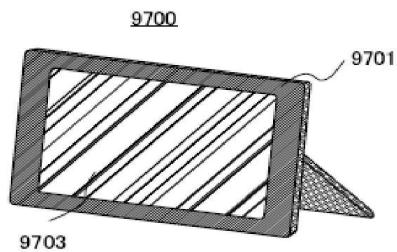
2700



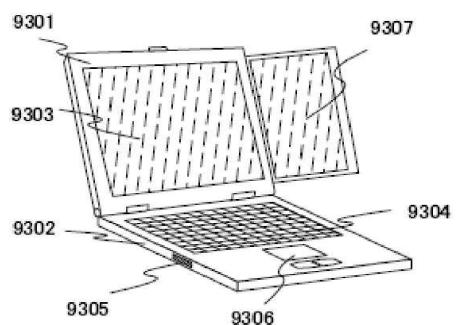
도면8a



도면8b



도면9



도면10

