

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告

※申請案號：97130670

※申請日期：97年08月12日

※IPC分類：

H01L 29/06 (2006.01)

H01L 21/336 (2006.01)

一、發明名稱：

(中) 半導體裝置的製造方法

(英) Manufacturing method of semiconductor device

二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036 Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 7 人)

1. 姓名：(中) 山崎舜平

(英) YAMAZAKI, SHUNPEI

國籍：(中) 日本

(英) JAPAN

2. 姓名：(中) 手塚祐朗

(英) TEDUKA, SACHI AKI

國籍：(中) 日本

(英) JAPAN

3. 姓名：(中) 鳥海聰志

(英) TORIUMI, SATOSHI

國籍：(中) 日本

(英) JAPAN

4. 姓名：(中) 古野誠

(英) FURUNO, MAKOTO

國籍：(中) 日本

(英) JAPAN

5.姓 名：(中) 神保安弘
(英) JINBO, YASUHIRO
國 籍：(中) 日本
(英) JAPAN

6.姓 名：(中) 大力浩二
(英) DAIRIKI, KOJI
國 籍：(中) 日本
(英) JAPAN

7.姓 名：(中) 桑原秀明
(英) KUWABARA, HIDEAKI
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/08/17 ; 2007-213102 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：半導體裝置的製造方法

本發明的目的在於提供一種在大面積基板上形成品質良好的微晶半導體膜的方法。本發明的技術要點如下：在閘極電極上形成閘極絕緣膜之後，爲了提高在成膜初期形成的微晶半導體膜的品質，藉由提供具有不同頻率的高頻電力產生輝光放電電漿，在成膜速度低而品質良好的第一成膜條件下形成閘極絕緣膜介面附近的膜的下部，然後在成膜速度高的第二成膜條件下沉積膜的上部。接觸微晶半導體膜上地層疊緩衝層。

六、英文發明摘要

發明之名稱：Manufacturing method of semiconductor device

An object is to provide a manufacturing method of a microcrystalline semiconductor film with favorable quality over a large-area substrate. After forming a gate insulating film over a gate electrode, in order to improve quality of a microcrystalline semiconductor film formed in an initial stage, glow discharge plasma is generated by supplying high-frequency powers with different frequencies, and a lower part of the film near an interface with the gate insulating film is formed under a first film formation condition, which is low in film formation rate but results in a good quality film. Thereafter, an upper part of the film is deposited under a second film formation condition with higher film formation rate, and further, a buffer layer is stacked on the microcrystalline semiconductor film.

七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

23：微晶半導體膜

50：基板

51a：第一導電層

51b：第二導電層

52a、52b、52c：閘極絕緣膜

53：微晶半導體膜

54：緩衝層

55：添加有賦予一導電類型的雜質的半導體膜

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明係關於具有由薄膜電晶體（以下稱爲 TFT）構成的電路的半導體裝置及其製造方法。例如，本發明係關於作爲部件安裝有以液晶顯示面板爲代表的電光裝置或具有有機發光元件的發光顯示裝置的電子產品。

在本說明書中，半導體裝置指的是能夠藉由利用半導體特性而工作的所有裝置，因此電光裝置、半導體電路及電子產品都是半導體裝置。

【先前技術】

近年來，藉由使用形成在具有絕緣表面的基板上的半導體薄膜（厚度大約爲幾十 nm 至幾百 nm）構成薄膜電晶體（TFT）的技術引人注目。薄膜電晶體廣泛地應用於電子裝置如 IC 或電光裝置，尤其是作爲圖像顯示裝置的開關元件，正在積極地進行研究開發。

現在，使用由非晶半導體膜構成的薄膜電晶體、或由多晶半導體膜構成的薄膜電晶體等作爲圖像顯示裝置的開關元件。

關於由非晶半導體膜構成的薄膜電晶體，使用氫化非晶矽膜等的非晶半導體膜，因此對處理溫度有一定的限制，從而不進行在膜中的氫脫離的 400℃ 以上的溫度下的加熱、或在由膜中的氫導致表面粗糙的強度下的雷射照射、等等。氫化非晶矽膜是藉由使氫與懸空鍵結合而對懸空鍵

封端以提高電特性的非晶矽膜。

作為多晶半導體膜如多晶矽膜的形成方法，已知如下技術：為了不發生表面粗糙，預先進行降低非晶膜中的氫濃度的脫氫化處理，然後藉由使用光學系統將脈衝振盪受激準分子雷射光束加工為線形並藉由使用線形光束對被脫氫化了的非晶矽膜進行掃描及照射，以實現結晶化。

由多晶半導體膜構成的薄膜電晶體具有如下優點：與由非晶半導體膜構成的薄膜電晶體相比，其遷移率高兩位數以上；可以在同一個基板上一體形成顯示裝置的像素部和其週邊驅動電路。然而，與使用非晶半導體膜時相比，其製造步驟由於半導體膜的結晶化步驟而被複雜化，這導致成品率的降低及成本的上升。

在專利檔案 1 中，本申請人提出了其通道形成區域由混合了結晶結構和非晶結構的半導體構成的 FET（即場效應電晶體）。

另外，使用由微晶半導體膜構成的薄膜電晶體作為圖像顯示裝置的開關元件（參照專利檔案 2 及 3）。

作為現有的薄膜電晶體的製造方法，已知如下方法：在閘極絕緣膜上形成非晶矽膜，然後在其上形成金屬膜並對該金屬膜照射二極體雷射，以將非晶矽膜改變為微晶矽膜（非專利檔案 1）。在上述方法中，形成在非晶矽膜上的金屬膜是用來將二極體雷射的光能轉換成熱能的膜，該膜之後應該被去除，以完成薄膜電晶體。就是說，非晶矽膜只因來自金屬膜的傳導加熱而被加熱，以形成微晶矽膜。

除了對非晶矽照射雷射來形成微晶半導體膜的方法以外，還有藉由電漿 CVD 法形成微晶半導體膜的方法。作為藉由電漿 CVD 法形成微晶矽膜的方法，公開了利用 30MHz 以上的 VHF(超高頻)帶的高頻的發明（參照專利檔案 4）。

專利檔案 1 美國專利第 5,591,987 號

專利檔案 2 日本專利申請公開 H4-242724 號公報

專利檔案 3 日本專利申請公開 2005-49832 號公報

專利檔案 4 日本專利第 3201492 號公報

非專利檔案 1 Toshiaki Arai 等，SID'07 Digest, 2007, p. 1370-1373

液晶面板藉由在被稱為母玻璃的大面積玻璃基板上加工多個面板之後，最終分斷為適合於電視裝置或個人電腦的螢幕的尺寸來製造。這是為了藉由從一個母玻璃取出多個面板來降低每個面板的成本。在液晶面板的市場上急劇地進行螢幕尺寸（面板尺寸）的大型化和銷售價格的下降。近年來，進行母玻璃的大型化，以與大螢幕化和低價格化相應地提高生產率。

被稱為第一代的 1991 年前後的典型的玻璃基板的尺寸為 300mm×400mm。之後，母玻璃的尺寸一味擴大，即第二代（400mm×500mm）、第三代（550mm×650mm）、第四代（730mm×920mm）、第五代（1000mm×1200mm）、第六代（2450mm×1850mm）、第七代（1870mm×

2200mm)、第八代(2000mm×2400mm)、第九代(2450mm×3050mm)、第十代(2850mm×3050mm)。

如上所述，若母基板，即玻璃基板大面積化，則電漿 CVD 設備的電極面積也大型化，以在該玻璃基板上形成微晶矽膜。在此情況下，當玻璃基板的尺寸超過第六代時，電漿 CVD 設備的電極的尺寸接近於高頻電源的頻率的波長。例如，當採用 27MHz 的電源頻率時波長為 1100mm，當採用 60MHz 的電源頻率時波長為 500mm，當採用 120MHz 的電源頻率時波長為 250mm。

在此情況下，有如下問題：明顯地出現表面駐波的影響，電漿 CVD 設備的反應室內的電漿密度分佈不均勻，並且形成在玻璃基板上的薄膜的品質或厚度的面內均勻性受損。

【發明內容】

鑒於上述問題，本發明的目的如下：提供一種微晶半導體膜的製造方法，其中在大面積玻璃基板上形成具有均勻性高的膜品質的微晶半導體膜；提供一種微晶半導體膜的製造方法，其中高效地形成微晶半導體膜；提供一種與由非晶矽膜構成的 TFT 相比提高場效應遷移率並降低截止電流值的半導體裝置的製造方法；以及提供一種其可靠性比將非晶矽膜主要用於通道形成區域的 TFT 高的半導體裝置的製造方法。

當在大面積玻璃基板上製造使用微晶半導體膜的薄膜

電晶體時，藉由提供具有不同頻率的兩個以上高頻電力產生輝光放電電漿，來形成微晶半導體膜，以提高在成膜初期形成的半導體區域的品質及均勻性。另外，藉由提供具有不同頻率的兩個以上高頻電力產生輝光放電電漿，形成閘極絕緣膜、等等。

第一高頻電力是不呈現表面駐波效果的頻帶的電力，應用大約為 10m 以上的高頻作為波長。對該高頻電力施加波長更短的第二高頻電力。藉由將頻率不相同（波長不相同）的高頻電力重疊施加到電漿 CVD 設備的電極，實現電漿的高密度化，並實現均勻化以避免電漿的表面駐波效果。

另外，當形成微晶半導體膜時，藉由以多個階段改變成膜條件來提高成膜速度，得到適合大量生產的方法。例如，為了提高在成膜初期形成的半導體區域的品質，在將閘極絕緣膜形成於閘極電極上之後，在成膜速度低而品質良好的第一成膜條件下形成閘極絕緣膜介面附近的微晶半導體膜的下部，然後在成膜速度高的第二成膜條件下沉積微晶半導體膜的上部。

作為成膜速度低而品質良好的第一成膜條件，為了在成膜之前預先儘量降低真空室（反應容器）內的氧或 H_2O 等的殘留氣體，將最低壓力設定為 1×10^{-10} 至 $1 \times 10^{-7} \text{ Torr}$ （大約超過 $1 \times 10^{-8} \text{ Pa}$ 且 $1 \times 10^{-5} \text{ Pa}$ 以下）的超高真空（UHV），流過具有高純度的源氣體，並將成膜時的基板溫度設定為 100°C 以上且低於 300°C 的範圍內。另外，藉由

施加不引起表面駐波影響的高頻電力及屬於 VHF 頻帶的高頻電力中的雙方，形成電漿。藉由施加具有不同頻率的高頻電力，即重疊施加，可以大幅度地減少或消除培養時間，從而可以提高膜品質的均勻性。微晶半導體膜會發生如下現象：不在成膜開始的同時增加膜厚度，即在成膜開始後膜暫時幾乎不生長，而在經過某一定時間後膜生長的速度急劇提高。將上述從成膜開始到有效膜生長開始的時間稱為培養時間，該培養時間雖然極短，但有時會導致膜品質的不均勻性。另外，若在膜沉積開始時存在著上述培養時間，則會導致產率的降低。

本說明書所記載的發明結構是一種半導體裝置的製造方法，包括如下步驟：在具有絕緣表面的玻璃基板上形成閘極電極；在該閘極電極上形成絕緣膜；將玻璃基板引入到真空室內；將源氣體引入到真空室內；在第一成膜條件下形成微晶半導體膜的下部，該第一成膜條件如下：藉由將具有波長 10m 以上的頻率的第一高頻電力和具有小於波長 10m 的頻率的第二高頻電力重疊施加到在所述真空室內產生輝光放電電漿的電極，來產生輝光放電電漿，並且在基板溫度、電力、頻率、源氣體流量、或真空度中的至少一個條件與所述第一成膜條件不相同的第二成膜條件下，在與所述真空室相同的室內沉積微晶半導體膜的上部；以及在該微晶半導體膜上形成緩衝層。

藉由上述第一成膜條件而獲得的微晶半導體膜的下部是膜中的氧濃度為 $1 \times 10^{17}/\text{cm}$ 以下。當形成微晶半導體膜

時，氧阻礙結晶化並在混入矽膜時會用作施主，因此應該減少氧。該藉由第一成膜條件而獲得的微晶半導體膜的下部的品質對之後形成的 TFT 的導通電流的增大及場效應遷移率的提高做貢獻。

較佳地是，在形成微晶半導體膜之前，預先藉由對真空室進行烘烤（ 200°C 以上 300°C 以下）處理去除真空室內的以水分為主要成分的殘留氣體，以在真空室內得到具有超高真空區域的真空度的壓力環境。另外，也可以正在形成微晶半導體膜時加熱（ 50°C 以上 300°C 以下）真空室內壁來促進成膜反應。

作為第二成膜條件，只要是其成膜速度比第一成膜條件的成膜速度高的條件，即可。例如，藉由採用與第一成膜條件不相同的矽烷氣體和氫氣體的流量比，在能夠形成微晶矽膜的範圍內降低氫濃度，即可。另外，作為第二成膜條件，可以採用比第一成膜條件的基板溫度高的基板溫度如 300°C 以上，以提高成膜速度。另外，作為第二成膜條件，可以使電力高於第一成膜條件，以提高成膜速度。還可以藉由控制真空室的排氣閥如導閥得到與第一成膜條件不相同的真空度，以提高成膜速度。

另外，作為其成膜速度比第一成膜條件高的第二成膜條件，藉由以脈衝方式提供 VHF 頻帶的高頻電力，可以防止當成膜時在氣相中粉體不正常地生長。為了防止粉體生長，需要考慮氣體分子的平均滯留時間，但是將脈衝的振盪頻率設定為約 1 至 100kHz ，即可。

另外，作為其成膜速度比第一成膜條件高的第二成膜條件，可以以高於基板溫度的溫度加熱形成微晶半導體膜的真空室的內壁來形成微晶半導體膜。當第一成膜條件下的基板溫度為 100°C 時，藉由將真空室的內壁加熱到 150°C ，在其溫度低於真空室內壁的基板表面上高效地形成微晶半導體膜。

另外，在藉由真空排氣將真空室內的氣氛設定為超過 $1 \times 10^{-8} \text{Pa}$ 且 $1 \times 10^{-5} \text{Pa}$ 以下的真空度之後，較佳的在引入基板之前，預先將氫氣體或稀有氣體引入到真空室內來產生電漿，以去除真空室內的以水分為主要成分的殘留氣體，並得到真空室內的殘留氧濃度下降了的環境。

另外，在藉由真空排氣將真空室內的氣氛設定為超過 $1 \times 10^{-8} \text{Pa}$ 且 $1 \times 10^{-5} \text{Pa}$ 以下的真空度之後，在引入基板之前，可以預先將矽烷氣體流過真空室內並與真空室內的殘留氧起反應來產生氧化矽，以進一步減少真空室內的氧。還可以在引入基板之前預先將矽烷氣體流過真空室內並產生電漿來進行在內壁上成膜的處理（也稱為預塗處理），以防止在形成微晶半導體膜時混入鋁等金屬元素。

因為第一成膜條件的成膜速度慢，尤其是在增加膜厚度的情況下成膜時間變長。其結果是，雜質如氧容易混入膜中。因此，藉由如上所述那樣在引入基板之前充分地降低真空室內的氧及水分，在成膜時間變長的情況下雜質如氧幾乎不混入膜中。為了提高之後形成的微晶矽膜的品質，上述處理是重要的。

在引入基板之後且在形成微晶矽膜之前，也可以藉由預先進進行氬電漿處理等的稀有氣體電漿處理及氬電漿處理以去除基板上的吸附水，來將微晶矽膜中的氧濃度設定為 $1 \times 10^{17}/\text{cm}$ 以下。

爲了提高之後形成的微晶矽膜的品質，如上所述，在引入基板之後充分地減少基板所包含的氧及水分也是重要的。

另外，藉由在成膜初期（第一成膜期間）中採用第一成膜條件並在成膜後期（第二成膜期間）中採用其成膜速度高的第二成膜條件，由於在成膜初期中形成微晶而可以在成膜後期中以在成膜初期中獲得的微晶爲晶核來沉積品質良好的微晶矽膜。另外，藉由在成膜初期中預先形成微晶，可以提高成膜後期的成膜速度。

與不改變成膜條件就只在第一成膜條件下得到所希望的膜厚度所需要的時間相比，可以藉由如下方法縮短得到所希望的膜厚度所需要的時間：在第一成膜條件下成膜，然後繼續在相同處理室中以第二成膜條件成膜。若可以縮短得到所希望的膜厚度所需要的時間，則可以在雜質如氧幾乎不混入到微晶矽膜的狀態下成膜。另外，若不改變成膜條件就只在第一成膜條件下獲得薄微晶矽膜，則之後層疊的緩衝層的負面影響變大，這會導致薄膜電晶體的場效應遷移率的降低。

另外，藉由上述第一成膜條件而獲得的微晶矽膜容易與氧起反應，因此藉由正在成膜時將第一成膜條件改變爲

成膜速度高的第二成膜條件，可以保護閘極絕緣膜介面附近的膜。藉由該第二成膜條件而獲得的微晶矽膜的品質還對之後形成的 TFT 的截止電流的降低做貢獻。

如上所述，藉由以兩個階段改變成膜條件而獲得的微晶矽膜至少包含柱狀結晶，該膜中的氧濃度為 $1 \times 10^{17}/\text{cm}$ 以下。另外，藉由以兩個階段改變成膜條件而獲得的微晶矽膜的總厚度為 5nm 至 100nm，較佳的在 10nm 至 30nm 的範圍內。

只要初期成膜條件是形成品質良好的微晶矽膜的條件，就不局限於以兩個階段改變成膜條件來形成微晶矽膜，也可以以三個以上的階段改變成膜條件來成膜。再者，可以連續地改變成膜條件。“連續地改變成膜條件”指的是連續地發生每單位時間的水準變化，例如隨時增加引入到處理室內的源氣體（矽烷氣體等）的平均流量，當圖示氣體流量和時間的關係（以縱軸為氣體流量，以橫軸為時間）時成為右邊上升的直線或右邊上升的曲線。或者，固定或增加引入到處理室內的矽烷氣體等的流量，並隨時減少其他氣體（氫、稀有氣體等）的平均流量，當圖示其他氣體的氣體流量和時間的關係時成為右邊下降的直線或右邊下降的曲線。“連續地改變”至少指的是不接觸大氣地改變成膜條件來對一個基板進行成膜處理。

與非晶矽膜相比，上述微晶矽膜容易與氧起反應，因此較佳的還不暴露於大氣地層疊不包含晶粒的緩衝層來保護。關於緩衝層，在與形成微晶矽膜的真空室不相同的真

空室中形成，其基板溫度高於上述第一及第二成膜條件，例如 300°C 以上且低於 400°C 。將在形成緩衝層時的基板溫度設定為高於上述第一及第二成膜條件是有用的。這是因為可以在形成緩衝層時對微晶矽膜進行退火處理而不增加製造步驟，因此可以提高微晶矽膜的品質的緣故。藉由在形成緩衝層時對微晶矽膜進行退火處理，還可以抑制反復施加電壓的可靠性試驗中的 TFT 特性的變動（臨界值的變動等），從而可以提高 TFT 的可靠性。典型地說，緩衝層的厚度為 100nm 以上 400nm 以下，較佳的為 200nm 以上 300nm 以下。另外，緩衝層由其缺陷密度比上述微晶矽膜高的非晶矽膜構成。藉由將具有高缺陷密度的非晶矽膜用於緩衝層，可以對之後形成的 TFT 的截止電流的降低做貢獻。

另外，上述微晶矽膜因雜質混入而容易呈現 n 型導電性，因此較佳的將微量的三甲基硼氣體等添加到源氣體來調節成膜條件，以得到 i 型。藉由將微量的三甲基硼氣體等添加到以矽烷氣體及氫氣體為主的源氣體，可以控制薄膜電晶體的臨界值。

在本說明書中，微晶半導體膜指的是包含非晶和結晶結構（包括單晶、多晶）的中間結構的半導體的膜。該半導體是具有在自由能方面上穩定的第三狀態的半導體，並是短程有序且晶格畸變的結晶半導體，其中粒徑為 0.5 至 20nm 的柱狀或針狀結晶沿相對於基板表面的法線方向生長。另外，微晶半導體和非單晶半導體混合在一起。作為

微晶半導體的典型例子的微晶矽的拉曼光譜偏移到低波數一側。就是說，微晶矽的拉曼光譜的峰值位於單晶矽的 520.5 cm^{-1} 和非晶矽的 480 cm^{-1} 之間。另外，包含至少 1 原子%或更多的氫或鹵素，以對懸空鍵封端。再者，藉由包含氫、氫、氮、氖等的稀有氣體元素來進一步促進晶格畸變，可以獲得穩定性提高的優良微晶半導體膜。上述微晶半導體膜的記載例如在美國專利 4,409,134 號中公開。

另外，雖然當處理多個大面積玻璃基板時，在產率方面不利，但是也可以在與形成微晶矽膜的真空室相同的真空室中形成緩衝層。藉由在相同的真空室中形成緩衝層，可以形成疊層介面，而不在搬運基板時被浮游的污染雜質污染，因此可以降低薄膜電晶體特性的不均勻性。尤其是在搬運大面積玻璃基板時，需要花費比搬運小型基板時長的時間，這會導致污染雜質的附著，因此在相同的真空室中形成是有用的。

在緩衝層上形成源極電極或汲極電極，並在緩衝層中形成槽，以降低上述源極電極及汲極電極之間的洩漏電流。

在緩衝層和源極電極或汲極電極之間形成有包含 n 型雜質元素的半導體膜（ n^+ 層）。另外，緩衝層設置在 n^+ 層和微晶矽膜之間以不使 n^+ 層和微晶矽膜接觸。因而，在源極電極的下方， n^+ 層、緩衝層、以及微晶矽膜重疊。與此同樣，在汲極電極的下方， n^+ 層、緩衝層、以及微晶矽膜

重疊。藉由採用上述疊層結構並增加緩衝層的厚度，實現耐壓性的提高。另外，藉由增加緩衝層的厚度，可以在緩衝層的一部分中形成槽而不暴露容易氧化的微晶矽膜。

在進行上述製造步驟之後，在緩衝層上形成包含 n 型雜質元素的半導體膜，在該包含 n 型雜質元素的半導體膜上形成源極電極或汲極電極，藉由蝕刻包含 n 型雜質元素的半導體膜形成源區及汲區，而且藉由以使與上述源區及汲區重疊的區域殘留的方式蝕刻並去除上述緩衝層的一部分來製造薄膜電晶體。

關於如上所述那樣獲得的薄膜電晶體，在導通時，在第一成膜條件下形成的品質高的微晶矽膜中的閘極絕緣膜介面附近的區域被用作通道形成區域，而在截止時，藉由蝕刻緩衝層的一部分而形成的槽部成為流過極微量的洩漏電流的途徑。因此，與現有的由非晶矽單層構成的薄膜電晶體或由微晶矽單層構成的薄膜電晶體相比，可以增大截止電流和導通電流的比，可以說是其開關特性優良，從而可以提高顯示面板的對比度。

根據本發明的製造方法，可以藉由提供不引起表面駐波影響的高頻電力及屬於 VHF 頻帶的高頻電力產生電漿，來在其長邊超過 2000mm 的大面積玻璃基板上製造將均勻且品質高的微晶半導體膜用作通道形成區域的半導體裝置。還可以將所獲得的薄膜電晶體的場效應遷移率設定為高於 1 且 50 以下。因此，關於根據本發明的製造方法而獲得的由微晶半導體膜構成的薄膜電晶體，示出電流電壓

特性的曲線的上升部分的斜率大，作為開關元件的回應性優良，而且能夠進行高速工作。

使用根據本發明的製造方法而獲得的薄膜電晶體的發光裝置可以抑制薄膜電晶體的臨界值的變動，從而可以提高可靠性。

另外，使用根據本發明的製造方法而獲得的薄膜電晶體的液晶顯示裝置可以增大場效應遷移率，因此可以提高驅動電路的驅動頻率。由於可以使驅動電路進行高速工作，所以可以實現將框頻率設定為 4 倍或者進行黑屏插入等。

【實施方式】

下面，說明本發明的實施例模式。注意，本發明可以以多種不同的方式實施，本領域的技術人員可以很容易地理解一個事實就是，其方式和詳細內容可以在不脫離本發明的宗旨及其範圍的情況下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在實施例模式所記載的內容中。

實施例模式 1

在本實施例模式中，參照圖 1A 至圖 6 說明用於液晶顯示裝置的薄膜電晶體的製造步驟。圖 1A 至圖 3C 是示出薄膜電晶體的製造步驟的截面圖，而圖 4 是一個像素中的薄膜電晶體及像素電極的連接區域的俯視圖。另外，圖 5

是示出微晶矽膜的成膜方法的時序圖，而圖 6 是示出能夠提供具有不同頻率的兩個以上高頻電力來產生輝光放電電漿的電漿 CVD 設備的一個結構例子的截面圖。

關於具有微晶半導體膜的薄膜電晶體，n 型薄膜電晶體具有比 p 型薄膜電晶體高的場效應遷移率，因此更適合用於驅動電路。較佳的是，在同一基板上形成同一極性的薄膜電晶體，以減少製造步驟。這裏，使用 n 通道型薄膜電晶體進行說明。

如圖 1A 所示，在基板 50 上形成閘極電極。基板 50 可以使用藉由利用熔融法或浮法而製造的無鹼玻璃基板如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃。當基板 50 為母玻璃時，基板的尺寸可以採用第一代（ $300\text{mm}\times 400\text{mm}$ ）、第二代（ $400\text{mm}\times 500\text{mm}$ ）、第三代（ $550\text{mm}\times 650\text{mm}$ ）、第四代（ $730\text{mm}\times 920\text{mm}$ ）、第五代（ $1000\text{mm}\times 1200\text{mm}$ ）、第六代（ $2450\text{mm}\times 1850\text{mm}$ ）、第七代（ $1870\text{mm}\times 2200\text{mm}$ ）、第八代（ $2000\text{mm}\times 2400\text{mm}$ ）、第九代（ $2450\text{mm}\times 3050\text{mm}$ ）、第十代（ $2850\text{mm}\times 3050\text{mm}$ ）、等等。

閘極電極藉由使用鈦、鉬、鉻、鉭、鎢、鋁等的金屬材料或其合金材料而形成。可以藉由使用濺射法、真空蒸鍍法、或 CVD 法在基板 50 上形成導電膜，在該導電膜上藉由使用光微影技術或噴墨法形成掩模，並使用該掩模蝕刻導電膜，以形成閘極電極。閘極電極還可以藉由使用噴墨法將銀、金、銅等的導電奈米膠噴射並焙燒而形成。另

外，作為提高閘極電極的貼緊性並防止向基底擴散的阻擋金屬，可以在基板 50 和閘極電極之間設置上述金屬材料的氮化物膜。這裏，使用藉由第一光掩模而形成的抗蝕劑掩模蝕刻形成在基板 50 上的導電膜的疊層，以形成閘極電極。

作為閘極電極結構的具體例子，可以在作為第一導電層 51a 的鋁膜上層疊作為第二導電層 51b 的鉬膜，以防止鋁特有的小丘或電遷移。因為在本實施例模式中示出藉由使用大面積基板製造具有大顯示幕的顯示裝置的例子，所以使用層疊了由電阻低的鋁構成的第一導電層 51a 和其耐熱性比第一導電層 51a 高的第二導電層 51b 的閘極電極。另外，可以採用鋁膜被夾在鉬膜之間的三層結構。作為閘極電極結構的其他例子，可以舉出在銅膜上層疊有鉬膜的結構、在銅膜上層疊有氮化鈦膜的結構、以及在銅膜上層疊有氮化鉭膜的結構。

由於在閘極電極上形成半導體膜或佈線，所以較佳的將其端部加工為錐形以防止斷裂。雖然未圖示，但是在上述步驟中還可以同時形成與閘極電極連接的佈線。

然後，在作為上層閘極電極的第二導電層 51b 上依次形成閘極絕緣膜 52a、52b 及 52c。

閘極絕緣膜 52a、52b 及 52c 可以藉由使用 CVD 法或濺射法等以氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜而形成。為了防止由形成在閘極絕緣膜中的針孔等導致的層間短路，較佳的使用不相同的絕緣層來形成多層結

構。這裏，示出依次層疊氮化矽膜、氧氮化矽膜、以及氮化矽膜作為閘極絕緣膜 52a、52b 及 52c 的方式。

這裏，氧氮化矽膜指的是在其組成上氧含量多於氮含量的物質，其包含氧、氮、Si 及氫，其濃度如下：55 至 65 原子 % 的氧；1 至 20 原子 % 的氮；25 至 35 原子 % 的 Si；以及 0.1 至 10 原子 % 的氫。另一方面，氮氧化矽膜指的是在其組成上氮含量多於氧含量的物質，其包含氧、氮、Si 及氫，其濃度如下：15 至 30 原子 % 的氧；20 至 35 原子 % 的氮；25 至 35 原子 % 的 Si；以及 15 至 25 原子 % 的氫。

第一層閘極絕緣膜及第二層閘極絕緣膜都厚於 50nm。作為第一層閘極絕緣膜，較佳的使用氮化矽膜或氮氧化矽膜，以防止雜質（例如鹼金屬等）從基板擴散。第一層閘極絕緣膜不僅可以防止閘極電極的氧化，而且還可以在使用鋁作為閘極電極的情況下防止小丘。另外，與微晶半導體膜接觸的第三層閘極絕緣膜的厚度大於 0nm 且 5nm 以下，較佳的為大約 1nm。第三層閘極絕緣膜是為了提高與微晶半導體膜的貼緊性的。另外，藉由使用氮化矽膜作為第三層閘極絕緣膜，可以防止由之後進行的熱處理或雷射照射導致的微晶半導體膜的氧化。例如，當在氧含量多的絕緣膜和微晶半導體膜接觸的狀態下進行熱處理時，可能會使微晶半導體膜氧化。

再者，較佳的使用頻率為 1GHz 的微波電漿 CVD 設備形成閘極絕緣膜。藉由使用微波電漿 CVD 設備而形成的

氮化矽膜、氮氧化矽膜的耐壓性高，從而可以提高薄膜電晶體的可靠性。

在本實施例模式中，較佳的是，藉由進行稀有氣體電漿處理及氫電漿處理中的單方或雙方，進行基底預處理，然後進行成膜處理。另外，較佳的預先在反應室內塗敷與閘極絕緣膜相同種類的膜。這是為了防止反應室內壁的金屬雜質等混入閘極絕緣膜。

作為反應氣體，使用矽烷等的氫化矽氣體、包含氧或氮的氣體。而且，藉由重疊施加 HF 頻帶（3MHz 至 30MHz，典型為 13.56MHz）和 VHF 頻帶（30MHz 至 300MHz）的高頻電力來產生輝光放電電漿。藉由施加頻帶不同的高頻電力，可以提高電漿密度，並可以提高電漿密度的基板面內均勻性。閘極絕緣膜的成膜溫度較佳的為 200℃ 至 400℃，藉由提高電漿密度可以形成緻密且耐壓性高的絕緣膜。此時的截面圖相當於圖 1A。

這裏，雖然形成具有三層結構的閘極絕緣膜，但是在用作液晶顯示裝置的開關元件的情況下，由於進行交流驅動而可以只由氮化矽膜的單層構成。

接著，較佳的是，在形成閘極絕緣膜之後，不接觸大氣地搬運基板，以在與形成閘極絕緣膜的真空室不相同的真空室中形成微晶半導體膜 53。

下面，參照圖 5 說明形成微晶半導體膜 53 的步驟。在圖 5 中，以將反應室從大氣壓排氣到真空（真空排氣 200）的步驟為起始步驟，以時間序列的方式分別示出之

後進行的各種處理如預塗 201、基板搬入 202、基底預處理 203、成膜處理 204、基板搬出 205、淨化 206。但是，不局限於從大氣壓排氣到真空，從大量生產或以短時間降低最終真空度的觀點來看，反應室較佳的一直保持為一定程度的真空度。

在本實施例模式中，為了將基板搬入之前的真空室內的真空度設定為高於 10^{-5}Pa 的真空度，進行超高真空排氣。這個步驟相當於圖 5 中的真空排氣 200。在進行上述超高真空排氣的情況下，較佳的利用渦輪分子泵和低溫泵，即利用渦輪分子泵進行排氣，並利用低溫泵進行真空排氣。另外，較佳的對反應室進行加熱處理，以從內壁脫氣。還使加熱基板的加熱器工作來使溫度穩定。基板的加熱溫度為 100°C 以上 300°C 以下，較佳的為 120°C 以上 220°C 以下。

接著，在搬入基板之前進行預塗 201，以形成矽膜作為內壁覆蓋膜。作為預塗 201，藉由引入氫或稀有氣體產生電漿以去除附著在反應室的內壁上的氣體（氧及氮等的大氣成分、或用來使反應室淨化的蝕刻氣體），然後引入矽烷氣體，來產生電漿。由於矽烷氣體與氧或水分等起反應，所以藉由流過矽烷氣體來產生矽烷電漿，可以去除反應室內的氧或水分。另外，藉由進行預塗 201，可以防止構成反應室的部件的金屬元素作為雜質混入微晶矽膜中。就是說，藉由使用矽覆蓋反應室內，可以防止反應室內被電漿蝕刻，並可以降低包含在之後形成的微晶矽膜中的雜

質濃度。預塗 201 包括使用與將要沉積在基板上的膜相同種類的膜覆蓋反應室內壁的處理。

在預塗 201 之後，進行基板搬入 202。由於將要沉積微晶矽膜的基板儲存在被進行了真空排氣的裝載室中，所以即使搬入基板也不會使反應室內的真空度顯著惡化。

接著，進行基底預處理 203。基底預處理 203 是在形成微晶矽膜時特別有效的處理，因此較佳的進行基底預處理 203。就是說，當在玻璃基板表面、絕緣膜的表面、或非晶矽的表面上藉由電漿 CVD 法形成微晶矽膜時，有時會在沉積初期階段中由於雜質或晶格失配等而導致形成非晶層。為了儘量降低該非晶層的厚度或者如果可能的話去除該非晶層，較佳的進行基底預處理 203。作為基底預處理 203，較佳的進行稀有氣體電漿處理或氫電漿處理，或者進行這兩種處理。作為稀有氣體電漿處理，較佳的使用質量數大的稀有氣體元素如氬、氦、或氙。這是因為藉由利用濺射效果去除附著在表面上的氧、水分、有機物、或金屬元素等的雜質的緣故。氫電漿處理是對於藉由利用氫自由基去除吸附在表面上的上述雜質、以及藉由利用對絕緣膜或非晶矽膜的蝕刻作用形成乾淨的被成膜表面有效的。另外，藉由進行稀有氣體電漿處理及氫電漿處理，可以期待促進微晶核生成的作用。

從促進微晶核生成的觀點來看，如圖 5 中的虛線 207 所示，在微晶矽膜的成膜初期中繼續提供氬等的稀有氣體是有效的。

在進行基底預處理 203 之後，進行形成微晶矽膜的成膜處理 204。在本實施例模式中，在成膜速度低而品質良好的第一成膜條件下形成閘極絕緣膜介面附近的微晶矽膜的下部，然後在成膜速度高的第二成膜條件下沉積微晶矽膜的上部。例如，作為第一成膜條件，藉由重疊施加頻率不相同的兩個高頻電力來成膜，作為第二成膜條件，繼續在施加 3MHz 至 30MHz 的第三高頻電力而不重疊施加的成膜條件下形成微晶半導體膜。另外，作為第一成膜條件，重疊施加第一高頻電力、以及其電力大於該第一高頻電力的第二高頻電力，作為第二成膜條件，繼續在施加其電力大於所述第一成膜條件的第三高頻電力、以及其電力小於第三高頻電力的第四高頻電力的成膜條件下形成微晶半導體膜。注意，第三高頻電力的頻率與第一高頻電力相同，而第四高頻電力的頻率與第二高頻電力相同。

只要第二成膜條件的成膜速度比第一成膜條件的成膜速度高，就沒有特別的限制。在本實施例模式中，使用利用藉由重疊施加 HF 頻帶（3MHz 至 30MHz，典型為 13.56MHz）的高頻電力和 VHF 頻帶（30MHz 至 300MHz 左右）的高頻電力而生成的輝光放電電漿的電漿 CVD 設備。圖 7 示出將 HF 頻帶的高頻電力和 VHF 頻帶的高頻電力重疊時的波形的一個例子。

典型地說，微晶矽膜可以藉由使用氫稀釋氫化矽如 SiH_4 或 Si_2H_6 來實現電漿生成而形成。除了氫化矽及氫以外，還可以使用選自氦、氬、氪、氙中的一種或多種稀有

氣體元素來稀釋，以形成微晶半導體膜。此時的相對於氫化矽的氫的流量比為 12 倍以上 1000 倍以下，較佳的為 50 倍以上 200 倍以下，更佳的為 100 倍。另外，可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等代替氫化矽。

在將氬加入源氣體的情況下，由於氬的離子化能量在所有氣體中最高，即 24.5eV ，其亞穩態位於比該離子化能量稍微低的約 20eV 的能級，所以在放電持續期間中，為離子化而只需要其差異的 4eV 左右。因此，放電開始電壓值也在所有氣體中最低。由於上述特徵，氬能夠穩定地保持電漿。另外，由於能夠形成均勻的電漿，所以即使沉積微晶矽膜的基板的面積增大，也可以起到實現電漿密度的均勻化的作用。

還可以將碳的氫化物如 CH_4 或 C_2H_6 、氫化鍺或氟化鍺如 GeH_4 或 GeF_4 混合到矽烷等的氣體中，以將能帶寬度調整為 1.5 至 2.4eV 、或 0.9 至 1.1eV 。藉由將碳或鍺添加到矽，可以改變 TFT 的溫度特性。

這裏，第一成膜條件如下：藉由使用氬及 / 或稀有氣體將矽烷稀釋為超過 100 倍且 2000 倍以下，基板的加熱溫度為 100°C 以上且低於 300°C ，較佳的為 120°C 以上 220°C 以下。為了促進微晶矽的生長，較佳的在 120°C 以上 220°C 以下的溫度下成膜。

將在第一成膜條件下成膜之後的截面圖示出於圖 1B。在閘極絕緣膜 52c 上形成有成膜速度低而品質良好的微晶半導體膜 23。該在第一成膜條件下獲得的微晶半導體膜

23 的品質對之後形成的 TFT 的導通電流的增大及場效應遷移率的提高做貢獻，因此重要的是充分地降低氧濃度，以將膜中的氧濃度設定為 $1 \times 10^{17}/\text{cm}$ 以下。另外，藉由上述步驟，除了氧以外，還可以降低混入微晶半導體膜中的氮及碳的濃度。因此可以防止微晶半導體膜的 n 型化。

接著，藉由採用第二成膜條件代替第一成膜條件來提高成膜速度，以形成微晶半導體膜 53。此時的截面圖相當於圖 1C。微晶半導體膜 53 的厚度可以為 50nm 至 500nm（較佳的為 100nm 至 250nm）。注意，在本實施例模式中，微晶半導體膜 53 的成膜時間包括在第一成膜條件下成膜的第一成膜期間、以及在第二成膜條件下成膜的第二成膜期間。雖然可以將在第一成膜條件下獲得的膜稱為第一微晶半導體膜並將在第二成膜條件下獲得的膜稱為第二微晶半導體膜，但是在成膜後的第一微晶半導體膜和第二微晶半導體膜的介面不明確，因此藉由在成膜期間中改變條件而獲得的疊層膜被稱為微晶半導體膜。

在本實施例模式中，第二成膜條件如下：藉由使用氫及/或稀有氣體將矽烷稀釋為 12 倍以上 100 倍以下，基板的加熱溫度為 100°C 以上且低於 400°C ，較佳的為 220°C 以下。在本實施例模式中，藉由增加矽烷氣體的流量使第二成膜條件的成膜速度比第一成膜條件高，但是對其沒有特別的限制，也可以藉由改變施加 HF 頻帶的高頻電力和 VHF 頻帶的高頻電力的條件使第二成膜條件的成膜速度比第一成膜條件高。例如，在第一成膜條件下，如圖 7 所示

那樣進行 HF 頻帶的高頻電源的輸出波形和 VHF 頻帶的高頻電源的輸出波形重疊的電力施加，而在第二成膜條件下，如圖 8 所示那樣反復進行 VHF 頻帶的高頻電力的導通及截止來實現脈衝振盪以獲得其一部分重疊的波形。

接著，在藉由第二成膜條件形成微晶矽膜之後，停止矽烷或氫等源氣體及高頻電力的供給來進行基板搬出 205。在對下一個基板繼續進行成膜處理的情況下，回到基板搬入 202 的步驟來進行同一處理。爲了去除附著在反應室內的膜或粉末，進行淨化 206。

作爲淨化 206，藉由引入以 NF_3 、 SF_6 爲代表的蝕刻氣體進行電漿蝕刻。另外，藉由引入即使不利用電漿也能夠蝕刻的氣體如 ClF_3 來進行。淨化 206 較佳的在基板加熱用加熱器截止且處理室內壁溫度降低了的狀態下進行。這是爲了抑制由蝕刻導致的反應副生成物的生成。在進行淨化 206 之後，回到預塗 201，對下一個基板進行上述同樣的處理，即可。

這裏，將用來形成閘極絕緣膜或微晶矽膜的電漿 CVD 設備的一個結構例子示出於圖 6，多個高頻電力被施加到該電漿 CVD 設備。

反應室 100 由鋁或不銹鋼等具有剛性的材料形成，並可以對其內部進行真空排氣。在反應室 100 中具備有第一電極 101 和第二電極 102。

高頻電力供給單元 103 聯結到第一電極 101，而且接地電位提供給第二電極 102，並具有能夠裝載基板的結構

。第一電極 101 由絕緣材料 116 與反應室 100 絕緣分離，並構成爲不漏失高頻電力。注意，在圖 6 中表示採用電容耦合型（平行平板型）結構的第一電極 101 和第二電極 102，但是只要藉由施加兩種以上的不同高頻電力可以在反應室 100 內部生成輝光放電電漿，可以採用感應耦合型等其他結構。

高頻電力供給單元 103 包括第一高頻電源 104 和第二高頻電源 105、以及分別對應於它們的第一匹配器 106 和第二匹配器 107。從第一高頻電源 104 和第二高頻電源 105 輸出的高頻電力一起提供給第一電極 101。也可以在第一匹配器 106 或第二匹配器 107 的輸出一側設置帶通濾波器，以便防止流入另一方的高頻電力。

第一高頻電源 104 所提供的高頻電力利用其波長大約爲 10m 以上的高頻，利用作爲 HF 頻帶的 3MHz 至 30MHz，典型爲 13.56MHz。第二高頻電源 105 所提供的高頻電力利用 VHF 頻帶，其波長大約小於 10m，即利用 30MHz 至 300MHz 的高頻電力。

第一高頻電源 104 所提供的高頻電力的波長具有第一電極 101 的一邊的 3 倍以上的長度，第二高頻電源 105 所提供的高頻的波長應用短於第一高頻電源 104 所提供的高頻的波長。藉由將不引起表面駐波影響的高頻電力提供給第一電極 101 來產生輝光放電電漿，並提供屬於 VHF 頻帶的高頻電力來實現輝光放電電漿的高密度化，從而可以在其長邊超過 2000mm 的大面積基板上形成均勻且膜品質

高的薄膜。

圖 7 示出當使第一高頻電源 104 的高頻電力和第二高頻電源 105 的高頻電力重疊時的波形的實例。藉由使應用 HF 頻帶（典型為 13.56MHz）的頻率的第一高頻電源 104 的輸出波形和應用 VHF 頻帶的頻率的第二高頻電源 105 的輸出波形重疊，實現電漿的高密度化，並且可以提高電漿密度的面內均勻性而不受到表面駐波的影響。圖 8 作為示意圖示出應用脈衝振盪的電源作為第二高頻電源 105 時的實例。藉由以脈衝方式提供 VHF 頻帶的高頻電力，可以防止當成膜時在氣相中粉體不正常地生長。為了防止粉體生長，需要考慮氣體分子的平均滯留時間，但是將脈衝的振盪頻率設定為約 1 至 100kHz，即可。

第一電極 101 還聯結到氣體供給單元 108。氣體供給單元 108 由填充反應氣體的汽瓶 110、壓力調節閥 111、截止閥 112、品質流量控制器 113 等構成。在反應室 100 內第一電極 101 的相對於基板的面加工為簇射板狀，從而設有多個孔。提供給第一電極 101 的反應氣體藉由該孔提供給反應室 100 內。

圖 9 表示第一電極 101 的其他結構。第一電極 101 由從第一高頻電源 104 提供高頻電力的第一電極 101a 和從第二高頻電源 105 提供高頻電力的第一電極 101b 構成。第一電極 101a 和第一電極 101b 分別在相對於基板的面上設有孔並形成為彼此咬合的梳齒狀，並由絕緣材料 116 分離，以防止相鄰電極彼此接觸。圖 9 所示的結構可以代替

圖 6 所示的第一電極 101，並可以獲得相同的效果。

連接到反應室 100 的排氣單元 109 具有進行真空排氣和在流入反應氣體的情況下將反應室 100 內保持為預定的壓力的功能。作為排氣單元 109 的結構包括蝶閥 117、導閥 118、渦輪分子泵 119、乾泵 120 等。在並聯配置蝶閥 117 和導閥 118 的情況下，藉由關閉蝶閥 117 而使導閥 118 工作，可以控制反應氣體的排氣速度來將反應室 100 的壓力保持為預定的範圍。另外，藉由使傳導性高的蝶閥 117 工作，可以進行高真空排氣。

在為使真空度高於 10^{-5}Pa 而進行超高真空排氣的情況下，較佳的使用低溫泵 121。將兩個渦輪分子泵串聯來進行真空排氣也有效。另外，在進行真空排氣直到最終真空度成為超高真空為止的情況下，可以對反應室 100 的內壁進行鏡面加工，並設置用於烘烤的加熱器以抑制從內壁釋放氣體。

由加熱器控制器 115 控制溫度的基板加熱器 114 設置在第二電極 102 中。在基板加熱器 114 設置在第二電極 102 中的情況下，採用熱傳導加熱方式。例如，基板加熱器 114 由護套加熱器構成。可以適當地改變第一電極 101 和第二電極 102 之間的電極間隔。由波紋管改變在反應室 100 內的第二電極 102 的高度來調節該間隔。

接著，在形成微晶半導體膜 53 之後，較佳的不接觸大氣地搬運基板，來在與形成微晶半導體膜 53 的真空室不相同的真空室中形成緩衝層 54。藉由另外提供形成緩衝

層 54 的真空室，可以將形成微晶半導體膜 53 的真空室用作在引入基板之前到達超高真空的專用處理室，從而可以盡量抑制雜質污染並縮短到達超高真空的時間。在為到達超高真空而進行烘烤的情況下，為得到處理室內壁溫度低且穩定的狀態而需要較長時間，因此是特別有效的。另外，藉由分別提供不相同的真空室，可以根據想要獲得的膜而分別改變高頻電力的頻率。

緩衝層 54 藉由使用包含氫、氮、或鹵素的非晶半導體膜而形成。藉由使用氫，其流量為氫化矽的流量的 1 倍以上 10 倍以下，較佳的為 1 倍以上 5 倍以下，可以形成包含氫的非晶半導體膜。另外，藉由使用上述氫化矽、以及氮或氨，可以形成包含氮的非晶半導體膜。藉由使用上述氫化矽、以及包含氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等），可以形成包含氟、氯、溴、或碘的非晶半導體膜。另外，可以使用 SiH_2Cl_2 、 $SiHCl_3$ 、 $SiCl_4$ 、 SiF_4 等代替氫化矽。

作為緩衝層 54，也可以藉由將非晶半導體用作靶並使用氫或稀有氣體進行濺射來形成非晶半導體膜。此時，藉由將氮、氮、或 N_2O 包含在氣氛中，可以形成包含氮的非晶半導體膜。另外，藉由將包含氟、氯、溴、或碘的氣體（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）包含在氣氛中，可以形成包含氟、氯、溴、或碘的非晶半導體膜。

緩衝層 54 較佳的由不包含晶粒的非晶半導體膜構成。因此，在藉由使用頻率為幾十 MHz 至幾百 MHz 的高頻

電漿 CVD 法或微波電漿 CVD 法形成緩衝層 54 的情況下，較佳的調節成膜條件，以形成不包含晶粒的非晶半導體膜。當然，爲了實現電漿的高密度化及均勻化以避免電漿的表面駐波效果，可以藉由使用圖 6 所示的電漿 CVD 設備並施加 HF 頻帶的高頻電力和 VHF 頻帶的高頻電力中的雙方來形成緩衝層 54。

在之後形成源區及汲區的步驟中，緩衝層 54 的一部分被蝕刻。因此，緩衝層 54 較佳的形成爲在上述情況下其一部分殘留的厚度，以不暴露微晶半導體膜 53。典型地說，緩衝層 54 形成爲具有 100nm 以上 400nm 以下，較佳的爲 200nm 以上 300nm 以下的厚度。在薄膜電晶體的施加電壓高（例如大約爲 15V）的顯示裝置，典型地爲液晶顯示裝置中，藉由將緩衝層 54 的厚度設定爲上述範圍內，可以提高耐壓性，從而即使高電壓被施加到薄膜電晶體也可以避免薄膜電晶體的退化。

另外，緩衝層 54 不添加有賦予一導電類型的雜質如磷或硼等。爲了防止雜質從添加有賦予一導電類型的雜質的半導體膜 55 擴散到微晶半導體膜 53，將緩衝層 54 用作阻擋層。在不設置緩衝層 54 的情況下，若微晶半導體膜 53 和添加有賦予一導電類型的雜質的半導體膜 55 接觸，則會有在之後的蝕刻步驟或加熱處理中雜質移動，從而難以控制臨界值電壓的問題。

藉由在微晶半導體膜 53 的表面上形成緩衝層 54，可以防止包含在微晶半導體膜 53 中的晶粒表面的自然氧化

。尤其是在非晶半導體和微晶粒接觸的區域中，容易因局部應力而產生裂縫。當該裂縫與氧接觸時晶粒被氧化，從而形成氧化矽。

作為非晶半導體膜的緩衝層 54 的能隙比微晶半導體膜 53 大（非晶半導體膜的能隙為 1.6 至 1.8 eV，而微晶半導體膜 53 的能隙為 1.1 至 1.5 eV），其電阻高，而且其遷移率低，即微晶半導體膜 53 的 1/5 至 1/10。因此，在之後形成的薄膜電晶體中，形成在源區及汲區和微晶半導體膜 53 之間的緩衝層 54 用作高電阻區域，而微晶半導體膜 53 用作通道形成區域。因此，可以降低薄膜電晶體的截止電流。在將該薄膜電晶體用作顯示裝置的開關元件的情況下，可以提高顯示裝置的對比度。

較佳的是，在微晶半導體膜 53 上，藉由電漿 CVD 法以 300℃ 以上且低於 400℃ 的基板溫度形成緩衝層 54。藉由上述成膜處理，可以將氫提供給微晶半導體膜 53，從而得到與使微晶半導體膜 53 氫化相同的效果。就是說，藉由在微晶半導體膜 53 上沉積緩衝層 54，可以將氫擴散到微晶半導體膜 53，從而對懸空鍵封端。另外，可以在形成緩衝層 54 時進行微晶半導體膜 53 的退火，從而可以提高膜品質。尤其是，藉由第二成膜條件而獲得的膜雖然有其成膜速度比第一成膜條件高而其結晶性比藉由第一成膜條件而獲得的結晶性低的特徵，但是藉由在形成緩衝層時進行退火，可以提高結晶性等的膜品質。另外，藉由在形成緩衝層 54 時進行退火，還可以抑制反復施加電壓的可靠

性試驗中的 TFT 特性的變動（臨界值電壓的變動等），從而可以獲得其可靠性比將非晶矽膜主要用於通道形成區域的 TFT 高的 TFT。

接著，在形成緩衝層 54 之後，較佳的不接觸大氣地搬運基板，來在與形成緩衝層 54 的真空室不相同的真空室中形成添加有賦予一導電類型的雜質的半導體膜 55。此時的截面圖相當於圖 1D。藉由在與形成緩衝層 54 的真空室不相同的真空室中形成添加有賦予一導電類型的雜質的半導體膜 55，可以防止賦予一導電類型的雜質在形成緩衝層時混入。

關於添加有賦予一導電類型的雜質的半導體膜 55，在形成 n 通道型薄膜電晶體的情況下，可以添加磷作為典型的雜質元素，並可以將 PH_3 等的雜質氣體添加到氫化矽。另外，在形成 p 通道型薄膜電晶體的情況下，可以添加硼作為典型的雜質元素，並可以將 B_2H_6 等的雜質氣體添加到氫化矽。添加有賦予一導電類型的雜質的半導體膜 55 可以由微晶半導體或非晶半導體構成。添加有賦予一導電類型的雜質的半導體膜 55 的厚度為 2nm 以上 50nm 以下。藉由減少添加有賦予一導電類型的雜質的半導體膜的厚度，可以提高產率。

接著，如圖 2A 所示，在添加有賦予一導電類型的雜質的半導體膜 55 上形成抗蝕劑掩模 56。抗蝕劑掩模 56 藉由使用光微影技術或噴墨法而形成。這裏，藉由使用第二光掩模，對塗敷在添加有賦予一導電類型的雜質的半導體

膜 55 上的抗蝕劑進行曝光及顯影，以形成抗蝕劑掩模 56。

接著，藉由使用抗蝕劑掩模 56 將微晶半導體膜 53、緩衝層 54、以及添加有賦予一導電類型的雜質的半導體膜 55 蝕刻，如圖 2B 所示那樣形成微晶半導體膜 61、緩衝層 62、及添加有賦予一導電類型的雜質的半導體膜 63。然後，去除抗蝕劑掩模 56。

微晶半導體膜 61 和緩衝層 62 的端部側面傾斜，從而可以防止在形成在緩衝層 62 上的源區及汲區和微晶半導體膜 61 之間產生洩漏電流。還可以防止在源極電極及汲極電極和微晶半導體膜 61 之間產生洩漏電流。微晶半導體膜 61 和緩衝層 62 的端部側面的傾斜角度為 30° 至 90° ，較佳的為 45° 至 80° 。藉由採用上述角度，可以防止由臺階形狀導致的源極電極或汲極電極的斷開。

接著，如圖 2C 所示，覆蓋添加有賦予一導電類型的雜質的半導體膜 63 及閘極絕緣膜 52c 地形成導電膜 65a 至 65c 作為導電膜。導電膜 65a 至 65c 較佳的由鋁、銅、或添加有矽、鈦、鉍、銦、鉬等的耐熱性提高元素或小丘防止元素的鋁合金的單層或疊層構成。還可以採用如下疊層結構：藉由使用鈦、鉍、鉬、鎢或這些元素的氮化物形成與添加有賦予一導電類型的雜質的半導體膜接觸一側的膜，並在其上形成鋁或鋁合金。再者，可以採用如下疊層結構：鋁或鋁合金的上表面及下表面由鈦、鉍、鉬、鎢或這些元素的氮化物夾住。這裏，示出導電膜 65a 至 65c 這

三個層重疊的導電膜，並示出如下疊層導電膜：導電膜 65a 及 65c 由鉬膜構成，且導電膜 65b 由鋁膜構成；或者，導電膜 65a 及 65c 由鈦膜構成，且導電膜 65b 由鋁膜構成。導電膜 65a 至 65c 藉由濺射法或真空蒸鍍法而形成。

接著，如圖 2D 所示，在導電膜 65a 至 65c 上藉由使用第三光掩模形成抗蝕劑掩模 66，並蝕刻導電膜 65a 至 65c 的一部分，以形成源極電極及汲極電極 71a 至 71c。藉由對導電膜 65a 至 65c 進行濕蝕刻，導電膜 65a 至 65c 被選擇性地蝕刻。其結果是，由於以各向同性的方式蝕刻導電膜而可以形成其面積比抗蝕劑掩模 66 小的源極電極及汲極電極 71a 至 71c。

然後，如圖 3A 所示，藉由使用抗蝕劑掩模 66 蝕刻添加有賦予一導電類型的雜質的半導體膜 63，形成一對源區及汲區 72。再者，在該蝕刻步驟中，緩衝層 62 的一部分也被蝕刻。由於其一部分被蝕刻而形成有凹部（槽）的緩衝層被稱為緩衝層 73。可以以同一步驟形成源區及汲區、以及緩衝層的凹部（槽）。藉由將緩衝層的凹部（槽）的深度設定為緩衝層的最厚區域的 $1/2$ 至 $1/3$ ，可以增加源區及汲區的距離，因此可以降低源區及汲區之間的洩漏電流。之後，去除抗蝕劑掩模 66。

將緩衝層蝕刻 50nm 左右，以防止如下情況：尤其是，抗蝕劑掩模 66 在暴露於用於乾蝕刻等的電漿時變質，不能在抗蝕劑去除步驟中完全去除，從而殘留著殘渣。在導電膜 65a 至 65c 的一部分的蝕刻處理及在形成源區及汲

區 72 時的蝕刻處理這兩次蝕刻處理中使用抗蝕劑掩模 66，在採用乾蝕刻作為該兩次蝕刻處理的情況下容易殘留殘渣，因此將在完全去除殘渣時可以被蝕刻的緩衝層形成為具有厚的膜厚度是有效的。另外，緩衝層 73 可以防止在乾蝕刻時給微晶半導體膜 61 帶來電漿損傷。

接著，如圖 3B 所示，形成絕緣膜 76，該絕緣膜 76 覆蓋源極電極及汲極電極 71a 至 71c、源區及汲區 72、緩衝層 73、微晶半導體膜 61、以及閘極絕緣膜 52c。絕緣膜 76 可以以與閘極絕緣膜 52a、52b 及 52c 相同的成膜方法形成。注意，絕緣膜 76 是為防止浮游在大氣中的有機物、金屬物、水蒸氣等的污染雜質的侵入而提供的，因此較佳的採用緻密的膜。另外，藉由將氮化矽膜用於絕緣膜 76，可以將緩衝層 73 中的氧濃度設定為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳的為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下。

如圖 3B 所示，源極電極及汲極電極 71a 至 71c 的端部與源區及汲區 72 的端部不一致且彼此錯開，源極電極及汲極電極 71a 至 71c 的端部的距離增大，從而可以防止源極電極及汲極電極之間的洩漏電流或短路。另外，由於源極電極及汲極電極 71a 至 71c 的端部與源區及汲區 72 的端部不一致且彼此錯開，所以在源極電極及汲極電極 71a 至 71c 和源區及汲區 72 的端部中不發生電場集中，從而可以防止閘極電極和源極電極及汲極電極 71a 至 71c 之間的洩漏電流。由此，可以製造高可靠性及高耐壓的薄膜電晶體。

藉由上述步驟，可以形成薄膜電晶體 74。

在本實施例模式所示的薄膜電晶體中，在閘極電極上層疊了閘極絕緣膜、微晶半導體膜、緩衝層、源區及汲區、源極電極及汲極電極，其中用作通道形成區域的微晶半導體膜的表面被緩衝層覆蓋。另外，在緩衝層的一部分中形成有凹部（槽），而且該凹部以外的區域被源區及汲區覆蓋。就是說，由於形成在緩衝層中的凹部而在源區及汲區之間有一定的距離，因此可以降低源區及汲區之間的洩漏電流。另外，因為藉由蝕刻緩衝層的一部分形成凹部，所以可以去除在形成源區及汲區的步驟中產生的蝕刻殘渣，從而可以避免由殘渣導致的源區及汲區的洩漏電流（寄生通道）。

另外，在用作通道形成區域的微晶半導體膜和源區及汲區之間形成有緩衝層。微晶半導體膜的表面被緩衝層覆蓋。高電阻的緩衝層延伸到微晶半導體膜和源區及汲區之間，因而可以降低產生在薄膜電晶體中的洩漏電流，並可以抑制由於施加高電壓而導致的退化。另外，緩衝層、微晶半導體膜、源區及汲區都形成在與閘極電極重疊的區域上。因此，可以說是受到閘極電極的端部形狀的影響的結構。在閘極電極具有疊層結構的情況下，若在其下層中使用鋁，則可能會在閘極電極的側面露出鋁而產生小丘，但是藉由採用源區及汲區還不重疊於閘極電極端部的結構，可以防止在與閘極電極側面重疊的區域中發生短路。另外，由於在微晶半導體膜的表面上形成有其表面被氫封端

的非晶半導體膜作為緩衝層，所以可以防止微晶半導體膜的氧化，並可以防止在形成源區及汲區的步驟中產生的蝕刻殘渣混入微晶半導體膜。由此，可以獲得電特性良好且耐壓性良好的薄膜電晶體。

另外，可以縮小薄膜電晶體的通道長度，從而可以縮小薄膜電晶體的平面面積。

然後，藉由使用利用第四光掩模而形成的抗蝕劑掩模蝕刻絕緣膜 76 的一部分，形成接觸孔，並形成在該接觸孔中與源極電極或汲極電極 71c 接觸的像素電極 77。圖 3C 相當於沿圖 4 的虛線 A-B 的截面圖。

如圖 4 所示，源區及汲區 72 的端部位於源極電極及汲極電極 71c 的端部的側面。另外，緩衝層 73 的端部位於源極電極及汲極電極 71c、源區及汲區 72 的端部的側面。源極電極及汲極電極中的一方具有包圍源極電極及汲極電極中的另一方的形狀（具體地說，U 字形狀、C 字形狀）。因此，可以增加載流子移動的區域的面積，從而電流量可以增大，並可以縮小薄膜電晶體的面積。另外，由於微晶半導體膜、源極電極及汲極電極層疊在閘極電極上，所以閘極電極的凹凸所引起的負面影響少，從而可以抑制覆蓋度的降低及洩漏電流的產生。注意，源極電極及汲極電極中的一方還用作源極佈線或汲極佈線。

像素電極 77 可以使用包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物、銦鋅氧化物、添加有氧化

矽的銦錫氧化物等的具有透光性的導電材料。

另外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物形成像素電極 77。較佳的是，藉由使用導電組成物而形成的像素電極的薄層電阻為 $10000\Omega/\square$ 以下，波長 550nm 中的透光率為 70% 以上。另外，包含在導電組成物中的導電高分子的電阻率為 $0.1\Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛系統導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或這些兩種以上的共聚物等。

這裏，作為像素電極 77，在藉由濺射法形成銦錫氧化物膜之後將抗蝕劑塗敷在銦錫氧化物膜上。接著，藉由利用第五光掩模對抗蝕劑進行曝光及顯影，以形成抗蝕劑掩模。然後，使用抗蝕劑掩模蝕刻銦錫氧化物膜，以形成像素電極 77。

藉由上述步驟，可以形成適用於顯示裝置的元件基板。

實施例模式 2

在本實施例模式中，示出適合形成構成實施例模式 1 所示的 TFT 的閘極絕緣膜、微晶半導體膜、 n^+ 層的多室式電漿 CVD 設備的一個例子。

圖 10 示出具有多個反應室的多室式 CVD 設備的一個例子。該設備包括公共室 123、裝載/卸載室 122、第一反

應室 100a、第二反應室 100b、第三反應室 100c。被放在裝載/卸載室 122 的盒子 124 中的基板由公共室 123 的搬運機構 126 搬出/搬入到各反應室，並採用單片方式。在公共室 123 和各室之間設置有閘閥 125，以不使在各反應室中的處理相互干涉。

各反應室根據所形成的薄膜種類而區分。例如，在第一反應室 100a 中形成絕緣膜如閘極絕緣膜，在第二反應室 100b 中形成用作通道的微晶半導體層，並在第三反應室 100c 中層疊緩衝層、用作源極及汲極的一導電類型雜質半導體層。當然，反應室的個數不局限於此，可以根據需要任意增加或減少。另外，可以在一個反應室中形成一個膜，或者在一個反應室中形成多個膜。

作為其他例子，可以在第一反應室 100a 中形成絕緣膜如閘極絕緣膜，在第二反應室 100b 中形成用作通道的微晶半導體層和緩衝層，並在第三反應室 100c 中形成用作源極及汲極的一導電類型雜質半導體層。

在各反應室中，連接有渦輪分子泵 119 和乾泵 120 作為排氣單元。排氣單元不局限於上述真空泵的組合，只要能夠排氣到大約 10^{-5}Pa 至 10^{-1}Pa 的真空度，就可以使用其他真空泵。另外，形成微晶半導體膜的第二反應室 100b 連接有低溫泵 121，以排氣到超高真空。在排氣單元和各反應室之間設置有蝶閥 117，由此可以遮斷真空排氣，並且由導閥 118 控制排氣速度，以調整各反應室的壓力。注意，圖 10 所示的排氣單元的組合只是一個例子，對其沒

有特別的限制。

氣體供給單元 108 包括填充有工藝用氣體如半導體源氣體或稀有氣體的汽瓶 110、截止閥 112、品質流量控制器 113 等。氣體供給單元 108g 連接到第一反應室 100a，並提供用來形成閘極絕緣膜的氣體。氣體供給單元 108i 連接到第二反應室 100b，並提供微晶半導體膜用氣體。氣體供給單元 108n 連接到第三反應室 100c，例如提供 n 型半導體膜用氣體。氣體供給單元 108a 提供氫，而氣體供給單元 108f 提供用來淨化反應室內的蝕刻氣體，它們是在各反應室之間共同使用的。

用來產生輝光放電電漿的高頻電力供給單元 103 連接到各反應室。高頻電力供給單元 103 包括高頻電源和匹配器。在此情況下，藉由與實施例模式 1 同樣地使用第一高頻電源 104、第二高頻電源 105、第一匹配器 106 和第二匹配器 107 構成高頻電力供給單元 103，可以形成均勻性高的薄膜。電漿 CVD 設備的結構根據各種玻璃基板的尺寸（第一代的 300mm×400mm、第二代的 400mm×500mm、第三代的 550mm×650mm、第四代的 730mm×920mm、第五代的 1000mm×1200mm、第六代的 2450mm×1850mm、第七代的 1870mm×2200mm、第八代的 2000mm×2400mm、第九代的 2450mm×3050mm、第十代的 2850mm×3050mm 等）而設定，從而可以在具有任何尺寸的基板上形成均勻性高的薄膜。

如本實施例模式所示，使用多個圖 10 所示的反應室

，該多個反應室由公共室連接，從而可以不接觸大氣地層疊多個不相同的層。

本實施例模式可以與實施例模式 1 自由地組合。

實施例模式 3

在本實施例模式中，參照圖 11 說明採用與實施例模式 2 所示的圖 10 不相同的多室式 CVD 設備的薄膜電晶體的製造步驟。圖 10 是具有三個反應室的設備，而圖 11 是具有四個反應室的多室式 CVD 設備的俯視圖。

圖 11 示出對圖 10 所示的多室式 CVD 設備提供第四反應室 100d 的結構。在圖 11 中，對與圖 10 相同的部分使用同一附圖標記，省略詳細說明。另外，圖 11 所示的排氣單元的組合只是一個例子，對其沒有特別的限制。

氣體供給單元 108b 連接到第四反應室 100d。高頻電力供給單元和排氣單元的結構與圖 10 相同。各反應室可以根據所形成的薄膜種類而區分。例如，可以在第一反應室 100a 中形成絕緣膜如閘極絕緣膜，在第二反應室 100b 中形成用作通道的微晶半導體層，在第四反應室 100d 中形成保護通道形成用半導體層的緩衝層，並在第三反應室 100c 中形成用作源極及汲極的一導電類型雜質半導體層。每個薄膜具有最合適的成膜溫度（也稱為基板溫度），因此可以藉由分別使用各反應室容易管理成膜溫度。再者，由於能夠反復形成相同種類的膜，所以可以消除由成膜導致的殘留雜質物的影響。

在圖 11 中，開關 127 設置於第二反應室 100b，以控制第一高頻電力和第二高頻電力的引入。藉由控制開關 127 的導通及截止，可以改變重疊的輸出波形。例如，在開關 127 中的雙方都處於導通狀態時呈現圖 7 所示的輸出波形，而在開關 127 中的單方反復進行導通及截止時呈現圖 8 所示的輸出波形。

如上所述，藉由設置開關 127，可以擴大成膜條件的調整幅度。例如，可以在藉由施加第一高頻電力和第二高頻電力中的雙方形成微晶半導體膜之後，施加第一高頻電力和第二高頻電力中的單方來層疊緩衝層。

本實施例模式可以與實施例模式 1 或 2 自由地組合。

實施例模式 4

下面，參照圖 12A 至圖 16C 說明與實施例模式 1 不相同的薄膜電晶體的製造方法。這裏，示出藉由採用其光掩模個數比實施例模式 1 少的製程製造薄膜電晶體的步驟。

與實施例模式 1 所示的圖 1A 同樣地，在基板 50 上形成導電膜，並藉由使用抗蝕劑掩模蝕刻導電膜的一部分，以形成閘極電極 51。該抗蝕劑掩模藉由在導電膜上塗敷抗蝕劑並進行利用第一光掩模的光微影步驟而形成。這裏，與實施例模式 1 不相同，示出導電膜由單層構成的例子。然後，藉由使用圖 6 所示的電漿 CVD 設備，在閘極電極 51 上依次形成閘極絕緣膜 52a、52b 及 52c。

接著，與實施例模式 1 所示的圖 1B 同樣地，在第一

成膜條件下形成微晶半導體膜 23。接著，藉由在相同的處理室中以第二成膜條件成膜，與實施例模式 1 中的圖 1C 同樣地使用圖 6 所示的電漿 CVD 設備形成微晶半導體膜 53。然後，與實施例模式 1 中的圖 1D 同樣地，在微晶半導體膜 53 上依次形成緩衝層 54、添加有賦予一導電類型的雜質的半導體膜 55。

接著，在添加有賦予一導電類型的雜質的半導體膜 55 上形成導電膜 65a 至 65c。然後，如圖 13A 所示，在導電膜 65a 上塗敷抗蝕劑 80。

抗蝕劑 80 可以使用正型抗蝕劑或負型抗蝕劑。這裏，使用正型抗蝕劑。

然後，藉由使用多灰度掩模 59 作為第二光掩模，將光照射到抗蝕劑 80，以對抗蝕劑 80 進行曝光。

這裏，參照圖 12A 至 12D 說明利用多灰度掩模 59 的曝光。

多灰度掩模指的是能夠設定三個曝光水準的掩模，該三個曝光水準為曝光部分、中間曝光部分、以及未曝光部分。藉由進行一次的曝光及顯影步驟，可以形成具有多個（典型為兩種）厚度區域的抗蝕劑掩模。因此，藉由使用多灰度掩模，可以減少光掩模個數。

作為多灰度掩模的典型例子，可以舉出圖 12A 所示的灰度掩模 59a、以及圖 12C 所示的半色調掩模 59b。

如圖 12A 所示，灰度掩模 59a 由具有透光性的基板 163、形成在其上的遮光部 164、以及衍射光柵 165 構成。

在遮光部 164 中，光的透過率為 0%。另一方面，衍射光柵 165 可以藉由將狹縫、點、網眼等的光透過部的間隔設定為用於曝光的光的解析度限度以下的間隔來控制光的透過率。週期性狹縫、點、網眼、以及非週期性狹縫、點、網眼都可以用於衍射光柵 165。

作為具有透光性的基板 163，可以使用石英等的具有透光性的基板。遮光部 164 及衍射光柵 165 可以由鉻或氧化鉻等的吸收光的遮光材料構成。

將光照射到灰度掩模 59a 的情況下，如圖 12B 所示，在遮光部 164 中，光透過率 166 為 0%，而在不設置有遮光部 164 及衍射光柵 165 的區域中，光透過率 166 為 100%。另外，在衍射光柵 165 中，可以將光透過率調整為 10 至 70% 的範圍內。衍射光柵 165 中的光透過率可以藉由調整衍射光柵的狹縫、點、或網眼的間隔及柵距而控制。

如圖 12C 所示，半色調掩模 59b 由具有透光性的基板 163、形成在其上的半透過部 167、以及遮光部 168 構成。半透過部 167 可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等。遮光部 168 可以由鉻或氧化鉻等的吸收光的遮光材料構成。

將光照射到半色調掩模 59b 的情況下，如圖 12D 所示，在遮光部 168 中，光透過率 169 為 0%，而在不設置有遮光部 168 及半透過部 167 的區域中，光透過率 169 為 100%。另外，在半透過部 167 中，可以將光透過率調整為 10 至 70% 的範圍內。半透過部 167 中的光透過率可以根據

半透過部 167 的材料而調整。

藉由在使用多灰度掩模進行曝光之後進行顯影，可以如圖 13B 所示那樣形成具有不相同的厚度區域的抗蝕劑掩模 81。

接著，藉由使用抗蝕劑掩模 81 將微晶半導體膜 53、緩衝層 54、添加有賦予一導電類型的雜質的半導體膜 55、以及導電膜 65a 至 65c 蝕刻並分離。其結果是，如圖 14A 所示那樣形成微晶半導體膜 61、緩衝層 62、添加有賦予一導電類型的雜質的半導體膜 63、以及導電膜 85a 至 85c。圖 14A 相當於沿圖 16A 的 A-B 線的截面圖（抗蝕劑掩模 86 以外）。

然後，對抗蝕劑掩模 81 進行灰化處理。其結果是，抗蝕劑的面積縮小，其厚度變薄。此時，厚度薄的區域的抗蝕劑（與閘極電極 51 的一部分重疊的區域）被去除，由此如圖 14A 所示，可以形成被分離的抗蝕劑掩模 86。

接著，藉由使用抗蝕劑掩模 86 將導電膜 85a 至 85c 蝕刻並分離。其結果是，如圖 14B 所示那樣可以形成一對源極電極及汲極電極 92a 至 92c。藉由使用抗蝕劑掩模 86 對導電膜 85a 至 85c 進行濕蝕刻，導電膜 85a 至 85c 被選擇性地蝕刻。其結果是，由於以各向同性的方式蝕刻導電膜而可以形成其面積比抗蝕劑掩模 86 小的源極電極及汲極電極 92a 至 92c。

然後，藉由使用抗蝕劑掩模 86 蝕刻添加有賦予一導電類型的雜質的半導體膜 63，形成一對源區及汲區 88。

注意，在該蝕刻步驟中，緩衝層 62 的一部分也被蝕刻。將其一部分被蝕刻的緩衝層稱為緩衝層 87。另外，在緩衝層 87 中形成有凹部。可以以同一步驟形成源區及汲區、以及緩衝層的凹部（槽）。這裏，由於藉由使用其面積比抗蝕劑掩模 81 小的抗蝕劑掩模 86 蝕刻緩衝層 87 的一部分，所以緩衝層 87 向源區及汲區 88 的外側突出。然後，去除抗蝕劑掩模 86。另外，源極電極及汲極電極 92a 至 92c 的端部與源區及汲區 88 的端部不一致且彼此錯開，並在源極電極及汲極電極 92a 至 92c 的端部的的外側形成主動區及汲區 88 的端部。

圖 14C 相當於沿圖 16B 的 A-B 線的截面圖。如圖 16B 所示，源區及汲區 88 的端部位於源極電極及汲極電極 92c 的端部的的外側。另外，緩衝層 87 的端部位於源極電極及汲極電極 92c、源區及汲區 88 的端部的的外側。源極電極及汲極電極中的一方具有包圍源區及汲區中的另一方的形狀（具體地說，U 字形狀、C 字形狀）。因此，可以增加載流子移動的區域的面積，從而電流量可以增大，並可以縮小薄膜電晶體的面積。另外，由於微晶半導體膜、源極電極及汲極電極層疊在閘極電極上，所以閘極電極的凹凸所引起的負面影響少，而可以抑制覆蓋度的降低及洩漏電流的產生。注意，源極電極及汲極電極中的一方還用作源極佈線或汲極佈線。

如圖 14C 所示，源極電極及汲極電極 92a 至 92c 的端部與源區及汲區 88 的端部不一致且彼此錯開，從而源極

電極及汲極電極 92a 至 92c 的端部的距離增大，從而可以防止源極電極及汲極電極之間的洩漏電流或短路。另外，由於源極電極及汲極電極 92a 至 92c 的端部與源區及汲區 88 的端部不一致且彼此錯開，所以在源極電極及汲極電極 92a 至 92c 和源區及汲區 88 的端部中不發生電場集中，從而可以防止閘極電極 51 和源極電極及汲極電極 92a 至 92c 之間的洩漏電流。由此，可以製造高可靠性及高耐壓的薄膜電晶體。

藉由上述步驟，可以形成薄膜電晶體 83。另外，藉由使用兩個光掩模，可以形成薄膜電晶體。

如圖 15A 所示，在源極電極及汲極電極 92a 至 92c、源區及汲區 88、緩衝層 87、微晶半導體膜 90、以及閘極絕緣膜 52c 上形成絕緣膜 76。絕緣膜 76 可以與閘極絕緣膜 52a、52b 及 52c 同樣地形成。

然後，藉由使用利用第三光掩模而形成的抗蝕劑掩模蝕刻絕緣膜 76 的一部分，形成接觸孔。接著，形成在該接觸孔中與源極電極或汲極電極 92c 接觸的像素電極 77。這裏，作為像素電極 77，在藉由濺射法形成銦錫氧化物膜之後將抗蝕劑塗敷在銦錫氧化物膜上。接著，藉由利用第四光掩模對抗蝕劑進行曝光及顯影，以形成抗蝕劑掩模。然後，使用抗蝕劑掩模蝕刻銦錫氧化物膜，以形成像素電極 77。圖 15B 相當於沿圖 16C 的 A-B 線的截面圖。

藉由上述步驟，可以使用多灰度掩模來減少掩模個數，並可以形成適用於顯示裝置的元件基板。

本實施例模式可以與實施例模式 1 至 3 中的任何一個自由地組合。

實施例模式 5

在本實施例模式中，示出具有實施例模式 1 所示的薄膜電晶體的液晶顯示裝置作為顯示裝置的一個方式。

首先，對 VA（垂直取向）型液晶顯示裝置進行描述。VA 型液晶顯示裝置是指一種控制液晶面板的液晶分子的排列的方式。VA 型液晶顯示裝置是當沒有施加電壓時液晶分子朝垂直於面板表面的方向的方式。在本實施例模式中，特別地，將像素分成幾個區域（子像素），並分別將分子向不同的方向推倒。這稱為多區域化或多區域設計。在下面的說明中，對考慮多區域設計的液晶顯示裝置進行說明。

圖 18 及圖 19 分別示出像素電極及相對電極。圖 18 是形成有像素電極的基板一側的平面圖，並將沿 A-B 線的截面結構示出於圖 17。圖 19 是形成有相對電極的基板一側的平面圖。下面，參照這些附圖進行說明。

圖 17 示出基板 600 和相對基板 601 重疊且注入了液晶的狀態，在該基板 600 上形成有 TFT628、與 TFT628 連接的像素電極 624、以及保持電容部 630，並在該相對基板 601 上形成有相對電極 640 等。

在相對基板 601 的形成間隔物 642 的位置上形成有遮光膜 632、第一著色膜 634、第二著色膜 636、第三著色膜

638、以及相對電極 640。藉由該結構，用於控制液晶取向的突起 644 和間隔物 642 的高度彼此不同。在像素電極 624 上形成有取向膜 648，與此同樣地在相對電極 640 上形成有取向膜 646。在此之間形成有液晶層 650。

至於間隔物 642，這裏示出柱狀間隔物，但是也可以散佈珠狀間隔物。再者，可以在形成在基板 600 上的像素電極 624 上形成間隔物 642。

在基板 600 上形成有 TFT628、與它連接的像素電極 624、以及保持電容部 630。像素電極 624 藉由貫穿覆蓋 TFT628、佈線及保持電容部 630 的絕緣膜 620、覆蓋絕緣膜的第三絕緣膜 622 的接觸孔 623 連接到佈線 618。可以將實施例模式 1 所示的薄膜電晶體適用於 TFT628。另外，保持電容部 630 由與 TFT628 的閘極佈線 602 同樣地形成的第一電容佈線 604、閘極絕緣膜 606、以及與佈線 616 及 618 同樣地形成的第二電容佈線 617 構成。

像素電極 624、液晶層 650、以及相對電極 640 重疊，從而形成液晶元件。

圖 18 示出基板 600 上的結構。像素電極 624 藉由使用實施例模式 1 所示的材料來形成。在像素電極 624 中設置有狹縫 625。狹縫 625 是為為了控制液晶取向的。

圖 18 所示的 TFT629、與它連接的像素電極 626 及保持電容部 631 可以與 TFT628、像素電極 624 及保持電容部 630 同樣地形成。TFT628 和 TFT629 都連接到佈線 616。所述液晶面板的像素由像素電極 624 及像素電極 626 構

成。像素電極 624 及像素電極 626 是子像素。

圖 19 示出相對基板一側的結構。在遮光膜 632 上形成有相對電極 640。相對電極 640 較佳的由與像素電極 624 同樣的材料構成。在相對電極 640 上形成有用於控制液晶取向的突起 644。另外，根據遮光膜 632 的位置形成有間隔物 642。

圖 20 示出上述像素結構的等效電路。TFT628 和 TFT629 都連接到閘極佈線 602、佈線 616。在此情況下，藉由使電容佈線 604 和電容佈線 605 的電位不相同，可以使液晶元件 651 和液晶元件 652 進行不同的動作。就是說，藉由分別控制電容佈線 604 和電容佈線 605 的電位，來精密地控制液晶的取向並且擴大視角。

當對設置有狹縫 625 的像素電極 624 施加電壓時，在狹縫 625 附近發生電場的應變（傾斜電場）。藉由互相咬合地配置所述狹縫 625 和相對基板 601 一側的突起 644，有效地產生傾斜電場來控制液晶的取向，從而根據其位置使液晶具有彼此不同的取向方向。就是說，藉由進行多區域化來擴大液晶面板的視角。

參照圖 21 至圖 24 說明與上述不同的 VA 型液晶顯示裝置。

圖 21 及圖 22 示出 VA 型液晶面板的像素結構。圖 22 是基板 600 的平面圖，而圖 21 示出沿 Y-Z 線的截面結構。下面，參照上述兩個附圖進行說明。

在該像素結構中，一個像素具有多個像素電極，並且

各個像素電極連接到 TFT。各個 TFT 由不同的閘極信號驅動。就是說，在以多區域方式設計的像素中，具有獨立控制施加到各個像素電極的信號的結構。

像素電極 624 在接觸孔 623 中藉由佈線 618 連接到 TFT628。像素電極 626 在接觸孔 627 中藉由佈線 619 連接到 TFT629。TFT628 的閘極佈線 602 和 TFT629 的閘極佈線 603 彼此分離，以便能夠提供不同的閘極信號。另一方面，TFT628 和 TFT629 共同使用用作資料線的佈線 616。可以適當地使用實施例模式 1 所示的薄膜電晶體作為 TFT628 和 TFT629。

像素電極 624 和像素電極 626 具有不同的形狀，並且被狹縫 625 彼此分離。像素電極 626 被形成為圍繞呈 V 字狀擴大的像素電極 624 的外側。藉由使用 TFT628 及 TFT629 使施加到像素電極 624 和像素電極 626 的電壓時序不相同，來控制液晶的取向。圖 24 示出了該像素結構的等效電路。TFT628 連接到閘極佈線 602，而 TFT629 連接到閘極佈線 603。藉由對閘極佈線 602 和閘極佈線 603 施加不同的閘極信號，可以使 TFT628 和 TFT629 的動作時序互不相同。

在相對基板 601 上形成有遮光膜 632、第二著色層 636、相對電極 640。此外，第二著色層 636 和相對電極 640 之間形成平坦化膜 637，以便防止液晶取向的錯亂。圖 23 示出相對基板一側的結構。不同的像素共同使用相對電極 640，並且該相對電極 640 形成有狹縫 641。藉由

互相咬合地配置所述狹縫 641 和像素電極 624 及像素電極 626 一側的狹縫 625，可以有效地產生傾斜電場來控制液晶的取向。由此，可以根據其位置使液晶具有彼此不同的取向方向，從而擴大視角。

像素電極 624、液晶層 650、以及相對電極 640 重疊，從而形成第一液晶元件。像素電極 626、液晶層 650、以及相對電極 640 重疊，從而形成第二液晶元件。另外，採用在一個像素中設置有第一液晶元件及第二液晶元件的多區域化結構。

下面，示出橫向電場方式的液晶顯示裝置。橫向電場方式是指藉由對單元內的液晶分子沿水平方向施加電場來驅動液晶以便顯示灰度的方式。藉由橫向電場方式，可以使視角增大到大約 180 度。在下面的說明中，對採用橫向電場方式的液晶顯示裝置進行說明。

圖 25 示出基板 600 和相對基板 601 重疊且注入了液晶的狀態，在該基板 600 上形成有 TFT628 及與它連接的像素電極 624，而在該相對基板 601 上形成有遮光膜 632、第二著色膜 636、以及平坦化膜 637 等。由於在基板 600 上形成有像素電極，所以不在相對基板 601 上設置有像素電極。在基板 600 和相對基板 601 之間形成有液晶層 650。

在基板 600 上形成有第一像素電極 607、與第一像素電極 607 連接的電容佈線 604、以及實施例模式 1 所示的 TFT628。第一像素電極 607 可以使用與實施例模式 1 所示

的像素電極 77 同樣的材料。另外，第一像素電極 607 形成為大致分割成像素形狀的形狀。閘極絕緣膜 606 形成在第一像素電極 607 及電容佈線 604 上。

在閘極絕緣膜 606 上形成 TFT628 的佈線 616 及 618。佈線 616 是在液晶面板中傳送視頻信號的資料線，並是沿一個方向延伸的佈線，並且它與源區 610 連接而成為源極及汲極中的一方電極。佈線 618 成為源極及汲極中的另一方電極，它是與第二像素電極 624 連接的佈線。

第二絕緣膜 620 形成在佈線 616 及 618 上。另外，在絕緣膜 620 上，形成藉由形成在絕緣膜 620 中的接觸孔連接到佈線 618 的第二像素電極 624。像素電極 624 由與實施例模式 1 所示的像素電極 77 同樣的材料構成。

如上所述，在基板 600 上形成 TFT628、以及與它連接的第二像素電極 624。另外，保持電容形成在第一像素電極 607 和第二像素電極 624 之間。

圖 26 是示出像素電極的結構的平面圖。在第二像素電極 624 中設置狹縫 625。該狹縫 625 用來控制液晶的取向。在此情況下，電場發生在第一像素電極 607 和第二像素電極 624 之間。在第一像素電極 607 和第二像素電極 624 之間形成有閘極絕緣膜 606，但是閘極絕緣膜 606 的厚度為 50nm 至 200nm，該厚度與 2 μ m 至 10 μ m 的液晶層的厚度相比十分薄，因此沿平行於基板 600 的方向（水平方向）發生電場。該電場控制液晶的取向。藉由利用該大致平行於基板的方向的電場使液晶分子在水平方向上旋轉

。在此情況下，由於液晶分子在任何狀態下也處於水準，所以根據觀看角度的對比度等的影響很少，從而增大視角。而且，第一像素電極 607 和第二像素電極 624 都是透光電極，因此可以提高開口率。

下面，示出橫向電場方式的液晶顯示裝置的其他例子。

圖 27 及圖 28 示出 IPS 型液晶顯示裝置的像素結構。圖 28 是平面圖，而圖 27 示出沿 A-B 線的截面結構。下面，參照上述兩個附圖進行說明。

圖 27 示出基板 600 和相對基板 601 重疊且注入了液晶的狀態，在該基板 600 上形成有 TFT628 及與它連接的像素電極 624，而在該相對基板 601 上形成有遮光膜 632、第二著色膜 636、以及平坦化膜 637 等。由於在基板 600 上形成有像素電極，所以不在相對基板 601 上設置有像素電極。在基板 600 和相對基板 601 之間形成有液晶層 650。

在基板 600 上形成有公共電位線 609、以及實施例模式 1 所示的 TFT628。公共電位線 609 可以與薄膜電晶體 628 的閘極佈線 602 同時形成。另外，像素電極 624 形成為大致分割成像素形狀的形狀。

TFT628 的佈線 616 及 618 形成在閘極絕緣膜 606 上。佈線 616 是在液晶面板中傳送視頻信號的資料線，並是沿一個方向延伸的佈線，並且它與源區 610 連接而成為源極及汲極中的一方電極。佈線 618 成為源極及汲極中的另

一方電極，它是與像素電極 624 連接的佈線。

第二絕緣膜 620 形成在佈線 616 及 618 上。另外，在絕緣膜 620 上，形成藉由形成在絕緣膜 620 中的接觸孔 623 連接到佈線 618 的像素電極 624。像素電極 624 由與實施例模式 1 所示的像素電極 77 同樣的材料構成。如圖 28 所示，像素電極 624 形成為與在形成公共電位線 609 時一同形成的梳形電極產生橫向電場。而且，像素電極 624 的梳齒部分和在形成公共電位線 609 時一同形成的梳形電極互相咬合。

當在施加到像素電極 624 的電位和公共電位線 609 的電位之間產生電場時，該電場控制液晶的取向。藉由利用該大致平行於基板的方向的電場使液晶分子在水平方向上旋轉。在此情況下，由於液晶分子在任何狀態下也處於水平，所以根據觀看角度的對比度等的影響很少，從而增大視角。

如上所述，在基板 600 上形成 TFT628、以及與它連接的像素電極 624。另外，保持電容藉由在公共電位線 609 和電容電極 615 之間形成閘極絕緣膜 606 而形成。電容電極 615 和像素電極 624 藉由接觸孔 633 連接。

下面，示出 TN 型液晶顯示裝置的方式。

圖 29 及圖 30 示出 TN 型液晶顯示裝置的像素結構。圖 30 是平面圖，而圖 29 示出沿 A-B 線的截面結構。下面，參照上述兩個附圖進行說明。

像素電極 624 在接觸孔 623 中藉由佈線 618 連接到

TFT628。用作資料線的佈線 616 與 TFT628 連接。TFT628 可以適當地使用實施例模式 1 所示的任何 TFT。

像素電極 624 藉由使用實施例模式 1 所示的像素電極 77 而形成。

在相對基板 601 上形成有遮光膜 632、第二著色膜 636、以及相對電極 640。而且，在第二著色膜 636 和相對電極 640 之間形成有平坦化膜 637，以防止液晶的取向混亂。液晶層 650 形成在像素電極 624 和相對電極 640 之間。

像素電極 624、液晶層 650、以及相對電極 640 重疊，從而形成液晶元件。

另外，可以在基板 600 或相對基板 601 上形成有彩色濾光片或用來防止向錯的遮蔽膜（黑矩陣）等。而且，將偏光板貼合在與基板 600 的形成有薄膜電晶體的面相反一側的面上，並將偏光板貼合在與相對基板 601 的形成有相對電極 640 的面相反一側的面上。

相對電極 640 可以適當地使用與像素電極 624 同樣的材料。像素電極 624、液晶層 650、以及相對電極 640 重疊，從而形成液晶元件。

藉由上述步驟，可以製造液晶顯示裝置。本實施例模式的液晶顯示裝置使用截止電流少、電特性良好、以及可靠性高的薄膜電晶體，因此該液晶顯示裝置的對比度高且可見度高。另外，藉由使用圖 6 所示的電漿 CVD 設備並提供不引起表面駐波影響的高頻電力和屬於 VHF 頻帶的

高頻電力來產生電漿，從而可以在其長邊超過 2000mm 的大面積基板上形成均勻且膜品質高的薄膜，因此可以抑制液晶顯示裝置的電特性的不均勻，可以實現大量生產。

實施例模式 6

下面，參照圖 13A 至圖 15B、圖 31A 和 31B、以及圖 32A 至 32C 說明發光裝置作為顯示裝置的一個方式。這裏，以利用電致發光的發光元件示出發光裝置。利用電致發光的發光元件是以發光材料是有機化合物還是無機化合物來區分的。一般，前者稱為有機 EL 元件而後者稱為無機 EL 元件。

關於有機 EL 元件，當電壓施加到發光元件時，電子和電洞從一對電極注入到包含發光有機化合物的層中，並電流流動。而且，藉由那些載流子（電子和電洞）複合，發光有機化合物形成激發態，並且當該激發態返回基態時發出光。由於這種機制，將這種發光元件稱為電流激發發光元件。

無機 EL 元件根據其元件結構，被分為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有將發光材料的粒子分散在粘結劑中的發光層，其發光機制為利用施主能級和受主能級的施主-受主複合型發光。薄膜型無機 EL 元件具有以電介質層夾住發光層並且它被電極夾住的結構，其發光機制為利用金屬離子的內殼層電子躍遷的局部存在型發光。這裏，舉出有機 EL 元件作為發光

元件進行說明。另外，舉出實施例模式 1 的薄膜電晶體作為控制發光元件的驅動的薄膜電晶體。使用根據實施例模式 1 而獲得的薄膜電晶體的發光裝置可以抑制薄膜電晶體的臨界值的變動，從而可以提高可靠性。尤其是，對於用於發光裝置的薄膜電晶體進行直流驅動，因此其閘極絕緣膜由三個層，即作為第一層的氮化矽膜、作為第二層的氧氮化矽膜、作為第三層的氮化矽膜構成的實施例模式 1 的薄膜電晶體能夠主要以作為第二層的氧氮化矽膜抑制臨界值的漂移。

藉由圖 13A 至圖 15B 所示的步驟，如圖 31A 和 31B 所示那樣在基板 50 上形成薄膜電晶體 83，並在薄膜電晶體 83 上形成用作保護膜的絕緣膜 87。另外，還在驅動電路 12 中形成薄膜電晶體 84。薄膜電晶體 84 可以以與像素部 11 的薄膜電晶體 83 相同的步驟形成。接著，在絕緣膜 87 上形成平坦化膜 93，並在平坦化膜 93 上形成與薄膜電晶體 83 的源極電極或汲極電極連接的像素電極 94。

平坦化膜 93 較佳的使用丙烯酸、聚醯亞胺、聚醯胺等有機樹脂、或矽氧烷而形成。

在圖 31A 中，因為像素部 11 的薄膜電晶體為 n 型，所以作為像素電極 94 較佳的使用陰極，與此相反，當像素部 11 的薄膜電晶體為 p 型時，較佳的使用陽極。具體而言，作為陰極可以使用功函數小的已知的材料如鈣、鋁、氟化鈣、鎂銀合金、鋰鋁合金等。

其次，如圖 31B 所示，在平坦化膜 93 及像素電極 94

的端部上形成隔離牆 91。隔離牆 91 具有開口部，在該開口部中露出像素電極 94。隔離牆 91 使用有機樹脂膜、無機絕緣膜、或有機聚矽氧烷而形成。尤其是，較佳的使用感光性的材料，並在像素電極上形成開口部，該開口部的側壁具有以連續的曲率形成的傾斜面。

其次，以在隔離牆 91 的開口部中接觸像素電極 94 的方式形成發光層 95。發光層 95 既可以由單獨層構成，又可以由多層的疊層構成。

以覆蓋發光層 95 的方式形成使用陽極的共同電極 96。共同電極 96 可以藉由使用由在實施例模式 1 中作為像素電極 77 舉出的具有透光性的導電材料構成的透光導電膜而形成。作為共同電極 96，上述透光導電膜之外，還可以使用氮化鈦膜或鈦膜。在圖 31B 中，作為共同電極 96 使用銦錫氧化物。在隔離牆 91 的開口部中，藉由像素電極 94、發光層 95、共同電極 96 彼此重疊，形成發光元件 98。然後，較佳的在共同電極 96 及隔離牆 91 上形成保護膜 97，以便防止氧、氫、水分、二氧化碳等浸入到發光元件 98 中。作為保護膜 97，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

再者，實際上當完成圖 31B 的製程時，為了不被暴露於空氣，較佳的由氣密性高且脫氣少的保護薄膜（層壓薄膜、紫外線硬化樹脂薄膜等）或覆蓋材料來封裝（密封）。

接下來，對發光元件的結構將參照圖 32A 至 32C 進行

說明。在此，舉出驅動 TFT 為 n 型的情況作為一例，對像素的截面結構進行說明。

為了取出發光，發光元件的陽極和陰極中的至少一個是透明的即可。薄膜電晶體及發光元件形成在基板上。存在具有頂部發射結構、底部發射結構和雙面發射結構的發光元件，其中頂部發射結構藉由與基板相對表面取出發射的光，其中底部發射結構藉由基板一側的表面取出發射的光，其中雙面發射結構藉由基板一側的表面和與基板相對表面取出發射的光。本發明的像素結構可以應用於具有任一種發射結構的發光元件。

對具有頂部發射結構的發光元件參照圖 32A 進行說明。

在圖 32A 中示出當驅動 TFT7001 為 n 型且從發光元件 7002 發射的光傳輸到陽極 7005 一側時的像素的截面圖。在圖 32A 中，發光元件 7002 的陰極 7003 和驅動 TFT7001 電連接，並且在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。陰極 7003 只要是功函數小且反射光的導電膜，可以使用已知的材料。例如，較佳的使用鈣、鋁、氟化鈣、鎂銀合金、鋰鋁合金等。發光層 7004 既可以由單獨層構成，又可以由多層的疊層構成。在由多層構成的情況下，在陰極 7003 上按順序層疊電子注入層、電子傳輸層、發光層、電洞傳輸層、電洞注入層。注意，不需要一定設置所有的這些層。陽極 7005 使用透過光的透光導電材料而形成，例如也可以使用具有透光性的導電膜

如含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。

由陰極 7003 及陽極 7005 夾有發光層 7004 的區域相當於發光元件 7002。在圖 32A 所示的像素中，如空心箭頭所示，從發光元件 7002 發射的光發射到陽極 7005 一側。

接下來，對具有底部發射結構的發光元件將參照圖 32B 進行說明。圖 32B 示出當驅動 TFT7011 為 n 型且從發光元件 7012 發射的光發射到陰極 7013 一側時的像素的截面圖。在圖 32B 中，在與驅動 TFT7011 電連接的透光導電材料 7017 上形成有發光元件 7012 的陰極 7013，在陰極 7013 上按順序層疊有發光層 7014、陽極 7015。注意，在陽極 7015 具有透光性的情況下，可以以覆蓋陽極上的方式形成有用於反射光或遮光的遮罩膜。與圖 32A 相同，陰極 7013 只要是功函數小的導電膜，可以使用已知的材料。注意，將其膜厚度設定為透過光的膜厚度（較佳的大約為 5nm 至 30nm）。例如，可以使用膜厚度為 20nm 的 Al 作為陰極 7013。而且，與圖 32A 相同，發光層 7014 既可以由單獨層構成，又可以由多層的疊層構成。陽極 7015 不必要透過光，但是與圖 32A 相同，可以使用透光導電材料而形成。遮罩膜可以使用如反射光的金屬等，但是不局限於金屬膜。例如，也可以使用添加黑色顏料的樹脂等。

由陰極 7013 及陽極 7015 夾有發光層 7014 的區域相

當於發光元件 7012。在圖 32B 所示的像素中，如空心箭頭所示，從發光元件 7012 發射的光發射到陰極 7013 一側。

其次，對具有雙面發射結構的發光元件，使用圖 32C 進行說明。在圖 32C 中，在與驅動 TFT7021 電連接的透光導電材料 7027 上形成有發光元件 7022 的陰極 7023，在陰極 7023 上按順序層疊有發光層 7024、陽極 7025。與圖 32A 相同，陰極 7023 只要是功函數小的導電膜，可以使用已知的材料。注意，將其膜厚度設定為透過光的膜厚度。例如，可以使用膜厚度為 20nm 的 Al 作為陰極 7023。而且，與圖 32A 相同，發光層 7024 既可以由單獨層構成，又可以由多層的疊層構成。與圖 32A 相同，陽極 7025 可以使用透過光的透光導電材料而形成。

陰極 7023、發光層 7024、陽極 7025 彼此重疊的區域相當於發光元件 7022。在圖 32C 所示的像素中，如空心箭頭所示，從發光元件 7022 發射的光發射到陽極 7025 一側和陰極 7023 一側的雙方。

這裏，說明了有機 EL 元件作為發光元件，但是也可以設置無機 EL 元件作為發光元件。

注意，雖然在本實施例模式中示出控制發光元件的驅動的薄膜電晶體（驅動 TFT）和發光元件電連接的一例，但是也可以採用在驅動 TFT 和發光元件之間連接有電流控制 TFT 的結構。

注意，本實施例模式所示的發光裝置不限於圖 32A 至

32C 所示的結構，而基於本發明的技術思想可以實現各種各樣的變形。

藉由上述步驟，可以製造發光裝置。本實施例模式的發光裝置使用截止電流少、電特性良好、以及可靠性高的薄膜電晶體，因此該發光裝置的對比度高且可見度高。另外，藉由使用圖 6 所示的電漿 CVD 設備並提供不引起表面駐波影響的高頻電力和屬於 VHF 頻帶的高頻電力來產生電漿，從而可以在其長邊超過 2000mm 的大面積基板上形成均勻且膜品質高的薄膜，因此可以抑制發光裝置的電特性的不均勻，可以實現大量生產。

實施例模式 7

下面，示出作為本發明的顯示裝置的一個方式的顯示面板的結構。

在圖 33A 中示出另外僅形成信號線驅動電路 6013 且與在基板 6011 上形成的像素部 6012 連接的顯示面板的方式。像素部 6012 及掃描線驅動電路 6014 使用由微晶半導體膜構成的薄膜電晶體而形成。藉由由其遷移率高於由微晶半導體膜構成的薄膜電晶體的電晶體形成信號線驅動電路，可以使信號線驅動電路的工作穩定，該信號線驅動電路的驅動頻率被要求高於掃描線驅動電路的驅動頻率。注意，信號線驅動電路 6013 可以為使用單晶半導體的電晶體、使用多晶半導體的薄膜電晶體、或使用 SOI 的電晶體。電源的電位、各種信號等藉由 FPC6015 分別供給給像素

部 6012、信號線驅動電路 6013、掃描線驅動電路 6014。

注意，也可以將信號線驅動電路及掃描線驅動電路都形成在與像素部相同的基板上。

此外，在另外形成驅動電路的情況下，不一定需要將形成有驅動電路的基板貼合到形成有像素部的基板上，也可以如貼合到 FPC 上。在圖 33B 中表示另外僅形成信號線驅動電路 6023 且與形成在基板 6021 上的像素部 6022 及掃描線驅動電路 6024 連接的液晶顯示裝置面板的方式。像素部 6022 及掃描線驅動電路 6024 藉由使用由微晶半導體膜構成的薄膜電晶體而形成。信號線驅動電路 6023 藉由 FPC6025 連接到像素部 6022。電源的電位、各種信號等藉由 FPC6025 分別供給給像素部 6022、信號線驅動電路 6023、掃描線驅動電路 6024。

另外，也可以使用由微晶半導體膜構成的薄膜電晶體在與像素部相同的基板上僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分，另外形成其他部分且與像素部電連接。在圖 33C 中表示將作為信號線驅動電路的一部分的類比開關 6033a 形成在與像素部 6032、掃描線驅動電路 6034 相同的基板 6031 上，並且將作為信號線驅動電路的一部分的移位暫存器 6033b 另外形成在不同的基板上，來彼此貼合的液晶顯示裝置面板的方式。像素部 6032 及掃描線驅動電路 6034 使用由微晶半導體膜構成的薄膜電晶體而形成。作為信號線驅動電路的一部分的移位暫存器 6033b 藉由 FPC6035 連接到像素部 6032。電源的電位、各

種信號等藉由 FPC6035 分別供給給像素部 6032、信號線驅動電路、掃描線驅動電路 6034。

如圖 33A 至 33C 所示，可以在與像素部相同的基板上使用由微晶半導體膜構成的薄膜電晶體形成本發明的液晶顯示裝置的驅動電路的一部分或全部。

注意，對另外形成的基板的連接方法沒有特別的制限，可以使用已知的 COG 方法、引線鍵合方法、或 TAB 方法等。此外，連接的位置只要是能夠電連接，就不限於圖 33A 至 33C 所示的位置。另外，也可以另外形成控制器、CPU、記憶體等來連接。

注意，在本發明中使用的信號線驅動電路不局限於僅具有移位暫存器和類比開關的方式。除了移位暫存器和類比開關之外，還可以具有緩衝器、位準轉移電路、源極跟隨器等其他電路。另外，不需要一定設置移位暫存器和類比開關，例如既可以使用如解碼器電路的可以選擇信號線的其他電路代替移位暫存器，又可以使用鎖存器等代替類比開關。

圖 36 示出本發明的液晶顯示裝置的方塊圖。圖 36 所示的顯示裝置包括具有多個具備顯示元件的像素的像素部 701、選擇每個像素的掃描線驅動電路 702、以及控制視頻信號輸入到被選擇的像素的信號線驅動電路 703。

在圖 36 中信號線驅動電路 703 具有移位暫存器 704、類比開關 705。對移位暫存器 704 輸入時鐘信號 (CLK)、起始脈衝信號 (SP)。當輸入時鐘信號 (CLK) 和起始

脈衝信號（SP）時，在移位暫存器 704 中生成定時信號，而輸入到類比開關 705。

另外，將視頻信號供給給類比開關 705。根據輸入的定時信號，類比開關 705 取樣視頻信號，並供給給信號線。

接下來，對掃描線驅動電路 702 的結構進行說明。掃描線驅動電路 702 具有移位暫存器 706、緩衝器 707。此外，根據情況也可以具有位準轉移電路。在掃描線驅動電路 702 中，藉由對移位暫存器 706 輸入時鐘信號（CLK）及起始脈衝信號（SP）生成選擇信號。生成了的選擇信號在緩衝器 707 中被緩衝放大，而供給給對應的掃描線。一條線上的像素所具有的電晶體的閘極連接到掃描線。而且，需要使一條線上的像素的電晶體同時導通，因此採用能夠流過大電流的緩衝器 707。

關於全彩色液晶顯示裝置，在將對應於 R（紅）、G（綠）、B（藍）的視頻信號按順序取樣而供給給對應的信號線的情況下，用於連接移位暫存器 704 和類比開關 705 的端子數目相當於用於連接類比開關 705 和像素部 701 的信號線的端子數目的三分之一左右。因此，藉由將類比開關 705 形成在與像素部 701 相同的基板上，與將類比開關 705 形成在與像素部 701 不同的基板上時相比，可以減少用於連接另外形成的基板的端子數目，並且抑制連接不良的發生比例，來可以提高成品率。

圖 36 所示的掃描線驅動電路 702 具有移位暫存器 706

及緩衝器 707，但是掃描線驅動電路 702 也可以由移位暫存器 706 構成。

圖 36 所示的結構只是本發明的顯示裝置的一個方式，信號線驅動電路和掃描線驅動電路的結構不局限於此。圖 36 所示的電路由使用微晶半導體的電晶體構成的液晶顯示裝置能夠使電路進行高速工作。例如，當對使用非晶半導體膜的情況和使用微晶半導體膜的情況進行比較時，使用微晶半導體膜的電晶體的遷移率高，因此可以提高驅動電路（例如掃描線驅動電路 702 的移位暫存器 706）的驅動頻率。由於能夠使掃描線驅動電路 702 進行高速工作，所以可以實現提高幀頻率或黑屏插入等。

在提高幀頻率的情況下，較佳的與圖像的運動方向相應地產生螢幕的資料。就是說，較佳的進行運動補償來內插資料。像這樣，藉由提高幀頻率並內插圖像資料，可以改善動畫的顯示特性並可以進行平滑的顯示。例如，藉由將幀頻率設定為 2 倍（例如 120Hz、100Hz）以上，更佳的為 4 倍（例如 480Hz、400Hz）以上，可以減少動畫中的圖像模糊或視覺殘留。在此情況下，藉由還以提高驅動頻率的方式使掃描線驅動電路 702 工作，可以提高幀頻率。

在進行黑屏插入的情況下，採用能夠將圖像資料或成為黑色顯示的資料提供給像素部 701 的方式。其結果是，成為與脈衝驅動類似的方式，並可以減少視覺殘留。在此情況下，藉由還以提高驅動頻率的方式使掃描線驅動電路

702 工作，可以進行黑屏插入。

再者，藉由增大掃描線驅動電路 702 的電晶體的通道寬度，或者配置多個掃描線驅動電路，等等，可以實現更高的框頻率。例如，可以將框頻率設定為 8 倍（例如 960Hz、800Hz）以上。在配置多個掃描線驅動電路的情況下，藉由將用來驅動第偶數行的掃描線的掃描線驅動電路配置在一側，並將用來驅動第奇數行的掃描線的掃描線驅動電路配置在相反的一側，可以實現提高框頻率。

藉由使用由微晶半導體構成的電晶體構成圖 36 所示的電路，可以縮小佈局面積。由此，可以縮小作為顯示裝置的一個例子的液晶顯示裝置的邊框。例如，當對使用非晶半導體膜的情況和使用微晶半導體膜的情況進行比較時，使用微晶半導體膜的電晶體的遷移率高，因此可以縮小電晶體的通道寬度。其結果是，可以實現液晶顯示裝置的窄邊框化。

當對使用非晶半導體膜的情況和使用微晶半導體膜的情況進行比較時，在使用微晶半導體膜的情況下不容易退化。因此，在使用微晶半導體膜的情況下，可以縮小電晶體的通道寬度。或者，即使不配置對退化的補償用電路，也可以正常地工作。因此，可以縮小每個像素中的電晶體的平面面積。

實施例模式 8

接下來，對相當於本發明的顯示裝置的一個方式的液

晶顯示面板的外觀及截面，使用圖 37A 和 37B 進行說明。

圖 37A 是藉由使用密封劑 4005 將形成在第一基板 4001 上的具有微晶半導體膜的薄膜電晶體 4010 及液晶元件 4013 密封在第一基板 4001 與第二基板 4006 之間的面板的俯視圖，圖 37B 相當於沿圖 37A 的 A-A' 的截面圖。

以圍繞在第一基板 4001 上設置的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封劑 4005。另外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶 4008 一起由第一基板 4001、密封劑 4005、以及第二基板 4006 密封。另外，在第一基板 4001 上的與由密封劑 4005 圍繞的區域不同的區域中安裝有在另外準備的基板上由多晶半導體膜形成的信號線驅動電路 4003。注意，雖然在本實施例模式中，對將具有由多晶半導體膜構成的薄膜電晶體的信號線驅動電路貼合到第一基板 4001 的一例進行說明，但是也可以由使用單晶半導體的電晶體形成信號線驅動電路並貼合。圖 37A 和 37B 例示包含於信號線驅動電路 4003 的由多晶半導體膜形成的薄膜電晶體 4009。

設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 具有多個薄膜電晶體，圖 37B 例示包含於像素部 4002 的薄膜電晶體 4010。薄膜電晶體 4010 相當於使用微晶半導體膜的薄膜電晶體。

另外，附圖標記 4013 相當於液晶元件。液晶元件 4013 所具有的像素電極 4030 藉由佈線 4041 與薄膜電晶體

4010 電連接。液晶元件 4013 的相對電極 4031 形成在第二基板 4006 上。像素電極 4030、相對電極 4031、以及液晶 4008 重疊的部分相當於液晶元件 4013。

注意，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬（代表為不銹鋼）、陶瓷、塑膠。作為塑膠，可以使用 FRP（即纖維強化塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜、或丙烯酸樹脂薄膜。另外，也可以採用由 PVF 薄膜或聚酯薄膜夾有鋁箔的薄片。

另外，球狀的隔離物 4035 用來控制像素電極 4030 和相對電極 4031 之間的距離（單元間隙）。注意，也可以使用藉由選擇性地蝕刻絕緣膜而獲得的隔離物。

此外，供給給另外形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位，藉由引導佈線 4014 及引導佈線 4015 從 FPC4018 提供。

在本實施例模式中，連接端子 4016 由與液晶元件 4013 所具有的像素電極 4030 相同的導電膜形成。另外，引導佈線 4014、引導佈線 4015 由與佈線 4041 相同的導電膜形成。

連接端子 4016 與 FPC4018 所具有的端子藉由各向異性導電膜 4019 電連接。

注意，雖然未圖示，本實施例模式所示的液晶顯示裝置具有定向膜、偏光板，進而也可以具有顏色濾光片、遮罩膜。

注意，圖 37A 和 37B 示出另外形成信號線驅動電路

4003 並安裝到第一基板 4001 的一例，但是本實施例模式不局限於該結構。既可以另外形成掃描線驅動電路並安裝，又可以另外僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分並安裝。

本實施例模式可以與其他實施例模式所記載的結構組合而實施。

實施例模式 9

接下來，對相當於本發明的顯示裝置的一個方式的發光顯示面板的外觀及截面，使用圖 38A 和 38B 進行說明。圖 38A 是藉由使用密封劑將形成在第一基板上的使用微晶半導體膜的薄膜電晶體及發光元件密封在第一基板與第二基板之間的面板的俯視圖，圖 38B 相當於沿圖 38A 的 A-A' 的截面圖。

以圍繞在第一基板 4001 上設置的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封劑 4005。另外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與填料 4007 一起由第一基板 4001、密封劑 4005、以及第二基板 4006 密封。另外，在第一基板 4001 上的與由密封劑 4005 圍繞的區域不同的區域中安裝有在另外準備的基板上由多晶半導體膜形成的信號線驅動電路 4003。注意，雖然在本實施例模式中，對將具有由多晶半導體膜構成的薄膜電晶體的信號線驅動電路貼合到第一基板 4001 的一例進行說明，

但是也可以由使用單晶半導體的電晶體形成信號線驅動電路並貼合。圖 38B 例示包含於信號線驅動電路 4003 的由多晶半導體膜形成的薄膜電晶體 4009。

設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 具有多個薄膜電晶體，圖 38B 例示包含於像素部 4002 的薄膜電晶體 4010。注意，在本實施例模式中，雖然假定了薄膜電晶體 4010 為驅動 TFT，但是薄膜電晶體 4010 既可以為電流控制 TFT，又可以為擦除 TFT。薄膜電晶體 4010 相當於由微晶半導體膜構成的薄膜電晶體。

另外，發光元件 4011 所具有的像素電極藉由佈線 4017 與薄膜電晶體 4010 的源極電極或汲極電極電連接。在本實施例模式中，發光元件 4011 的共同電極和具有透光性的導電膜 4012 電連接。注意，發光元件 4011 的結構不局限於本實施例模式所示的結構。根據從發光元件 4011 取出的光的方向或薄膜電晶體 4010 的極性等，可以適當地改變發光元件 4011 的結構。

此外，供給給另外形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位，雖然在圖 38B 所示的截面圖中未圖示，但是藉由引導佈線 4014 及引導佈線 4015 從 FPC4018 提供。

在本實施例模式中，連接端子 4016 由與佈線 4017 相同的導電膜形成。另外，引導佈線 4014、引導佈線 4015 由與薄膜電晶體 4010 的源極電極或汲極電極相同的導電

膜形成。

連接端子 4016 與 FPC4018 所具有的端子藉由各向異性導電膜 4019 電連接。

位於從發光元件 4011 取出光的方向的第二基板必須為透明。在此情況下，使用玻璃板、塑膠板、聚酯薄膜或丙烯酸薄膜等具有透光性的材料。

另外，作為填料 4007 除了氮或氬等惰性的氣體之外，還可以使用紫外線硬化樹脂或熱硬化樹脂，即可以使用 PVC（聚氯乙烯）、丙烯、聚醯亞胺、環氧樹脂、矽樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（即乙烯-醋酸乙烯酯）。在本實施例模式中作為填料使用氮。

另外，若有需要，也可以在發光元件的射出表面上適當地提供諸如偏光板、圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 片、 $\lambda/2$ 片）、以及顏色濾光片等的光學膜。另外，也可以在偏光板或圓偏光板上提供抗反射膜。例如，可以執行抗眩光處理，該處理是利用表面的凹凸來擴散反射光並降低眩光的。

注意，圖 38A 和 38B 示出另外形成信號線驅動電路 4003 並安裝到第一基板 4001 的一例，但是本實施例模式不局限於該結構。既可以另外形成掃描線驅動電路並安裝，又可以另外僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分並安裝。

本實施例模式可以與其他實施例模式所記載的結構組合而實施。

實施例模式 10

根據本發明而獲得的顯示裝置等可以用於主動矩陣型顯示裝置模組。換句話說，其顯示部分安裝有上述模組的所有電子產品均可以實施本發明。

作為這種電子產品，可以舉出影像拍攝裝置如攝像機或數位相機、頭戴式顯示器（護目鏡型顯示器）、汽車導航系統、投影機、汽車音響、個人電腦、可攜式資訊終端（移動電腦、行動電話或電子書等）等。圖 34A 至 34D 示出了其一例。

圖 34A 表示電視裝置。如圖 34A 所示，可以將顯示模組組裝在框體中來完成電視裝置。將安裝了 FPC 的顯示面板還稱為顯示模組。由顯示模組形成主畫面 2003，作為其他附屬裝置還具有揚聲器部分 2009、操作開關等。如上所述，可以完成電視裝置。

如圖 34A 所示，在框體 2001 中組裝利用了顯示元件的顯示用面板 2002，並且可以由接收機 2005 接收普通的電視廣播，而且藉由數據機 2004 連接到有線或無線方式的通訊網絡，從而還可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間，或者在接收者之間）的資訊通訊。電視裝置的操作可以由組裝在框體中的開關或另外的遙控裝置 2006 進行，並且該遙控裝置 2006 也可以設置有顯示輸出資訊的顯示部分 2007。

另外，電視裝置還可以附加有如下結構：除了主畫面

2003 以外，使用第二顯示用面板形成輔助畫面 2008，並顯示頻道或音量等。在這種結構中，也可以採用視角優良的液晶顯示面板形成主畫面 2003，並且採用能夠以低耗電量進行顯示的發光顯示面板形成輔助畫面。另外，爲了優先地減小耗電量，也可以採用如下結構：使用發光顯示面板形成主畫面 2003，使用發光顯示面板形成輔助畫面，並且輔助畫面能夠點亮和熄滅。

圖 35 是電視裝置的主要結構的方塊圖。像素部 921 形成在顯示面板 900 上。可以採用 COG 方法將信號線驅動電路 922 和掃描線驅動電路 923 安裝在顯示面板 900 上。

作爲其他外部電路的結構，在視頻信號的輸入一側具有視頻信號放大電路 925、視頻信號處理電路 926、控制電路 927 等。其中，視頻信號放大電路 925 放大調諧器 924 所接收信號中的視頻信號，視頻信號處理電路 926 將從視頻信號放大電路 925 輸出的信號轉換成對應於紅、綠和藍各種顏色的色信號，控制電路 927 將該視頻信號轉換成驅動器 IC 輸入規格。控制電路 927 將信號輸出到掃描線側和信號線側。在進行數位驅動的情況下，可以採用如下結構：在信號線一側設置信號分割電路 928，並將輸入數位信號劃分成 m 個而供給。

由調諧器 924 接收的信號中的音頻信號被發送到音頻信號放大電路 929，並經音頻信號處理電路 930 供給到揚聲器 933。控制電路 931 從輸入部 932 接收有關接收站（

接收頻率)或音量的控制資訊，並將信號傳送到調諧器 924 和音頻信號處理電路 930。

當然，本發明不局限於電視裝置，還可以應用於各種用途如個人電腦的監視器、鐵路的車站或飛機場等中的資訊顯示幕、街頭上的廣告顯示幕等大面積顯示媒體。

圖 34B 表示可攜式電話機 2301 的一例。該可攜式電話機 2301 包括顯示部 2302、操作部 2303 等而構成。在顯示部 2302 中，應用上述實施例模式所說明的顯示裝置，而可以提高批量生產性。

另外，圖 34C 所示的便攜型電腦包括主體 2401、顯示部 2402 等。藉由對顯示部 2402 應用上述實施例模式所示的顯示裝置，可以提高批量生產性。

圖 34D 是桌照明燈，其包括照明部分 2501、燈罩 2502、可變臂 2503、支座 2504、基座 2505 和電源 2506。對於照明部分 2501，使用實施例模式 6 所示的發光裝置來製造桌照明燈。注意，照明燈包括固定到天花板上的照明燈和壁掛照明燈等。藉由應用實施例模式 6 所示的顯示裝置，可以提高批量生產性，並可以提供廉價的桌照明燈。

實施例 1

在本實施例中，在藉由施加一個高頻電力形成電漿的成膜條件、以及藉由重疊施加兩個高頻電力形成電漿的成膜條件下分別形成微晶矽膜，並對其成膜速度進行比較。成膜速度指的是成膜開始後膜幾乎不生長的培養時間以外

的時間中的沉積速度，即以培養時間剛經過後的時間為 0 的膜開始沉積後的沉積速度。另外，成膜速度指的是以將氣體如矽烷氣體等引入處理室內並引入高頻電力的時間為 0 的成膜開始後的沉積速度。

各成膜條件如下：SiH₄ 流量為 4sccm，H₂ 流量為 400sccm，成膜壓力為 100Pa，基板溫度為 200℃。另外，在玻璃基板上形成 50nm 的氮化矽膜並在其上形成 50nm 的微晶矽膜，以對成膜速度進行比較。

比較例 1 是藉由施加一個高頻電力（電源頻率 60MHz，電力功率 15W）成膜的例子。在電極間隔為 20mm 的狀態下成膜，其結果是，微晶矽膜的生長速度為 2.8nm/min，培養時間為 0.7 分鐘。

比較例 2 是藉由施加一個高頻電力（電源頻率 13.56MHz，電力功率 80W）成膜的例子。在電極間隔為 30mm 的狀態下成膜，其結果是，微晶矽膜的生長速度為 4.8nm/min，培養時間為 0.4 分鐘。

比較例 3 是藉由施加一個高頻電力（電源頻率 60MHz，電力功率 80W）成膜的例子。在電極間隔為 30mm 的狀態下成膜，其結果是，微晶矽膜的生長速度為 3.3nm/min，培養時間為 0.6 分鐘。

樣品 1 是藉由重疊施加兩個高頻電力而成膜的，作為第一高頻電力採用 13.56MHz 的頻率及 60W 的電力功率，作為第二高頻電力採用 60MHz 的頻率及 20W 的電力功率，並在電極間隔為 30mm 的狀態下成膜。關於樣品 1，微

晶矽膜的生長速度為 6.3nm/min ，培養時間為 0.8 分鐘。

樣品 2 是藉由重疊施加兩個高頻電力而成膜的，作為第一高頻電力條件採用 13.56MHz 的頻率及 40W 的電力功率，作為第二高頻電力條件採用 60MHz 的頻率及 40W 的電力功率，並在電極間隔為 30mm 的狀態下成膜。關於樣品 2，微晶矽膜的生長速度為 5.5nm/min ，培養時間為 0.3 分鐘。

樣品 3 是藉由重疊施加兩個高頻電力而成膜的，作為第一高頻電力條件採用 13.56MHz 的頻率及 20W 的電力功率，作為第二高頻電力條件採用 60MHz 的頻率及 60W 的電力功率，並在電極間隔為 30mm 的狀態下成膜。關於樣品 3，微晶矽膜的生長速度為 3.6nm/min ，培養時間為 0 分鐘。

在樣品 1 中，可以實現藉由重疊施加來提高生長速度。雖然培養時間為 0.8 分鐘，但是可以說是微晶矽膜的生長速度最高的條件。

在樣品 2 中，與比較例 1 至 3 相比可以減少培養時間。再者，在樣品 3 中，可以實現藉由重疊施加高頻電力來消除培養時間，而且藉由消除培養時間來實現膜品質的均勻性。在樣品 3 中，由於消除培養時間，所以樣品 3 的生長速度可以說是成膜速度。尤其是在對每個基板分別進行成膜處理的單片式成膜製程中，根據每個基板而產生對應於培養時間的等待時間，這會導致整個半導體裝置製造步驟中的產率降低。因此，消除培養時間是在大量生產上有

用的。

由此可見，樣品 2 的成膜條件符合用來提高在成膜初期中形成的半導體區域的品質及均勻性的微晶半導體膜的成膜條件。例如，藉由採用樣品 2 的成膜條件作為第一成膜條件，並採用樣品 1 的成膜條件作為第二成膜條件，可以在成膜速度低而品質高的第一成膜條件下形成閘極絕緣膜介面附近的膜的下部，然後在成膜速度高的第二成膜條件下沉積膜的上部。在此情況下，在採用第二成膜條件前的第一成膜條件下已形成包含作為晶核的晶粒的膜，因而幾乎不產生第二成膜條件的培養時間，從而可以高效地形成微晶半導體膜。

當然，藉由採用樣品 2 的成膜條件作為第一成膜條件，並採用比較例 2 的成膜條件作為第二成膜條件來形成微晶矽膜也是有用的。就是說，在成膜初期中藉由重疊施加兩個高頻電力來成膜，然後在停止引入一方高頻電力的成膜條件下繼續形成微晶半導體膜。

將上述實驗結果示出於圖 39。在藉由重疊施加而成膜的樣品 1 至 3 中，微晶矽膜的厚度的面內分佈被抑制為±小於 3%，呈現良好的膜厚度均勻性。

【圖式簡單說明】

在附圖中：

圖 1A 至 1D 是說明本發明的製造方法的截面圖；

圖 2A 至 2D 是說明本發明的製造方法的截面圖；

圖 3A 至 3C 是說明本發明的製造方法的截面圖；

圖 4 是說明本發明的製造方法的俯視圖；

圖 5 示出說明微晶矽膜的形成步驟的時序圖的一個例子；

圖 6 是說明將多個高頻電力施加到一個電極的反應室的結構的圖；

圖 7 是示出將第一高頻電源的高頻電力和第二高頻電源的高頻電力重疊時的波形的一個例子的示意圖；

圖 8 是示出將第一高頻電源的高頻電力和第二高頻電源的高頻電力重疊時的波形的一個例子的示意圖；

圖 9 是示出將多個高頻電力施加到一個電極的反應室的電極結構的其他例子的圖；

圖 10 是示出具有三個處理室的多室式 CVD 設備的結構的俯視圖；

圖 11 是示出具有四個處理室的多室式 CVD 設備的結構的俯視圖；

圖 12A 至 12D 是說明可適用於本發明的多灰度掩模的圖；

圖 13A 和 13B 是本發明的製造步驟的截面圖；

圖 14A 至 14C 是本發明的製造步驟的截面圖；

圖 15A 和 15B 是本發明的製造步驟的截面圖；

圖 16A 至 16C 是本發明的製造步驟的俯視圖；

圖 17 是說明液晶顯示裝置的一個例子的圖；

圖 18 是說明液晶顯示裝置的一個例子的圖；

圖 19 是說明液晶顯示裝置的一個例子的圖；

圖 20 是說明液晶顯示裝置的一個例子的圖；

圖 21 是說明液晶顯示裝置的一個例子的圖；

圖 22 是說明液晶顯示裝置的一個例子的圖；

圖 23 是說明液晶顯示裝置的一個例子的圖；

圖 24 是說明液晶顯示裝置的一個例子的圖；

圖 25 是說明液晶顯示裝置的一個例子的圖；

圖 26 是說明液晶顯示裝置的一個例子的圖；

圖 27 是說明本發明的液晶顯示裝置的圖；

圖 28 是說明本發明的液晶顯示裝置的圖；

圖 29 是說明液晶顯示裝置的一個例子的圖；

圖 30 是說明液晶顯示裝置的一個例子的圖；

圖 31A 和 31B 是說明發光裝置的製造方法的一個例子的
的截面圖；

圖 32A 至 32C 是說明可適用於發光裝置的像素的截面
圖；

圖 33A 至 33C 是說明顯示面板的立體圖；

圖 34A 至 34D 是說明使用發光裝置的電子產品的立
體圖；

圖 35 是說明使用發光裝置的電子產品的圖；

圖 36 是說明發光裝置的結構的方塊圖；

圖 37A 和 37B 是說明顯示面板的俯視圖及截面圖；

圖 38A 和 38B 是說明顯示面板的俯視圖及截面圖；以
及

圖 39 是示出藉由將具有不同頻率的高頻電力重疊而成膜的實驗結果的圖。

【主要元件符號說明】

- 11：像素部
- 12：驅動電路部
- 23：微晶半導體膜
- 50：基板
- 51：閘極電極
- 52a、52b、52c：閘極絕緣膜
- 53：微晶半導體膜
- 54：緩衝層
- 55：添加有賦予一導電類型的雜質的半導體膜
- 56：抗蝕劑掩模
- 59：多灰度掩模
- 61：微晶半導體膜
- 62：緩衝層
- 63：添加有賦予一導電類型的雜質的半導體膜
- 65a、65b、65c：導電膜
- 66：抗蝕劑掩模
- 71a、71b、71c：源極電極及汲極電極
- 72：源區及汲區
- 73：緩衝層
- 74：薄膜電晶體

76：絕緣膜

77：像素電極

80：抗蝕劑掩模

81：抗蝕劑掩模

83：薄膜電晶體

84：薄膜電晶體

85a、85b、85c：導電膜

87：緩衝層

86：抗蝕劑掩模

88：源區及汲區

90：微晶半導體膜

91：隔離牆

92a、92b、92c：源極電極及汲極電極

93：平坦化膜

94：像素電極

95：發光層

96：共同電極

97：保護膜

98：發光元件

100a：第一反應室

100b：第二反應室

100c：第三反應室

100d：第四反應室

101：第一電極

- 101a：第一電極
- 101b：第一電極
- 102：第二電極
- 103：高頻電力供給單元
- 104：第一高頻電源
- 105：第二高頻電源
- 106：第一匹配器
- 107：第二匹配器
- 108：氣體供給單元
- 108g：氣體供給單元
- 108i：氣體供給單元
- 108n：氣體供給單元
- 108a：氣體供給單元
- 108f：氣體供給單元
- 109：排氣控制單元
- 110：汽瓶
- 111：壓力調節閥
- 112：截止閥
- 113：品質流量控制器
- 114：基板加熱器
- 115：加熱器控制器
- 116：絕緣材料
- 117：蝶閥
- 118：導閥

- 119：渦輪分子泵
- 120：乾泵
- 121：低溫泵
- 122：裝載/卸載室
- 123：公共室
- 124：盒子
- 125：閘閥
- 126：搬運機構
- 127：開關
- 200：真空排氣
- 201：預塗
- 202：基板搬入
- 203：基底預處理
- 204：成膜處理
- 205：基板搬出
- 206：淨化
- 207：虛線

民國 100 年 8 月 5 日修正 P.1-6

十、申請專利範圍

1. 一種半導體裝置的製造方法，包含：

在具有一絕緣表面的一基板上形成一閘極電極；

在該閘極電極上形成一絕緣膜；

將該基板引入到一真空室內；

將一源氣體引入到該真空室內；

在該真空室中，在第一成膜條件下形成微晶半導體膜的下部分，該第一成膜條件如下：藉由將具有波長 10m 或以上的頻率的第一高頻電力和具有小於波長 10m 的頻率的第二高頻電力重疊施加到產生輝光放電電漿的電極，產生輝光放電電漿；

在基板溫度、電力、頻率、源氣體流量、以及真空度中的至少一種與該第一成膜條件不相同的第二成膜條件下，沉積該微晶半導體膜的上部分；以及

在該微晶半導體膜上形成一緩衝層。

2. 如申請專利範圍第 1 項的半導體裝置的製造方法，其中該緩衝層是一非晶半導體膜，在與該真空室不相同的真空室中形成，並在基板溫度為高於或等於 300℃ 且低於 400℃ 的成膜條件下形成。

3. 如申請專利範圍第 1 項的半導體裝置的製造方法，其中

在該緩衝層上形成包含一 n 型雜質元素的一半導體膜

;

在該包含 n 型雜質元素的半導體膜上形成源極電極及汲極電極；

藉由蝕刻該包含 n 型雜質元素的半導體膜，以形成源區及汲區；以及

以使與該源區及汲區重疊的區域殘留的方式蝕刻並去除該緩衝層的一部分。

4. 如申請專利範圍第 1 項的半導體裝置的製造方法，其中該第二高頻電力為脈衝振盪。

5. 如申請專利範圍第 1 項的半導體裝置的製造方法，其中用來形成該微晶半導體膜的該源氣體包含矽烷氣體、氫氣體、以及三甲基硼氣體。

6. 如申請專利範圍第 1 項的半導體裝置的製造方法，其中該第一成膜條件係基板溫度為高於或等於 100℃ 且低於 300℃ 的成膜條件。

7. 如申請專利範圍第 1 項的半導體裝置的製造方法，其中該絕緣膜藉由在該真空室中將該具有波長 10m 或以上的頻率的第一高頻電力和該具有小於波長 10m 的頻率的第二高頻電力重疊施加到產生輝光放電電漿的電極來產生輝光放電電漿而形成。

8. 如申請專利範圍第 1 項的半導體裝置的製造方法，其中該絕緣膜藉由在該真空室中將 3MHz 至 30MHz 的第一高頻電力和 30MHz 至 300MHz 的第二高頻電力重疊施加到產生輝光放電電漿的電極來產生輝光放電電漿而形成。

9. 一種半導體裝置的製造方法，包含：

在具有一絕緣表面的一基板上形成一閘極電極；

在該閘極電極上形成一絕緣膜；

將該基板引入到一真空室內；

將一源氣體引入到該真空室內；

在該真空室中，在第一成膜條件下形成微晶半導體膜的下部分，該第一成膜條件如下：藉由將 3MHz 至 30MHz 的第一高頻電力和 30MHz 至 300MHz 的第二高頻電力重疊施加到產生輝光放電電漿的電極，產生輝光放電電漿；

在基板溫度、電力、頻率、源氣體流量、以及真空度中的至少一種與該第一成膜條件不相同的第二成膜條件下，沉積該微晶半導體膜的上部分；以及

在該微晶半導體膜上形成一緩衝層。

10. 如申請專利範圍第 9 項的半導體裝置的製造方法，其中該緩衝層是一非晶半導體膜，在與該真空室不相同的真空室中形成，並在基板溫度為高於或等於 300℃ 且低於 400℃ 的成膜條件下形成。

11. 如申請專利範圍第 9 項的半導體裝置的製造方法，其中在將該基板引入到該真空室之前，藉由真空排氣將該真空室內的氣氛設定為超過 $1 \times 10^{-8} \text{ Pa}$ 且低於或等於 $1 \times 10^{-5} \text{ Pa}$ 的真空度，然後引入源氣體來在該真空室內壁上成膜。

12. 如申請專利範圍第 9 項的半導體裝置的製造方法，其中在將該基板引入到該真空室之前，藉由真空排氣將

該真空室內的氣氛設定為超過 $1 \times 10^{-8} \text{ Pa}$ 且低於或等於 $1 \times 10^{-5} \text{ Pa}$ 的真空度，然後引入氫氣體或稀有氣體來產生電漿。

13. 如申請專利範圍第 9 項的半導體裝置的製造方法，其中在將該基板引入到該真空室之後，引入氫氣體或稀有氣體來產生電漿。

14. 如申請專利範圍第 9 項的半導體裝置的製造方法，其中

在該緩衝層上形成包含一 n 型雜質元素的一半導體膜；

在該包含 n 型雜質元素的半導體膜上形成源極電極及汲極電極；

藉由蝕刻該包含 n 型雜質元素的半導體膜，以形成源區及汲區；以及

以使與該源區及汲區重疊的區域殘留的方式蝕刻並去除該緩衝層的一部分。

15. 如申請專利範圍第 9 項的半導體裝置的製造方法，其中該第二高頻電力為脈衝振盪。

16. 如申請專利範圍第 9 項的半導體裝置的製造方法，其中用來形成該微晶半導體膜的該源氣體包含矽烷氣體、氫氣體、以及三甲基硼氣體。

17. 如申請專利範圍第 9 項的半導體裝置的製造方法，其中該第一成膜條件的基板溫度為高於或等於 100°C 且低於 300°C 。

18. 如申請專利範圍第 9 項的半導體裝置的製造方法，其中該絕緣膜藉由在該真空室中將具有波長 10m 或以上的頻率的第一高頻電力和具有小於波長 10m 的頻率的第二高頻電力重疊施加到產生輝光放電電漿的電極來產生輝光放電電漿而形成。

19. 如申請專利範圍第 9 項的半導體裝置的製造方法，其中該絕緣膜藉由在該真空室中將該 3MHz 至 30MHz 的第一高頻電力和該 30MHz 至 300MHz 的第二高頻電力重疊施加到產生輝光放電電漿的電極來產生輝光放電電漿而形成。

20. 如申請專利範圍第 9 項的半導體裝置的製造方法，
其中，該第一成膜條件如下：重疊施加該第一高頻電力、以及大於該第一高頻電力的該第二高頻電力，

其中，該第二成膜條件如下：重疊施加大於該第一高頻電力的第三高頻電力、以及小於該第三高頻電力的第四高頻電力，

其中，該第三高頻電力的頻率與該第一高頻電力相同，以及

其中，該第四高頻電力的頻率與該第二高頻電力相同。

21. 如申請專利範圍第 9 項的半導體裝置的製造方法，

其中，該第一成膜條件如下：重疊施加該第一高頻電

力、以及該第二高頻電力，

其中，該第二成膜條件如下：施加具有與該第一高頻電力相同的頻率的第三高頻電力，而不重疊施加。

圖 1A

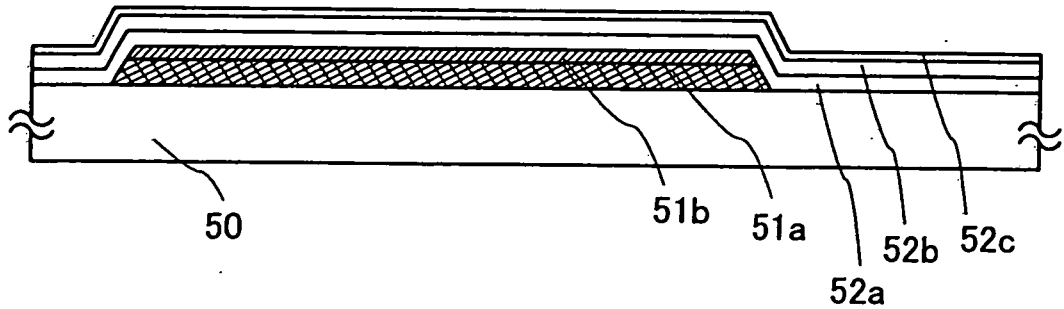


圖 1B

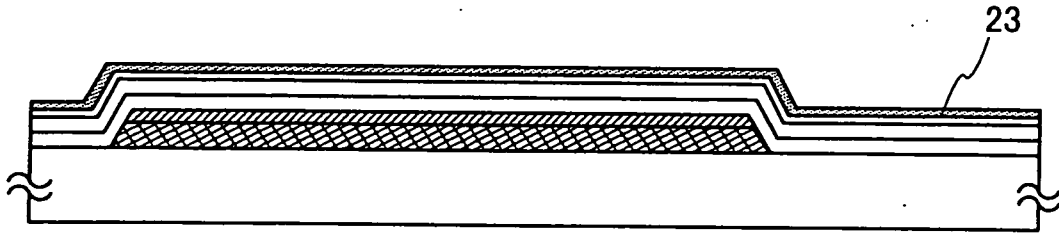


圖 1C

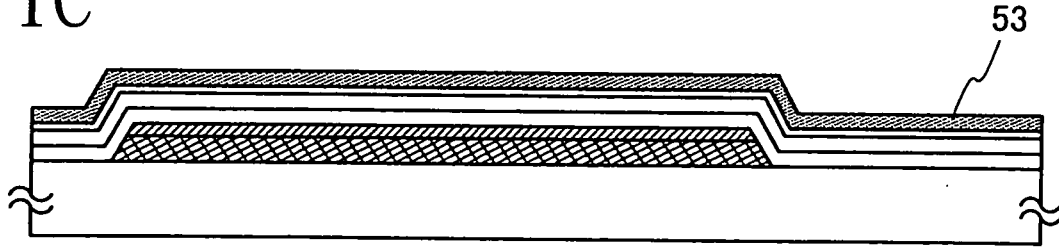


圖 1D

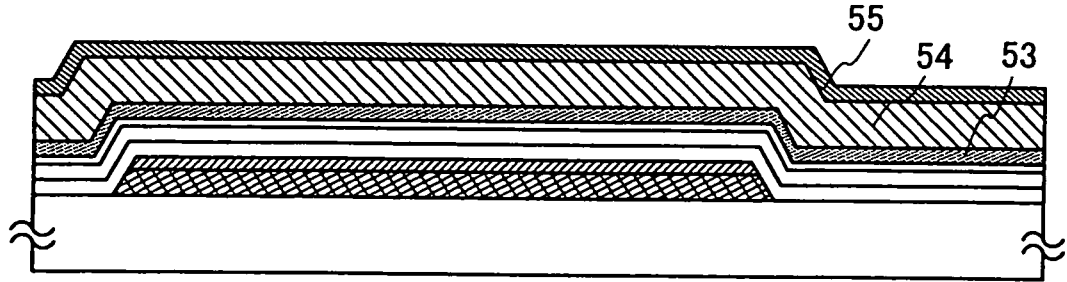


圖 2A

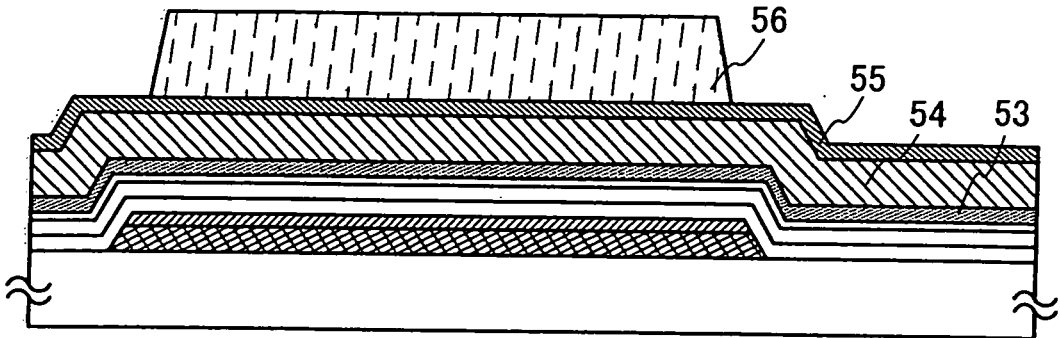


圖 2B

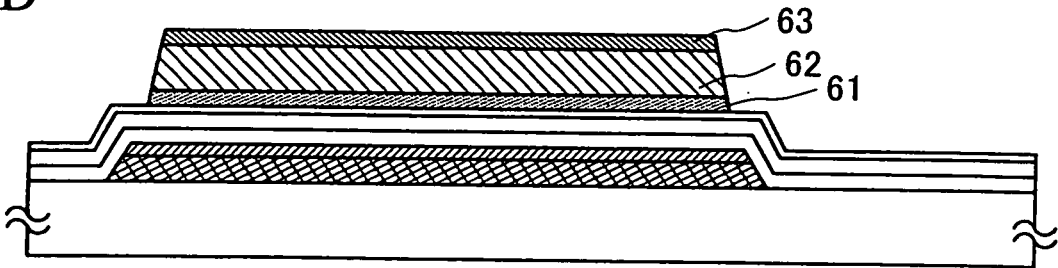


圖 2C

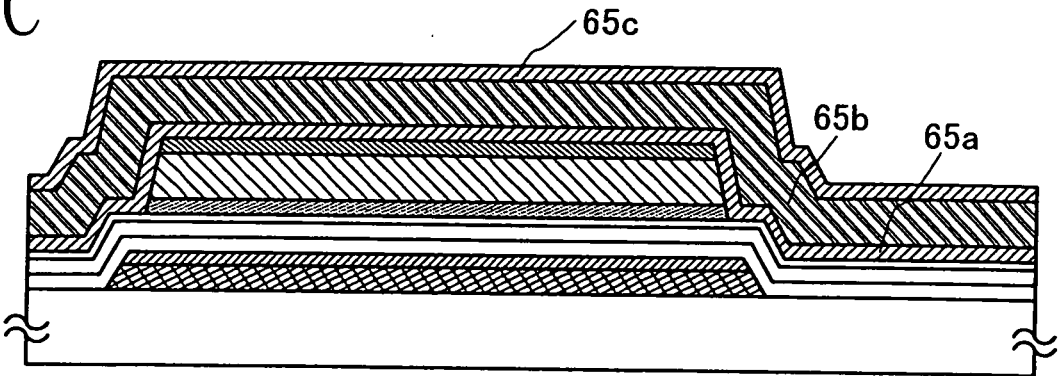


圖 2D

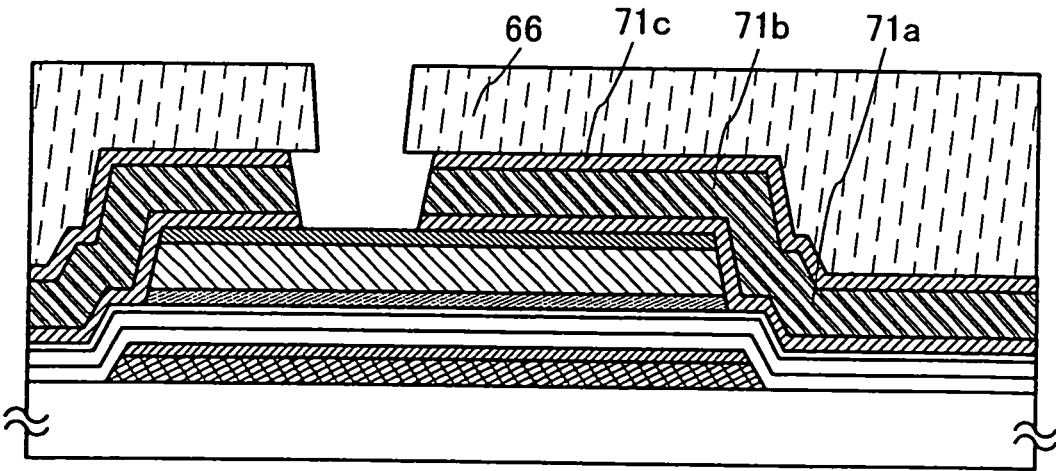


圖 3A

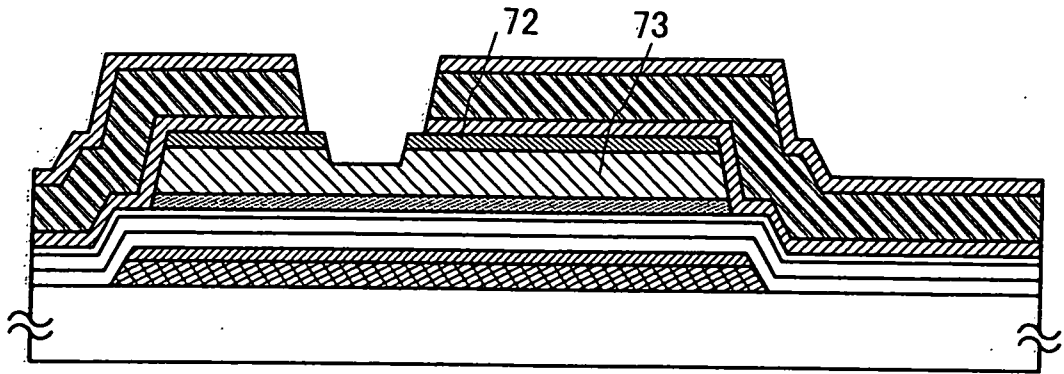


圖 3B

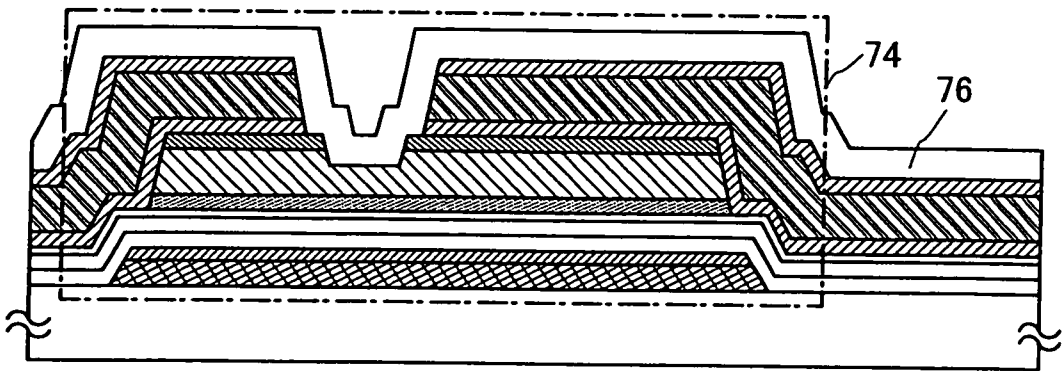


圖 3C

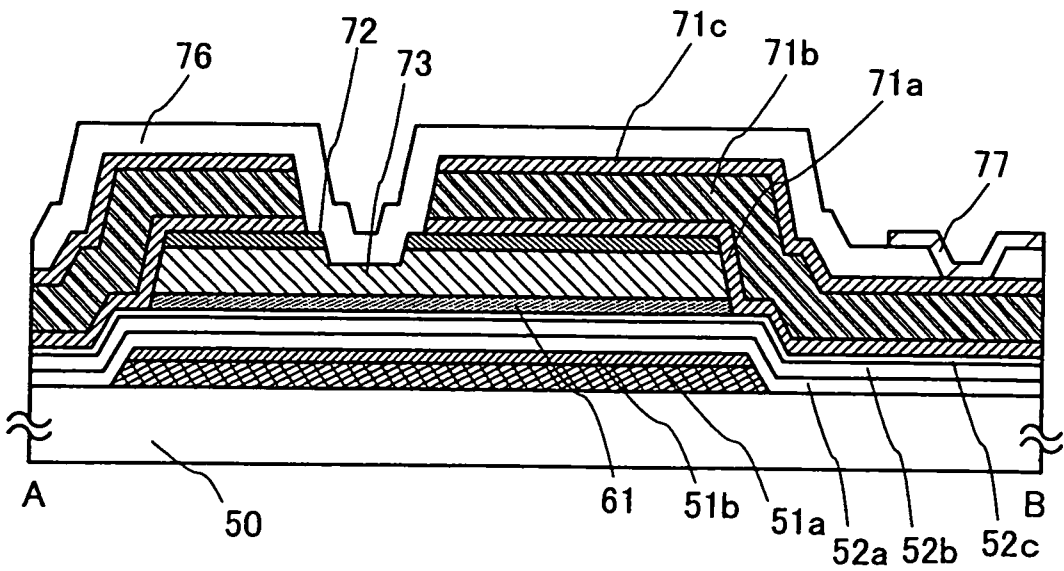


圖 4

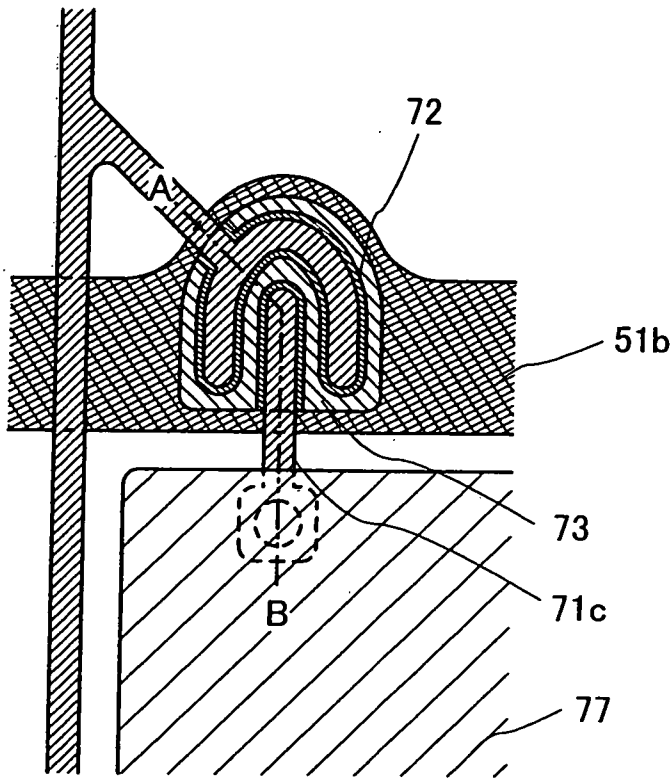


圖5

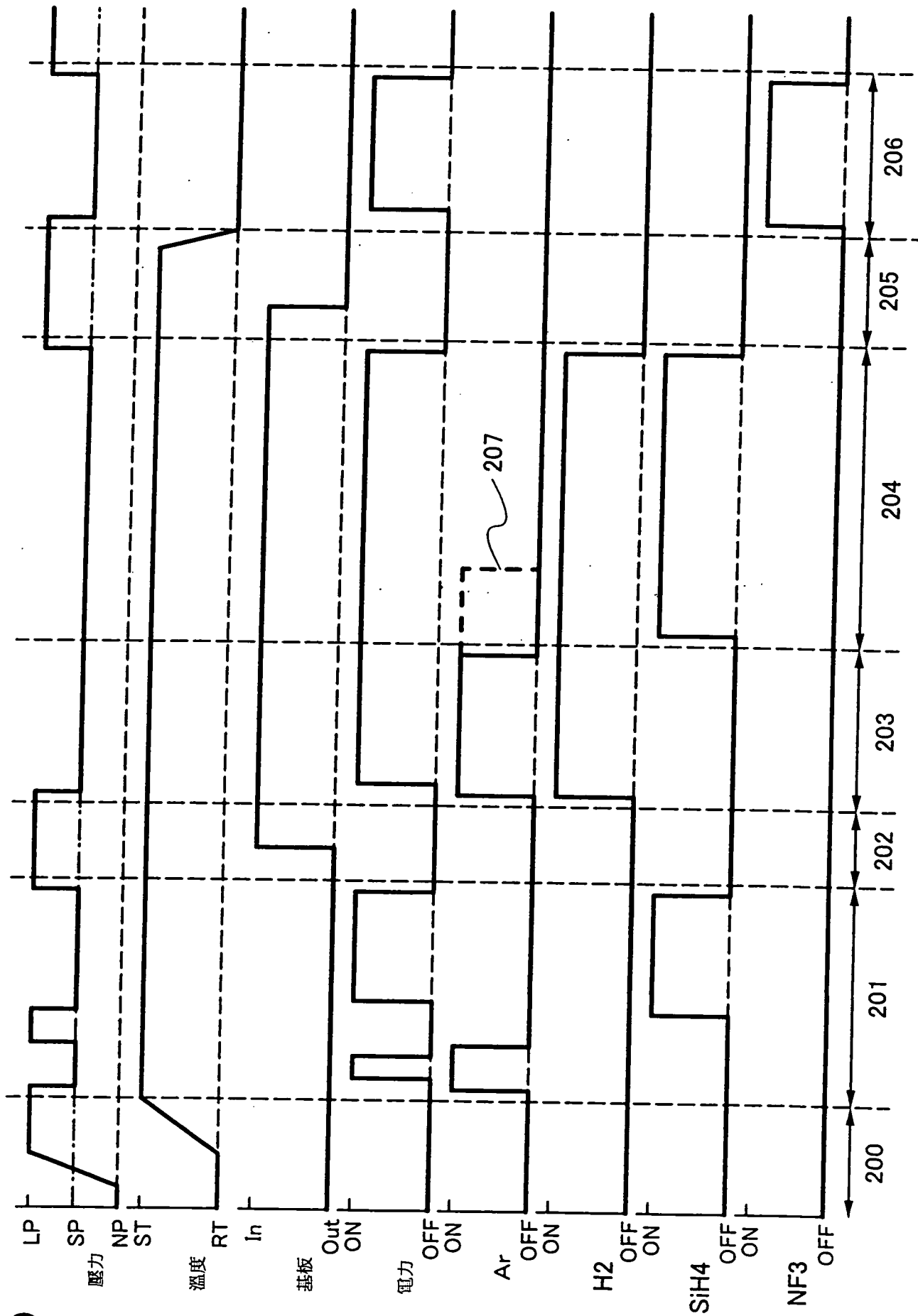


圖 6

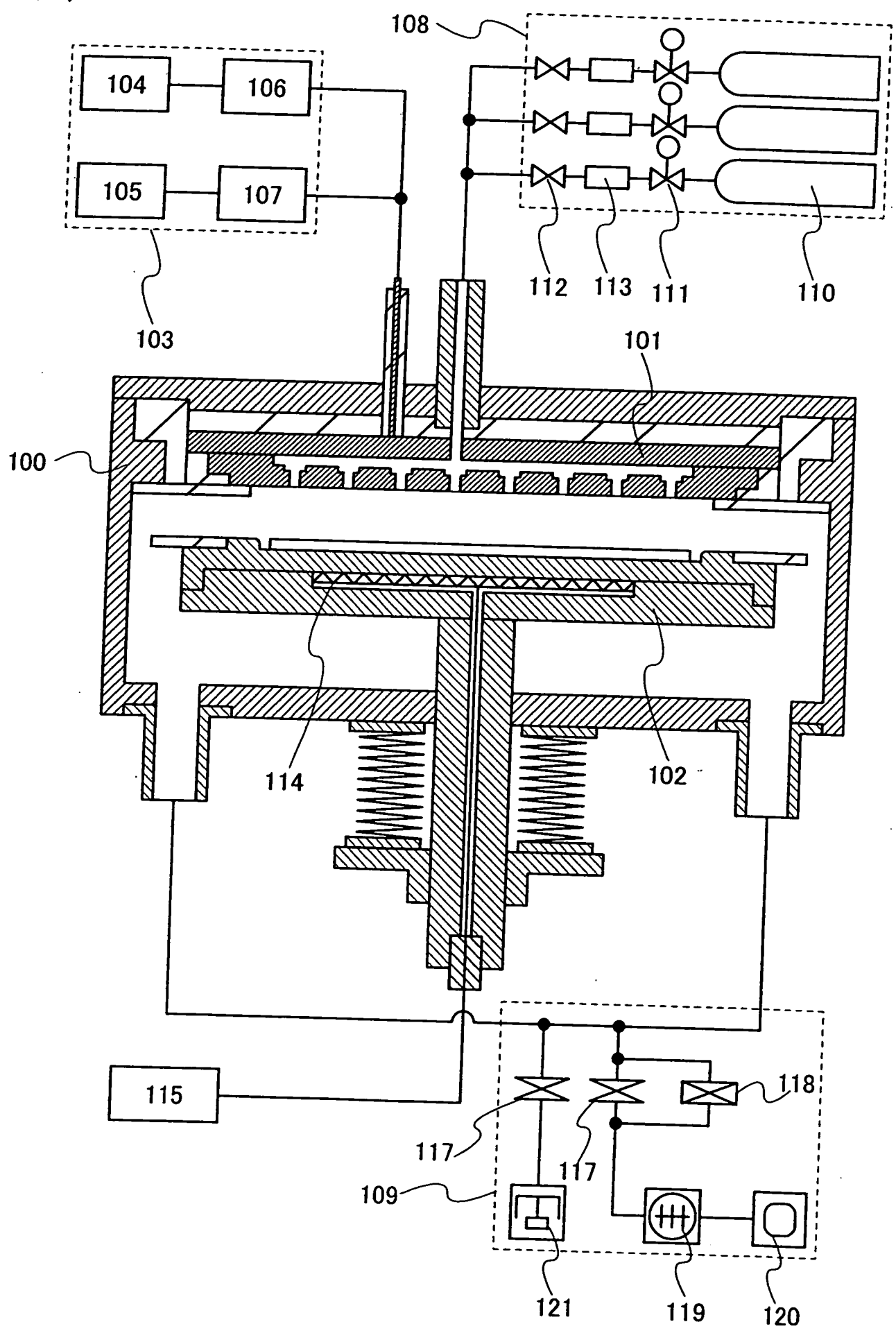


圖 7

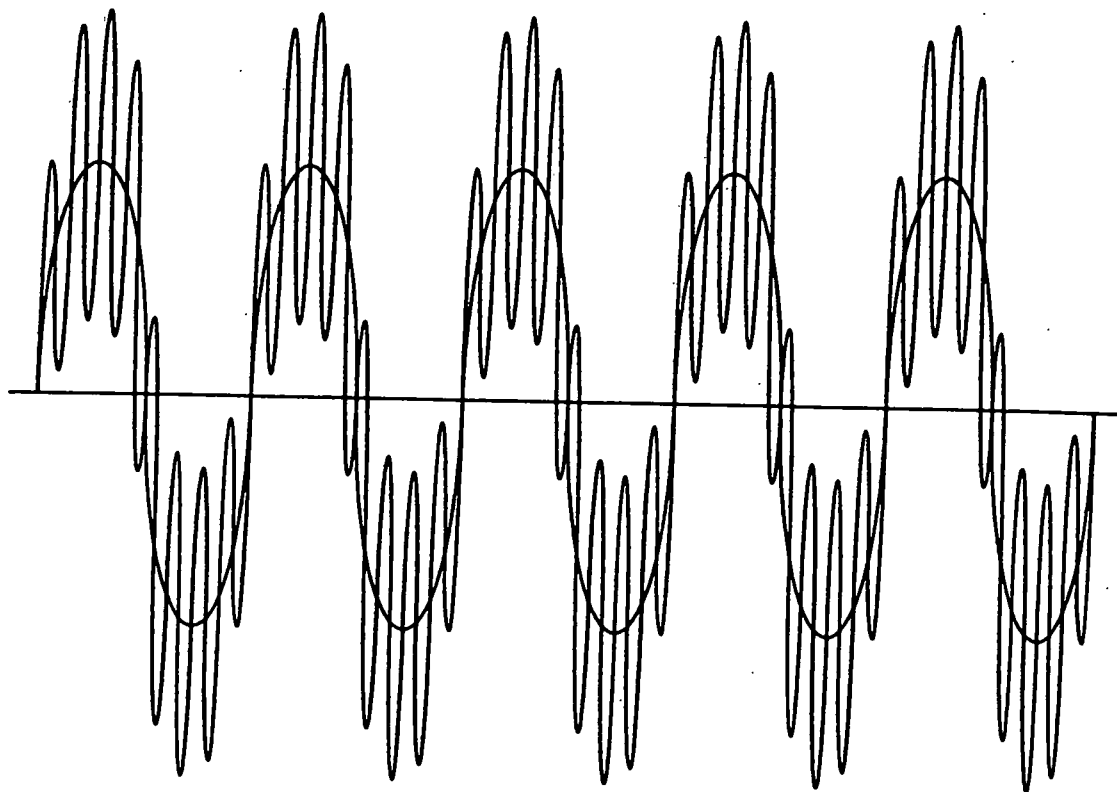


圖 8

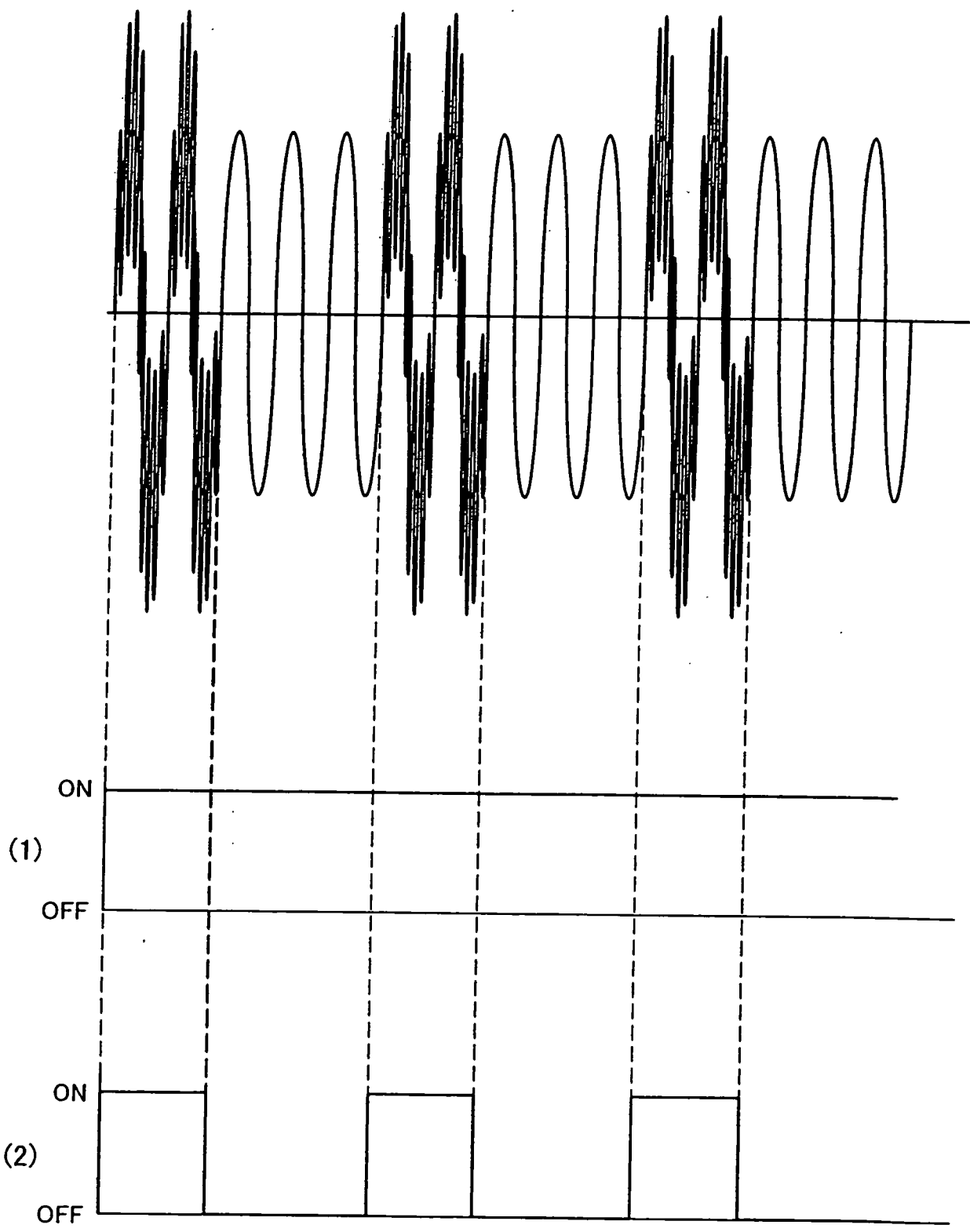


圖 9

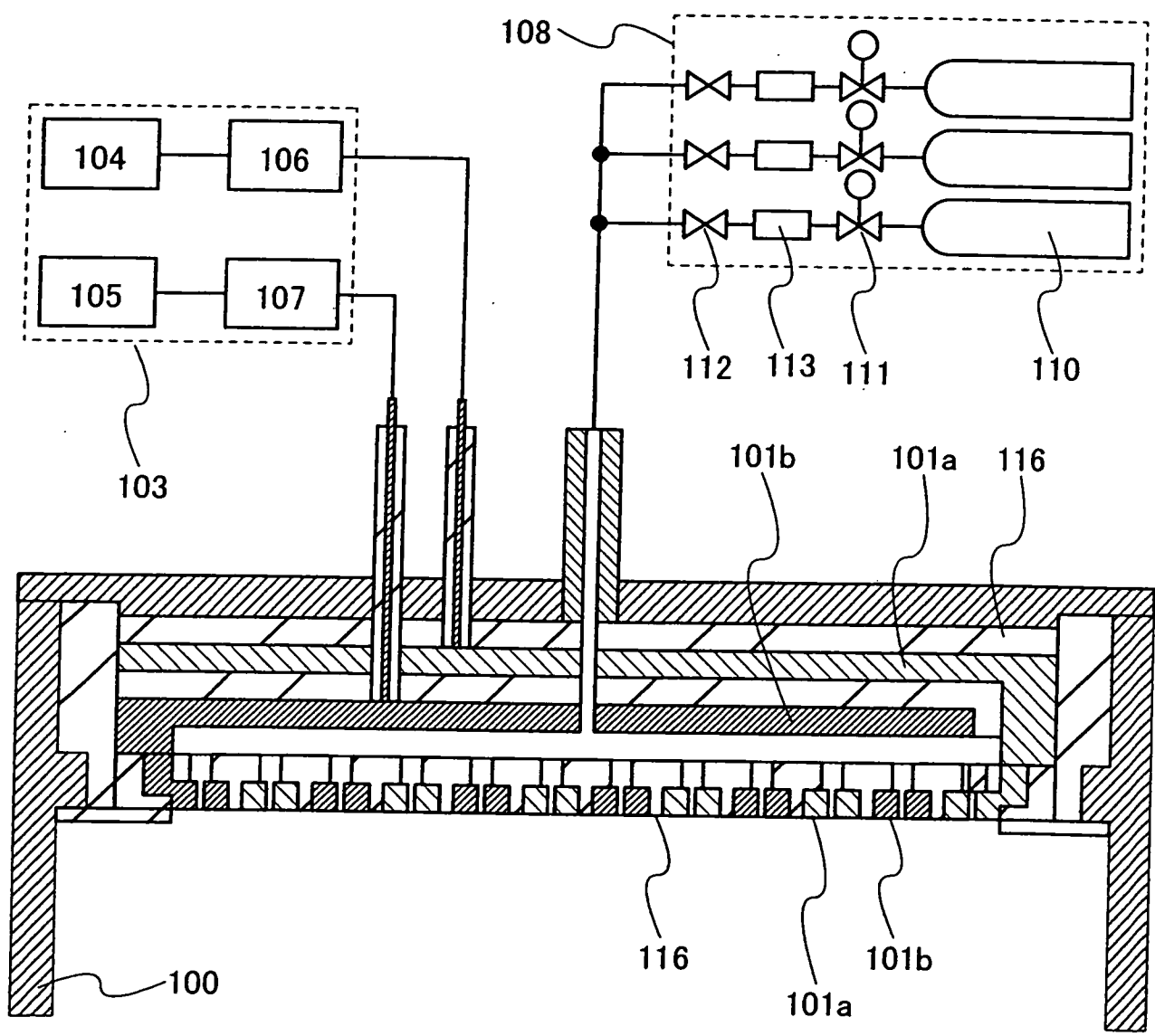


圖 10

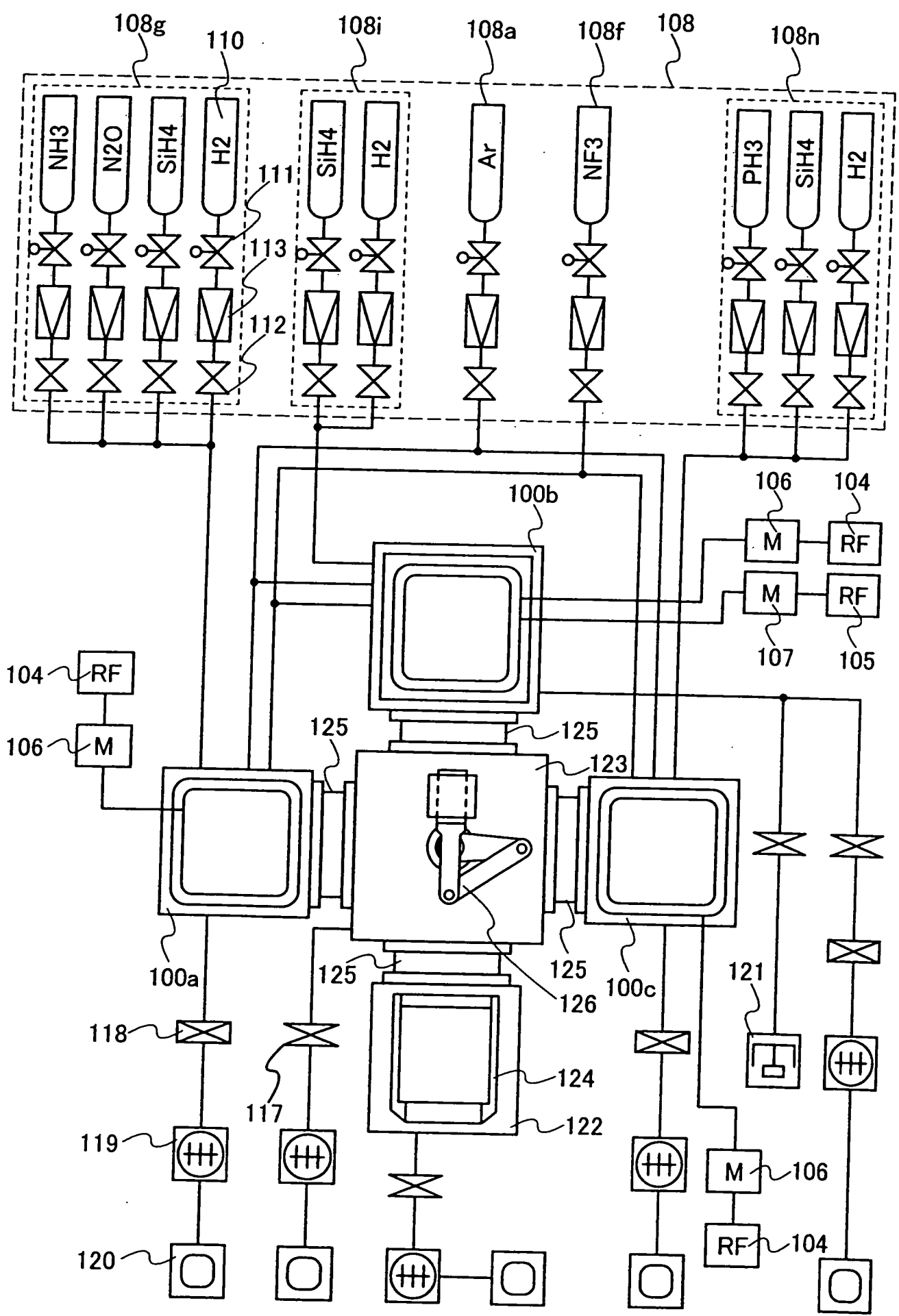


圖11

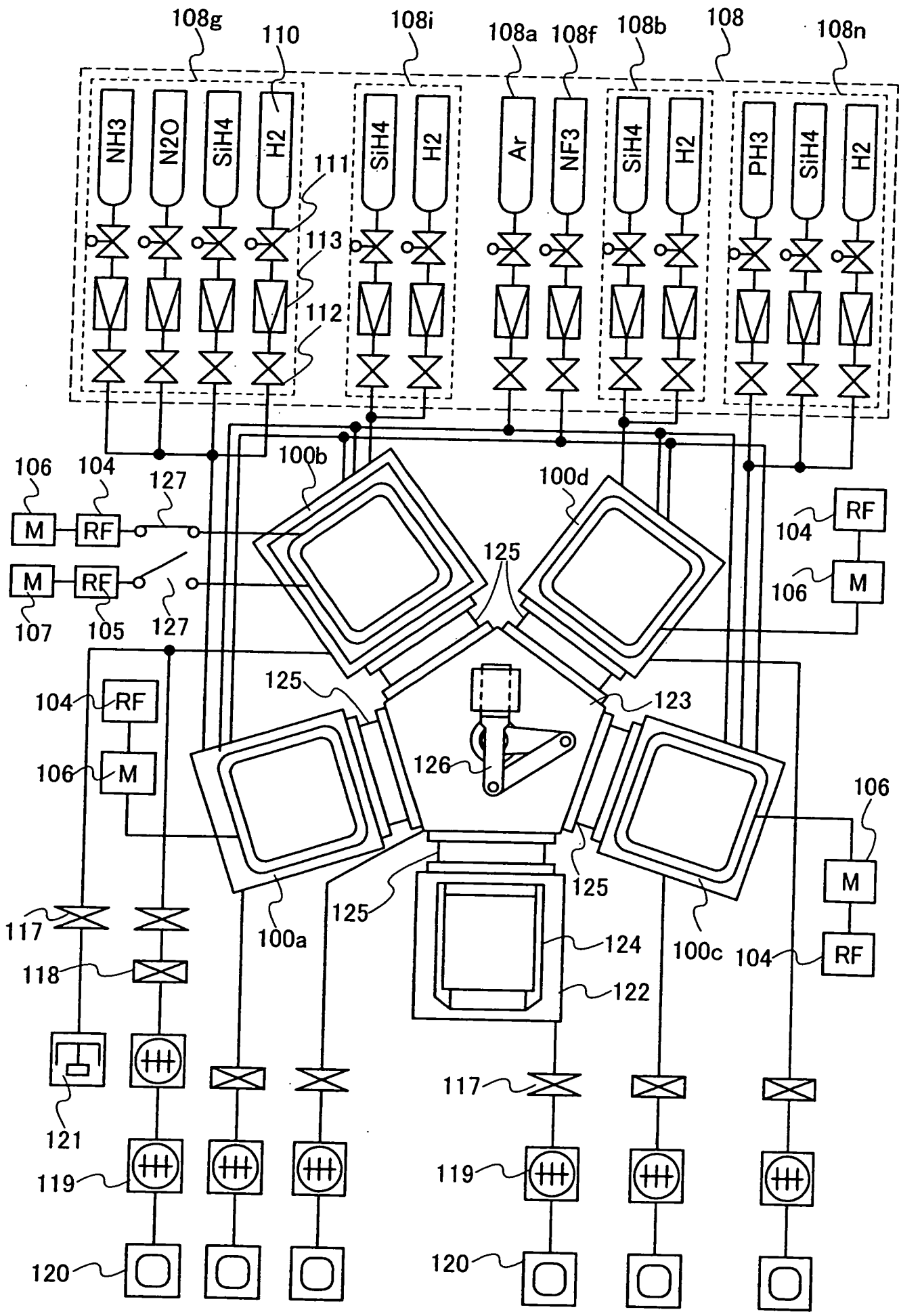


圖 12A

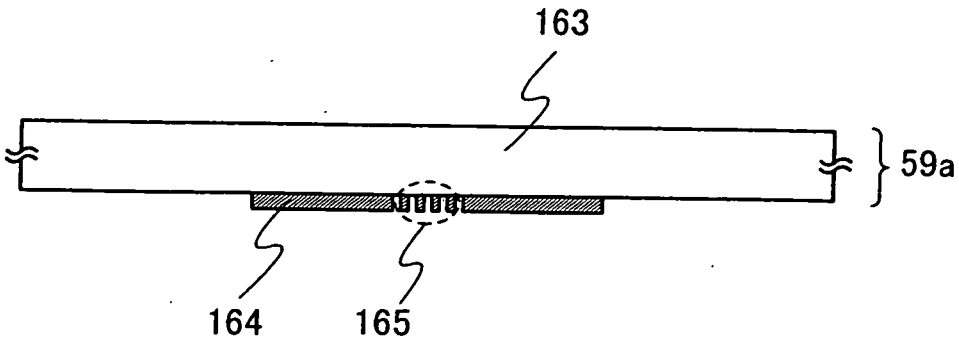


圖 12B

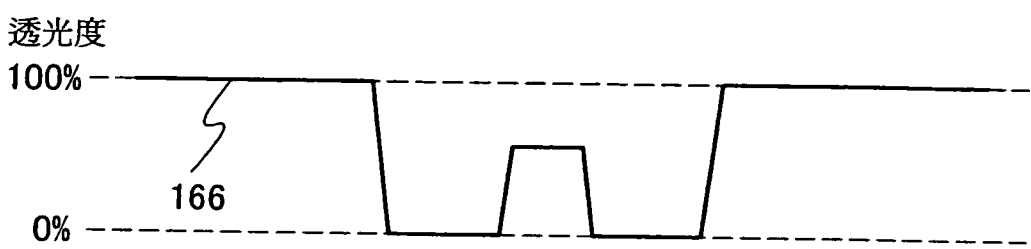


圖 12C

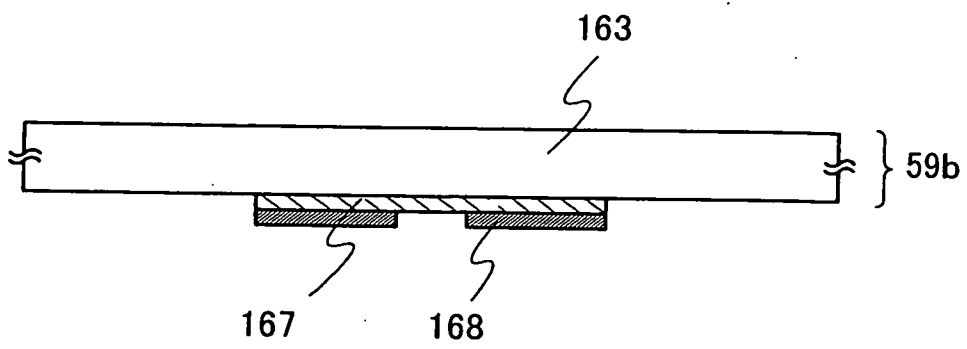


圖 12D

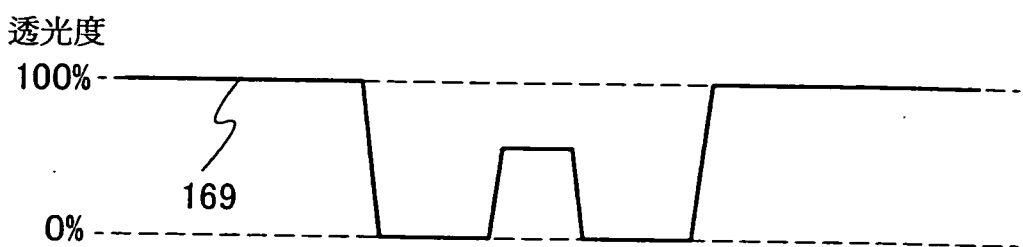


圖 13A

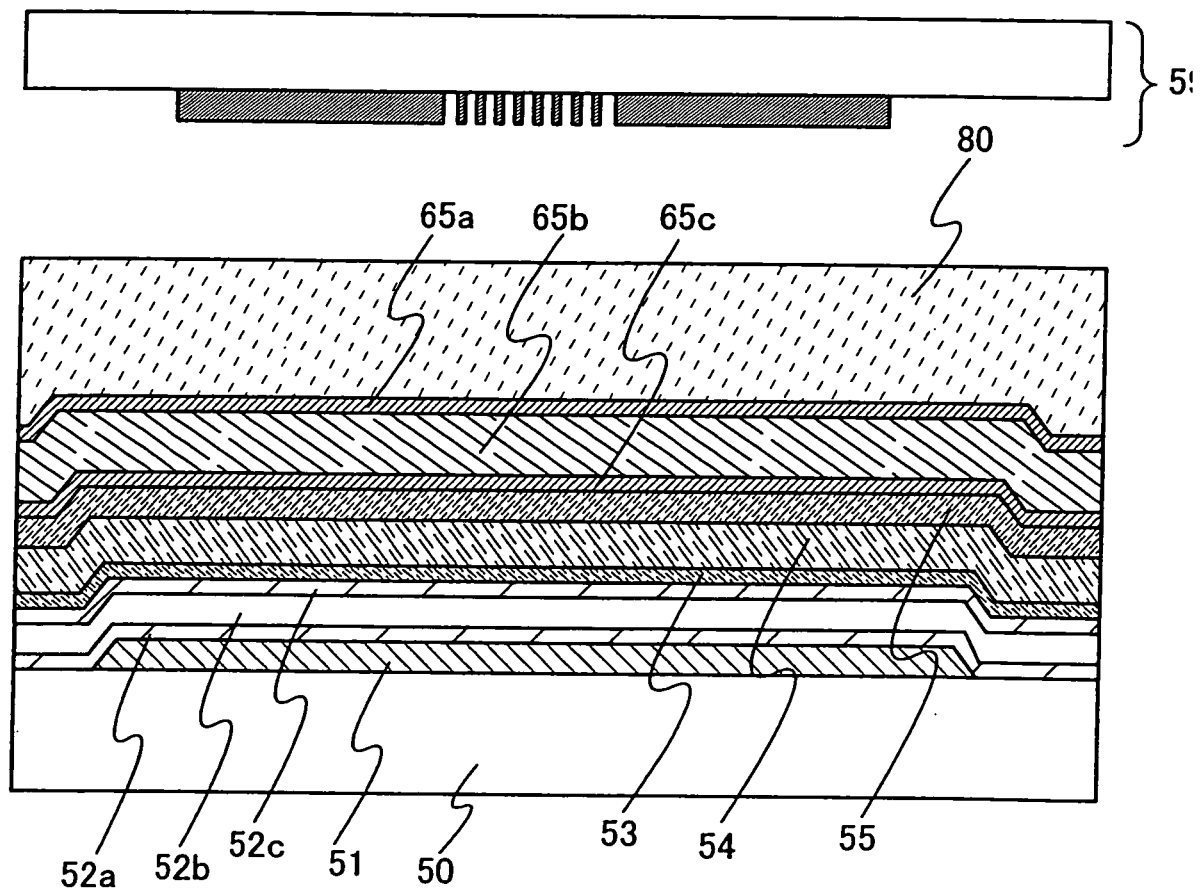


圖 13B

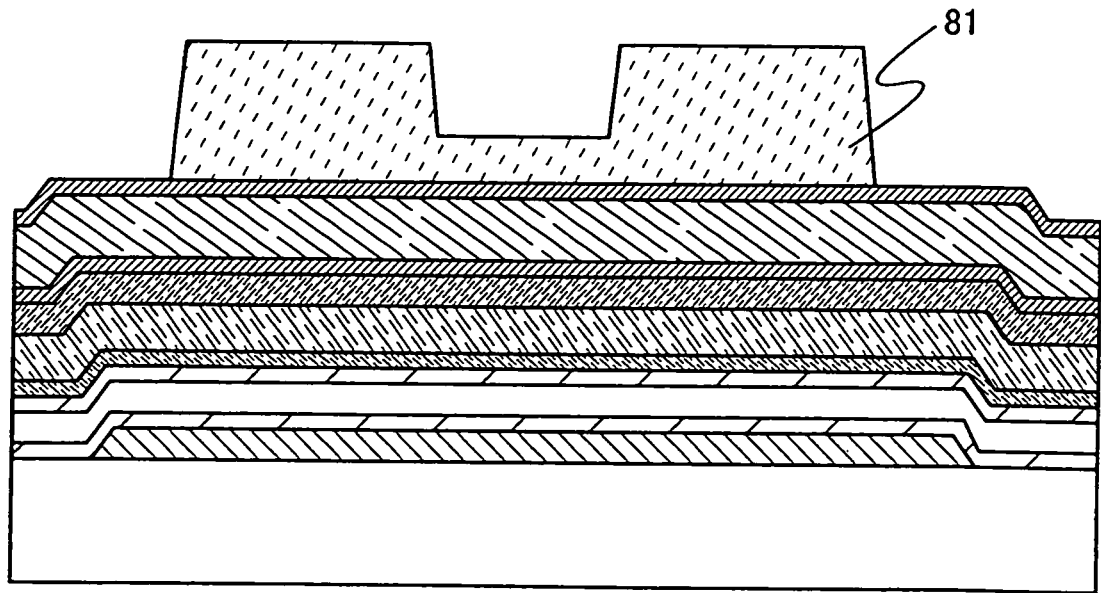


圖 14A

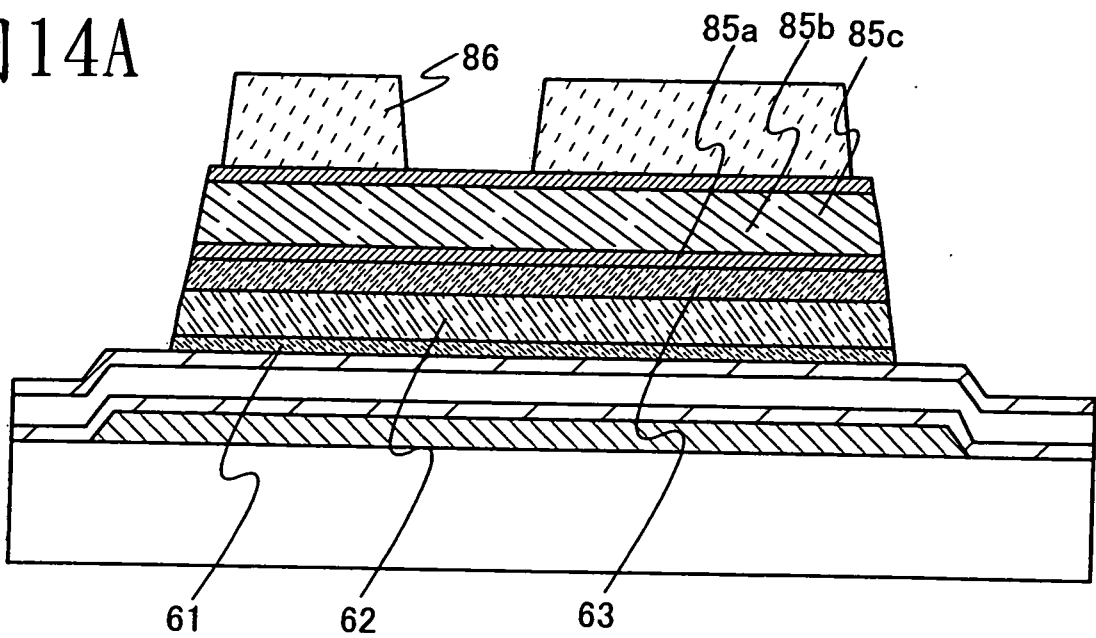


圖 14B

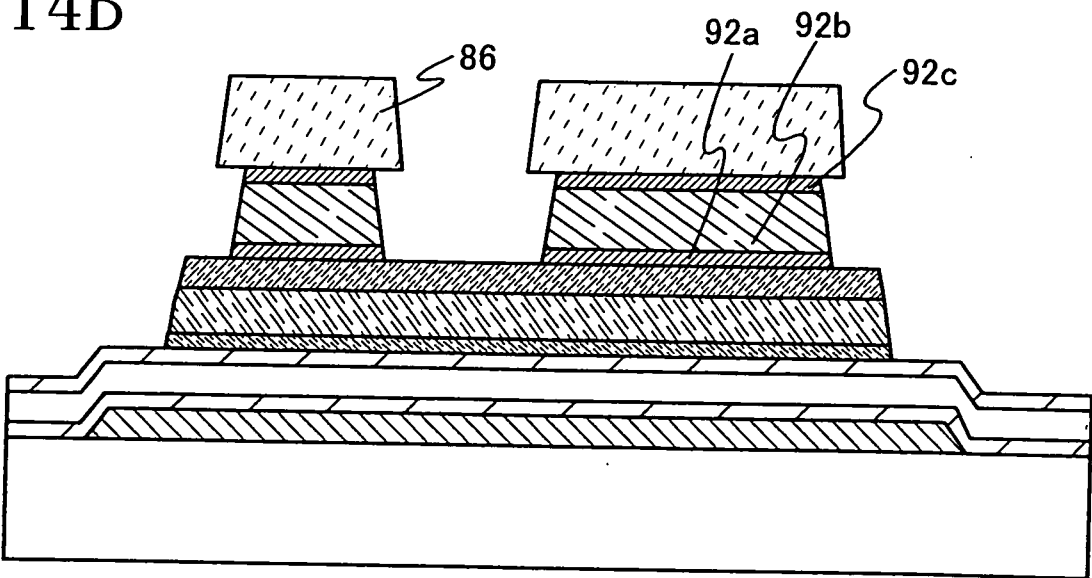


圖 14C

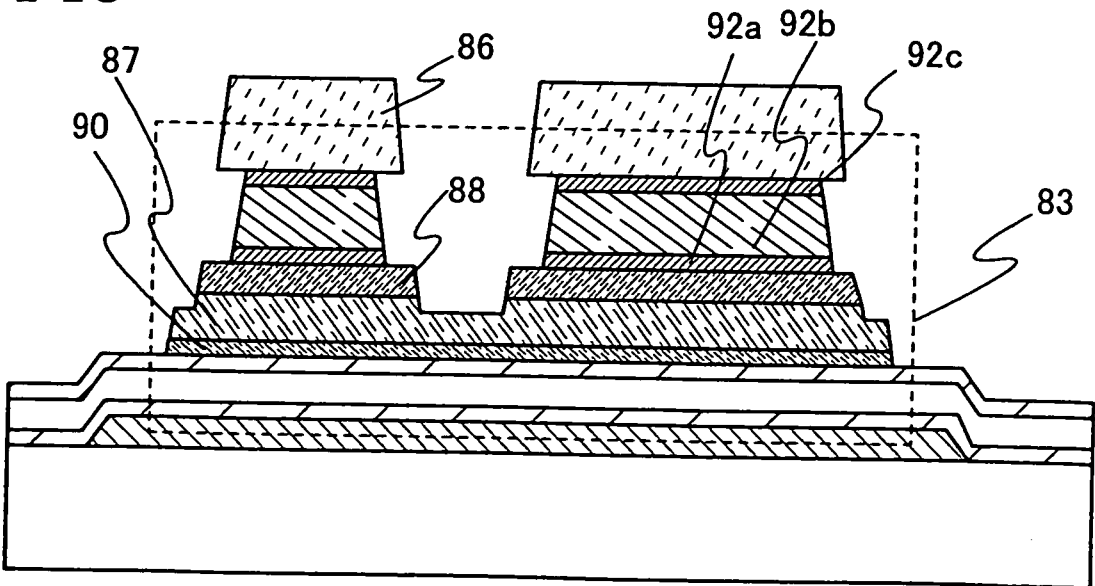


圖 15A

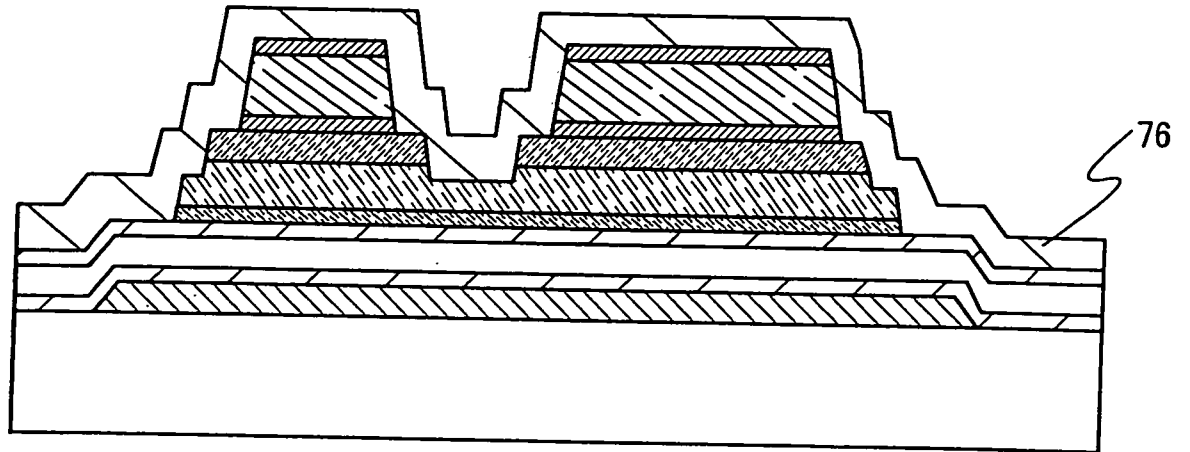


圖 15B

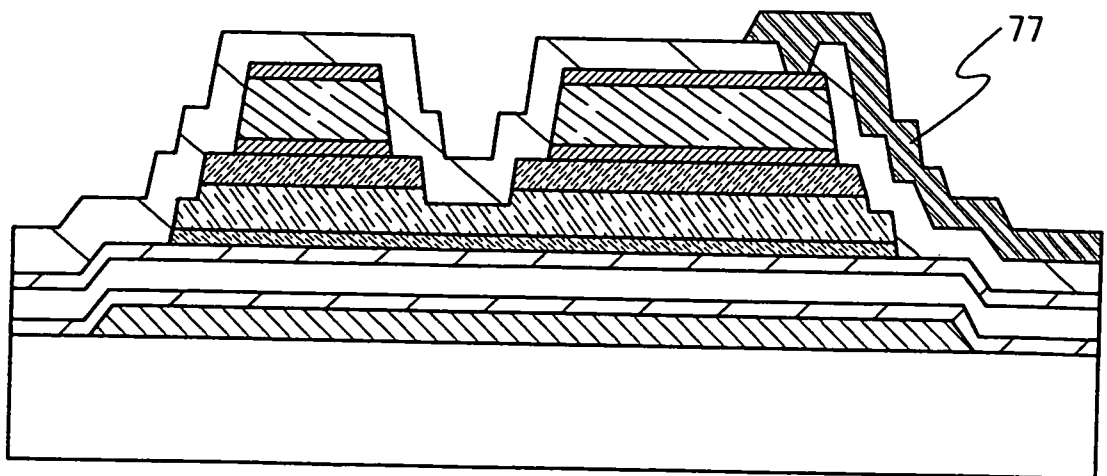


圖16A

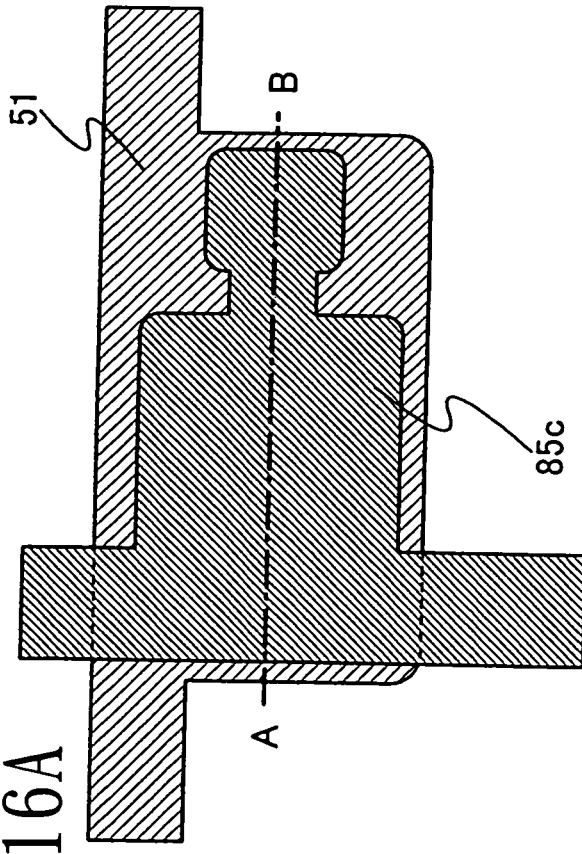


圖16B

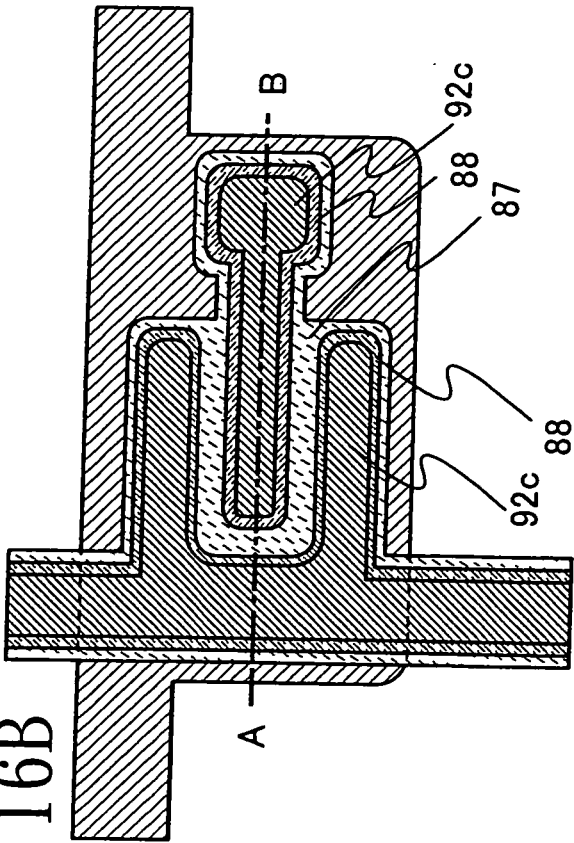
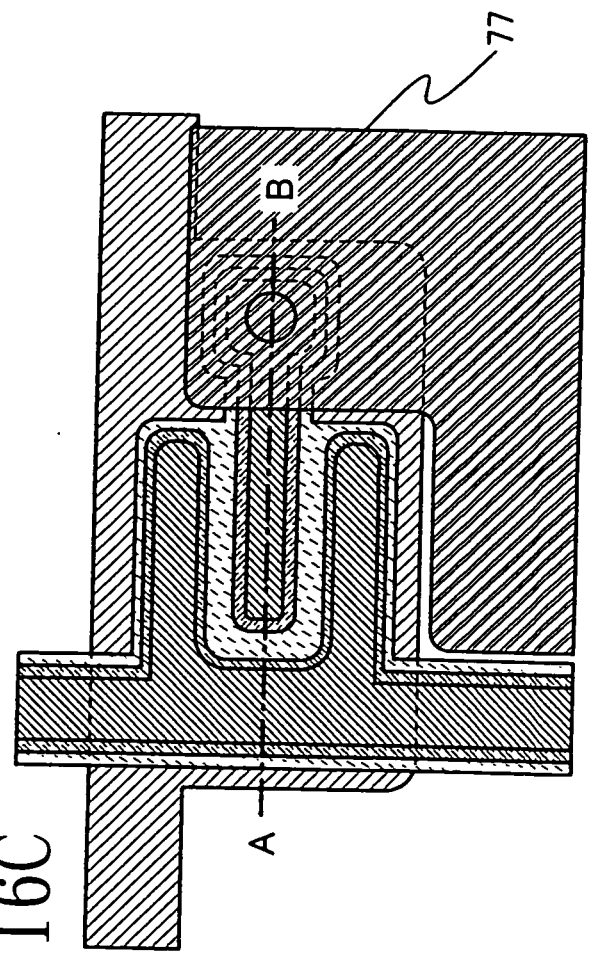


圖16C



四七

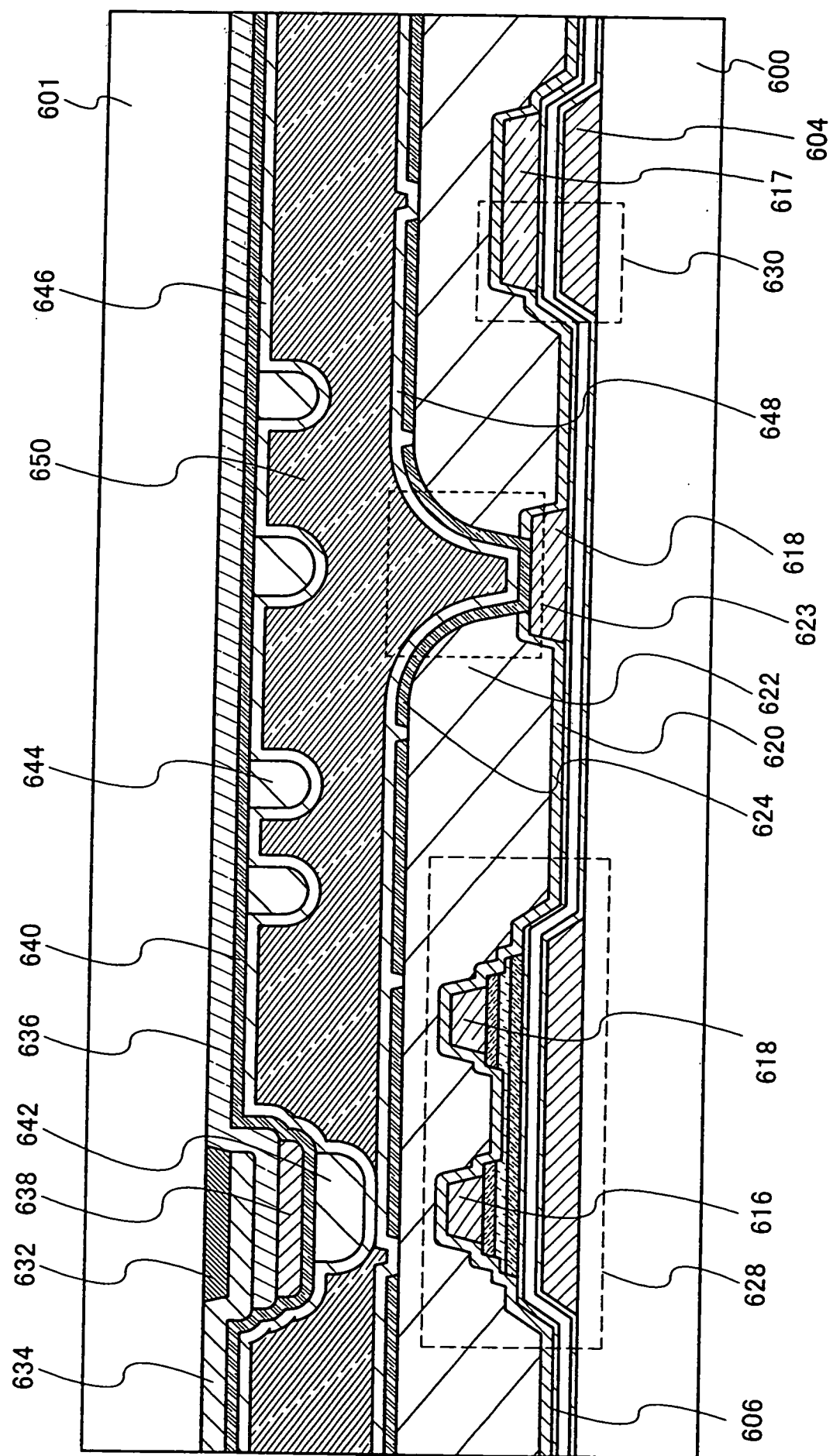


圖 18

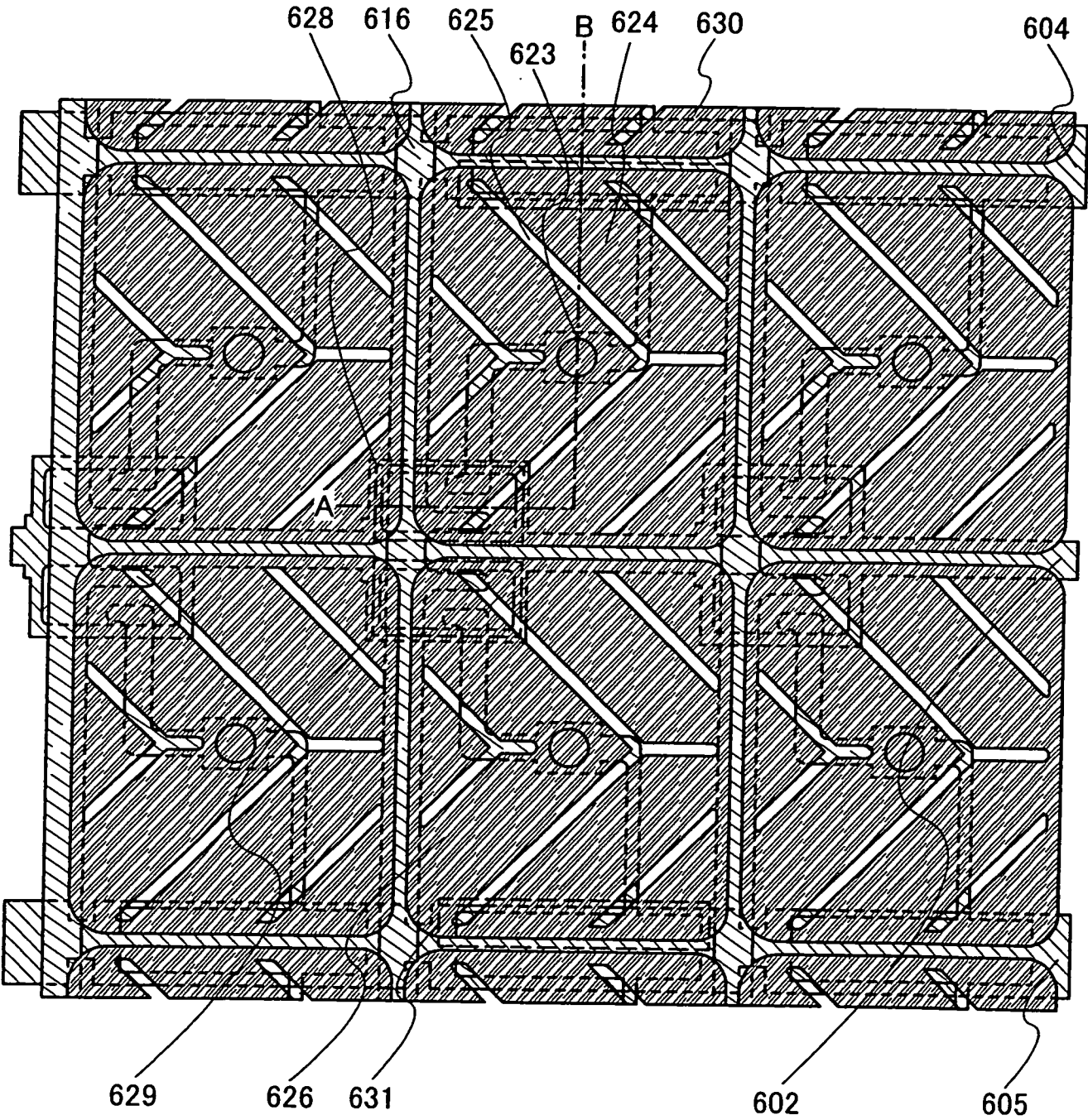


圖 19

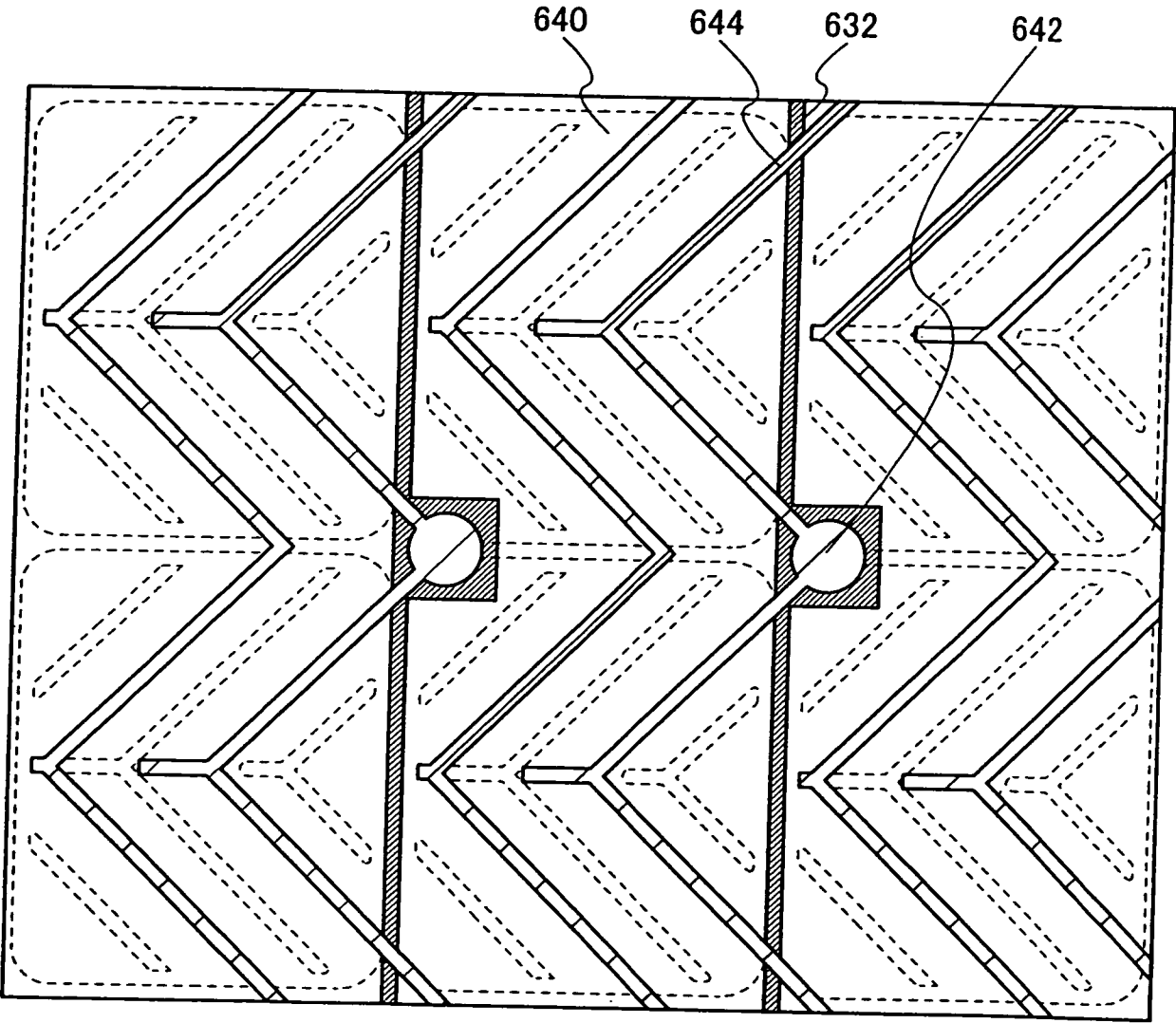


圖 20

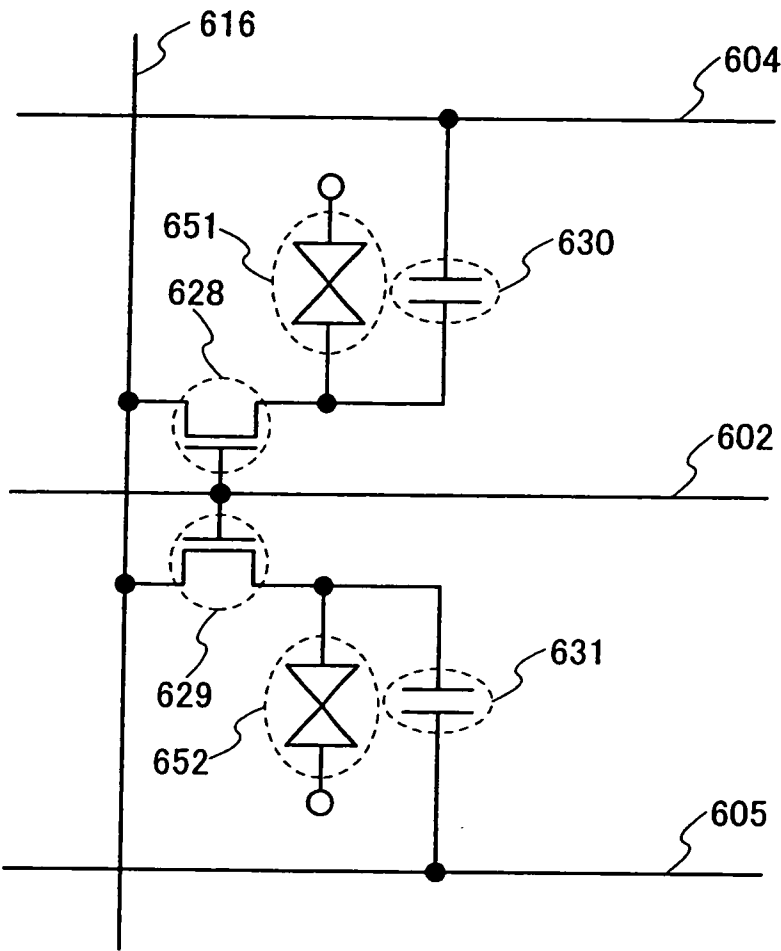


圖21

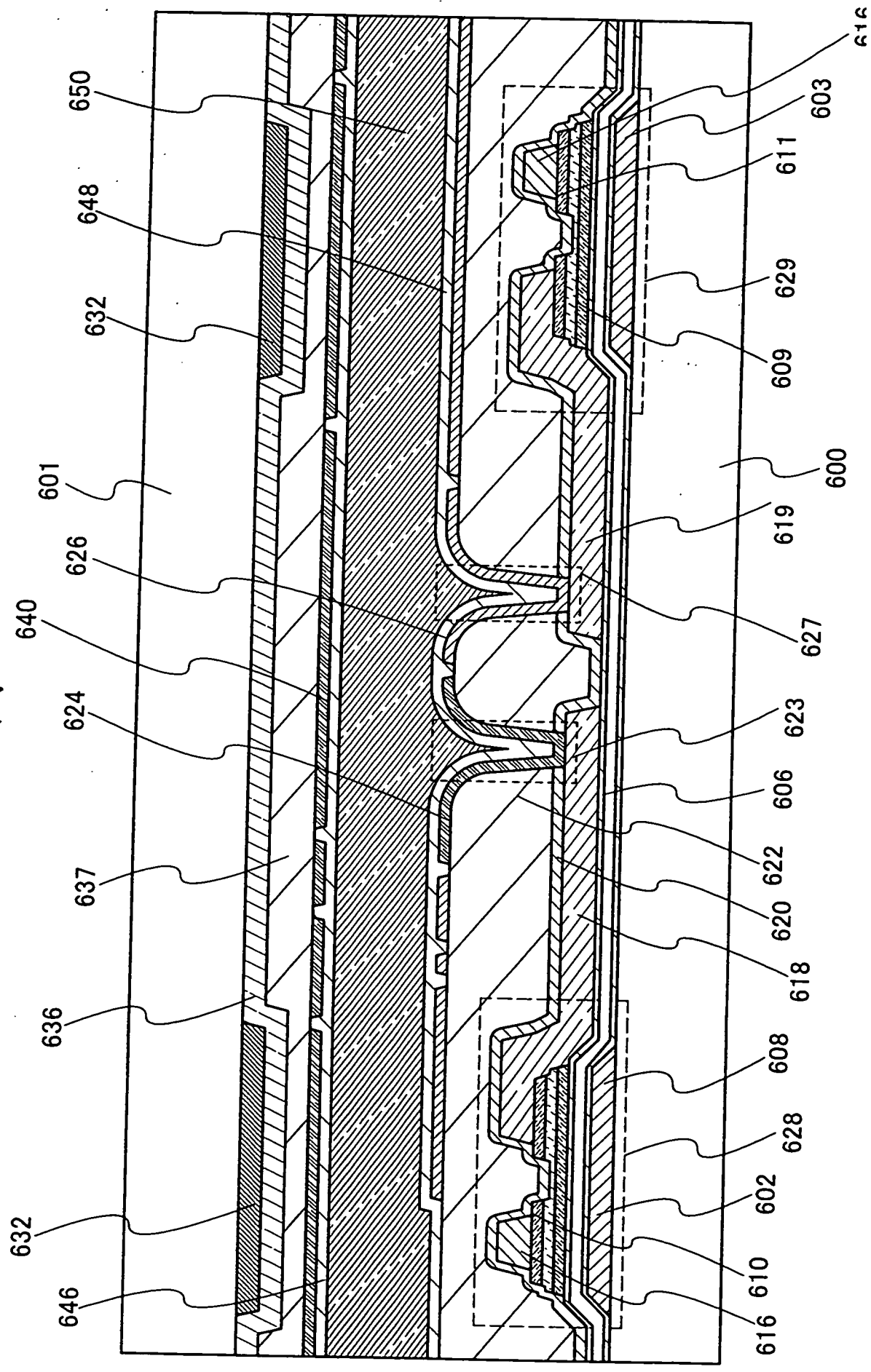


圖 22

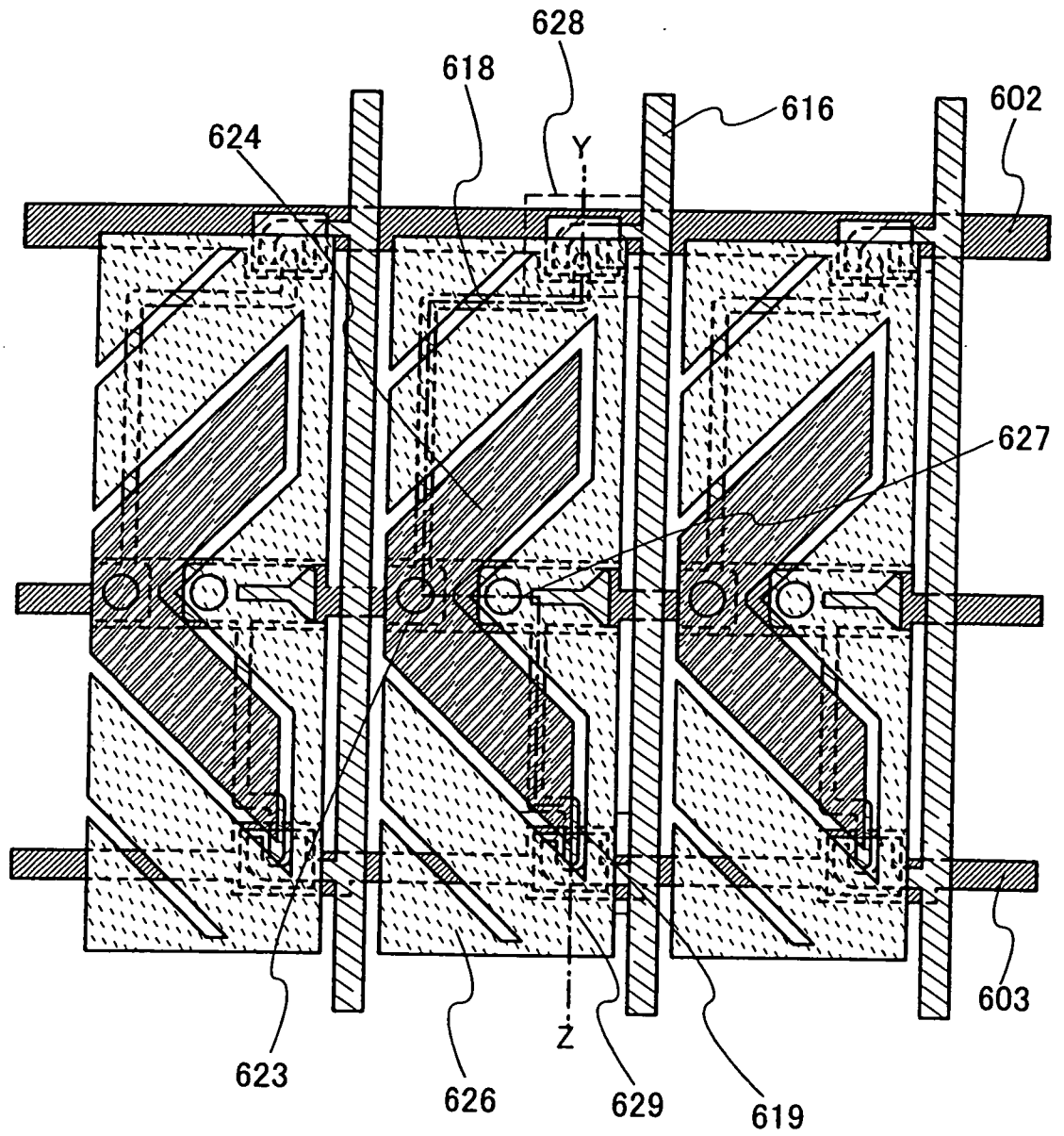


圖 23

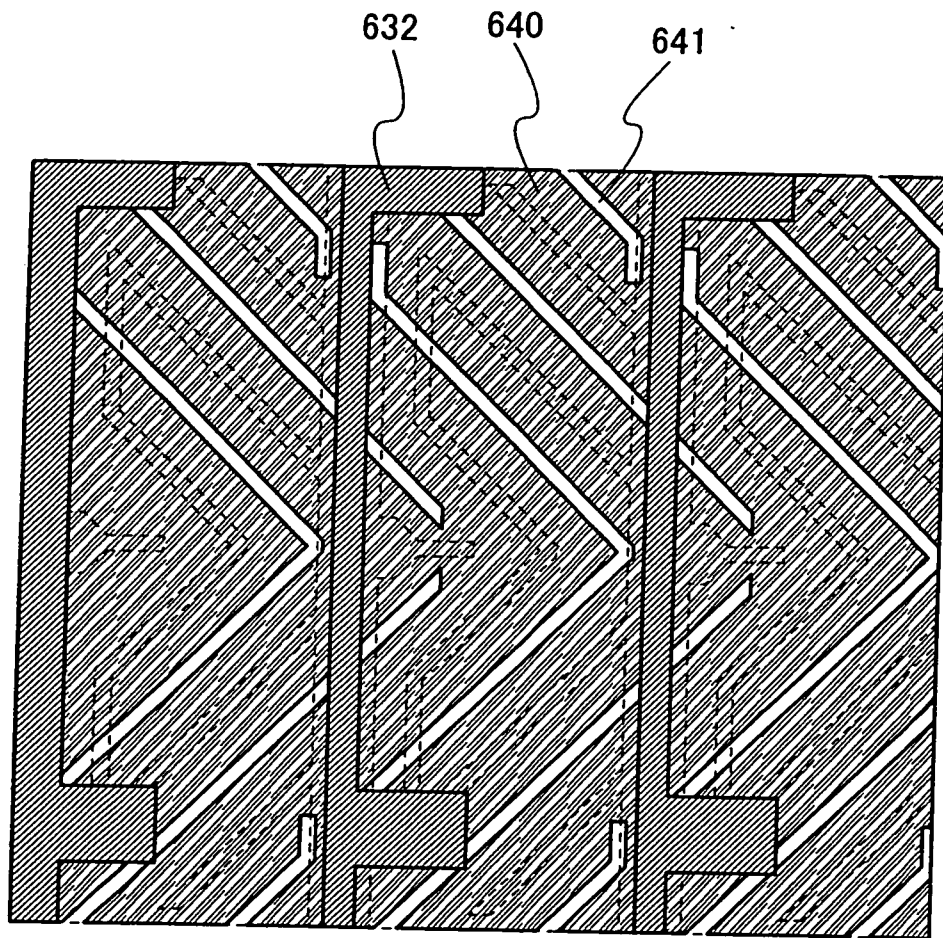


圖 24

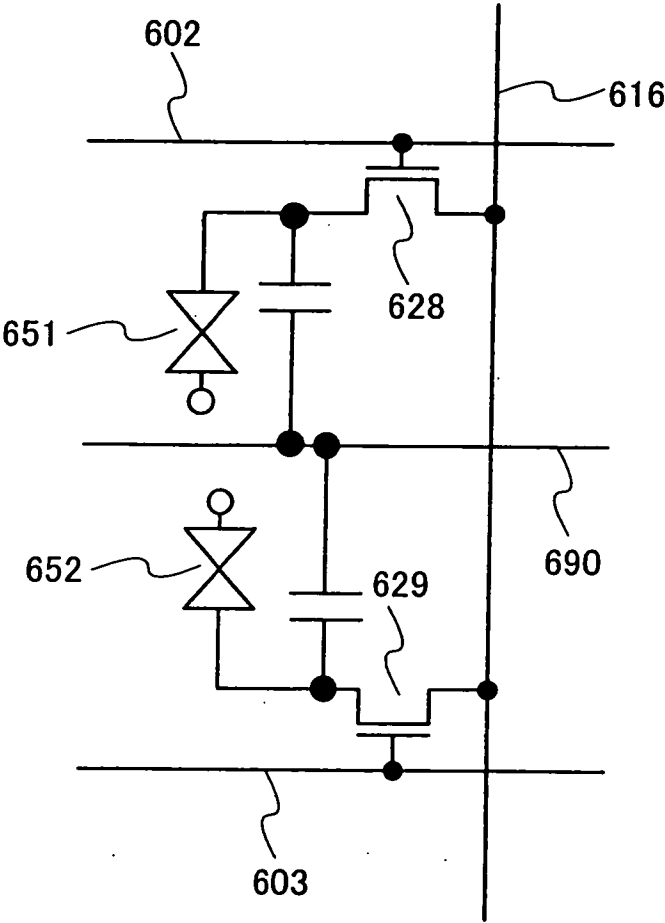


圖25

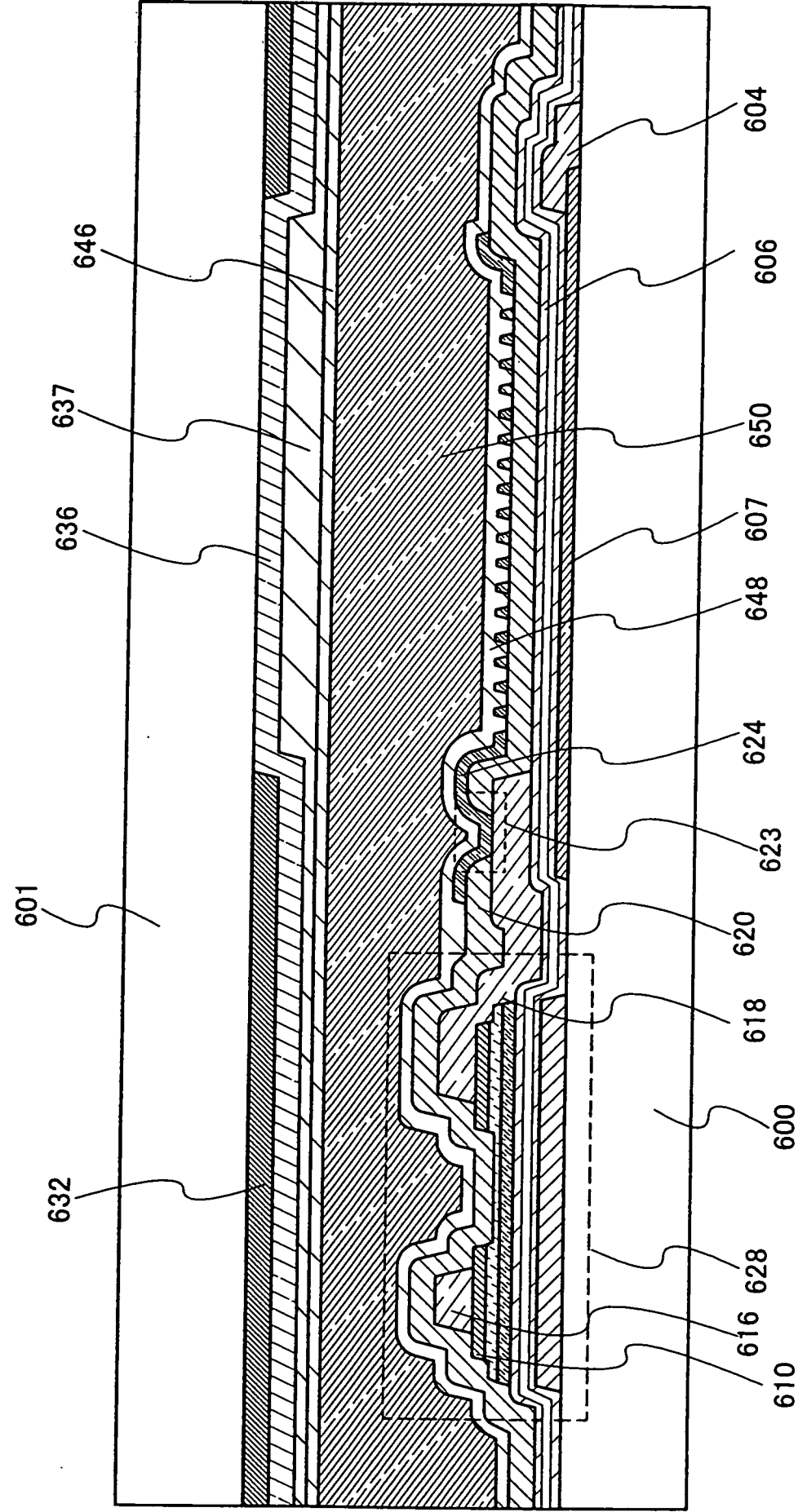


圖 26

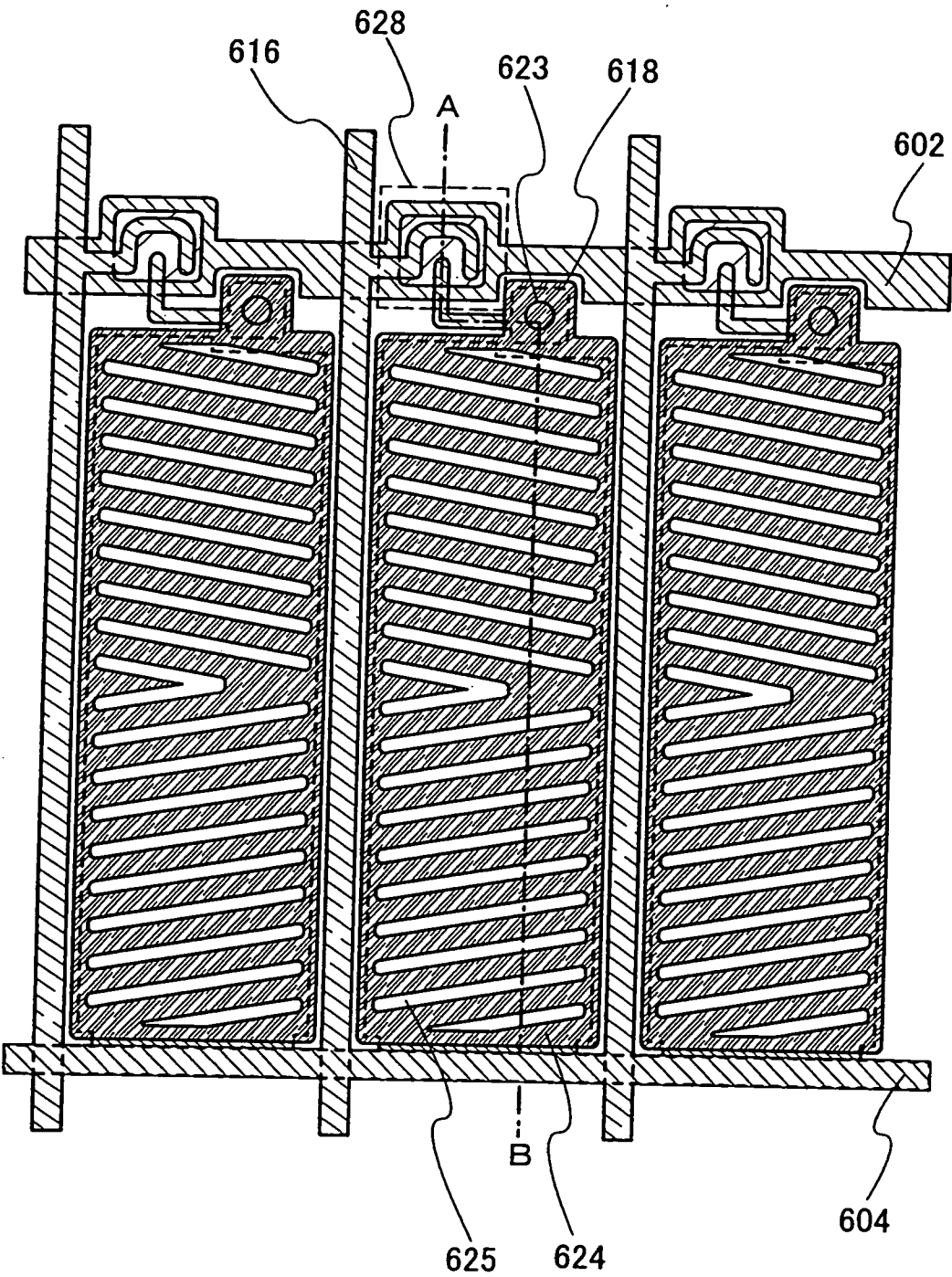


圖27

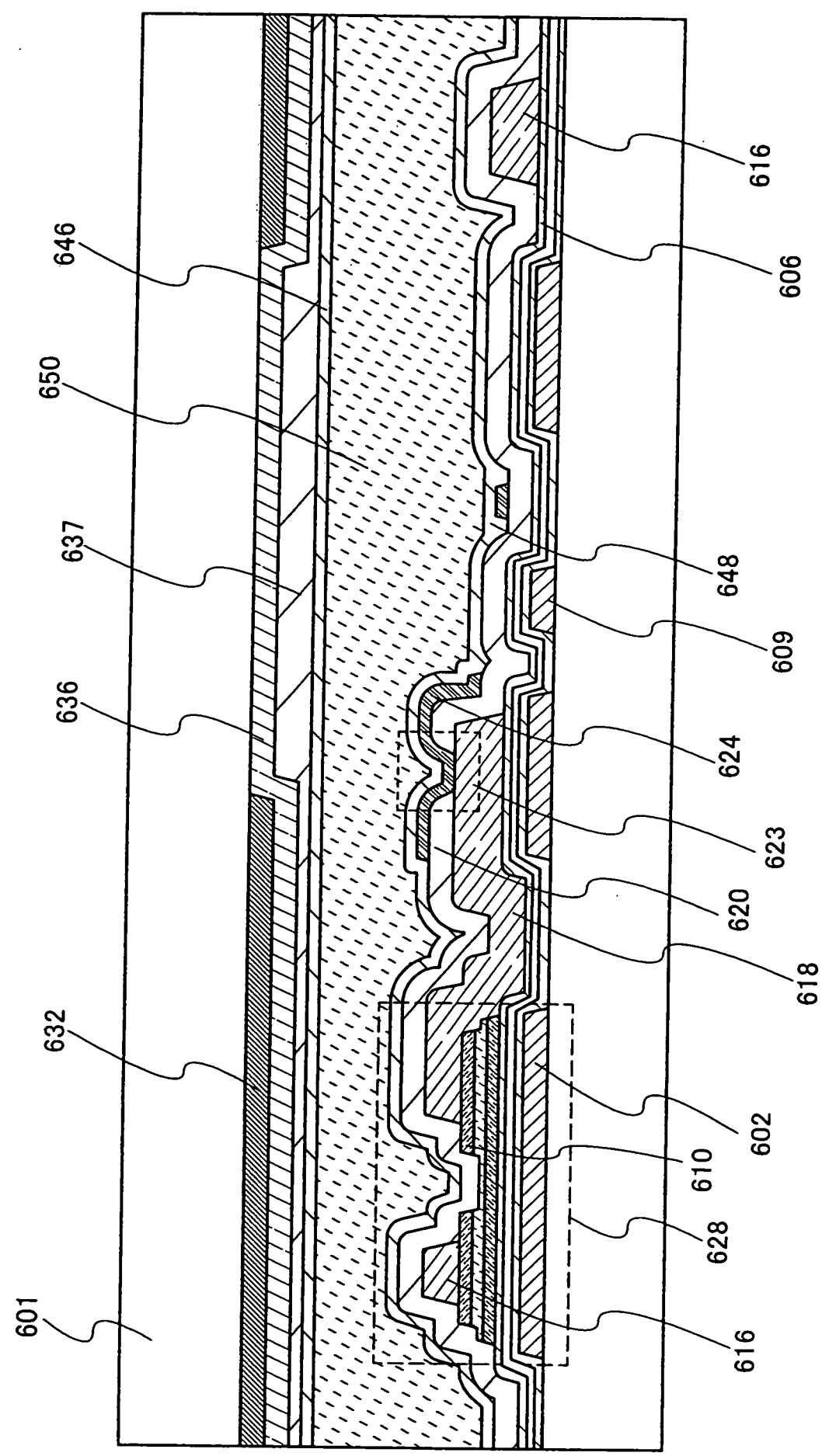


圖 28

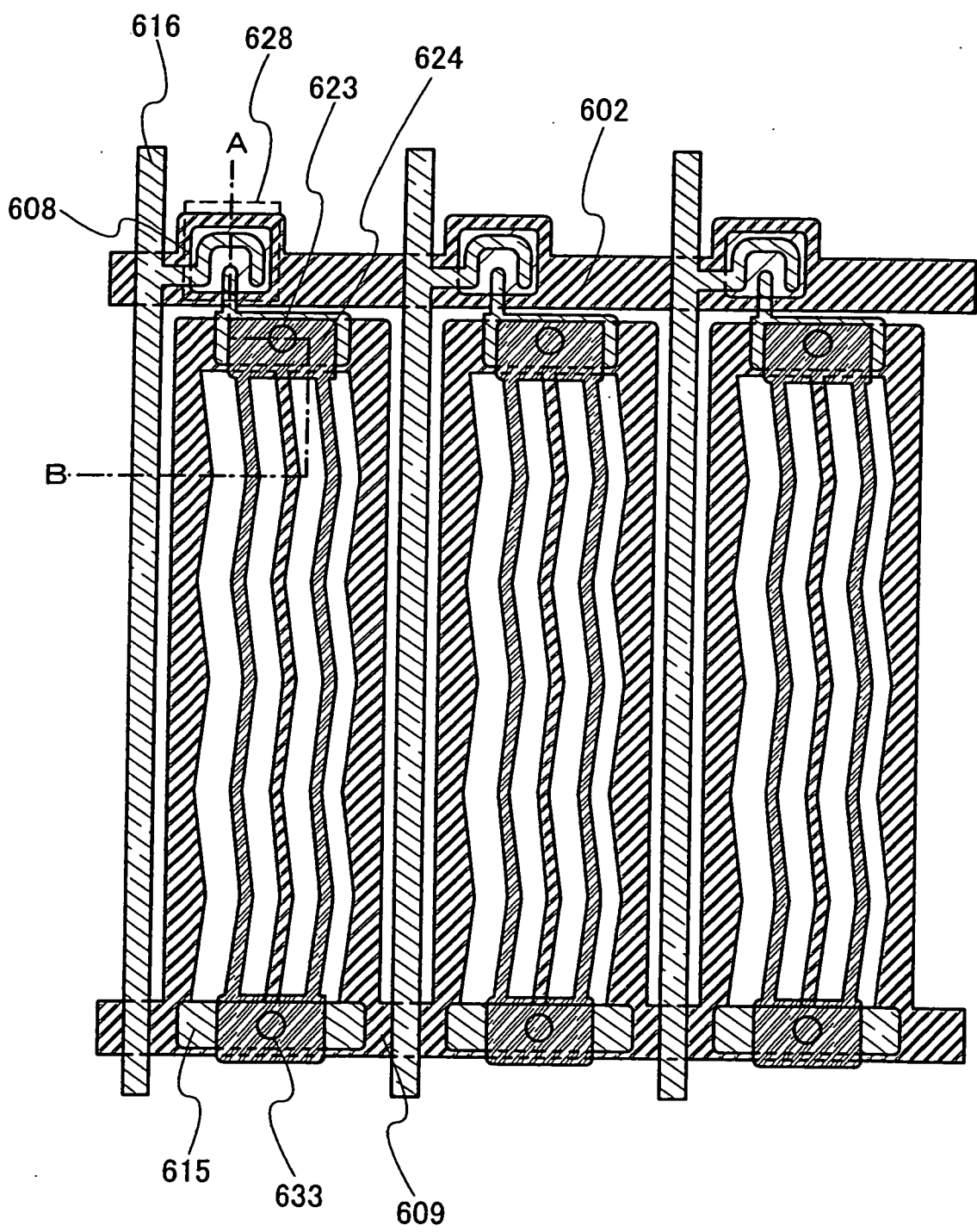


圖29

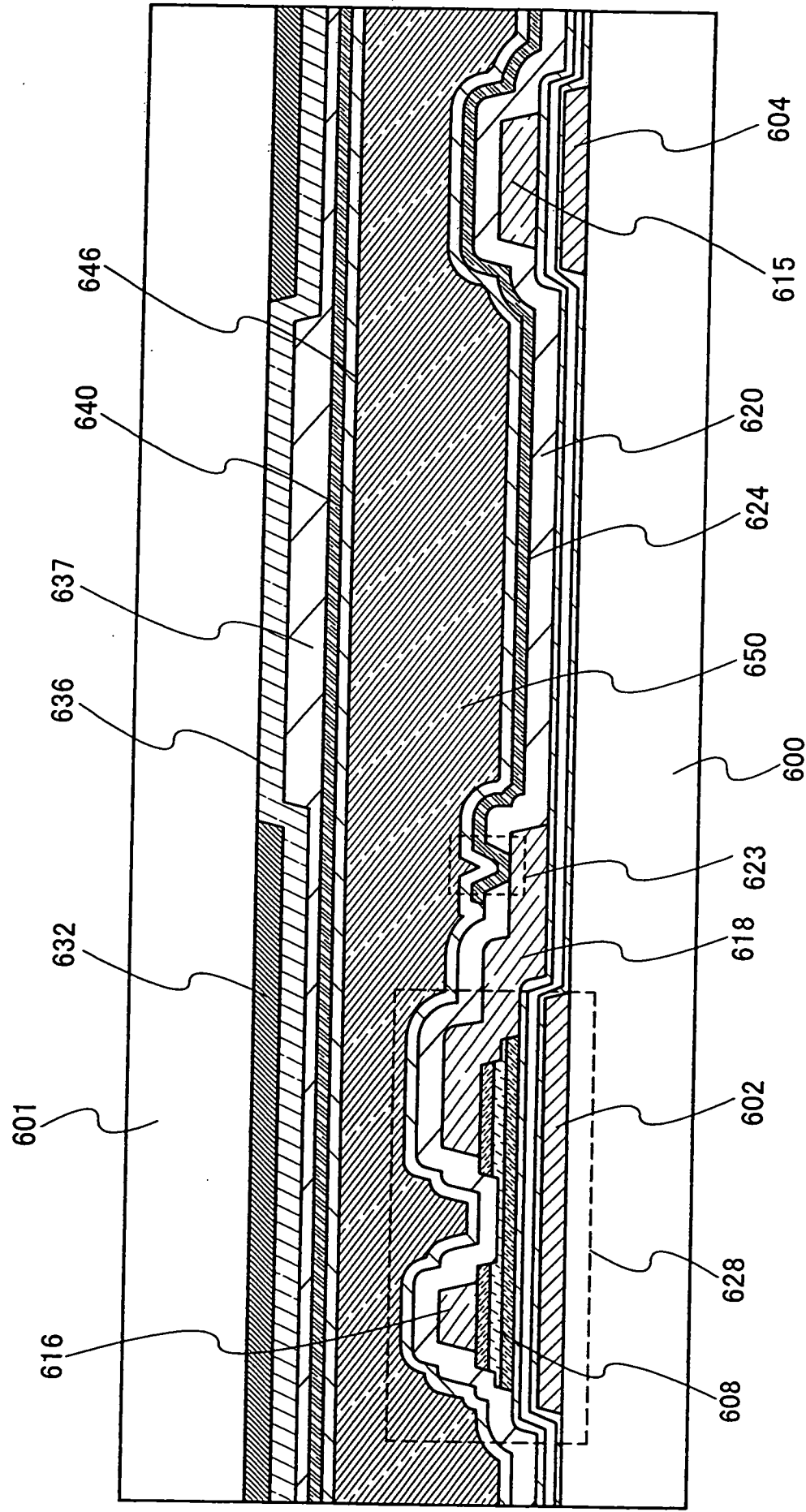


圖 30

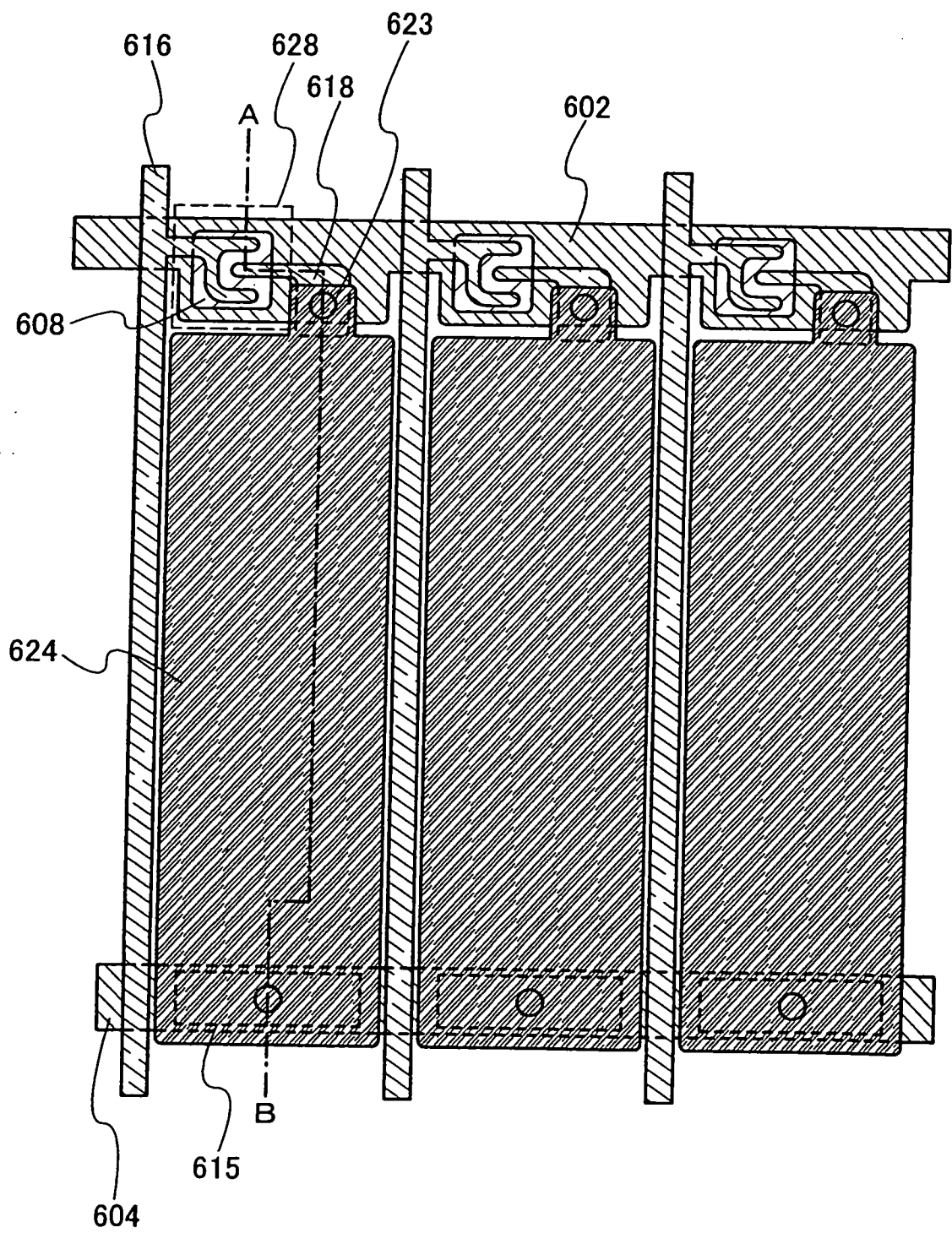


圖31A

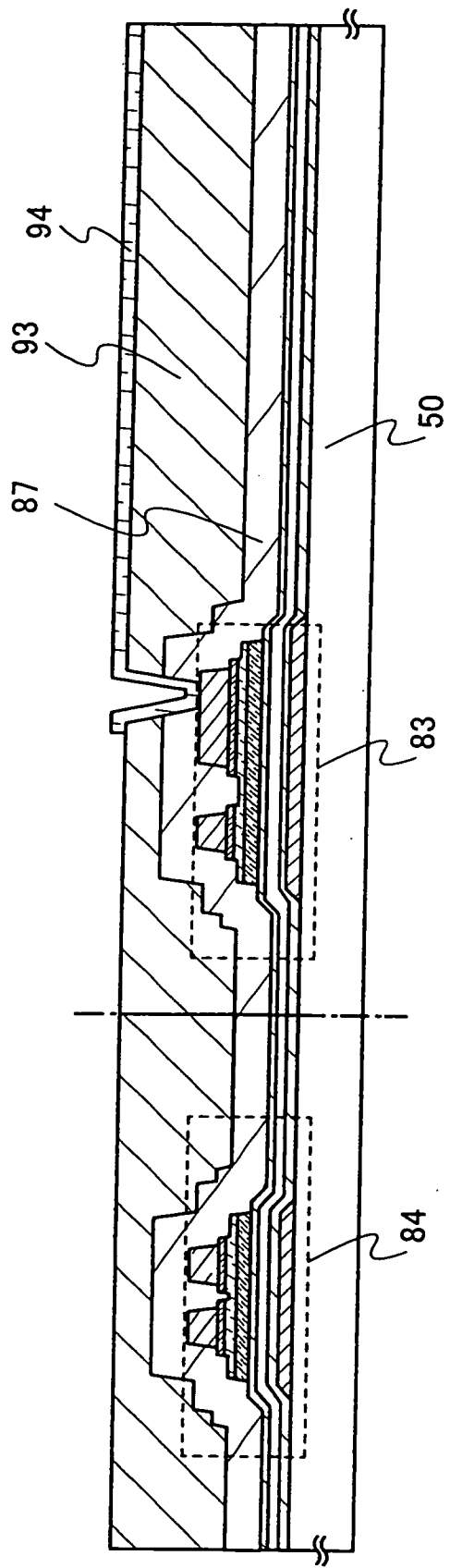


圖31B

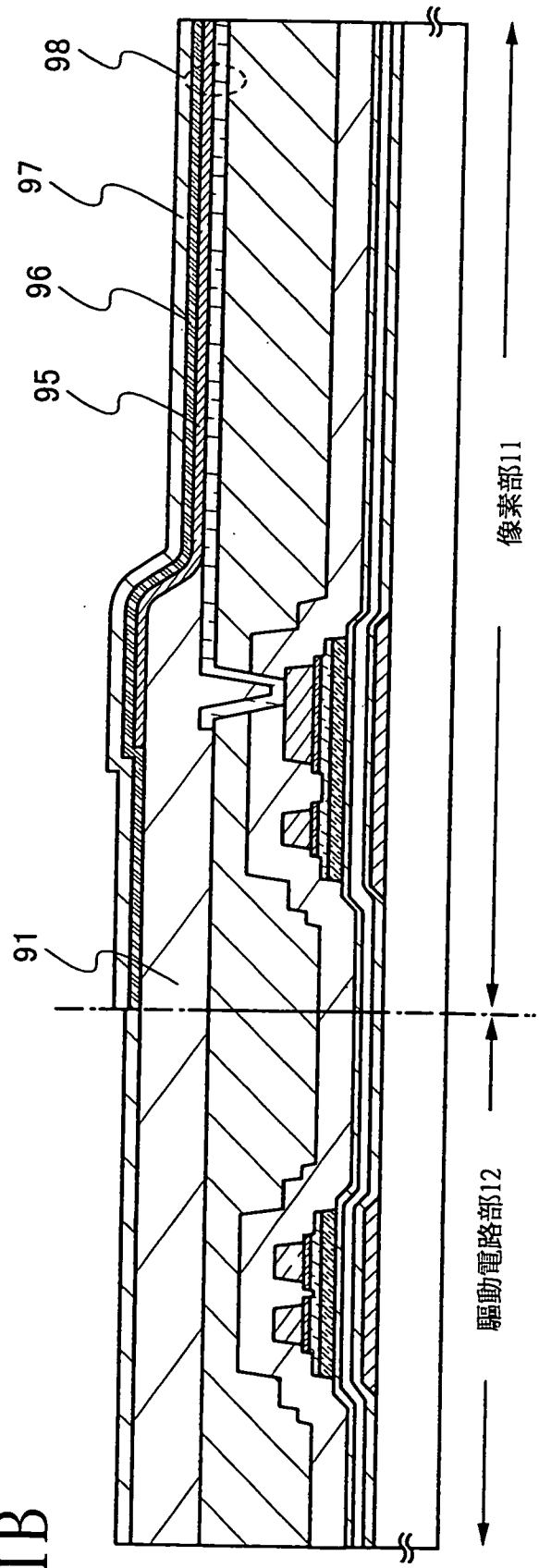


圖 32A

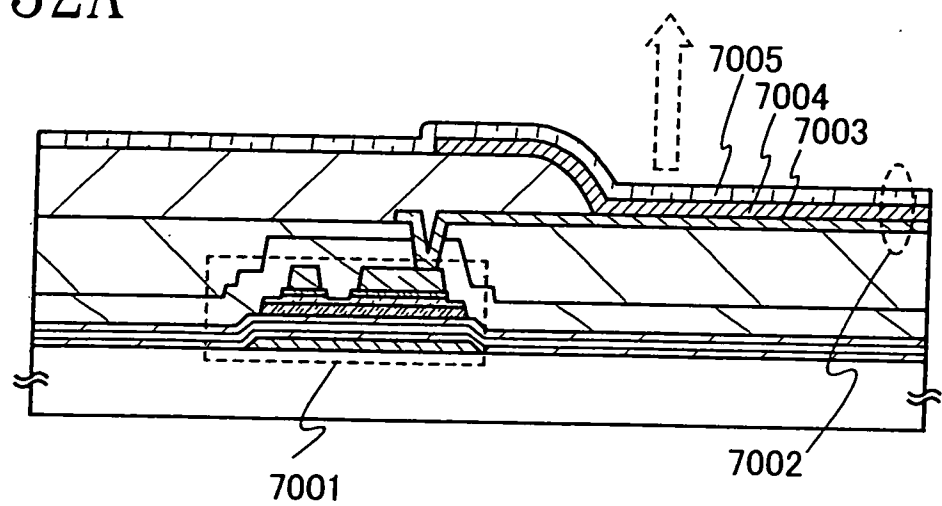


圖 32B

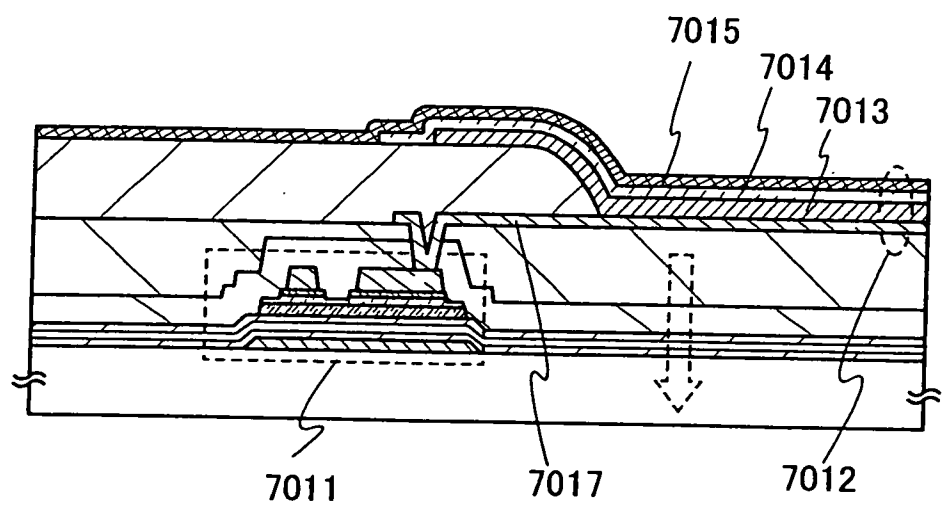


圖 32C

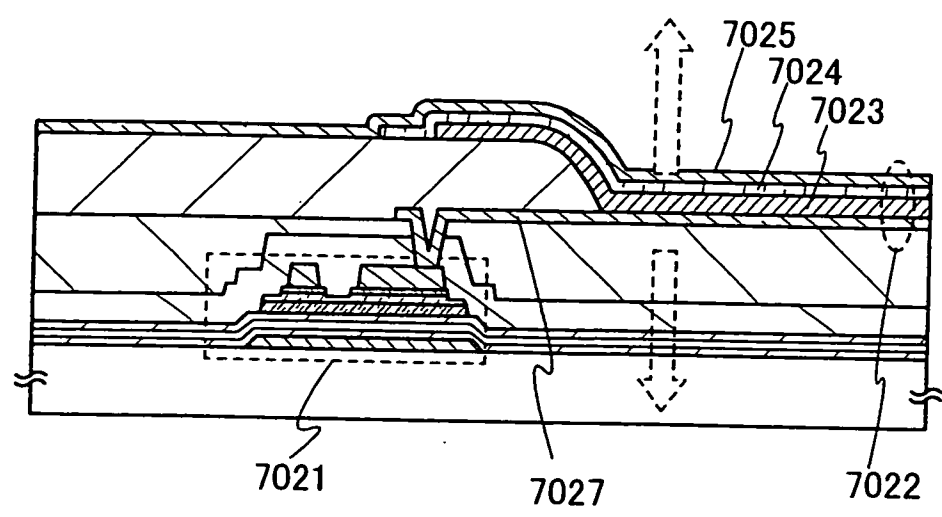


圖 33A

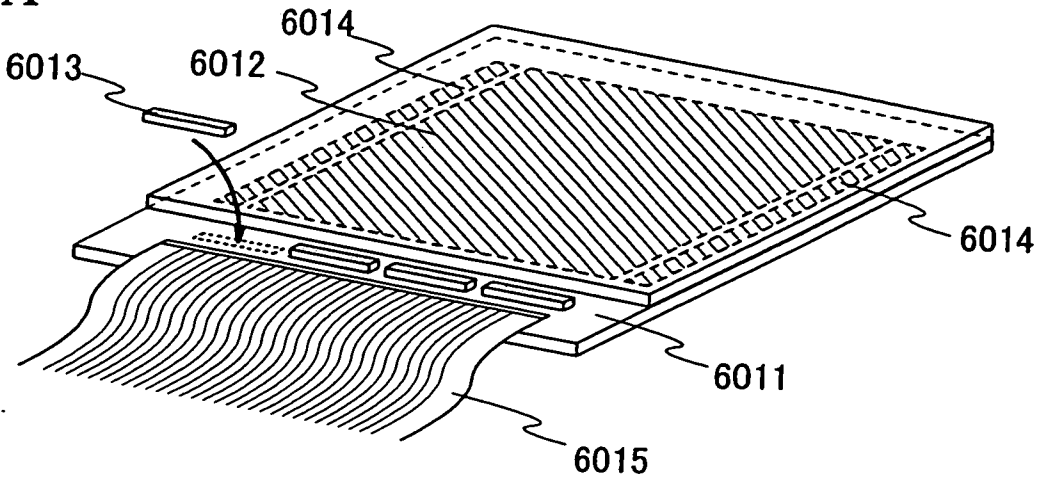


圖 33B

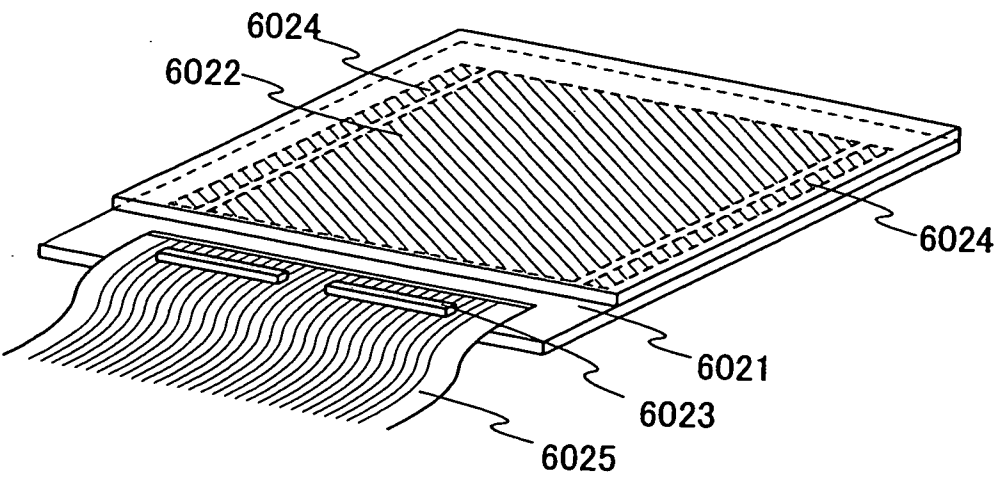


圖 33C

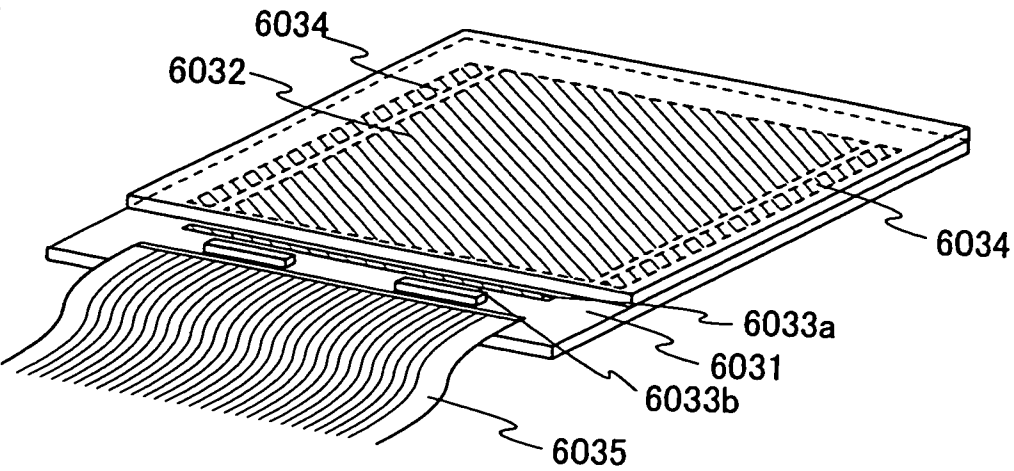


圖 34A

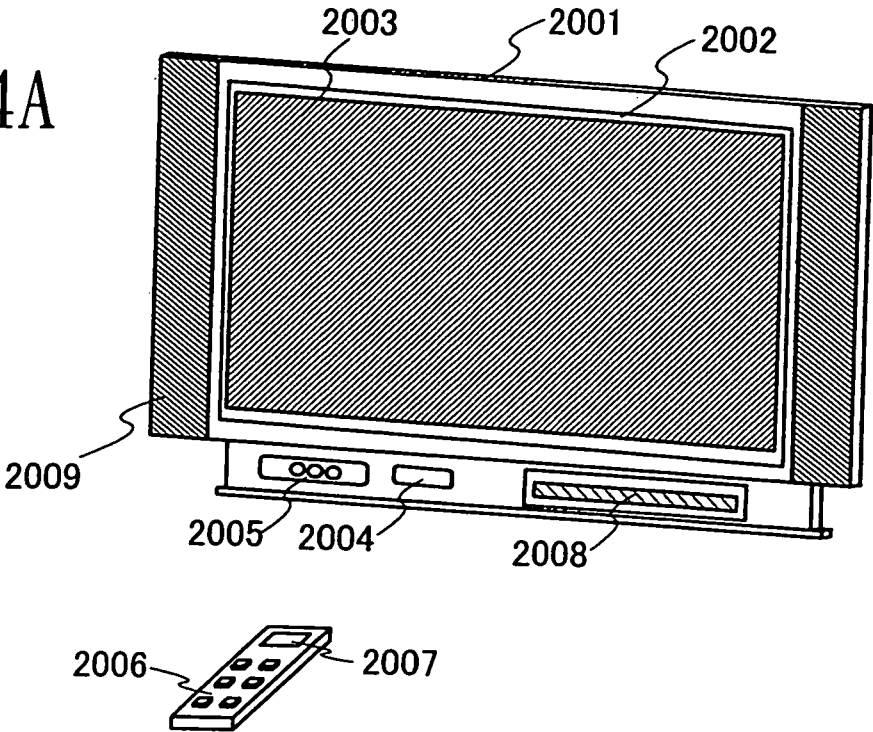


圖 34B

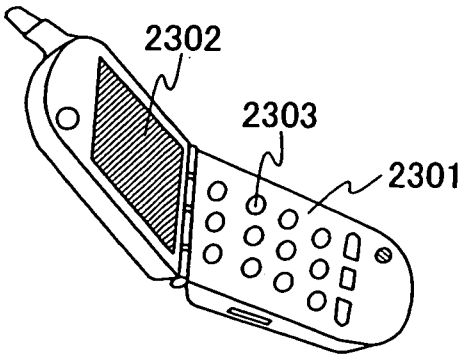


圖 34C

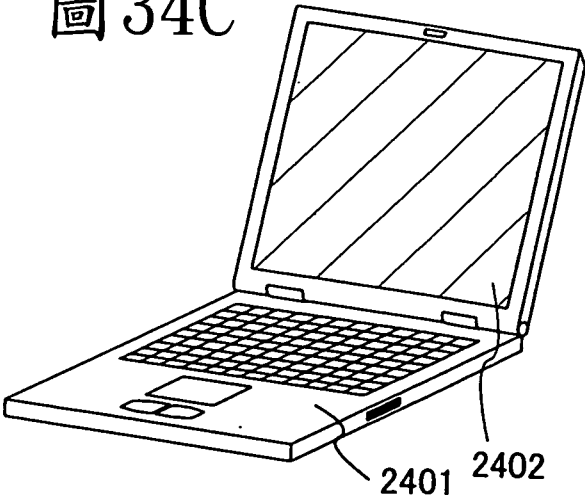


圖 34D

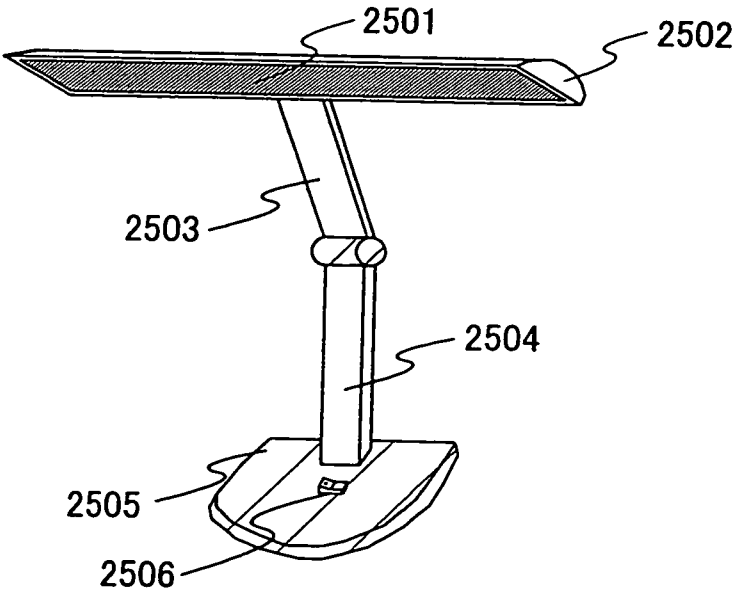


圖 35

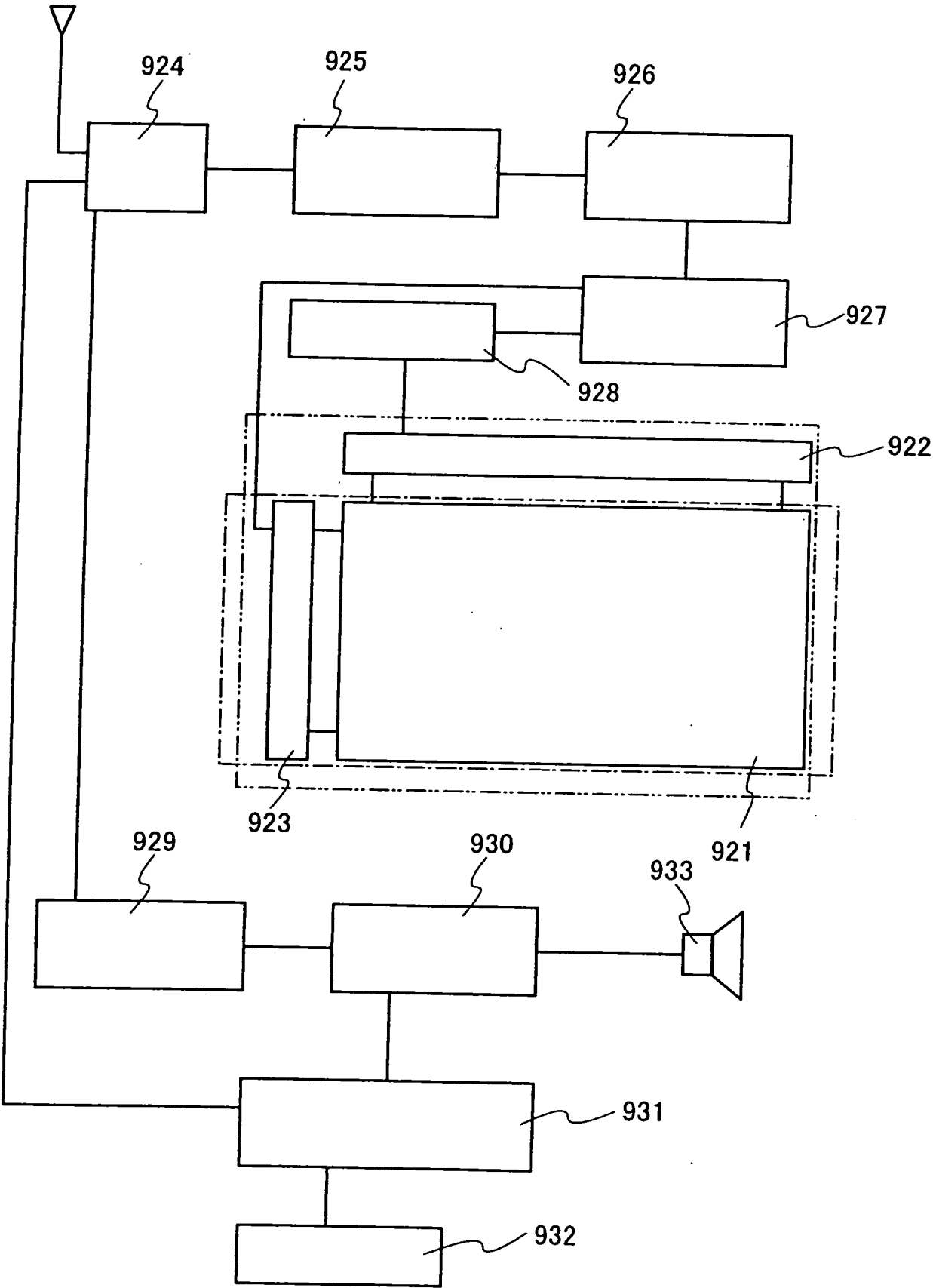


圖 36

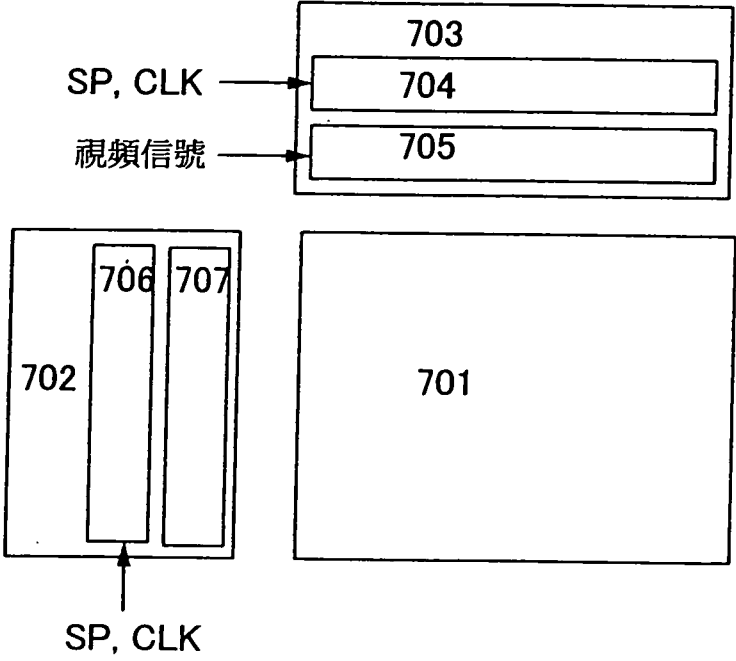


圖37A

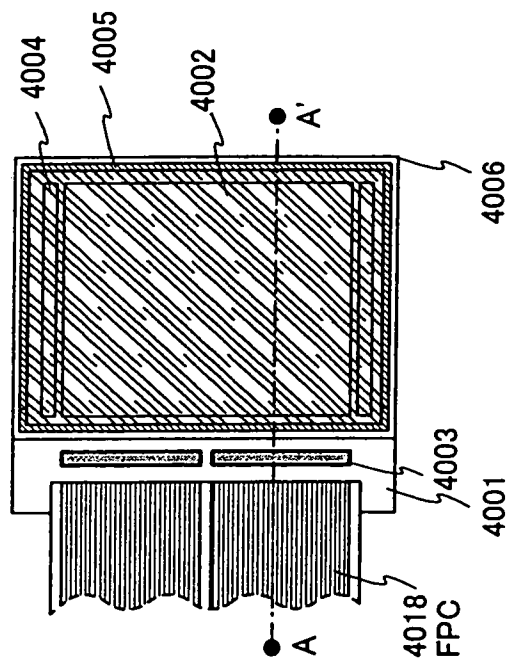


圖37B

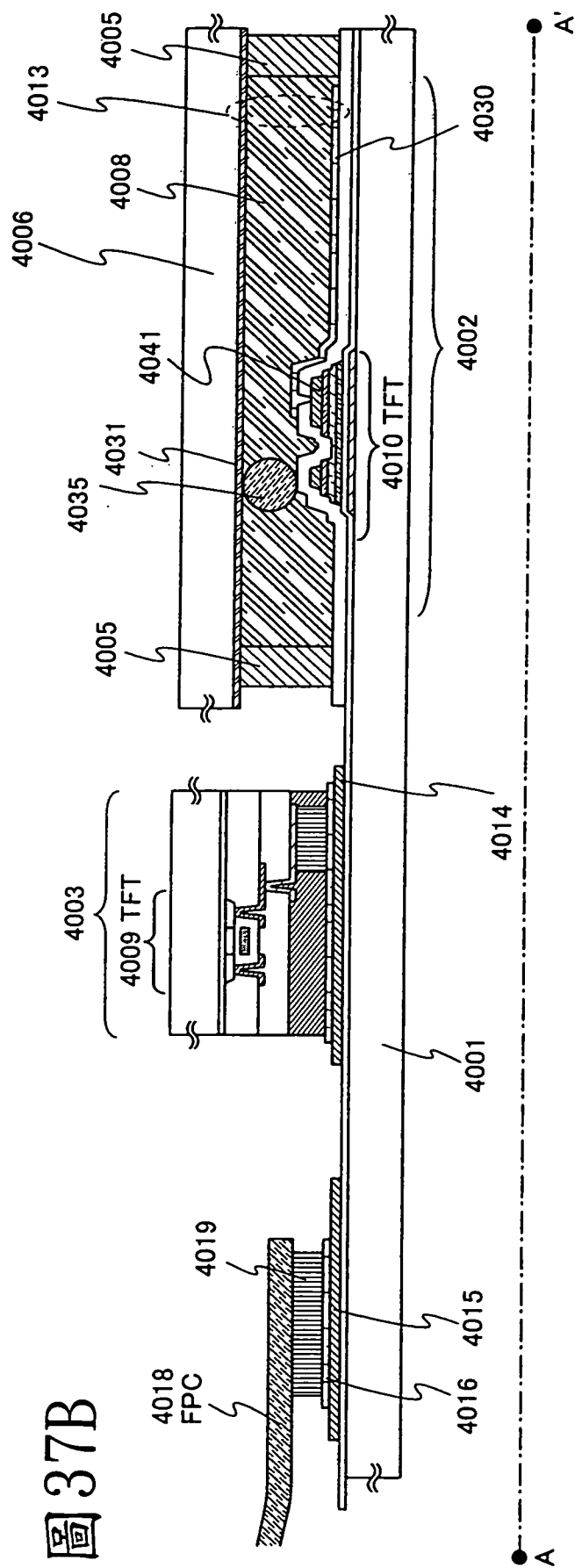


圖38A

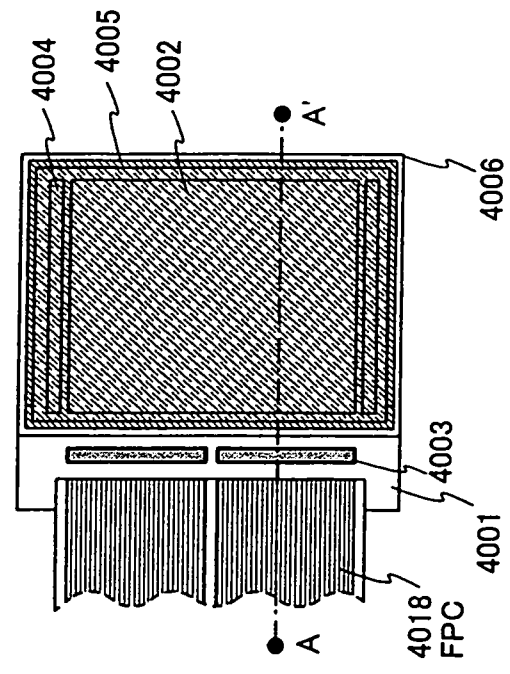


圖38B

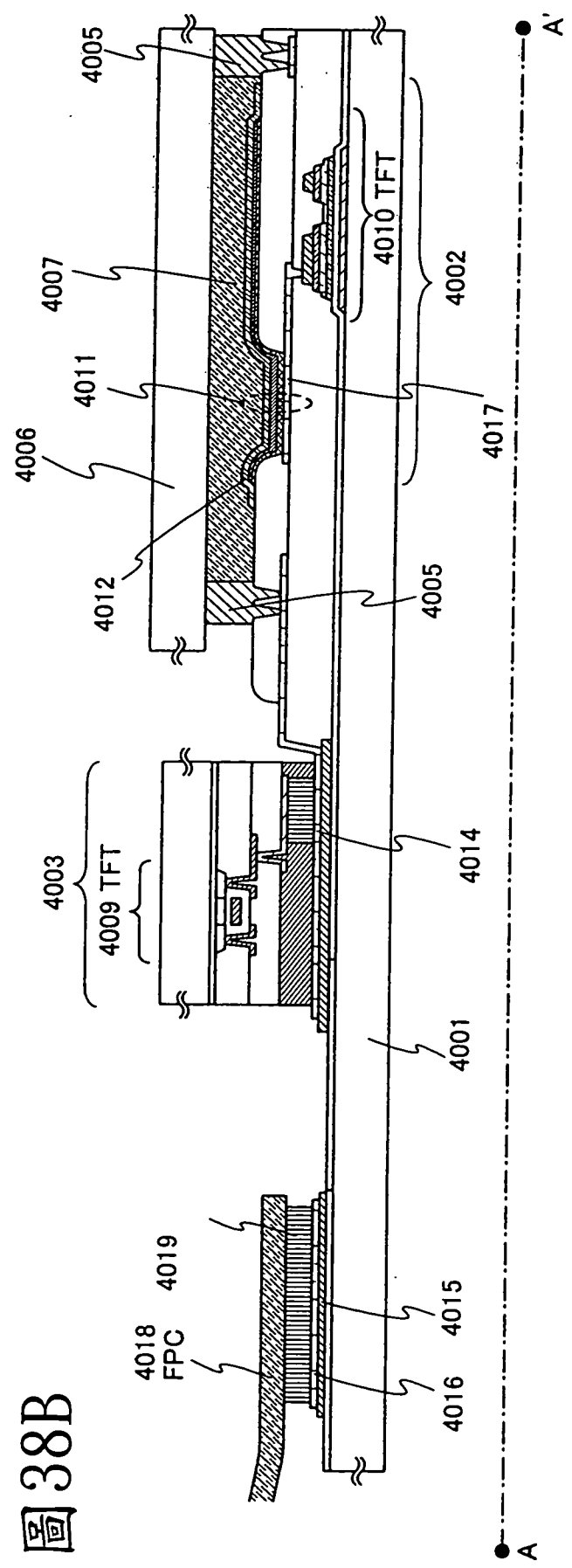


圖 39

		SiH ₄ 的流量	H ₂ 的 流量	成膜 壓力	電源 頻率	高頻 電力	電極 間隔	培養 時間	生長 速度 (沉積率)	膜厚度 分佈
< 量測 >		[sccm]	[sccm]	[Pa]	[MHz]	[W]	[mm]	[min]	[nm/min]	[± %]
樣品 1	1	4	400	100	60	15	20	0.7	2.8	1.3
樣品 2	2	4	400	100	13.56	80	30	0.4	4.8	1.3
樣品 1	1	4	400	100	13.56/60	60/20	30	0.8	6.3	1.8
樣品 2	2	4	400	100	13.56/60	40/40	30	0.3	5.5	2.1
樣品 3	3	4	400	100	13.56/60	20/60	30	0.0	3.6	1.7
樣品 3	3	4	400	100	60	80	30	0.6	3.3	3.1