

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4105044号
(P4105044)

(45) 発行日 平成20年6月18日(2008.6.18)

(24) 登録日 平成20年4月4日(2008.4.4)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 6 C
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 C
	HO 1 L 29/78 6 1 8 Z
	HO 1 L 29/78 6 1 7 T

請求項の数 9 (全 52 頁)

(21) 出願番号	特願2003-169467 (P2003-169467)	(73) 特許権者	000003078
(22) 出願日	平成15年6月13日(2003.6.13)		株式会社東芝
(65) 公開番号	特開2005-5590 (P2005-5590A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成17年1月6日(2005.1.6)	(74) 代理人	100075812
審査請求日	平成16年9月3日(2004.9.3)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項1】

シリコン基板上に形成され前記シリコン基板と面間隔の異なる結晶質を含み酸素組成比が化学量論比より小さな組成の金属酸化物を少なくとも含む第1の絶縁膜と、

前記第1の絶縁膜上に形成され前記シリコン基板とは結晶の面間隔が異なるシリコンで形成された実質的に直方体形状の半導体領域と、

前記半導体領域の長手方向に離間して形成されるソースおよびドレイン領域と、

前記ソース領域と前記ドレイン領域との間の前記半導体領域に形成されるチャンネル領域と、

前記チャンネル領域となる前記半導体領域の前記第1の絶縁膜と反対側の面を覆うように形成される第2の絶縁膜と、

前記チャンネル領域となる前記半導体領域の側面にそれぞれ形成される一対のゲート絶縁膜と、

前記一対のゲート絶縁膜の前記チャンネル領域とは反対側の面にそれぞれ形成される一対のゲート電極と、

を備えることを特徴とする電界効果トランジスタ。

【請求項2】

前記第1の絶縁膜に含まれる金属酸化物の少なくとも1つは、希土類元素から選ばれた1種類以上の金属元素を含むことを特徴とする請求項1記載の電界効果トランジスタ。

【請求項3】

10

20

前記第 1 の絶縁膜に含まれる金属酸化物の組成を部分的に変調させた領域が前記チャネル領域に接するように前記第 1 の絶縁膜に設けられ、前記シリコン基板と前記チャネル領域を電氣的に接続させたことを特徴とする請求項 1 または 2 記載の電界効果トランジスタ。

【請求項 4】

前記第 2 の絶縁膜が、前記シリコン基板と面間隔の異なる結晶質を含む金属酸化物を少なくとも含むことを特徴とする請求項 1 乃至 3 のいずれかに記載の電界効果トランジスタ。

【請求項 5】

前記第 1 の絶縁膜と、前記第 2 の絶縁膜が前記チャネル領域に与える歪の方向は、同一であることを特徴とする請求項 4 記載の電界効果トランジスタ。

10

【請求項 6】

前記第 2 の絶縁膜に含まれる金属酸化物の少なくとも 1 つは、希土類元素から選ばれた 1 種類以上の金属元素を含むことを特徴とする請求項 4 または 5 記載の電界効果トランジスタ。

【請求項 7】

前記ゲート絶縁膜が、前記シリコン基板と面間隔の異なる結晶質を含む金属酸化物を少なくとも含むことを特徴とする請求項 1 乃至 6 のいずれかに記載の電界効果トランジスタ。

【請求項 8】

前記第 1 の絶縁膜と、前記ゲート絶縁膜が前記チャネル領域に与える歪の方向は、互いに異なることを特徴とする請求項 7 記載の電界効果トランジスタ。

20

【請求項 9】

前記ゲート絶縁膜に含まれる金属酸化物の少なくとも 1 つは、希土類元素から選ばれた 1 種類以上の金属元素を含むことを特徴とする請求項 7 または 8 記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果トランジスタ及びその製造方法に関する。

30

【0002】

【従来の技術】

MOS (Metal-Oxide-Semiconductor) 型 FET はその性能向上のため、微細化・高密度化を繰り返し、素子のサイズは益々小さくなっている。例えばトランジスタ動作を確認できる SiO_2 からなるゲート絶縁膜の膜厚は研究段階で 1 nm を切るところまで達している。これは SiO_2 の 6 原子層分に相当する。しかし、ゲート絶縁膜の薄膜化を伴う微細化は、リーク電流の増加を招き、消費電力の増大という望ましくない結果を引き起こす。このため、微細化を図りつつもリーク電流の増加を抑える技術が必要となる。

【0003】

微細化を図りつつもリーク電流の増加を抑える方法として、従来の SiO_2 膜や SiON 膜に代わる、Hf 酸化物などの、より誘電率の高い材料（高誘電率膜）を用いることが考えられている。高誘電率膜を用いると、誘電率が高いため、 SiO_2 膜換算膜厚（以下、EOT (Equivalent Oxide Thickness) とも云う）を薄くしつつもリーク電流を低減できるという利点がある。反面、界面準位密度の増加や高誘電体膜中の不純物散乱により、 SiO_2 膜を用いた場合に比べてキャリア移動度が低下して駆動力が劣化するという問題があり、キャリア移動度の低下を防ぐ技術の開発が必要とされている。

40

【0004】

また、微細化による性能向上には物理的限界が必ず来るため、微細化に頼らない素子の高性能化技術も必要となる。バンドエンジニアリング、3次元構造化など、これまでの MOSFET に新しい発想を盛り込んだ新構造 MOSFET が例として挙げられる。極薄膜 S

50

SOI (Silicon on Insulator) 型 MOSFET、Fin 型 MOSFET、歪み Si-MOSFET などがその候補である。

【0005】

極薄膜 SOI 型 MOSFET の特徴は、基板中に SiO₂ 膜を埋め込み、チャネル領域を薄くしたことである。低不純物濃度で完全空乏化を実現できるため、シヨ-トチャネル効果の抑制とスイッチングの高速化を可能とする。しかし、埋め込み SiO₂ 膜による圧縮歪をチャネル領域の Si が受けるために、電子の移動度が低下する問題がある。また、基板電位をとるために、SiO₂ 膜のエッチング後に Si をエピタキシャル成長させるという複雑で緻密な製造工程を取る必要があり、製造コストが高くなるという欠点がある。

【0006】

Fin 型 MOSFET は極薄膜 SOI 型 MOSFET の発展型ともいうべきもので、埋め込み SiO₂ 膜上に形成された Fin 状のチャネル領域を有することを特徴とする。左右をゲート電極で挟まれたダブルゲート MOSFET であるために、シヨ-トチャネル効果の抑制に加えて、従来のシングルゲート MOSFET よりもオン電流を増大させることができる」と期待されている。

【0007】

しかし、従来の Fin 型 MOSFET では、極薄膜 SOI 型 MOSFET 同様、埋め込み SiO₂ 膜による圧縮歪をチャネルが受ける構造になっているために、電子の移動度が低下する問題が発生すると予想される。また、基板電位を印加する為には、極薄膜 SOI 型 MOSFET と同様に複雑で緻密な工程を行う必要がある（例えば、特許文献 1 参照）。また、周囲をゲート電極で囲まれた構造であるために、ゲート電極からのボロンの突き抜けが顕著であり、閾値の制御が難しいという問題がある。

【0008】

SiGe を用いた歪み Si-MOSFET は、絶縁膜上に SiGe 層を含んだ基板（以下、SGOI (SiGe on Insulator) 基板とも云う）を作り、その上に Si をエピタキシャル成長させることを特徴とする。チャネル領域の Si が SiGe 層から引っ張り歪を受けるため、キャリア移動度の向上を図ることが出来る。n-MOSFET においては 80% 程度、p-MOSFET においては 20% 程度のキャリア移動度の向上が確認されている。p-MOSFET において移動度の顕著な向上が見られない原因に関しては、定量的にはよく理解されていないが、SiGe 層上にチャネル領域となる Si 層を形成する場合には引っ張り歪しか与えられないことが一因ではないかと言われている。圧縮歪をチャネル領域に加えることによって移動度が向上する可能性があり、SiGe をチャネルとした圧縮歪型 p-MOSFET も研究されている。報告では 130% の正孔移動度向上が確認されており、より高い圧縮歪を受けた Si からなるチャネル領域を形成することで p-MOSFET の駆動力が向上する可能性は高い。しかし、SiGe 基板（またはSGOI基板）の製法は、SIMOX 法や、張り合わせ法、酸化濃縮法という複雑な手法を用いるため、製造コストが高くなる欠点があり、プロセス上容易に引っ張り歪、圧縮歪を与えられる技術の開発が必要である。また、チャネル領域が薄くなってくると、SiGe 基板から拡散した Ge や、貫通転位によるキャリア散乱が顕著になってくるため、SiGe を用いない歪 Si の製造方法が必要とされている。

【0009】

【特許文献 1】

特開 2002-118255

【0010】

【発明が解決しようとする課題】

上記のように、微細化の追求による性能向上が限界を迎える時が必ず訪れるため、微細化に頼らない、新しい MOSFET 構造の提案が必要である。

【0011】

しかし、その候補として上げられている極薄膜 SOI-MOSFET、Fin 型-MOSFET、歪 Si-MOSFET は各々問題を抱えている。極薄膜 SOI-MOSFET や

10

20

30

40

50

Fin型-MOSFETでは、埋め込みSiO₂膜による圧縮歪をチャネル領域のSiが受けるために、電子の移動度が低下する問題があり、歪Si-MOSFETではチャネル領域薄膜化に伴って、チャネル領域に拡散したGeによるキャリア散乱が顕著となり、移動度が低下する問題がある。

【0012】

本発明は、上記事情を考慮してなされたものであって、Fin型-MOSFETにおいて、トランジスタ特性の大幅な改善を図ることのできる電界効果トランジスタと、その製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】

本発明の第1の様態による電界効果トランジスタは、半導体基板上に形成され前記半導体基板と面間隔の異なる結晶質を含む金属酸化物を少なくとも含む第1の絶縁膜と、前記第1の絶縁膜上に形成され前記半導体基板とは結晶の面間隔が異なる凸型形状のチャネル領域と、前記チャネル領域の両側の前記第1の絶縁膜上に形成されるソース・ドレイン領域と、前記チャネル領域の直上に形成される第2の絶縁膜と、前記ソース・ドレイン領域とは異なる前記チャネル領域の側面に形成されるゲート絶縁膜と、前記ゲート絶縁膜を介して前記ソース・ドレイン領域とは異なる前記チャネル領域の側面に少なくとも形成されるゲート電極と、を備えることを特徴とする。

【0014】

なお、前記第1の絶縁膜に含まれる金属酸化物の少なくとも1つは、希土類元素から選ばれた1種類以上の金属元素を含むように構成しても良い。

【0015】

なお、前記第1の絶縁膜に含まれる金属酸化物の面間隔は、酸素組成比を化学量論比よりも少なくすることで酸素組成比が化学量論比であるときの面間隔と異なっているように構成しても良い。

【0016】

なお、前記第1の絶縁膜に含まれる金属酸化物の少なくとも一つは、金属酸化物とチャネル領域との間に結晶質の岩塩構造金属酸化物を挟むように構成しても良い。

【0017】

なお、前記第1の絶縁膜に含まれる金属酸化物の組成を部分的に変調させた領域が前記チャネル領域に接するように前記第1の絶縁膜に設けられ、前記半導体基板と前記チャネル領域を電気的に接続させるように構成しても良い。

【0018】

なお、前記第2の絶縁膜が、半導体基板と面間隔の異なる結晶質を含む金属酸化物を少なくとも含むように構成しても良い。

【0019】

なお、前記第1の絶縁膜と、前記第2の絶縁膜が前記チャネル領域に与える歪の方向は、同一であるように構成しても良い。

【0020】

なお、前記第2の絶縁膜に含まれる金属酸化物の少なくとも1つは、希土類元素から選ばれた1種類以上の金属元素を含むように構成しても良い。

【0021】

なお、前記第2の絶縁膜に含まれる金属酸化物の面間隔は、酸素組成比を化学量論比よりも少なくすることで酸素組成比が化学量論比であるときの面間隔と異なっているように構成しても良い。

【0022】

なお、前記第2の絶縁膜に含まれる金属酸化物の少なくとも一つは、金属酸化物とチャネル領域との間に結晶質の岩塩構造金属酸化物を挟むように構成しても良い。

【0023】

なお、前記ゲート絶縁膜が、半導体基板と面間隔の異なる結晶質を含む金属酸化物を少な

10

20

30

40

50

くとも含むように構成しても良い。

【0024】

なお、前記第1の絶縁膜と、前記ゲート絶縁膜が前記チャネル領域に与える歪の方向は、互いに異なるように構成しても良い。

【0025】

なお、前記ゲート絶縁膜に含まれる金属酸化物の少なくとも1つは、希土類元素から選ばれた1種類以上の金属元素を含むように構成しても良い。

【0026】

なお、前記ゲート絶縁膜に含まれる金属酸化物の面間隔は、酸素組成比を化学量論比よりも少なくすることで酸素組成比が化学量論比であるときの面間隔と異なっているように構成しても良い。

10

【0027】

なお、前記ゲート絶縁膜に含まれる金属酸化物の少なくとも一つは、金属酸化物とチャネル領域との間に結晶質の岩塩構造金属酸化物を挟むように構成しても良い。

【0028】

また、本発明の第2態様による電界効果トランジスタの製造方法は、半導体基板上に、前記半導体基板と面間隔の異なる結晶質である金属酸化物からなる金属酸化膜を少なくとも含む第1の絶縁膜を形成する工程、その後、前記第1の絶縁膜に含まれる前記金属酸化膜の一部の領域の導電性を変化させる工程とを含むことを特徴とする。

【0029】

20

なお、前記導電性を変化させる工程は、前記金属酸化膜の一部の領域の酸素組成比を変調させる工程を含むように構成しても良い。

【0030】

なお、前記金属酸化膜の一部の領域の酸素組成比の変調は、イオン打ち込み、熱処理、レーザー照射、電子線照射、電磁波照射のいずれかにより行うように構成しても良い。

【0031】

【発明の実施の形態】

(第1実施形態)

本発明の第1実施形態によるFin型MIS(Metal Insulator Semiconductor)FETの構成を、図1乃至図3を参照して説明する。図1は第1実施形態によるFin型MISFETの斜視図、図2は図1に示す切断面A-Aで切断したときの断面図、図3は図1に示す切断面B-Bで切断したときの断面図である。

30

【0032】

この実施形態によるMISFETは、Siからなる半導体基板1bの表面に結晶性の金属酸化物を少なくとも含む絶縁膜3が形成され、この絶縁膜3の上に凸型のチャネル領域(チャネル層)5bが形成されている。絶縁膜3を構成する金属酸化物の結晶の所定方向の面間隔(以下、面間隔という)がSiの面間隔とは異なる。このため、チャネル領域5bにおけるSiは絶縁膜3から応力をうけ、歪みSi層が形成されている。このチャネル領域5bの両側に、チャネル領域5aと導電型が異なるソース領域10aおよびドレイン領域10bが形成された構成となっている。また、チャネル領域5bの直上部には絶縁膜6aが形成されている。チャネル領域5bの側面上にはゲート絶縁膜7が形成されている。ゲート絶縁膜7の周囲には、ポリシリコンからなるゲート電極9aが形成されている。すなわち、本実施形態においては、チャネル領域5bにおけるSiの面間隔は半導体基板1bにおけるSiの面間隔と異なるように構成されている。ここで、本実施形態のMISFETがn-MISFETの場合には、金属酸化膜の面間隔をSiより大きくし、チャネル層におけるSiの面間隔を引っ張り応力により広げる。これにより、チャネル層における電子の移動度を高めることが可能となる。一方、p-MISFETの場合には、金属酸化物の面間隔をSiより大きく、または、小さくし、チャネル層におけるSiの面間隔を、引っ張り応力、または、圧縮応力により変化させる。これにより、チャネル層における正孔の移動度を高めることが可能となる。

40

50

【0033】

次に、本実施形態による n - M I S F E T の製造方法を、図 4 乃至図 9 を参照して説明する。図 4 (a) 乃至図 4 (e) は切断面 A - A における製造工程断面図、図 5 (a) 乃至図 5 (e) は図 4 (a) 乃至図 4 (e) にそれぞれ対応する切断面 B - B における製造工程断面図であり、図 6 (a) 乃至図 6 (e) は切断面 A - A における製造工程断面図、図 7 (a) 乃至図 7 (e) は図 6 (a) 乃至図 6 (e) にそれぞれ対応する切断面 B - B における製造工程断面図であり、図 8 (a) 乃至図 8 (c) は切断面 A - A における製造工程断面図、図 9 (a) 乃至図 9 (c) は図 8 (a) 乃至図 8 (c) にそれぞれ対応する切断面 B - B における製造工程断面図である。

【0034】

まず、(001) 面方位を持つ Si 基板 1 a に例えば水素イオンを $5 \times 10^{16} / \text{cm}^2$ のドーズ量で、ピークレンジが例えば表面から 50 nm の深さになるようなエネルギーで打ち込み、水素濃度の高い領域を形成する。続いて、打ち込みによるダメージを回復するために、例えば 800 °C で 30 分、水素雰囲気中で熱処理する。このような熱処理を行うことによって、ダメージが回復すると共に、水素濃度の高い領域には周囲より機械的強度の小さい中間層 2 が形成され、同時に、後にチャンネル層となる Si 層 5 a が形成される (図 4 (a)、図 5 (a) 参照)。中間層 2 には連続的に微細な空孔が発生し、機械的強度が小さくなっている。これにより、後述の工程で剥離を容易に行うことが可能となる。

【0035】

次に、希フッ酸処理を行い、Si 基板 1 a の表面を水素で終端化する。続いて、この基板 1 a を電子ビーム蒸着装置に導入する。基板温度を例えば 500 °C とし、 Pr_6O_{11} を蒸着源として用いて金属酸化物 Pr_2O_3 を例えば 5 nm 蒸着し、 Pr_2O_3 層 3 a を形成する (図 4 (b)、図 5 (b) 参照)。このとき、Si 層 5 a の、 Pr_2O_3 層 3 a 側の界面の Si が酸化されて、Si 層 5 a と金属酸化物 Pr_2O_3 層 3 a の間には、膜厚が 0.5 nm の SiO_2 層 3 b が形成される。また、本実施形態においては、酸素分圧を $1 \times 10^{-7} \text{ Torr}$ に精密に制御することにより、酸化物 Pr_2O_3 の配向性を高め結晶性を向上させている。また、X 線回折評価より、 Pr_2O_3 層 3 a は面方位 (001) 方向に配向したエピタキシャル層であり、 SiO_2 層 3 b と Pr_2O_3 層 3 a との界面に対して平行方向、すなわち面方位 (001) 方向の Pr_2O_3 の面間隔は 5.52 Å であることがわかっている。この値は面方位 (001) 方向の Si の面間隔に対して 1.7% 大きい。また、X 線回折の半値幅は狭く、 Pr_2O_3 からなる絶縁膜 3 は面方位 (001) 方向に強く配向した結晶性の高い膜であることが確認されている。

【0036】

次に、CVD (Chemical Vapor Deposition) 法を用いて例えば 1 μm 厚の Si 層 5 を成膜する。このとき、Si 層 5 の Pr_2O_3 層 3 a 側の界面の Si が酸化されて、Si 層 5 と Pr_2O_3 層 3 a の間には、膜厚が 0.5 nm の SiO_2 層 3 c が形成される。つまり、この製造方法では、Si 層 5 a と、Si 層 5 との間には、膜厚が 0.5 nm の SiO_2 層 3 b、膜厚 5 nm の Pr_2O_3 層 3 a、および膜厚が 0.5 nm の SiO_2 層 3 c からなる 3 層積層構造の絶縁膜 3 が形成された構成となっている (図 4 (c)、図 5 (c) 参照)。

【0037】

次に、Si 層 5 の表面に基板 1 b を接着する (図 4 (d)、図 5 (d) 参照)。その後、中間層 2 を境に基板 1 b を剥離することによって、金属酸化物 Pr_2O_3 からなる絶縁膜 3 上に Si 層 5 a を露出する。続いて、例えば CMP (Chemical Mechanical Polishing) 法を用いて Si 層 5 a の露出した表面を平坦化する。(図 4 (e)、図 5 (e) 参照)。

【0038】

次に、図 6 (a)、図 7 (a) に示すように膜厚が 50 nm の SiO_2 を全面に被膜し絶縁膜 6 を形成する。なお、この後に続いて、絶縁膜 6 を介して、ボロン元素のイオン打ち込みを行うことにより、チャンネルとして用いる Si 層 5 a に不純物プロファイルを形成することも可能である。続いて、図 6 (b)、図 7 (b) に示すように、例えば RIE (Rea

10

20

30

40

50

ctive Ion Etching)法などの異方性エッチング法を用いて絶縁膜6およびSi層5aをパターンニングし、凸型のチャンネル層5bおよび絶縁膜6aを形成する。このとき、 Pr_2O_3 層3aとSi層5aとの間に形成された SiO_2 層3bも同時にパターンニングされる。

【0039】

次に、図6(c)、図7(c)に示すようにチャンネル領域5bの周囲に、膜厚が3nmの SiO_2 からなるゲート絶縁膜7を形成する。この時、例えばFinのチャンネル領域の高さ(ゲート幅)を20nm、Finの幅(チャンネル領域深さ)を20nm、Finの長さを200nmとする。続いて、CVD法を用いてゲート電極となるポリシリコン膜9を全面に堆積する(図6(d)、図7(d)参照)。

【0040】

次に、ポリシリコン膜9を、例えばRIE法などの異方性エッチング法を用いてパターンニングし、ゲート電極9aを形成する(図6(e)、図7(e)参照)。その後、ゲート電極9aをマスクとしてイオン注入と熱工程を行うことにより、不純物を導入したソース・ドレイン領域10a、10bを形成する(図8(a)、図9(a)参照)。さらに、CVD法により SiO_2 からなる層間絶縁膜11を全面に堆積する(図8(b)、図9(b)参照)。

【0041】

次に、図8(c)、図9(c)に示すように、ソース・ドレイン領域10a、10b上にコンタクトホールを開孔し、Al等の金属を蒸着して金属膜を全面に形成することによりソース・ドレイン電極12a、12bおよびゲート電極12cを形成し、Fin型n-MISFETが完成する。

【0042】

次に、図4(a)乃至図9(c)に示した構造を持つFin型n-MISFETの絶縁膜3の特性について詳細に述べる。通常、絶縁膜として用いる金属酸化物が結晶質のものであっても、その面間隔がチャンネル層のSiに影響を与えることはない。しかし、今回、我々は、面方位(001)に強く配向し、結晶性が高い Pr_2O_3 層3aを形成することにより、チャンネル領域のSiに、チャンネル方向に引っ張り応力が加わり、面間隔が変化することを見出した。図10は、図4(a)乃至図9(c)に示した構造を持つn-MISFETにおける絶縁膜3とチャンネル領域5bの拡大図であり、 Pr_2O_3 層3a、 SiO_2 層3b、3cとチャンネル領域5bにおけるMISFETの断面構造を示す模式図である。図11は透過型電子顕微鏡(以下、TEM(Transparent Electron Microscope))を用いて測定した電子線回折像から得られた面間隔の変化を示す。

【0043】

ここで測定しているのは、界面に対して平行方向の面間隔である。測定ポイントは図10に示したように、 Pr_2O_3 層3a/ SiO_2 層3bとSi層5bの界面から20nm離れたチャンネル領域5bのSiの位置1、 Pr_2O_3 層3a/ SiO_2 層3bとSi層5bの界面近傍のSiの位置2、 Pr_2O_3 層3a中の位置3、 Pr_2O_3 層3a/ SiO_2 層3cとSi層5の界面から250nm離れた基板5のSiの位置4である。なお、図11の縦軸は、250nm離れた基板5中のSiの面間隔、すなわち4の位置における値を基準として、各測定位置での面間隔の変化を示している。

【0044】

Pr_2O_3 層3aの面間隔の変化は+1.7%であり、X線回折から得られた結果と一致する。さらに、この Pr_2O_3 層3aに引っ張られる形で界面でのSiが歪んでおり、 Pr_2O_3 層3a/ SiO_2 層3bとSi層5bの界面近傍の位置2における面間隔の変化は+0.5%であることがわかった。界面から20nm離れたチャンネル領域5b中のSiの位置1でも面間隔の変化は起こっており、面間隔が+0.4%大きくなっている。

【0045】

この結果から、Siと面間隔が異なり、且つ、結晶性が高い金属酸化物を含む絶縁膜をチャンネル領域5bの下地絶縁膜とすることにより、チャンネル領域のSi層の面間隔を変化さ

10

20

30

40

50

せることができることが示された。結晶性を高めることにより金属酸化物の弾性定数が大きくなる、つまり、定性的に考えると結晶が硬くなっているものと考えられる。このため、金属酸化物の面間隔が、Siに対して大きく影響を与え、界面から20nm離れたチャネル領域5bにおいても格子変形が起こるものと考えられる。

【0046】

次に、本実施形態による、Siと面間隔の異なる結晶質の Pr_2O_3 層3を下地絶縁膜とする新Fin型n-MISFETと、 SiO_2 膜を下地絶縁膜とする旧Fin型n-MISFET、そしてSiGeを用いた歪Siのn-MISFETの特性を図12および図13を参照して説明する。なお、歪Siのn-MISFETと、新Fin型n-MISFETの歪み量は同じ値にしてある。図12は、実効電界と電子の実効移動度との関係を示す特性図、図13は、ゲート電圧 V_g と I_d/w (ドレイン電流 I_d とチャネル幅 w との比)の関係を示した特性図である。ここで、実効電界とは実際にゲート絶縁膜に印加される電界であり、実効移動度とは実効電界が印加されたときのキャリア(本実施形態では電子)の移動度を意味する。

10

【0047】

まず、図12に示す実効電界と電子移動度の関係に注目する。破線がユニバ-サルカ-ブ、実線(細線)が下地絶縁膜が SiO_2 膜の旧Fin型n-MISFETの特性曲線、実線(中太線)がSiGeを用いたGe濃度10%の歪Siのn-MISFETの特性曲線、実線(太線)が下地絶縁膜が Pr_2O_3 の新Fin型n-MISFETの特性曲線である。なお、ユニバ-サルカーブとは、Fin型でない通常の平坦型MISFETのゲート絶縁膜が SiO_2 であるときの、実効電界と、実効移動度との関係を示す曲線である。

20

【0048】

図12から分かるように、下地絶縁膜が SiO_2 膜の旧Fin型n-MISFETの移動度は、ユニバ-サルカ-ブに対して低下している。これは、チャネル領域が下地の SiO_2 膜から圧縮歪を受け、電子の有効質量が重くなり、移動度が低下するためである。一方、チャネル領域に引っ張り歪を導入している歪Si-MISFETではユニバ-サルカ-ブよりも移動度が向上している。これは歪によって電子の有効質量が軽くなったことによる。そして Pr_2O_3 層を下地絶縁膜とする新Fin型n-MISFETでは、下地絶縁膜が SiO_2 膜である旧Fin型n-MISFETの移動度を大きく上回り、歪み量は同じであるにもかかわらず歪Si-MISFET以上に移動度が向上している。これは、金属酸化膜を下地絶縁膜とすることで、 SiO_2 膜による圧縮歪みから解放されることに加え、Geや貫通転位によるキャリアの散乱を回避できるからである。

30

【0049】

次に、図13に示すゲート電圧 V_g と I_d/w の関係に注目する。チャネル層に引っ張り歪を導入することによって、歪みSiのn-MISFETよりも2倍以上に I_d/w が向上している。これは、Fin型チャネルを形成していることに加え、金属酸化膜を下地絶縁膜とすることで、Geや貫通転位によるキャリアの散乱を回避でき、移動度の向上を果たすことが出来たからである。

【0050】

以上、詳述したように、本実施形態によれば、SGOI基板を用いた歪みSiのn-MISFETと異なりGeによるキャリア散乱が発生することがないため、同じ歪み量でも電子移動度の向上を果たすことが出来る。また、下地絶縁膜を SiO_2 膜とした従来の旧Fin型トランジスタで発生する電子移動度の低下問題を解消できるため、Fin型の利点である、 I_d が2倍にできる特徴を活かすことが可能となり、歪SiMISFETの2倍以上の I_d/w を実現することができる。

40

【0051】

(第2実施形態)

次に、本発明の第2の実施形態であるp-MISFETについて説明する。本実施形態のp-MISFETは、チャネル層のSiに圧縮応力を加えるために、Siより面間隔の小さい金属酸化膜、例えば、 Dy_2O_3 を用いた構成となっている。すなわち、第1実施形

50

態の n -MISFETにおいて、絶縁膜3を構成する金属酸化膜を Pr_2O_3 から Dy_2O_3 に置き換えるとともに、チャンネル層5aの導電型を n 型、ソース領域10aおよびドレイン領域10aの導電型を p 型とした構成となっている。製造方法は、図4(a)乃至図9(c)に示した方法とほぼ同等である。 Dy_2O_3 からなる金属酸化膜は、本実施形態では、電子ビーム蒸着法を用いて形成している。本実施形態の p -MISFETも、第1実施形態と同様に、絶縁膜3は膜厚が5nmの Dy_2O_3 層を膜厚が0.5nmの SiO_2 層で挟んだ積層構造となっている。なお、 Dy_2O_3 層を形成する際に、第1実施形態と同様に、酸素分圧を 1×10^{-7} Torrに精密に制御することにより、 Dy_2O_3 の配向性を高め結晶性を向上させている。

【0052】

X線回折評価より、 Dy_2O_3 層は面方位(001)方向に配向したエピタキシャル層であり、 Si と Pr_2O_3 の界面に対して平行方向、すなわち面方位(001)の Dy_2O_3 の面間隔は5.33であることがわかっている。この値は、面方位(001)の Si の面間隔より1.8%小さい。また、X線回折の半値幅は狭く、 Dy_2O_3 層は(001)に強く配向した結晶性の高い膜であることが確認されている。電子線回折を用いた面間隔評価の結果、面方位(001)に強く配向し、結晶性が高い Dy_2O_3 層を形成することにより、チャンネル層の Si に圧縮応力が加わり、面間隔が小さくなることを確認した。

【0053】

また、 Dy_2O_3 の Si との界面に対して平行方向、すなわち面方位(001)の Dy_2O_3 の面間隔の変化は-1.8%であり、この Dy_2O_3 層に付随して界面における Si が歪んでおり、界面に対して平行方向の面間隔の変化は-0.5%であることがわかった。界面から20nm離れた Si でも面間隔の変化は起こっており、面間隔が-0.4%変化していた。この結果から、 Si より面間隔が小さく、且つ、結晶性が高い金属酸化物を含む絶縁膜をゲート絶縁膜とすることにより、チャンネル領域の Si 層の面間隔を小さくできることが示された。

【0054】

次に、本実施形態による Si と面間隔の異なる結晶質の Dy_2O_3 層を下地絶縁膜とするFin型の p -MOSFETと、 $SiGe$ を用いた歪 Si の p -MOSFETの特性を、図14を参照して説明する。図14は実効電界と正孔移動度の関係を示す特性図である。破線がユニバ-サルカ-ブ、実線(細線)が $SiGe$ を用いたGe濃度13%の歪 Si の p -MOSFETの特性曲線、実線(太線)が下地絶縁膜が Dy_2O_3 の新Fin型 p -MOSFETの特性曲線である。

【0055】

図14から分かるように、チャンネル領域に引っ張り歪を導入している歪 Si -MOSFETでは移動度がユニバ-サルカ-ブよりも向上しており、引っ張り歪を導入した効果が見られる。しかし、圧縮歪を導入した Dy_2O_3 層を下地絶縁膜とする新Fin型 p -MOSFETの場合には、より効果が得られており、歪 Si -MOSFETを上回っている。これは、 Si よりも面間隔の小さな金属酸化膜を下地絶縁膜とすることで、チャンネル領域に圧縮歪を導入することができ、引っ張り歪の場合よりも正孔の有効質量が軽くなったことと、Geによる散乱を回避できることが原因であると考えられる。

【0056】

以上、詳述したように、本実施形態によれば、チャンネル領域に圧縮歪みを与えることができ、 $SiGe$ を用いた歪 Si トランジスタよりも効果的に正孔移動度を向上させることが可能である。

【0057】

以上、詳述したように、本実施形態によれば、 Si と面間隔が異なる金属酸化物を含む絶縁膜を埋め込み絶縁膜として用いることで、チャンネル領域に引っ張り歪み、圧縮歪みの両方を与えることが可能である。そのため、 n -MISFETばかりでなく p -MISFETにおいてもFin型トランジスタ特性の大幅な駆動力向上が可能となる。

【0058】

10

20

30

40

50

なお、結晶性の金属酸化物のなかで、希土類元素 (Sc、Y、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu) のなかから選ばれた、少なくとも1種類以上の元素を含む希土類酸化物を用いることがさらに好ましい。希土類酸化物は、成膜条件を制御することにより結晶性を高めることが容易であり、効果的にSiの面間隔を変化させうるからである。そのなかでも、Ce、Dy、Y、La、Pr、Gdのいずれかを少なくとも含む酸化物を用いた場合には、高い結晶性をもつ膜が実現でき、特に高い効果が得られることを確認した。

【0059】

第1及び第2実施形態では、結晶性の金属酸化物として Pr_2O_3 と Dy_2O_3 を例にして述べたが、結晶性の金属酸化物は SrTiO_3 、 SrZrO_3 、 $\text{Sr}(\text{TiZr})\text{O}_3$ 、 SrCeO_3 などのペロブスカイト構造を持つ酸化物でも良い。さらに、 MgO 、 CaO 、 SrO 、 BaO などの岩塩構造を持つ酸化物、 Al_2O_3 やスピネル構造を持つ MgAl_2O_4 でも同等の効果が得られる。結晶性の金属酸化物は、結晶方位が配向した場合も示したが、配向が全て揃った単結晶金属酸化物を用いることにより、より大きな面間隔の変化が起こることを確認した。結晶性の金属酸化物の成膜方法として、電子ビーム蒸着法を用いた場合を示したが、成膜方法はCVD法、スパッタ法、分子線エピタキシ(MBE)法など他の成膜方法を用いてもよい。

【0060】

上記に述べた結晶性の金属酸化物のなかで、どの金属酸化物を選定するかは、Siに引っ張り応力を与えたいのか、圧縮応力を与えたいのかによる。n-MISFETを作製する場合には、引っ張り応力が加わったSiにおいて電子の移動度が向上するので、Siより面間隔の大きな金属酸化物を選定する。一方、p-MISFETを作製する場合には、引っ張り、または、圧縮のどちらの応力においても正孔の移動度は向上するので、Siと面間隔の異なる金属酸化物を選定すればよい。また、与えたい応力に応じて、金属酸化物の面間隔を選定する。1種類だけの金属元素を含む金属酸化物で所望の面間隔と応力を実現できないときには、2種類以上の金属元素を含む金属酸化物を用いればよい。例えば、EuとDyの2元素を含む $(\text{Eu}_x\text{Dy}_{1-x})_2\text{O}_3$ を用いることにより、金属酸化物のSiに対する面間隔の変化を0から-1.8%の間で任意に変化させることができる。

【0061】

(第3実施形態)

次に、本発明の第3の実施形態であるn-MISFETについて説明する。本実施形態では、チャンネル層のSiに引っ張り応力を加えるために、酸素組成比が化学量論比より少ない金属酸化物、例えば、Ce酸化物を用いる。すなわち、図1乃至図9(c)に示す第1実施形態のn-MISFETにおいて、絶縁膜3を構成する金属酸化膜を Pr_2O_3 からCe酸化物に置き換えた構成となっている。なお、本実施形態においては、後述するように、絶縁膜3はCe酸化物層のみの単層からなっている。本実施形態におけるn-MISFETの製造方法は、図4(a)乃至図9(c)に示した方法とほぼ同等である。

【0062】

基板としては、(111)面方位を持つSiを用いる。Ce酸化物はMBE(Molecular Beam Epitaxy)法を用いて形成する。チャンネル領域のSi表面に希フッ酸処理を行い水素で終端化した後、この基板をMBE装置に導入する。基板温度を例えば700とし、金属Ceを蒸発源として用いてCeを0.6モノレイヤ蒸着した後、オゾン O_3 または酸素ガスを供給して、Ce酸化物からなる絶縁膜を5nmの厚さ成膜する。成膜時における酸素分圧を 1×10^{-8} Torrとした。このような成膜方法を用いることにより、界面に SiO_2 などのアモルファス層が形成されること無く、Siに直接接合し(111)方向に配向した単結晶のCe酸化膜をエピタキシャル成長させることができる。この方法を用いて極薄ゲート絶縁膜を実現できることを、本発明者らはすでに報告している(Y. Nishikawa et al, Ext. Abst. Inter. Conf. on Solid State Devices and Materials, Tokyo, p.174 (2001) 参照)。

【0063】

次に、第3の実施形態によるn-MISFETのゲート絶縁膜の特性について図15および図16を参照して詳細に述べる。この実施形態のn-MISFETは、第1実施形態において絶縁膜3をCe酸化物からなるように構成したものである。図15は、Ce酸化物からなる絶縁膜とチャネル領域の拡大図であり、Ce酸化物からなる絶縁膜とチャネル領域の断面構造の模式図である。図16は、TEMを用いて測定した電子線回折像から得られた面間隔の変化を示す。ここで測定しているのは、界面に対して平行方向の面間隔である。測定ポイントは図15に示したように、Ce酸化物からなる絶縁膜とSi界面から20nm離れたチャネル領域のSiの位置1、第1の絶縁膜のCe酸化物とSiの界面近傍のチャネル領域のSiの位置2、第1の絶縁膜のCe酸化物の位置3、界面から250nm離れた基板側のSiの位置4である。

10

【0064】

図16においては、250nm離れた基板側のSiの位置4の面間隔を基準として、面間隔の変化を示している。Ce酸化物の3の位置における面間隔はSiよりも+0.8%程度大きくなっている。さらに、それに付随してCe酸化物とSiの界面近傍のチャネル領域のSiの位置2では+0.75%歪んでいる。さらに、第1の絶縁膜のCe酸化物とSi界面から20nm離れたチャネル領域のSiの位置1においても面間隔は変化しており、+0.65%と大きな値であることがわかった。CeO₂はSiに直接接合しており、面間隔の違いがより直接的にSi層に影響を及ぼすため、Si層は大きく歪み、面間隔の変化はCeO₂層とほぼ同じ程度まで大きくなっていることがわかる。

20

【0065】

バルクのCe酸化物であるCeO₂の面間隔は5.411と報告されている。つまり、Siの面間隔(5.430)と比較してCeO₂の面間隔は小さいはずである。しかし、本発明者らの実験結果はこれまでのCeO₂の面間隔の報告値とは全く逆の傾向であり、図16に示すようにCe酸化物の面間隔はSiよりも大きいことがわかった。これらの原因について、詳細に検討を行った結果、Ce酸化物中の酸素組成比が変化することにより、面間隔が変化するという新たな知見を得た。図17にCe酸化物(CeO_x)における酸素組成比と面間隔の関係を示す。酸素組成比はエネルギー分散蛍光X線法(EDX)により測定した。酸素組成比が化学量論比(x=2.0)のときの面間隔は5.411であり、これまでのCe酸化物(CeO₂)の面間隔の報告値と一致する。

30

【0066】

一方、酸素組成比が化学量論比より小さくなり、x<2.0の場合には面間隔が大きくなることがわかった。このように、Ce酸化物の面間隔が酸素組成比により大きく変化するのは、Ce酸化物が強いイオン結合を持つ結晶であることによると考えられる。図18(a)、(b)にCe酸化物における酸素欠損の模式図を示す。結晶中の格子位置の酸素が抜けることにより(図18(a) 図18(b))、抜けた酸素と結合していたCe原子の格子位置が、他の酸素との結合に引っ張られることにより元の格子位置から変位する。結果として、格子間の平均距離は大きくなり面間隔が大きくなるものと考えられる。

【0067】

本実施形態に示したCe酸化物では、面間隔はSiに比べて+0.8%となっており、酸素組成比は1.77であることがわかった。酸素組成比が減少するのは、MBE成膜時における酸素分圧を 1×10^{-8} Torrと低く設定しているためである。酸素分圧を制御することによりCe酸化物の酸素組成比を変化させることができ、酸素分圧を 1×10^{-7} Torrとしたときは、酸素組成比は1.89となった。

40

【0068】

次に、本実施形態によるSiと面間隔の異なる結晶質のCe酸化膜を下地絶縁膜とする新Fin型n-MOSFETの特性を説明する。図19は実効電界と電子の実効移動度との関係を示したものである。破線がユニバ-サルカ-ブ、実線がCe酸化物の酸素組成比を変化させた場合の新Fin型n-MOSFETの電子移動度を示している。酸素組成比の減少とともに移動度が向上していることがわかる。これは、酸素組成比が小さくなるにつれCe酸化物の面間隔が大きくなることによりチャネルのSiの面間隔も大きくなり、電

50

子の移動度が向上するためである。

【0069】

次に、チャネル領域のSiの歪み量を同じにした場合のCe酸化膜を下地絶縁膜とする新Fin型n-MOSFETと、Pr₂O₃を下地絶縁膜とする新Fin型n-MOSFETの特性を、図20を参照して説明する。図20は実効電界と電子の実効移動度との関係を示したものである。破線がユニバ-サルカ-ブ、実線(細線)がPr₂O₃を下地絶縁膜とする新Fin型n-MOSFETの特性曲線、実線(太線)がCe酸化膜を下地絶縁膜とする新Fin型n-MOSFETの特性曲線である。Ce酸化膜を下地絶縁膜とすることによって、移動度が向上していることがわかる。

【0070】

そこで、低角入射面内(in-plane)X線回折法を用いて、本実施形態のようにCe酸化物がSiに直接接合し直接接合膜の場合と、Ce酸化物とSiとの界面にSiO₂膜がある場合のSiの回折スペクトルを測定した。なお、Siの歪み量はどちらの場合も同じとなるようにした。この測定結果によれば、直接接合膜の場合では、半値幅がバルクのSiとほぼ同じで、界面にSiO₂膜が存在する場合には、半値幅が大きくなることがわかった。これは、平均的には同じ歪み量でありながら、界面にSiO₂膜が存在する場合には歪のばらつきが大きく、直接接合膜の場合にはそのばらつきが小さいことを示している。界面にSiO₂膜が存在する場合には、金属酸化膜に傾角粒界が発生し、局所的に一定方向の面間隔が異なることを我々は見出しており、これが歪み量のばらつきを引き起こしていると考えられる。歪み量のばらつきは、移動度のばらつき、さらには移動度の低下を引き起こす。従って、ばらつきを低減できる直接接合膜を用いたために移動度が向上したことをこの結果は示している。

【0071】

以上、詳述したように、直接接合膜を用いた本実施形態によれば、チャネル領域に均一に引っ張り歪みを与えることができ、界面にSiO₂膜が存在するトランジスタよりも電子移動度を向上させることが可能である。

【0072】

なお、結晶性の金属酸化物のなかで、イオン結合性が強い希土類元素(Sc、Y、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu)の中から選ばれた、少なくとも1種類以上の元素を含む希土類酸化物を用いることがさらに好ましい。そのなかでも、Ce、Dy、Y、La、Pr、Gdのいずれかを少なくとも含む酸化物を用いた場合には、酸素組成比の精密な制御が実現でき、特に高い効果が得られることを確認した。

【0073】

なお、結晶性の金属酸化物としてCeO₂を用いた場合について述べたが、イオン結合性の高い結晶であれば同等の効果が得られる。つまり、SrTiO₃、SrZrO₃、Sr(TiZr)O₃、SrCeO₃などのペロブスカイト構造を持つ酸化物でも良い。さらに、MgO、CaO、SrO、BaOなどの岩塩構造を持つ酸化物、Al₂O₃やスピネル構造を持つMgAl₂O₄でもよい。結晶性のCe酸化物は単結晶の場合を示したが、結晶方位が配向した多結晶の場合も同等の効果が得られる。結晶性の金属酸化物の成膜方法として、MBE法を用いた場合を示したが、成膜方法はCVD法、スパッタ法、電子ビ-ム蒸着法など他の成膜方法を用いてもよい。

【0074】

なお、第1及び第2実施形態においては面方位が(001)のSi基板上に、第3実施形態においては面方位が(111)のSi基板上にMISFETを形成したが、面方位は(001)、(111)のいずれでもよい。また、MISFETが形成されるSi基板は面方位が(110)であっても良いし、上記面方位から角度がずれていても良い。

【0075】

(第4実施形態)

次に、本発明の第4の実施形態であるp-MISFETについて説明する。本実施形態p

10

20

30

40

50

- MISFETは、チャネル層のSiをより効果的に歪ませるために、結晶性の金属酸化物とチャネル層との間に、岩塩構造の金属酸化物を挟んだ構成となっている。すなわち、図1乃至図3に示す第1実施形態のn-MISFETにおいて、絶縁膜3を構成する金属酸化膜とチャネル層5aとの間に岩塩構造の金属酸化物を挟むとともに、チャネル層5aの導電型をn型にソース領域10aおよびドレイン領域10aの導電型をp型とした構成となっている。製造方法は、図4(a)乃至図9(c)に示した方法とほぼ同等である。岩塩構造金属酸化物としてはSrO、金属酸化膜としてはDy₂O₃を用い、これら2種類の金属酸化物はMBE法で形成している。

【0076】

チャネル領域のSi表面に希フッ酸処理を行い水素で終端化した後、この基板をMBE装置に導入する。基板温度を例えば300とし、金属Srを蒸発源として用いてSrを2原子層蒸着した後、酸素ガスを供給して、SrO層を形成する。次に、例えば基板温度を700として、金属Dyと酸素ガスを供給して、Dy₂O₃層を5nm形成する。成膜時における酸素分圧は 1×10^{-7} Torrとした。Si上にSrOを2原子層成膜することにより、第2実施形態で示したようなSiO₂層が形成されることなく、Dy₂O₃層が形成された。SrOが酸素の拡散を防ぐためである。つまり、絶縁膜は、SrO層2原子層とDy₂O₃層5nmからなる積層構造となっている。

【0077】

このような方法で形成されたDy₂O₃の配向性は高く、結晶性が良好であることがX線回折評価から確認された。また、Dy₂O₃層は(001)方向に配向したエピタキシャル膜であり、SiとDy₂O₃の界面に対して平行方向、すなわち面方位(001)方向のDy₂O₃の面間隔は5.33であることがわかっている。この値は、面方位(001)のSiの面間隔に比べて1.8%小さい。電子線回折を用いた面間隔評価の結果、チャネル層のSiに圧縮応力が加わり、面間隔が小さくなることを確認した。Dy₂O₃の面間隔の変化は-1.8%であり、界面近傍におけるSiの界面平行方向の面間隔の変化は0.8%であることがわかった。界面から20nm離れたSiでも面間隔の変化は起こっており、界面平行方向の面間隔が-0.7%変化していた。このSiの面間隔の変化量は、SrO層を用いていない第2実施形態に比べて、約2倍程度まで増大している。アモルファスのSiO₂層が形成されないため金属酸化膜における面間隔の相違がより直接的にSi層に加わったことと、SrOの面間隔が5.12とDy₂O₃よりもさらに小さいために圧縮応力を加える効果がより高まったためである。

【0078】

ここでは、SrO層の厚さを2原子層としたが、SrO層の厚さは1~3原子層の範囲にあることが望ましいことがわかっている。SrO、MgOなどの物質は、空気中で不安定なため、これ以上厚さを増すと、経時的に結晶性が変化して特性が劣化する。一方、1原子層より薄い場合には、酸素の拡散を抑制する効果が得られずに、SiO₂層が発生してしまうからである。

【0079】

以上述べたようなSrO層とDy₂O₃層を含む下地絶縁膜を有する新Fin型p-MOSFETと、Dy₂O₃層のみの新Fin型p-MOSFET、そしてSiGeを用いた歪Siのp-MOSFETの特性を、図21を参照して説明する。図21は実効電界と正孔移動度の関係を示した特性図である。破線がユニバ-サルカ-ブ、実線(細線)がSiGeを用いたGe濃度13%の歪Siのp-MOSFETの特性曲線、実線(中太線)が下地絶縁膜がDy₂O₃層のみの新Fin型p-MOSFETの特性曲線、実線(太線)がSrO層とDy₂O₃層を含む下地絶縁膜を有する新Fin型p-MOSFETの特性曲線である。

【0080】

図21から分かるように、下地絶縁膜がDy₂O₃層のみでも圧縮歪を導入でき、またGeによるキャリアの散乱を回避できるため、歪Siのp-MOSFETよりも正孔の移動度が向上している。ところが、SrO層とDy₂O₃層の積層構造にした場合には、さら

10

20

30

40

50

に移動度向上が見られた。これは、 SrO 層を挟むことでチャンネル層の Si 層に十分な圧縮歪みを加えることが可能となったからである。

【0081】

以上、詳述したように、本実施形態によれば、チャンネル領域に効果的に圧縮歪みを与えることができ、 SiGe を用いた歪 Si トランジスタよりも効果的に正孔移動度を向上させることが可能である。

【0082】

以上のように、本実施形態によれば、岩塩構造の金属酸化物を挿入することにより Si と面間隔が異なる金属酸化物を用いる効果がより高まることが明らかとなった。本実施例では、 SrO を用いた場合を示したが、他の岩塩構造を持つ金属酸化物を用いてもよい。特に、 SrO 、 MgO 、 CaO 、 BaO の岩塩構造の金属酸化膜を用いた場合には、酸素拡散の抑制効果が顕著であり、トランジスタ特性の大幅な向上が可能である。 Si に引っ張り応力を与えたい場合には、 Si より面間隔の大きな岩塩構造の金属酸化物である BaO を用いることが望ましい。また、 Si に圧縮応力を加えたい場合には、 Si より面間隔の小さな岩塩構造の金属酸化物である SrO 、 MgO 、 CaO を用いることが望ましい。しかし、 Si 層における面間隔の変化は、主に厚さの大きい結晶性の金属酸化物で決まっているので、例えば、 Si より面間隔の小さな SrO を挟んで、その上に Si より面間隔の大きな Pr_2O_3 を積層した構造では、チャンネル領域における Si は引っ張り応力を受けるので、岩塩構造の金属酸化物と結晶性の金属酸化物は任意に組み合わせることも可能である。

【0083】

なお、結晶性の金属酸化物のなかで、希土類元素(Sc 、 Y 、 La 、 Ce 、 Pr 、 Nd 、 Pm 、 Sm 、 Eu 、 Gd 、 Tb 、 Dy 、 Ho 、 Er 、 Tm 、 Yb 、 Lu)の中から選ばれた、少なくとも1種類以上の元素を含む希土類酸化物を用いることがさらに好ましい。希土類酸化物は、成膜条件を制御することにより結晶性を高めることが容易であり、効果的に Si の面間隔を変化させうるからである。そのなかでも、 Ce 、 Dy 、 Y 、 La 、 Pr 、 Gd のいずれかを少なくとも含む酸化物を用いた場合には、高い結晶性をもつ膜が実現でき、特に高い効果が得られることを確認した。

【0084】

また、第4実施形態では、結晶性の金属酸化物として Dy_2O_3 を例にして述べたが、結晶性の金属酸化物は SrTiO_3 、 SrZrO_3 、 $\text{Sr}(\text{TiZr})\text{O}_3$ 、 SrCeO_3 などのペロブスカイト構造を持つ酸化物でも良い。さらに、 Al_2O_3 やスピネル構造を持つ MgAl_2O_4 でも同等の効果が得られる。結晶性の金属酸化物は、結晶方位が配向した場合も示したが、配向が全て揃った単結晶金属酸化物を用いることにより、より大きな面間隔の変化が起こることを確認した。結晶性の金属酸化物の成膜方法として、電子ビーム蒸着法を用いた場合を示しているが、成膜方法は CVD 法、スパッタ法、 MBE 法など他の成膜方法を用いてもよい。

【0085】

なお、第4実施形態においては面方位が (001) の Si 基板を用いた例を示しているが、面方位は (111) 、 $(\bar{1}\bar{1}1)$ 、 (110) のいずれでもよい。また、上記面方位から角度がずれていてもよい。

【0086】

第4実施形態においては、 n - MISFET の場合について述べたが、 p - MISFET についても同様の方法で実施することができる。上記に述べた結晶性の金属酸化物のなかで、どの金属酸化物を選定するかは、 Si に引っ張り応力を与えたいのか、圧縮応力を与えたいのかによる。 n - MISFET を作製する場合には、引っ張り応力が加わった Si において電子の移動度が向上するので、 Si より面間隔の大きな金属酸化物を選定する。一方、 p - MISFET を作製する場合には、引っ張り、または、圧縮のどちらの応力においても正孔の移動度は向上するので、 Si と面間隔の異なる金属酸化物を選定すればよい。また、与えたい応力に応じて、金属酸化物の面間隔を選定する。1種類のみ金属元

10

20

30

40

50

素を含む金属酸化物で所望の面間隔と応力を実現できないときには、2種類以上の金属元素を含む金属酸化物を用いればよい。例えば、EuとDyの2元素を含む $(Eu_x Dy_{1-x})_2O_3$ を用いることにより、金属酸化物のSiに対する面間隔の変化を0から-1.8%の間で任意に変化させることができる。

【0087】

(第5実施形態)

次に、本発明の第5実施形態によるMISFETの構成を、図1乃至図9(c)を参照して説明する。この実施形態によるMISFETは、図1乃至図3に示す第1実施形態のMISFETにおいて、絶縁膜6aが結晶性の金属酸化膜を少なくとも含むように構成されるとともに、絶縁膜3, 6aに含まれる金属酸化膜の面間隔がともにSiに対して大きいか、ともに小さいように構成されている。従って、チャンネル領域5bにおけるSiは、絶縁膜3と絶縁膜6aの両方から応力を受けて、歪Si層となっている。

10

【0088】

つまり、本実施形態においては、チャンネル領域3におけるSiの面間隔は半導体基板1bにおけるSiの面間隔と異なるように構成されている。ここで、n-MISFETの場合には、絶縁膜3, 6aを構成する金属酸化膜の面間隔をSiより大きくし、チャンネル層5aにおけるSiの面間隔を引っ張り応力により広げる。これにより、チャンネル層における電子の移動度を高めることが可能となる。一方、p-MISFETの場合には、絶縁膜3, 6aを構成する金属酸化膜の面間隔をともにSiより大きく、または、小さくし、チャンネル層におけるSiの面間隔を、引っ張り応力、または、圧縮応力により変化させる。これにより、チャンネル層5aにおける正孔の移動度を高めることが可能となる。さらに、チャンネル層の上下にSiと面間隔の異なる金属酸化膜を配置しているため、チャンネル層全域において深さ方向に均一な格子変調を発生させることが出来るため、第1乃至第4実施形態と比較してキャリア移動度の向上が見込まれる。

20

【0089】

次に、本実施形態によるMISFETの製造方法を、n-MISFETを例にとって、図4(a)乃至図9(c)を参照して説明する。

【0090】

まず、(001)面方位を持つSi基板1aに例えば水素イオンを $5 \times 10^{16} / \text{cm}^2$ のドーズ量で、ピークレンジが例えば表面から50nmの深さになるようなエネルギーで打ち込み、水素濃度の高い領域を形成する。続いて打ち込みダメージを回復するため、例えば800で30分、水素雰囲気中で熱処理する。このようにすることにより、ダメージが回復すると共に、水素濃度の高い領域には周囲より機械的強度の小さい中間層2が形成され、同時に、後にチャンネル層となるSi層5aが形成される(図4(a)、図5(a)参照)。中間層2には連続的に微細な空孔が発生し、機械的強度が小さくなっている。これにより、後述の工程で剥離を容易に行うことが可能となる。

30

【0091】

次に、希フッ酸処理を行い、Si基板1aのSi表面を水素で終端化する。続いて、この基板1aを電子ビーム蒸着装置に導入する。基板温度を例えば600とし、 La_2O_3 を蒸着源として用いて金属酸化物 La_2O_3 を5nm蒸着し、 La_2O_3 層3aを形成する(図4(b)、図5(b)参照)。このとき、Si層5aの、 La_2O_3 層3a側の界面のSiが酸化されて、Si層5aと La_2O_3 層3aとの間には、膜厚が0.5nmの SiO_2 層3bが形成される。また、酸素分圧を $5 \times 10^{-7} \text{ Torr}$ に精密に制御することにより、金属酸化物 La_2O_3 の配向性を高め結晶性を向上させている。また、X線回折評価より、 La_2O_3 層3aは面方位(001)方向に配向したエピタキシャル層であり、 SiO_2 層3bと La_2O_3 層3aの界面に対して平行方向、すなわち面方位(001)方向の La_2O_3 の面間隔は5.70であることがわかっている。この値は、面方位(001)のSiの面間隔に対して5.0%大きい。また、X線回折の半値幅は狭く、 La_2O_3 層は(001)に強く配向した結晶性の高い膜であることが確認されている。

40

50

【0092】

次に、CVD法を用いてSiを堆積し、例えば1 μ m厚のSi層5を成膜する(図4(c)、図5(c)参照)。このとき、Si層5のLa₂O₃層側の界面のSiが酸化されて、Si層5とLa₂O₃層3aとの間には、膜厚0.5nmのSiO₂層3cが形成される。つまり、絶縁膜3は、膜厚0.5nmのSiO₂層3b、膜厚5nmのLa₂O₃層3a、および膜厚0.5nmのSiO₂層3cからなる3層積層構造となっている(図4(c)、図5(c)参照)。

【0093】

次に、Si層5の表面に基板1bを接着する(図4(d)、図5(d)参照)。その後、中間層2を境に基板1bを剥離することにより、金属酸化物を含む絶縁膜3上にSi層5aを露出する。続いて、例えばCMP法を用いてSi層5aの露出した表面を平坦化する。(図4(e)、図5(e)参照)。なお、この後に続いて、ボロン元素のイオン打ち込みを行うことにより、チャネルとして用いるSi層5aに不純物プロファイルを形成することも可能である。

10

【0094】

次に、図6(a)、図7(a)に示すように、Si層5aの表面に希フッ酸処理を行い水素で終端化し、この基板をMBE装置に導入する。基板温度を例えば600とし、La₂O₃を蒸着源として用いて金属酸化物La₂O₃を5nm蒸着し、絶縁膜6を形成する。このとき、酸素分圧を5 \times 10⁻⁷Torrに精密に制御することにより、La₂O₃の配向性を高め結晶性を向上させている。また、このとき、Si層5aの絶縁膜6との界面には図示しないがSiO₂からなる酸化膜が形成される。

20

【0095】

続いて、図6(b)および図7(b)に示すように、例えばRIE法などの異方性エッチング法を用いて絶縁膜6およびSi層5aをパターニングし、凸型のチャネル層5b、絶縁膜6aを形成する。このとき、La₂O₃層3aとSi層5aとの間に形成されたSiO₂層3bも同時にパターニングされる(図6(b)、図7(b)参照)。

【0096】

次に、図6(c)、図7(c)に示すように、チャネル領域5bの周囲に、膜厚3nmのSiO₂からなるゲート絶縁膜7を形成する。この時、例えばFinのチャネル領域の高さ(ゲート幅)を20nm、Finの幅(チャネル領域深さ)を20nm、Finの長さ

30

を200nmとする。続いて、CVD法を用いてゲート電極となるポリシリコン膜9を全面に堆積する(図6(d)、図7(d)参照)。

【0097】

次に、ポリシリコン膜9を、例えばRIE法などの異方性エッチング法を用いてパターニングし、ゲート電極9aを形成する(図6(e)、図7(e)参照)。その後、ゲート電極9aをマスクとしてイオン注入と熱工程を行うことにより、不純物が導入されたソース・ドレイン領域10a、10bを形成する(図8(a)、図9(a)参照)。さらに、CVD法によりSiO₂からなる層間絶縁膜11を全面に堆積する(図8(b)、図9(b)参照)。

【0098】

次に、図8(c)、図9(c)に示すように、ソース・ドレイン領域10a、10b上にコンタクトホールを開孔し、Al等の金属を蒸着して金属膜を全面に形成することによりソース・ドレイン電極12a、12bおよびゲート電極12cを形成し、n-MISFETが完成する。

40

【0099】

次に、本実施形態によるn-MISFETのチャネル層5aの特性について詳細に述べる。図22は、SiO₂層3b/La₂O₃/層3a/SiO₂層3cの積層構造からなる絶縁膜3とチャネル層5bの拡大図であり、断面構造を模式的に示したものである。図23は、TEMを用いて測定した電子線回折像から得られた面間隔の変化を示す。ここで測定しているのは、界面に対して平行方向の(100)面の面間隔である。測定ポイントは

50

図22に示したように、 La_2O_3 層6aの位置1、 La_2O_3 層6aとSi層5bとの界面のチャンネル領域のSiの位置2、 La_2O_3 層6aとSi層5bの界面から10nm離れたチャンネル領域のSiの位置3、 La_2O_3 層3aとSi層5bの界面のチャンネル領域のSiの位置4、 La_2O_3 層3aの位置5、 La_2O_3 層3aとSi層5の界面から250nm離れたSiの位置6である。なお、図22においては、 La_2O_3 層6aとSi層5bの間には、膜厚0.5nmの SiO_2 層6bが設けられているが、この SiO_2 層6bは、 La_2O_3 層6を形成する際に形成された酸化膜である。

【0100】

図23においては、界面から250nm離れた基板側Siの位置6の面間隔を基準として、面間隔の変化を示している。 La_2O_3 層3a、6aの面間隔の変化は+5.0%であり、X線回折から得られた結果と一致する。 La_2O_3 層6aの界面近傍におけるチャンネル層5aのSiの位置2、および La_2O_3 層3aの界面近傍におけるチャンネル層5aのSiの位置4では、 La_2O_3 に付随して+1.0%歪んでいる。さらに、これらの界面から10nm離れたチャンネル領域5aの中間部分に位置するSi位置3においても面間隔は変化しており、+0.8%と大きな値であることがわかった。この結果から、Siより面間隔が大きく、且つ、結晶性が高い金属酸化物を含む絶縁膜を基板中、及びチャンネル上部に配置することで、チャンネル領域のSi層の面間隔を大きくできることが示された。

【0101】

本実施形態による、チャンネル領域の上下にSiと面間隔の異なる結晶性の金属酸化物(La_2O_3)を配置した新Fin型n-MOSFETと、下地絶縁膜のみを金属酸化物(La_2O_3)にした新Fin型n-MOSFETの特性を比較する。図24は実効電界と電子移動度の関係を示す特性図である。破線がユニバ-サルカ-ブ、実線(細線)が下地絶縁膜のみを金属酸化物にした新Fin型n-MOSFETの特性曲線、実線(太線)がチャンネルの上下に金属酸化物を配置した新Fin型n-MOSFETの特性曲線である。

【0102】

図24から分かるように、チャンネルの上下を金属酸化膜とした場合には、下地絶縁膜のみを金属酸化物にした場合よりも移動度が向上している。これは、チャンネル領域上下にSiよりも面間隔の大きな金属酸化物を配置することによって、チャンネル領域全域に渡ってSi層に均一な引っ張り歪みが加えることが可能となり、電子の移動度が向上したことによる。

【0103】

以上、説明したように、本実施形態によれば、Fin型トランジスタのチャンネル領域全域のSiに均一な引っ張り応力を与えることができ、下地絶縁膜のみを金属酸化膜とした新Fin型n-MOSFETよりも高い電子移動度を得ることが出来る。

【0104】

なお、結晶性の金属酸化物のなかで、希土類元素(Sc、Y、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu)の中から選ばれた、少なくとも1種類以上の元素を含む希土類酸化物を用いることがさらに好ましい。希土類酸化物は、成膜条件を制御することにより結晶性を高めることが容易であり、効果的にSiの面間隔を変化させうるからである。そのなかでも、Ce、Dy、Y、La、Pr、Gdのいずれかを少なくとも含む酸化物を用いた場合には、高い結晶性をもつ膜が実現でき、特に高い効果が得られることを確認した。

【0105】

本実施形態では、結晶性の金属酸化物として La_2O_3 を例にして述べたが、結晶性の金属酸化物は SrTiO_3 、 SrZrO_3 、 $\text{Sr}(\text{TiZr})\text{O}_3$ 、 SrCeO_3 などのペロブスカイト構造を持つ酸化物でも良い。さらに、 MgO 、 CaO 、 SrO 、 BaO などの岩塩構造を持つ酸化物、 Al_2O_3 やスピネル構造を持つ MgAl_2O_4 でも同等の効果が得られる。結晶性の金属酸化物は、結晶方位が配向した場合も示したが、配向が全て

10

20

30

40

50

揃った単結晶金属酸化物を用いることにより、より大きな面間隔の変化が起こることを確認した。結晶性の金属酸化物の成膜方法として、スパッタ法を用いた場合を示したが、成膜方法はCVD法、電子ビーム蒸着法、MBE法など他の成膜方法を用いてもよい。

【0106】

本実施形態においては、n-MISFETの場合について述べたが、p-MISFETについても同様の方法で実施することができる。上記に述べた結晶性の金属酸化物のなかで、どの金属酸化物を選定するかは、Siに引っ張り応力を与えたいのか、圧縮応力を与えたいのかによる。n-MISFETを作製する場合には、引っ張り応力が加わったSiにおいて電子の移動度が向上するので、Siより面間隔の大きな金属酸化物を選定する。一方、p-MISFETを作製する場合には、引っ張り、または、圧縮のどちらの応力においても正孔の移動度は向上するので、Siと面間隔の異なる金属酸化物を選定すればよい。また、与えたい応力に応じて、金属酸化物の面間隔を選定する。1種類のみ金属元素を含む金属酸化物で所望の面間隔と応力を実現できないときには、2種類以上の金属元素を含む金属酸化物を用いればよい。例えば、EuとDyの2元素を含む $(Eu_x Dy_{1-x})_2O_3$ を用いることにより、金属酸化物のSiに対する面間隔の変化を0から-1.8%の間で任意に変化させることができる。

【0107】

(第6実施形態)

次に、本発明の第6の実施形態によるn-MISFETについて説明する。本実施形態のn-MISFETは、チャンネル層のSiに引っ張り応力を加えるために、金属と酸素の組成比が化学量論比より少ない金属酸化物、例えば、Ce酸化物を下地絶縁膜、及びチャンネル上部の絶縁膜として用いる。すなわち、第5実施形態のn-MISFETにおいて、絶縁膜3および絶縁膜6aを構成する金属酸化物 La_2O_3 をCe酸化物に置き換えた構成となっている。なお、本実施形態においては、後述するように、第5実施形態と異なり、 La_2O_3 層3aとSi層5の間、 La_2O_3 層3aとSi層5a、および La_2O_3 層6aとSi層5aとの間には、 SiO_2 層は形成されない。

【0108】

本実施形態におけるn-MISFETの製造方法は、第5実施形態の方法とほぼ同等である。基板としては、(111)面方位を持つSiを用いる。Ce酸化物はMBE法を用いて形成する。基板のSi表面に希フッ酸処理を行い水素で終端化した後、MBE装置に導入する。基板温度を例えば700とし、金属Ceを蒸発源として用いてCeを0.6モノレイヤ蒸着した後、オゾン O_3 または酸素ガスを供給して、Ce酸化物からなる絶縁膜を5nmの厚さ成膜する。成膜時における酸素分圧を 1×10^{-8} Torrとした。このような成膜方法を用いることにより、界面に SiO_2 などのアモルファス層が形成されること無く、Siに直接接合し(111)方向に配向した単結晶のCe酸化膜をエピタキシャル成長させることができる。以下、第5実施形態と、同様の工程を行いn-MISFETを完成させる。

【0109】

上記の方法で、成膜したCe酸化物(CeO_x)の金属と酸素の組成比xは1.77であり面間隔はSiに比べて+0.8%となっていた。第3実施形態で述べたように、Ce酸化物の酸素組成比が減少するのは、MBE成膜時における酸素分圧を 1×10^{-8} Torrと低く設定しているためである。組成比x=1.77のCe酸化物を下地絶縁膜としたCe酸化膜近傍のチャンネル領域のSiの歪みは+0.75%、チャンネル領域中央部の歪みは+0.60%、チャンネル領域上部の絶縁膜近傍のSiの歪みは+0.50%であった。しかし、チャンネル領域の上下に配置したCe酸化膜近傍のチャンネル領域では、Ce酸化膜近傍のチャンネル領域のSiの歪みは+0.75%、チャンネル中央部の歪みは+0.70%、第2の絶縁膜のCe酸化膜近傍のSiの歪みは+0.75%であった。チャンネル上下に金属酸化膜を配置することによって、均一に歪みを与えられていることがわかる。

【0110】

本実施形態による、Siと面間隔の異なる結晶質のCe酸化物をチャンネルの上下に配置し

た新Fin型n-MOSFETと、第5実施形態による、 La_2O_3 をチャネルの上下に配置した新Fin型n-MOSFETの特性を比較する。図25は実効電界と電子移動度の関係を示した特性図である。破線がユニバ-サルカ-ブ、実線(細線)が La_2O_3 をチャネルの上下に配置した新Fin型n-MOSFETの特性曲線、実線(太線)がCe酸化物(組成比 $x = 1.77$)をチャネル上下の絶縁膜とする本実施形態による新Fin型n-MOSFETの特性曲線であって、チャネル領域5aにおける歪み量は、Ce酸化物を用いた場合も La_2O_3 を用いた場合も同じにしてある。図25から分かるように、Ce酸化物をチャネル上下の絶縁膜とすることで、 La_2O_3 の場合よりも移動度が向上している。これは、Ce酸化物がチャネル層5aのSiと直接接合することにより、チャネル領域のSiに与える歪み量のばらつきが減少するからである。

10

【0111】

以上、詳述したように、本実施形態によれば、チャネル領域に均一に、しかもばらつきが少なく引っ張り歪みを与えることができ、金属酸化膜を直接接合させない場合に比べて電子移動度を向上させることが可能である。

【0112】

なお、結晶性の金属酸化物のなかで、イオン結合性が強い希土類元素(Sc、Y、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu)の中から選ばれた、少なくとも1種類以上の元素を含む希土類酸化物を用いることがさらに好ましい。そのなかでも、Ce、Dy、Y、La、Pr、Gdのいずれかを少なくとも含む酸化物を用いた場合には、金属と酸素の組成比の精密な制御が実現でき、特に高い効果が得られることを確認した。

20

【0113】

なお、結晶性の金属酸化物として CeO_2 を用いた場合について述べたが、イオン結合性の高い結晶であれば同等の効果が得られる。つまり、 $SrTiO_3$ 、 $SrZrO_3$ 、 $Sr(TiZr)O_3$ 、 $SrCeO_3$ などのペロブスカイト構造を持つ酸化物でも良い。さらに、 MgO 、 CaO 、 SrO 、 BaO などの岩塩構造を持つ酸化物、 Al_2O_3 やスピネル構造を持つ $MgAl_2O_4$ でもよい。結晶性のCe酸化物は単結晶の場合を示したが、結晶方位が配向した多結晶の場合も同等の効果が得られる。結晶性の金属酸化物の成膜方法として、MBE法を用いた場合を示したが、成膜方法はCVD法、スパッタ法、電子ビ-ム蒸着法など他の成膜方法を用いてもよい。

30

【0114】

なお、第5実施形態においては面方位が(001)のSi基板上に、第6実施形態においては面方位が(111)のSi基板上にMISFETを形成したが、面方位は(001)、(111)のいずれでもよい。また、MISFETが形成されるSi基板は面方位が(110)であっても良いし、上記面方位から角度がずれていても良い。

【0115】

(第7実施形態)

次に、本発明の第7の実施形態によるMISFETの構成を、図1乃至図9(c)を参照して説明する。この実施形態によるMISFETは、図1乃至図3に示す第1実施形態のMISFETにおいて、ゲート絶縁膜7が結晶性の金属酸化膜を少なくとも含むように構成され、かつチャネル層5a直下の絶縁膜3に含まれる金属酸化膜と、上記ゲート絶縁膜7に含まれる金属酸化膜の面間隔がチャネル層5aのSiの面間隔とそれぞれ異なるように構成されている。すなわち、Siに対して絶縁膜3の面間隔が大きければ、ゲート絶縁膜に含まれる金属酸化膜の面間隔はSiよりも小さく、Siに対して絶縁膜3の面間隔が小さければ、ゲート絶縁膜に含まれる金属酸化膜の面間隔はSiよりも大きくなるように構成される。

40

【0116】

したがって、チャネル領域5bにおけるSiは、絶縁膜3とゲート絶縁膜7の両方から応力を受けて、均一な歪を有する歪Si層となっている。つまり、本実施形態のMISFETがn-MISFETの場合には、絶縁膜3に含まれる金属酸化膜の面間隔をSiより大

50

きくし、ゲート絶縁膜 7 に含まれる金属酸化膜の面間隔を S_i より小さくしてチャネル層 5 a における S_i の面間隔を引っ張り応力により広げる。これにより、チャネル層における電子の移動度を高めることが可能となる。

【0117】

一方、本実施形態の MISFET が p - MISFET の場合には、絶縁膜 3 に含まれる金属酸化膜の面間隔を S_i より大きくし、ゲート絶縁膜 7 に含まれる金属酸化膜の面間隔を S_i より小さくして、チャネル領域における S_i の面間隔を引っ張り応力により変化させる。もしくは絶縁膜 3 に含まれる金属酸化膜の面間隔を S_i より小さくし、ゲート絶縁膜 7 に含まれる金属酸化膜の面間隔を S_i より大きくしてチャネル層における S_i の面間隔を、圧縮応力により変化させる。これにより、チャネル層における正孔の移動度を高めることが可能となる。さらに、チャネル層の側面と下に S_i と面間隔の異なる金属酸化膜を配置しているため、チャネル層の歪をさらに大きくすることができ、第 1 乃至第 4 実施形態と比較してキャリア移動度の向上が見込まれる。

10

【0118】

次に、本実施形態による MISFET の製造方法を、n - MISFET を例にとって図 4 (a) 乃至図 9 (c) を参照して説明する。

【0119】

まず、(0 0 1) 面方位を持つ S_i 基板 1 a に例えば水素イオンを $5 \times 10^{16} / \text{cm}^2$ のドーズ量で、ピークレンジが例えば表面から 50 nm の深さになるようなエネルギーで打ち込み、水素濃度の高い領域を形成する。続いて打ち込みダメージを回復するため、例えば 800 °C で 30 分、水素雰囲気中で熱処理する。このようにすることにより、ダメージが回復すると共に、水素濃度の高い領域には周囲より機械的強度の小さい中間層 2 が形成され、同時に、後にチャネル層となる S_i 層 5 a が形成される (図 4 (a)、図 5 (a) 参照)。中間層 2 には連続的に微細な空孔が発生し、機械的強度が小さくなっている。これにより、後述の工程で剥離を容易に行うことが可能となる。

20

【0120】

次に、希フッ酸処理を行い、 S_i 基板 1 a の S_i 表面を水素で終端化する。続いて、この基板 1 a を電子ビーム蒸着装置に導入する。基板温度を例えば 600 °C とし、 La_2O_3 を蒸着源として用いて金属酸化物 La_2O_3 を 5 nm 蒸着し、 La_2O_3 層 3 a を形成する (図 4 (b)、図 5 (b) 参照)。このとき、 S_i 層 5 a の、 La_2O_3 層 3 a 側の界面の S_i が酸化されて、 S_i 層 5 a と La_2O_3 層 3 a との間には、膜厚が 0.5 nm の SiO_2 層 3 b が形成される。また、酸素分圧を 5×10^{-7} Torr に精密に制御することにより、 La_2O_3 の配向性を高め結晶性を向上させている。また、X 線回折評価より、 La_2O_3 層は面方位 (0 0 1) 方向に配向したエピタキシャル層であり、 S_i と La_2O_3 の界面に対して平行方向の La_2O_3 (0 0 1) の面間隔は 5.70 nm であることがわかっている。この値は面方位 (0 0 1) の S_i の面間隔に対して 5.0 % 大きい。また、X 線回折の半値幅は狭く、 La_2O_3 層は面方位 (0 0 1) 方向に強く配向した結晶性の高い膜であることが確認されている。

30

【0121】

次に、CVD 法を用いて S_i を堆積し、例えば 1 μm 厚の S_i 層 5 を成膜する (図 4 (c)、図 5 (c) 参照)。このとき、 S_i 層 5 の La_2O_3 層 3 a 側の界面の S_i が酸化されて、 S_i 層 5 と La_2O_3 層 3 a との間には、膜厚 0.5 nm の SiO_2 層 3 c が形成される。つまり、膜厚 0.5 nm の SiO_2 層 3 b、膜厚 5 nm の La_2O_3 層 3 a、および膜厚 0.5 nm の SiO_2 層 3 c からなる 3 層積層構造の絶縁膜 3 が形成された構成となっている (図 4 (c)、図 5 (c) 参照)。

40

【0122】

次に、 S_i 層 5 の表面に基板 1 b を接着する (図 4 (d)、図 5 (d) 参照)。その後、中間層 2 を境に基板 1 b を剥離することによって、 La_2O_3 層 3 a を含む絶縁膜 3 上に S_i 層 5 a を露出する。続いて、例えば CMP 法を用いて S_i 層 5 a の露出した表面を平坦化する。(図 4 (e)、図 5 (e) 参照)。

50

【0123】

次に、図6(a)、図7(a)に示すように、膜厚50nmのSiO₂を全面に被膜し、絶縁膜6を形成する。なお、この後に続いて、絶縁膜6を介して、ボロン元素のイオン打ち込みを行うことにより、チャンネル領域となるSi層5aに不純物プロファイルを形成することも可能である。続いて、図6(b)、図7(b)に示すように、例えばRIE法などの異方性エッチング法を用いて絶縁膜6およびSi層5aをパターンニングし、凸型のチャンネル層5bおよび絶縁膜6aを形成する。このとき、La₂O₃層3aとSi層5aとの間に形成されたSiO₂層3bも同時にパターンニングされる。

【0124】

次に、この基板1bを電子ビーム蒸着装置に導入する。基板温度を例えば600とし、Dy₂O₃を蒸着源として用いて金属酸化物Dy₂O₃を5nm蒸着しチャンネル領域5bの周囲に、ゲート絶縁膜7を形成する(図6(c)、図7(c)参照)。このとき、ゲート絶縁膜7とSi層5aとの間には膜厚0.5nmのSiO₂層(図示せず)が形成される。本実施形態においては、例えばFinのチャンネル領域の高さ(ゲート幅)を20nm、Finの幅(チャンネル領域深さ)を20nm、Finの長さを200nmとする。また、このとき、酸素分圧を1×10⁻⁷Torrに精密に制御することにより、Dy₂O₃の配向性を高め結晶性を向上させている。続いて、CVD法を用いてゲート電極となるポリシリコン膜9を全面に堆積する(図6(d)、図7(d)参照)。

【0125】

次に、ポリシリコン膜9を、例えばRIE法などの異方性エッチング法を用いてパターンニングし、ゲート電極9aを形成する(図6(e)、図7(e)参照)。その後、ゲート電極9aをマスクとしてイオン注入と熱工程を行うことにより、不純物を導入したソース・ドレイン領域10a、10bを形成する(図8(a)、図9(a)参照)。さらに、CVD法によりSiO₂からなる層間絶縁膜11を全面に堆積する(図8(b)、図9(b)参照)。

【0126】

次に、図8(c)、図9(c)に示すように、ソース・ドレイン領域10a、10b上にコンタクトホールを開孔し、Al等の金属を蒸着して金属膜を全面に形成することによりソース・ドレイン電極12a、12bおよびゲート電極12cを形成し、n-MISFETを完成する。

【0127】

次に、本実施形態によるn-MISFETのチャンネル層の特性について図26乃至図28を参照して説明する。図26は、SiO₂層3b/La₂O₃層3a/SiO₂層3cの積層構造からなる絶縁膜3とチャンネル層5bの拡大図であり、断面構造を模式的に示したものである。図27は、TEMを用いて測定した電子線回折像から得られた面間隔の変化を示す。ここで測定しているのは、界面に対して平行方向の(100)面の面間隔である。測定ポイントは図26に示すように、SiO₂からなる絶縁膜6aとSi層5bの界面のチャンネル領域のSi位置1、絶縁膜6aとSi層5bの界面から10nm離れたチャンネル領域のSi位置2、La₂O₃層3aとSi層5bの界面のチャンネル領域のSi位置3、La₂O₃層3aの位置4、La₂O₃層3aとSi層5の界面から250nm離れたSi位置5である。なお、図26においては、Dy₂O₃層7とSi層5bの間には、膜厚0.5nmのSiO₂層7aが設けられているが、このSiO₂層7aは、Dy₂O₃層7を形成する際に形成された酸化膜である。

【0128】

図27においては、界面から250nm離れたSi位置5の面間隔を基準として、それぞれの面間隔の変化を示している。4の位置におけるLa₂O₃層3aの面間隔の変化は+5.0%であり、X線回折から得られた結果と一致する。La₂O₃層3aとSi層5bの界面のチャンネル領域のSi位置3はLa₂O₃層3aに付随して+1.0%歪んでいる。また、絶縁膜6aとSi層5bの界面から10nm離れたチャンネル領域のSi位置2で+0.95%、絶縁膜6aとSi層5bの界面のチャンネル領域のSi位

10

20

30

40

50

置 1 でも 0.9%歪んでいることが確認された。この結果から、Siより面間隔が大きく、且つ、結晶性が高い金属酸化物を含む絶縁膜を基板中の絶縁膜3、及びチャネル側面のゲート絶縁膜7とすることで、チャネル全域のSi層の面間隔を大きくできることが示された。

【0129】

本実施形態による、チャネル領域の側面と下部にSiと面間隔の異なる結晶質の金属酸化物(La_2O_3)を配置した新Fin型n-MOSFETと、下地絶縁膜のみを金属酸化物にした新Fin型n-MOSFETの特性を、図28を参照して説明する。図28は実効電界と電子移動度の関係を示した特性図である。破線がユニバ-サルカ-ブ、実線(細線)が下地絶縁膜のみを金属酸化物にした新Fin型n-MOSFET、実線(太線)がチャネル領域の側面と下部に金属酸化物を配置した本実施形態による新Fin型n-MOSFETのものである。チャネル領域の側面と下部に金属酸化物を配置することによって、下地絶縁膜のみを金属酸化膜とする場合よりも移動度が向上している。これは、チャネル領域の側面と下部にSiと面間隔の異なる、しかもそれぞれ歪の方向の異なる金属酸化物を配置することによって、チャネル領域のSi層に均一な引っ張り歪みが加えることが可能となり、電子の移動度が向上したことによる。

10

【0130】

以上、詳述したように、本実施形態によれば、Fin型トランジスタのチャネル領域全域のSiに均一な引っ張り応力を与えることができ、下地絶縁膜のみを金属酸化膜とした場合よりも高い電子移動度を得ることが出来る。

20

【0131】

なお、結晶性の金属酸化物のなかで、希土類元素(Sc、Y、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu)の中から選ばれた、少なくとも1種類以上の元素を含む希土類酸化物を用いることがさらに好ましい。希土類酸化物は、成膜条件を制御することにより結晶性を高めることが容易であり、効果的にSiの面間隔を変化させうるからである。そのなかでも、Ce、Dy、Y、La、Pr、Gdのいずれかを少なくとも含む酸化物を用いた場合には、高い結晶性をもつ膜が実現でき、特に高い効果が得られることを確認した。

【0132】

本実施形態では、結晶性の金属酸化物として La_2O_3 、 Dy_2O_3 を例にして述べたが、結晶性の金属酸化物は SrTiO_3 、 SrZrO_3 、 $\text{Sr}(\text{TiZr})\text{O}_3$ 、 SrCeO_3 などのペロプスカイト構造を持つ酸化物でも良い。さらに、 MgO 、 CaO 、 SrO 、 BaO などの岩塩構造を持つ酸化物、 Al_2O_3 やスピネル構造を持つ MgAl_2O_4 でも同等の効果が得られる。結晶性の金属酸化物は、結晶方位が配向した場合も示したが、配向が全て揃った単結晶金属酸化物を用いることにより、より大きな面間隔の変化が起こることを確認した。結晶性の金属酸化物の成膜方法として、電子ビ-ム蒸着法を用いた場合を示したが、成膜方法はCVD法、スパッタ法、MBE法など他の成膜方法を用いてもよい。

30

【0133】

なお、本実施形態においては面方位が(001)のSi基板を用いたが、面方位は(111)、(110)のいずれでもよい。また、上記面方位から角度がずれていてもよい。

40

【0134】

本実施形態においては、n-MISFETの場合について述べたが、p-MISFETについても同様の方法で実施することができる。上記に述べた結晶性の金属酸化物のなかで、どの金属酸化物を選定するかは、Siに引っ張り応力を与えたいのか、圧縮応力を与えたいのかによる。n-MISFETを作製する場合には、引っ張り応力が加わったSiにおいて電子の移動度が向上するので、絶縁膜3にSiより面間隔の大きな金属酸化物を、絶縁膜7にSiより面間隔の小さな金属酸化物を含むようにする。一方、p-MISFETを作製する場合には、引っ張り、または、圧縮のどちらの応力においても正孔の移動度

50

は向上するので、絶縁膜 3 に Si より面間隔の大きな金属酸化物を、絶縁膜 7 に Si より面間隔の小さな金属酸化物を含むようにするか、もしくは絶縁膜 3 に Si より面間隔の小さな金属酸化物を、絶縁膜 7 に Si より面間隔の大きな金属酸化物を含むようにすればよい。また、与えたい応力に応じて、金属酸化物の面間隔を選定する。1 種類のみ金属元素を含む金属酸化物で所望の面間隔と応力を実現できないときには、2 種類以上の金属元素を含む金属酸化物を用いればよい。例えば、Eu と Dy の 2 元素を含む $(Eu_x Dy_{1-x})_2O_3$ を用いることにより、金属酸化物の Si に対する面間隔の変化を 0 から -1.8% の間で任意に変化させることができる。

【0135】

(第 8 実施形態)

次に、本発明の第 8 実施形態による MISFET の構成を、図 1 乃至図 9 (c) を参照して説明する。この実施形態による MISFET は、図 1 乃至図 3 に示す第 1 実施形態の MISFET において、チャンネル領域 5 b の直上部に形成される絶縁膜 6 a は結晶性の金属酸化膜を少なくとも含み、チャンネル領域 5 b の側面に形成されるゲート絶縁膜 7 は結晶性の金属酸化物からなる金属酸化膜を含むように構成されている。そして、ゲート絶縁膜 7 に含まれる金属酸化膜の面間隔は、絶縁膜 3 に含まれる金属酸化膜および絶縁膜 6 a に含まれる金属酸化膜の面間隔とは Si の面間隔に対して大きさがそれぞれ異なる。絶縁膜 3 および絶縁膜 6 a に含まれる金属酸化膜の面間隔が Si の面間隔よりも大きいなら、ゲート絶縁膜 7 に含まれる金属酸化膜の面間隔は Si の面間隔よりも小さい。絶縁膜 3 および絶縁膜 6 a の面間隔が Si の面間隔よりも小さいなら、ゲート絶縁膜 7 に含まれる金属酸化膜の面間隔は Si の面間隔よりも大きい。

【0136】

したがって、チャンネル領域 5 b における Si は、絶縁膜 3、絶縁膜 6 a、ゲート絶縁膜の全てから応力を受けて、均一な歪を有する歪 Si 層となっている。

【0137】

つまり、本実施形態においては、チャンネル領域 5 b における Si の面間隔は半導体基板 1 b における Si の面間隔と異なるように構成されている。ここで、本実施形態の MISFET が n-MISFET の場合には、絶縁膜 3、6 a に含まれる金属酸化膜のチャンネル方向の面間隔を Si の面間隔より大きくし、ゲート絶縁膜 7 に含まれる金属酸化膜のチャンネル方向の面間隔を Si のそれより小さくする。これによりチャンネル層における Si の面間隔を引っ張り応力により広げることが可能となり、チャンネル層における電子の移動度を高めることができる。

【0138】

一方、本実施形態の MISFET が p-MISFET の場合には、金属酸化物の面間隔を Si より大きく、または、小さくし、チャンネル層における Si の面間隔を、引っ張り応力、または、圧縮応力により変化させる。これにより、チャンネル層における正孔の移動度を高めることが可能となる。さらに、チャンネル層の上下に Si と面間隔の異なる金属酸化膜を配置しているため、チャンネル層全域において深さ方向に均一な格子変調を発生させることが出来るため、第 1 乃至第 7 実施形態と比較してキャリア移動度の向上が見込まれる。

【0139】

次に、本実施形態による MISFET の製造方法を n-MISFET を例にとって図 4 (a) 乃至図 9 (c) を参照して説明する。

【0140】

まず、(001) 面方位を持つ Si 基板 1 a に例えば水素イオンを $5 \times 10^{16} / \text{cm}^2$ のドーズ量で、ピークレンジが例えば表面から 50 nm の深さになるようなエネルギーで打ち込み、水素濃度の高い領域を形成する。続いて打ち込みダメージを回復するため、例えば 800 °C で 30 分、水素雰囲気中で熱処理する。このようにすることにより、ダメージが回復すると共に、水素濃度の高い領域には周囲より機械的強度の小さい中間層 2 が形成され、同時に、後にチャンネル層となる Si 層 5 a が形成される(図 4 (a)、図 5 (a) 参照)。中間層 2 には連続的に微細な空孔が発生し、機械的強度が小さくなっている。

10

20

30

40

50

【0141】

次に、希フッ酸処理を行い、Si基板1aのSi表面を水素で終端化する。続いてこの基板1aを電子ビーム蒸着装置に導入する。基板温度を例えば600とし、 La_2O_3 を蒸着源として用いて金属酸化物 La_2O_3 を5nm蒸着し、 La_2O_3 膜3aを形成する(図4(b)、図5(b)参照)。このとき、Si層5aの La_2O_3 膜3a側の界面のSiが酸化されて、Si層5aと La_2O_3 層3aとの間には、膜厚0.5nmの SiO_2 層3bが形成される。また、酸素分圧を 5×10^{-7} Torrに精密に制御することにより、 La_2O_3 の配向性を高め結晶性を向上させている。また、X線回折評価より、 La_2O_3 層3aは(001)方向に配向したエピタキシャル膜であり、Siと La_2O_3 の界面に対して平行方向、すなわち(001)方向の La_2O_3 の面間隔は5.70であることがわかっている。この値は、面方位(001)方向のSiの面間隔に対して5.0%大きい。また、X線回折の半値幅は狭く、 La_2O_3 層3aは(001)に強く配向した結晶性の高い膜であることが確認されている。

10

【0142】

次に、CVD法を用いて例えば1 μm 厚のSi層5を成膜する(図22(c)参照)。このとき、Si層5の La_2O_3 層3a側の界面のSiが酸化されて、Si層5と La_2O_3 層3aとの間には、膜厚0.5nmの SiO_2 層3cが形成されている。つまり、絶縁膜3は、膜厚0.5nmの SiO_2 層3b、膜厚5nmの La_2O_3 層3a、および膜厚0.5nmの SiO_2 層3cからなる3層積層構造となっている(図4(c)、図5(c)参照)。

20

【0143】

次に、Si層5の表面に基板1bを接着する(図4(d)、図5(d)参照)。その後、中間層2を境に基板1bを剥離し、金属酸化膜を含む絶縁膜3上にSi層5aを露出する。続いて、例えばCMPを用いて、Si層5aの露出した表面を平坦化する。(図4(e)、図5(e)参照)。なお、この後に続いて、ボロン元素のイオン打ち込みを行うことにより、チャネルとして用いるSi層5aに不純物プロファイルを形成することも可能である。

【0144】

次に、図6(a)、図7(a)に示すように、Si層5aの表面に希フッ酸処理を行い水素で終端化し、この基板をMBE装置に導入する。温度を例えば600とし、 La_2O_3 を蒸着源として用いて金属酸化物 La_2O_3 を5nm蒸着し、絶縁膜6を形成する。このとき、酸素分圧を 5×10^{-7} Torrに精密に制御することにより、 La_2O_3 の配向性を高め結晶性を向上させている。また、このとき、Si層5aの絶縁膜6との界面には図示しないが SiO_2 からなる酸化膜が形成される。

30

【0145】

次に、図6(b)および図7(b)に示すように、例えばRIE法などの異方性エッチング法を用いて絶縁膜6およびSi層5aをパターニングし、凸型のチャネル層5b、絶縁膜6aを形成する。このとき、 La_2O_3 層3aとSi層5aとの間に形成された SiO_2 層3bも同時にパターニングされる。

40

【0146】

次に、この基板1bを電子ビーム蒸着装置に導入する。基板温度を例えば600とし、 Dy_2O_3 を蒸着源として用いて金属酸化物 Dy_2O_3 を5nm蒸着しチャネル領域5bの周囲に、 Dy_2O_3 層を含むゲート絶縁膜7を形成する(図6(c)、図7(c)参照)。このとき、ゲート絶縁膜7とSi層5aとの間には膜厚0.5nmの SiO_2 層(図示せず)が形成される。また、この時、例えばFinのチャネル領域の高さ(ゲート幅)を20nm、Finの幅(チャネル領域深さ)を20nm、Finの長さを200nmとする。このとき、酸素分圧を 1×10^{-7} Torrに精密に制御することにより、 Dy_2O_3 の配向性を高め結晶性を向上させている。

【0147】

次に、CVD法を用いてゲート電極となるポリシリコン膜9を全面に堆積する(図6(d)

50

)、図7(d)参照)。続いて、ポリシリコン膜9を、例えばRIE法などの異方性エッチング法を用いてパターニングし、ゲート電極9aを形成する(図6(e)、図7(e)参照)。その後、ゲート電極9aをマスクとしてイオン注入と熱工程を行うことにより、不純物を導入したソース・ドレイン領域10a、10bを形成する(図8(a)、図9(a)参照)。さらに、CVD法によりSiO₂膜11を全面に堆積する(図8(b)、図9(b)参照)。

【0148】

次に、図8(c)、図9(c)に示すように、ソース・ドレイン領域10a、10b上にコンタクトホールを開孔し、Al等の金属を蒸着して金属膜を全面に形成することによりソース・ドレイン電極12a、12bおよびゲート電極12cを形成し、n-MISFETが完成する。

10

【0149】

次に、本実施形態によるn-MISFETのチャネル層の特性について図29乃至図32を参照して説明する。図29は、SiO₂層3b/La₂O₃層3a/SiO₂層3cの積層構造からなる絶縁膜3とチャネル層5bの拡大図であり、断面構造を模式的に示したものである。図30は、TEMを用いて測定した電子線回折像から得られた面間隔の変化を示す。ここで測定しているのは、界面に対して平行方向の(100)面の面間隔である。測定ポイントは図29に示したように、La₂O₃からなる絶縁膜6a中の位置1、絶縁膜6aとSi層5aの界面のSi位置2、絶縁膜6aとSi層5aの界面から10nm離れたチャネル領域のSi位置3、La₂O₃からなる絶縁膜3aとSi層5aの界面近傍のSiの位置4、絶縁膜3a中の位置5、絶縁膜3aとSi層5の界面から250nm離れたSi位置6の6点である。なお、図29においては、Si層5aとLa₂O₃からなる絶縁膜6aとの間には、例えば膜厚0.5nmのSiO₂層6bが形成され、Si層5aとDy₂O₃からなるゲート絶縁膜7との間には、例えば膜厚0.5nmのSiO₂層7aが形成されている。SiO₂層6bはLa₂O₃からなる絶縁膜6aの形成時に、SiO₂層7aは、Dy₂O₃からなるゲート絶縁膜7の形成時に形成される酸化層である。

20

【0150】

図30は、界面から250nm離れた位置6のSiの面間隔を基準として、それぞれの面間隔の変化を示している。絶縁膜3aおよび絶縁膜6aを構成するLa₂O₃の面間隔の変化は+5.0%であり、X線回折から得られた結果と一致する。絶縁膜6aとSi層5aの界面近傍におけるSi位置2、及び絶縁膜3aとSi層5aの界面近傍におけるSi位置4は、La₂O₃に付随して+1.1%歪んでいる。さらに、この界面から10nm離れたSi位置3においても面間隔は変化しており、+1.1%と大きな値であることがわかった。この結果から、Siより面間隔が大きく、且つ、結晶性が高い金属酸化物を含む絶縁膜を下地絶縁膜、チャネル上部絶縁膜とし、Siより面間隔が小さく、且つ、結晶性が高い金属酸化物を含む絶縁膜をゲート絶縁膜として配置することで、チャネル領域全域のSi層の面間隔を均一に、より効果的に大きくできることが示された。

30

【0151】

本実施形態によるSiと面間隔の異なる結晶質の金属酸化物を下地絶縁膜、チャネル上部絶縁膜、およびゲート絶縁膜に用いた新Fin型n-MOSFETと、Siと面間隔の異なる結晶質の金属酸化物をチャネル下地絶縁膜およびチャネル上部絶縁膜に用いた新Fin型n-MOSFET、およびSiと面間隔の異なる結晶質の金属酸化物を下地絶縁膜、ゲート絶縁膜とした新Fin型n-MOSFETの特性を比較する。図31は実効電界と電子移動度の関係、図32は閾値と構造の関係を示したものである。

40

【0152】

図31の実効電界と電子移動度の関係に注目する。破線がユニバサルカブ、実線(細線)がチャネル上下に金属酸化膜を配置した新Fin型n-MOSFET、実線(中太線)がチャネル下部とゲート絶縁膜に金属酸化膜を配置した新Fin型n-MOSFET、

50

そして実線（太線）がチャネル領域上下の絶縁膜とゲート絶縁膜に金属酸化膜を配置した新Fin型n-MOSFETのものである。ゲート絶縁膜を金属酸化膜とすることによって、移動度が向上していることがわかる。これは、ゲート金属酸化膜の面間隔を、Siよりも小さくすることで、チャネル領域全域に渡って均一に大きな引っ張り歪を与えることができるためである。

【0153】

次に、図32の構造と閾値の関係に注目する。この図は、1 絶縁膜3が金属酸化膜で絶縁膜6aと絶縁膜7がSiO₂膜の場合すなわち第1実施形態の場合、2 絶縁膜3と絶縁膜6aが金属酸化膜であって絶縁膜7がSiO₂膜の場合すなわち第5実施形態の場合、3 絶縁膜3と絶縁膜7が金属酸化膜、絶縁膜6aがSiO₂膜の場合すなわち第7実施形態の場合、4 絶縁膜3と、絶縁膜6aと、絶縁膜7が金属酸化膜の場合すなわち第8実施形態の場合、のそれぞれの閾値を示したものである。ゲート電極の仕事関数は4.2 eVで、チャネル濃度は 10^{15} cm^{-3} なので、閾値は全て0Vとなることが予想される。しかし、1 絶縁膜3が金属酸化膜、絶縁膜6aと絶縁膜7がSiO₂膜の場合には、閾値は1.2Vと高くなっている。これは、Fin型MOSFETの構造と、ゲート絶縁膜7と第絶縁膜6aがSiO₂膜であることに原因がある。Fin型MOSFETはチャネルの側面をゲート電極で挟んだダブルゲート構造となっているため、シングルゲートと比べて突き抜けたボロンの量が多くなり、結果として高い閾値を示すようになるのである。ところが、2 や 3 のように、絶縁膜6a、7のどちらかに金属酸化膜を挿入することによって閾値は0.4V程度まで減少する。これは、金属酸化膜によってボロンの拡散が抑えられているからである。さらに、絶縁膜6a、7のどちらも金属酸化膜とすることによって、閾値は閾値は0.2Vまで低下し、さらなる改善を図ることができる。閾値が0Vにならないのは、チャネル領域が絶縁されているために、電子のエネルギー準位が量子化され、サブバンドが発生しているからである（K. Uchida et al., IEDM Tech. Dig., (2002)47）。

【0154】

以上、詳述したように、本実施形態によれば、ゲート絶縁膜も金属酸化膜とすることによって、Fin型トランジスタのチャネル領域のSiに均一に引っ張り応力を与えることができ、チャネル上下、またはチャネル下部とチャネル側面を金属酸化膜とする場合に比べて電子移動度の向上を図ることができる。また、金属酸化膜によってボロンの拡散を抑えることで、閾値の制御をすることができ、歩留まりの向上を果たすことが可能である。

【0155】

なお、結晶性の金属酸化物のなかで、希土類元素（Sc、Y、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu）の中から選ばれた、少なくとも1種類以上の元素を含む希土類酸化物を用いることがさらに好ましい。希土類酸化物は、成膜条件を制御することにより結晶性を高めることが容易であり、効果的にSiの面間隔を変化させうるからである。そのなかでも、Ce、Dy、Y、La、Pr、Gdのいずれかを少なくとも含む酸化物を用いた場合には、高い結晶性をもつ膜が実現でき、特に高い効果が得られることを確認した。

【0156】

第8実施形態では、結晶性の金属酸化物としてLa₂O₃、Dy₂O₃を例にして述べたが、結晶性の金属酸化物はSrTiO₃、SrZrO₃、Sr(TiZr)O₃、SrCeO₃などのペロブスカイト構造を持つ酸化物でも良い。さらに、MgO、CaO、SrO、BaOなどの岩塩構造を持つ酸化物、Al₂O₃やスピネル構造を持つMgAl₂O₄でも同等の効果が得られる。結晶性の金属酸化物は、結晶方位が配向した場合も示したが、配向が全て揃った単結晶金属酸化物を用いることにより、より大きな面間隔の変化が起こることを確認した。結晶性の金属酸化物の成膜方法として、電子ビーム蒸着法を用いた場合を示したが、成膜方法はCVD法、スパッタ法、MBE法など他の成膜方法を用いてもよい。

【0157】

なお、第8実施形態においては面方位が(001)のSi基板を用いたが、面方位は(111)、(111)、(110)のいずれでもよい。また、上記面方位から角度がずれていてもよい。

【0158】

第8実施形態においては、n-MISFETの場合について述べたが、p-MISFETについても同様の方法で実施することができる。上記に述べた結晶性の金属酸化物のなかで、どの金属酸化物を選定するかは、Siに引っ張り応力を与えたいのか、圧縮応力を与えたいのかによる。n-MISFETを作製する場合には、引っ張り応力が加わったSiにおいて電子の移動度が向上するので、絶縁膜3、6aにSiより面間隔の大きな金属酸化物を、絶縁膜7にSiより面間隔の小さな金属酸化物を選定する。一方、p-MISFETを作製する場合には、引っ張り、または、圧縮のどちらの応力においても正孔の移動度は向上するので、絶縁膜3、6aにSiより面間隔の大きな金属酸化物を用い、絶縁膜7にSiより面間隔の小さな金属酸化物を用いるか、もしくは絶縁膜3、6aにSiより面間隔の小さな金属酸化物を、絶縁膜7にSiより面間隔の大きな金属酸化物を用いればよい。また、与えたい応力に応じて、金属酸化物の面間隔を選定する。1種類のみ金属元素を含む金属酸化物で所望の面間隔と応力を実現できないときには、2種類以上の金属元素を含む金属酸化物を用いればよい。例えば、EuとDyの2元素を含む $(Eu_x Dy_{1-x})_2O_3$ を用いることにより、金属酸化物のSiに対する面間隔の変化を0から-1.8%の間で任意に変化させることができる。

【0159】

(第9実施形態)

次に、本発明の第9実施形態によるn-MISFETの構成を、図33乃至図35を参照して説明する。図33は第9実施形態によるFin型n-MISFETの斜視図、図34は図33に示す切断面A-Aで切断したときの断面図、図35は図33に示す切断面B-Bで切断したときの断面図である。

【0160】

この実施形態によるMISFETは、Siからなる半導体基板1bの表面に結晶性の金属酸化物を少なくとも含む絶縁膜3が形成されている。ここで、絶縁膜3に含まれる金属酸化物は、金属と酸素の組成比が化学量論比である金属酸化物である。そして、後述のチャネル領域を半導体基板1bと電気的に接続するために、絶縁膜3には、金属と酸素の組成比が化学量論比より少ない金属酸化物、例えば、 $Sr(Ti_{0.16}Zr_{0.84})O_x$ からなる領域4が形成されている。 $Sr(Ti_{0.16}Zr_{0.84})O_x$ 中には酸素の欠損が生じ、バンドギャップ内に準位が発生し、導電性の領域が形成される。このような成膜方法を用いることにより、絶縁膜3を開孔することなく、簡易な方法で半導体界面とチャネル領域を電気的に接続させることができる。

【0161】

領域4上に凸型のチャネル領域(チャネル層)5bが形成されている。絶縁膜3および領域4を構成する金属酸化物の面間隔がSiの面間隔より大きいため、チャネル領域5bにおけるSiは絶縁膜3および領域4から応力をうけ、歪みSi層が形成されている。このチャネル領域5bの両側に、チャネル領域5aと導電型が異なるソース領域10aおよびドレイン領域10bが形成された構成となっている。また、チャネル領域5bの直上部には絶縁膜6cが形成されている。チャネル領域5bの側面上にはゲート絶縁膜7が形成されている。ゲート絶縁膜7の周囲には、ポリシリコンからなるゲート電極9aが形成されている。すなわち、本実施形態においては、金属酸化膜の面間隔をSiより大きくし、チャネル層におけるSiの面間隔を引っ張り応力により広げる。これにより、チャネル層における電子の移動度を高めることが可能となる。

【0162】

次に、本実施形態によるn-MISFETの製造方法を、図36(a)乃至図43を参照して説明する。図36(a)乃至図36(e)は切断面A-Aにおける製造工程断面図、図37(a)乃至図37(e)は図36(a)乃至図36(e)にそれぞれ対応する切断

面 B - B における製造工程断面図であり、図 38 (a) 乃至図 38 (e) は切断面 A - A における製造工程断面図、図 39 (a) 乃至図 39 (e) は図 38 (a) 乃至図 38 (e) にそれぞれ対応する切断面 B - B における製造工程断面図であり、図 40 (a) 乃至図 40 (d) は切断面 A - A における製造工程断面図、図 41 (a) 乃至図 41 (d) は図 42 (a) 乃至図 42 (d) にそれぞれ対応する切断面 B - B における製造工程断面図、図 42 は切断面 A - A における製造工程断面図、図 43 は図 42 に対応する切断面 B - B における製造工程断面図である。

【 0 1 6 3 】

まず、(1 1 1) 面方位を持つ S i 基板 1 a に例えば水素イオンを $5 \times 10^{16} / \text{cm}^2$ のドーズ量で、ピークレンジが例えば表面から 50 nm の深さになるようなエネルギーで打ち込み、水素濃度の高い領域を形成する。続いて打ち込みダメージを回復するため、例えば 800 °C で 30 分、水素雰囲気中で熱処理する。このようにすることにより、ダメージが回復すると共に、水素濃度の高い領域には周囲より機械的強度の小さい中間層 2 が形成され、同時に、後にチャンネル層となるシリコン層 5 a が形成される (図 36 (a) 、図 37 (a) (参照)) 。中間層 2 には連続的に微細な空孔が発生し、機械的強度が小さくなっている。

【 0 1 6 4 】

次に、希フッ酸処理を行い、S i 基板 1 a の S i 表面を水素で終端化する。続いて、この基板 1 a を M B E 装置に導入する。基板温度を例えば 500 °C とし、S r 、Z r 、T i を蒸着源として用いて S r (T i _{0.16} Z r _{0.84}) O _x からなる金属酸化層 3 a を 5 nm の厚さ成膜する (図 36 (b) 、図 37 (b) 参照) 。このとき成膜された S r (T i _{0.16} Z r _{0.84}) O _x の酸素組成比は化学量論比 (x = 3.0) であり、S r (T i _{0.16} Z r _{0.84}) O _x のと S i の界面に平行な方向の面間隔は 5.50 nm であった。また、S i 層 5 a の表面の S i が酸化されて、S i 層 5 a と S r (T i _{0.16} Z r _{0.84}) O _x 層 3 a の間には、膜厚 0.5 nm の S i O ₂ 層が形成されている。つまり、絶縁膜 3 は、膜厚 0.5 nm の S i O ₂ 層 3 b と、膜厚 5 nm の S r (T i _{0.16} Z r _{0.84}) O _x 層 3 a の積層構造を含んでいる。このとき、金属酸化層 3 a の面間隔が S i よりも大きいために、S i に + 0.3 % の歪みが加わっていることを確認した。

【 0 1 6 5 】

次に、図 36 (c) 、図 37 (c) に示すように、S r (T i _{0.16} Z r _{0.84}) O _x 層 3 a に局所的にレーザーを照射する。レーザーが照射された領域 4 では、酸素組成比が x = 2.7 に減少していた。この領域 4 の面間隔は 5.56 nm と大きくなり、導電性の領域 4 が形成された。これは、レーザーの照射により、酸素の欠損が生じ、バンドギャップ中に準位が発生するためである。このとき、導電性領域の面間隔が S i よりも大きいために、導電性領域下部の領域の S i に、+ 1.0 % の歪みが加わっていることを確認した。

【 0 1 6 6 】

次に、C V D 法を用いて例えば 1 μ m 厚の S i 層 5 を成膜する (図 36 (d) 、図 37 (d) 参照) 。このとき、S i 層 5 の金属酸化層 3 a 、4 側の界面の S i が酸化されて、S i 層 5 と金属酸化層 3 a 、4 の間には、膜厚が 0.5 nm の S i O ₂ 層 3 c が形成される。つまり、この製造方法では、S i 層 5 a と、S i 層 5 との間には、膜厚が 0.5 nm の S i O ₂ 層 3 b 、膜厚 5 nm の金属酸化層 3 a 、および膜厚が 0.5 nm の S i O ₂ 層 3 c からなる 3 層積層構造の絶縁膜 3 が形成された構成となっている (図 36 (d) 、図 37 (d) 参照) 。

【 0 1 6 7 】

次に、S i 層 5 の表面に基板 1 b を接着する (図 36 (e) 、図 37 (e) 参照) 。その後、中間層 2 を境に基板 1 b を剥離することによって、金属酸化物からなる絶縁膜 3 上に S i 層 5 a を露出させる。続いて、例えば C M P 法を用いて S i 層 5 a の露出した表面を平坦化する (図 38 (a) 、図 39 (a) 参照) 。なお、この後に続いて、元素のイオン打ち込みを行うことにより、チャンネルとして用いる S i 層 5 a に不純物プロファイルを形

10

20

30

40

50

成することも可能である。

【0168】

次に、希フッ酸処理を行い、Si層5aのSi表面を水素で終端化する。続いて、この基板1bをMBE装置に基板を導入する。基板温度を例えば500とし、CeO₂を蒸着源として用いてCe酸化物からなる金属酸化物を含む絶縁膜6を5nmの厚さ成膜する(図38(b)、図39(b)参照)。このとき成膜されたCe酸化物の酸素組成比は化学量論比(x=2.0)であり、面間隔は5.41であった。

【0169】

次に、Ce酸化物からなる絶縁膜6にレーザーを照射し、絶縁膜6aとする。レーザー照射後、絶縁膜6a酸素組成比を測定したところ、酸素組成比はx=1.77に減少しており、面間隔は5.48と大きくなった(図38(c)、図39(c)参照)。これは、レーザーの照射により、酸素の欠損が生じ絶縁膜6aを構成するCe酸化物中の酸素組成比が減少したためである。このような方法により、面間隔の大きなCe酸化物層6bを作製することができる。また、ここでは、レーザー照射する例を示したが、加熱処理、電子線照射、電磁波照射を用いても、酸素組成比を減少させる効果が得られる。また、導電性領域4及びCe酸化物層6bの面間隔が大きくなることにより、導電性領域4上部のチャネル層5aのSiには均一に+1.0%の歪みが加わっていることを確認した。

【0170】

次に、例えばRIE法などの異方性エッチング法を用いて、絶縁膜6bおよびSi層5aをパターニングすることにより、図38(d)、図39(d)に示すように、領域4の直上に凸型のチャネル層5bを形成する。このとき、Si層5aと絶縁膜3との間に形成されたSiO₂層3bも同時にパターニングされる。

【0171】

次に、この基板1bを電子ビーム蒸着装置に導入する。基板温度を例えば600とし、Dy₂O₃を蒸着源として用いて金属酸化物Dy₂O₃を5nm蒸着しチャネル領域5bの周囲にDy₂O₃を含むゲート絶縁膜7を形成する(図38(e)、図39(e)参照)。この時、例えばFinのチャネル領域の高さ(ゲート幅)を20nm、Finの幅(チャネル領域深さ)を20nm、Finの長さを200nmとする。このとき、酸素分圧を5×10⁻⁷Torrに精密に制御することにより、Dy₂O₃の配向性を高め結晶性を向上させている。

【0172】

次に、CVD法を用いてゲート電極となるポリシリコン膜9を全面に堆積する(図40(a)、図41(a)参照)。続いて、ポリシリコン膜9を、例えばRIE法などの異方性エッチング法を用いてパターニングし、ゲート電極9aを形成する(図40(b)、図41(b)参照)。その後、ゲート電極9aをマスクとしてイオン注入と熱工程を行うことにより、不純物を導入したソース・ドレイン領域10a、10bを形成する(図40(c)、図41(c)参照)。さらに、CVD法によりSiO₂膜11を全面に堆積する(図40(d)、図41(d)参照)。

【0173】

次に、図42、図43に示すように、ソース・ドレイン領域10a、10b上にコンタクトホールを開孔し、Al等の金属を蒸着して金属膜を全面に形成することによりソース・ドレイン電極12a、12bおよびゲート電極12cが形成され、n-MISFETが完成する。

【0174】

次に、図44を参照してSr(Ti_{0.16}Zr_{0.84})O_xにおける酸素組成比と面間隔、抵抗率の関係を説明する。酸素組成比はエネルギー分散蛍光X線法(EDX)により測定した。酸素組成比が化学量論比(x=3)の時の面間隔は5.50であった。一方、酸素組成比が化学量論比より小さくなり、x<3.0の場合には、面間隔が大きくなることがわかった。Sr(Ti_{0.16}Zr_{0.84})O_x中の面間隔が酸素組成比により大きく変化するの、Sr(Ti_{0.16}Zr_{0.84})O_xが強いイオン性結合を持

10

20

30

40

50

つ結晶であることによると考えられる。また、酸素組成比が小さくなるに連れ、抵抗率が減少することがわかる。これは、酸素組成比を減少させることで膜中に酸素の欠損が生じ、バンドギャップ内に準位が発生するためである。

【0175】

次に、Siと面間隔の異なる結晶性の金属酸化物を下地絶縁膜($Sr(Ti_{0.16}Zr_{0.84})O_x$)、チャネル上部絶縁膜(La_2O_3)、さらにゲート絶縁膜(Dy_2O_3)とし、半導体基板とチャネル領域を電氣的に接続した本実施形態による新Fin型n-MOSFETと、同様の絶縁膜構成で、チャネル領域が電氣的に半導体基板と絶縁されている新Fin型n-MOSFETの特性を比較した。図45、図46に、ゲート絶縁膜を膜厚5nmの Dy_2O_3 とし、下地に絶縁膜のない平面型n-MOSFETの閾値を基準にして、新Fin型n-MOSFETの、チャネル部分を電氣的に接続していないもの1と、本実施形態のように、接続しているもの2の差を示す。チャネル領域が電氣的に接続されることにより、閾値が低下し、平面型n-MOSFETとの差は0.05Vまで低下することがわかる。これは、チャネル領域が電氣的に接続されているために、絶縁された場合の電子エネルギーレベルの量子化、及びサブバンド発生による閾値のシフトを回避できるからである。さらに、移動度に注目すると、チャネルを電氣的に接続することにより移動度が向上していた(図46参照)。これは、チャネル領域を半導体基板と電氣的に接続することによってホールの蓄積を防ぐことができ、その結果ホールの蓄積を引き起すキャリア散乱による移動度低下を避けられるからである。

【0176】

以上、詳述したように、本実施形態によれば、従来のSOI-MISFETやFin-MISFETと比較して簡単にチャネル領域を半導体基板と電氣的に接続することができ、サブバンド発生による閾値変化、ホールの蓄積による電子移動度の低下を防ぐことが可能となり、より効果的に移動度の向上を図ることが可能である。

【0177】

第9実施形態では、結晶性の金属酸化物として $Sr(Ti_{0.16}Zr_{0.84})O_x$ を例にして述べたが、結晶性の金属酸化物は $SrTiO_3$ 、 $SrZrO_3$ 、 $SrCeO_3$ などのペロブスカイト構造を持つ酸化物でも良い。さらに、 MgO 、 CaO 、 SrO 、 BaO などの岩塩構造を持つ酸化物、 Al_2O_3 やスピネル構造を持つ $MgAl_2O_4$ でも酸素組成比を減じることにより同等の効果が得られる。結晶性の金属酸化物の成膜方法として、MBE法を用いた場合を示しているが、成膜方法はCVD法、スパッタ法、電子ビーム蒸着法など他の成膜方法を用いてもよい。

【0178】

なお、結晶性の金属酸化物のなかで、希土類元素(Sc、Y、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu)の中から選ばれた、少なくとも1種類以上の元素を含む希土類酸化物を用いることがさらに好ましい。希土類酸化物は、成膜条件を制御することにより結晶性を高めることが容易であり、効果的にSiの面間隔を変化させうるからである。そのなかでも、Ce、Dy、Y、La、Pr、Gdのいずれかを少なくとも含む酸化物を用いた場合には、高い結晶性をもつ膜が実現でき、特に高い効果が得られることを確認した。

【0179】

第9実施形態においては、n-MISFETの場合について述べたが、p-MISFETについても同様の方法で実施することができる。

【0180】

なお、第9実施形態においては面方位が(001)のSi基板を用いた例を示しているが、面方位は(111)、 $(\bar{1}\bar{1}\bar{1})$ 、(110)のいずれでもよい。また、上記面方位から角度がずれていてもよい。

【0181】

さらに、第5～9実施形態において、チャネル層のSiをより効果的に歪ませるために、Si基板上の結晶性の金属酸化物、または、チャネル層上部の結晶性の金属酸化物、さら

10

20

30

40

50

にはゲート絶縁膜に含まれる結晶性の金属酸化物と、チャンネル層との間に、岩塩構造の金属酸化物を挟むことも効果がある。その効果は、第4の実施形態に詳述したものと同等であり、岩塩構造の金属酸化物を挟むことにより結晶性の酸化物との界面にアモルファスの SiO_2 層が形成されないため、金属酸化膜における面間隔の相違をより直接的に Si チャンネル層に加えることである。また、チャンネル Si 層の結晶性を向上することができる。用いる岩塩構造の酸化物の厚さは1~3原子層の範囲にあることが望ましい。 SrO 、 MgO などの物質は、空气中で不安定なため、これ以上厚さを増すと、経時的に結晶性が変化して特性が劣化する。一方、1原子層より薄い場合には、酸素の拡散を抑制する効果が得られず、アモルファスの SiO_2 層が発生してしまうからである。岩塩構造の酸化物の中で、特に、 SrO 、 MgO 、 CaO 、 BaO の岩塩構造の金属酸化膜を用いた場合には、酸素拡散の抑制効果が顕著であり、トランジスタ特性の大幅な向上が可能である。 Si に引っ張り応力を与えたい場合には、 Si より面間隔の大きな岩塩構造の金属酸化物である BaO を用いることが望ましい。また、 Si に圧縮応力を加えたい場合には、 Si より面間隔の小さな岩塩構造の金属酸化物である SrO 、 MgO 、 CaO を用いることが望ましい。しかし、 Si 層における面間隔の変化は、主に厚さの大きい結晶性の金属酸化物で決まっているので、例えば、 Si より面間隔の小さな SrO を挟んで、その上に Si より面間隔の大きな Pr_2O_3 を積層した構造では、チャンネル領域における Si は引っ張り応力を受けるので、岩塩構造の金属酸化物と結晶性の金属酸化物は任意に組み合わせることも可能である。また、チャンネル領域下部の絶縁膜に含まれる、 Si と面間隔の異なる結晶質の金属酸化物と、チャンネル領域上部の絶縁膜に含まれる、 Si と面間隔の異なる結晶質の金属酸化物と、ゲート絶縁膜に含まれる、 Si と面間隔の異なる結晶質の金属酸化物と、チャンネル領域との界面の全てに岩塩構造の金属酸化物を挟む必要はなく、どれか1つでも効果が得られる。

【0182】

なお、第9実施形態において、絶縁膜6c、7が金属酸化膜の場合について述べたが、絶縁膜6cおよび絶縁膜7の少なくとも一方が金属酸化膜以外の絶縁物であってもよい。

【0183】

(第10実施形態)

次に、本発明の第10実施形態による n -MISFETおよび p -MISFETを有する半導体装置の構成を、図47乃至図59を参照して説明する。図47は、本実施形態による半導体装置の斜視図、図48は本実施形態による半導体装置の、図47に示す切断面A-Aで切断した断面図、図49は本実施形態による半導体装置の、図47に示す切断面B-Bで切断した断面図である。また、

本実施形態の半導体装置の製造方法を図50(a)乃至図59に示す。図50(a)乃至図50(f)は図47に示す切断面A-Aにおける製造工程断面図、図51(a)乃至図51(f)は図50(a)乃至図50(f)にそれぞれ対応する切断面B-Bにおける製造工程断面図であり、図52(a)乃至図52(c)は切断面A-Aにおける製造工程断面図、図53(a)乃至図53(c)は図52(a)乃至図52(c)にそれぞれ対応する切断面B-Bにおける製造工程断面図であり、図54(a)乃至図54(c)は切断面A-Aにおける製造工程断面図、図55(a)乃至図55(c)は図54(a)乃至図54(c)にそれぞれ対応する切断面B-Bにおける製造工程断面図、図56は切断面A-Aにおける製造工程断面図、図57は図56に対応する切断面B-Bにおける製造工程断面図である。

【0184】

まず、(001)面方位を持つ Si 基板1aに例えば深さ100nmの素子分離領域13を形成する(図50(a)、図51(a)参照)。続いて、例えば水素イオンを $5 \times 10^{16} / \text{cm}^2$ のドーズ量で、ピークレンジが例えば表面から50nmの深さになるようなエネルギーで打ち込み、水素濃度の高い領域を形成する。続いて打ち込みダメージを回復するために、例えば800で30分、水素雰囲気中で熱処理する。このようにすることにより、ダメージが回復すると共に、水素濃度の高い領域には周囲より機械的強度の小さ

10

20

30

40

50

い中間層2が形成され、同時に、後にチャンネル層となるシリコン層5n、5pが形成される(図50(b)、図51(b)参照)。中間層2には連続的に微細な空孔が発生し、機械的強度が小さくなっている。

【0185】

次に、希フッ酸処理を行い、Si基板1aのSi表面を水素で終端化する。続いて、この基板1aをMBE装置に導入する。Sr、Ti、Zrを蒸着源として用いて金属酸化物 $Sr(Ti_{0.43}Zr_{0.57})O_x$ を含む絶縁膜3を5nm形成する(図50(c)、図51(c)参照)。このとき、酸素分圧を 1×10^{-7} Torrに精密に制御することにより、 $Sr(Ti_{0.43}Zr_{0.57})O_x$ の配向性を高め結晶性を向上させている。また、Si層表面のSiが酸化されて、Si層5n、5pと金属酸化物 $Sr(Ti_{0.43}Zr_{0.57})O_x$ との間には、図示しない膜厚0.5nmの SiO_2 層が形成されている。つまり、絶縁膜3は、膜厚0.5nmの SiO_2 層と膜厚5nmの $Sr(Ti_{0.43}Zr_{0.57})O_x$ 層からなる積層構造となっている。X線回折評価より、 $Sr(Ti_{0.43}Zr_{0.57})O_x$ 層は(001)方向に配向したエピタキシャル膜であり、Siと $Sr(Ti_{0.43}Zr_{0.57})O_x$ の界面に対して平行方向の $Sr(Ti_{0.43}Zr_{0.57})O_x$ (001)の面間隔は5.01であることがわかっている。この値は、Siの面間隔に対して7.3%小さい。また、X線回折の半値幅は狭く、 $Sr(Ti_{0.43}Zr_{0.57})O_x$ 層は(001)に強く配向した結晶性の高い膜であることが確認されている。電子線回折を用いた面間隔評価の結果、(001)に強く配向して結晶性が高い $Sr(Ti_{0.43}Zr_{0.57})O_x$ 層を形成することにより、チャンネル層のSiに圧縮応力が加わり、面間隔が小さくなることを確認した。 $Sr(Ti_{0.43}Zr_{0.57})O_x$ の面間隔の変化は-7.0%であり、この $Sr(Ti_{0.43}Zr_{0.57})O_x$ 層に付随して界面におけるSiが歪んでおり、5n、5p共に面間隔の変化は-1.2%であることがわかった。界面から20nm離れたSiでも面間隔の変化は起こっており、面間隔が-0.8%変化していた。

【0186】

次に、シリコン層5p上の絶縁膜3にのみ局所的にレーザーを照射したところ、 $Sr(Ti_{0.43}Zr_{0.57})O_x$ の酸素組成比xが変化して、 $x = 2.7$ の領域4aが形成された(図50(d)、図51(d)参照)。このときの $Sr(Ti_{0.43}Zr_{0.57})O_x$ の面間隔は、Siの面間隔に対して-1.8%の大きさとなった。これは前述したように、イオン性の結晶中の格子位置の酸素が抜けることによって、格子間の平均距離が大きくなり面間隔が大きくなるためである。それに伴い、シリコン層5pのSiの面間隔も、Siの面間隔に対して-0.3%の大きさとなった。また、膜中に酸素欠損が発生するため、バンドギャップ中に酸素欠損による準位が生じ、領域4aは導電性の領域となった。

【0187】

次に、シリコン層5n上の絶縁膜3に局所的にレーザーを照射したところ、 $Sr(Ti_{0.43}Zr_{0.57})O_x$ の組成比が変化して、 $x = 2.5$ の領域4bが形成された(図50(e)、図51(e)参照)。このときの $Sr(Ti_{0.43}Zr_{0.57})O_x$ の面間隔は、Siの面間隔に対して1.8%大きくなっていった。さらにシリコン層5nの、領域4bの下部のSiの面間隔は+0.3%大きくなっていった。これは、(001)に強く配向し、結晶性が高い $Sr(Ti_{0.43}Zr_{0.57})O_x$ の面間隔をSiよりも大きくすることで、Siに引っ張り応力が加わり、面間隔が大きくなるためである。また、膜中に酸素欠損が発生するため、バンドギャップ中に酸素欠損による準位が生じ、領域4bは導電性の領域となっている。

【0188】

次に、CVD法を用いて例えば1 μ m厚のSi層5を成膜する(図50(f)、図51(f)参照)。続いて、Si層5の表面に基板1bを接着する(図52(a)、図53(a)参照)。

【0189】

10

20

30

40

50

次に、中間層 2 を境に基板 1 b を剥離し、例えば CMP により表面を平坦化する。(図 5 2 (b)、図 5 3 (b) 参照)。こうすることで、金属酸化膜上に Si 層 5 n、5 p が露出される。なお、この後に続いて、元素のイオン打ち込みを行うことにより、チャンネルとして用いる Si 層 5 n、5 p に不純物プロファイルを形成することも可能である。

【 0 1 9 0 】

次に、希フッ酸処理を行い Si 層 5 n、5 p の表面を水素で終端化し、膜厚が 5 0 n m の SiO_2 を全面に被膜し、 SiO_2 からなる絶縁膜 6 を形成する(図 5 2 (c)、図 5 3 (c) 参照)。

【 0 1 9 1 】

次に、例えば R I E 法などの異方性エッチング法を用いて、絶縁膜 6 および Si 層 5 p、5 n をパタ - ニングし、図 5 4 (a)、図 5 5 (a) に示すように、領域 4 a、4 b の直上に凸型のチャンネル層 5 d、5 e を形成する。続いて、チャンネル層 5 d、5 e の側面に、3 n m の SiO_2 を被膜し、 SiO_2 からなるゲート絶縁膜 7 を形成する(図 5 4 (b)、図 5 5 (b) 参照)。

【 0 1 9 2 】

次に、C V D 法を用いてゲート電極となるポリシリコン膜 9 を全面に堆積する(図 5 4 (c)、図 5 5 (c) 参照)。続いて、ポリシリコン膜 9 を、例えば R I E 法などの異方性エッチング法を用いてパタ - ニングし、ゲート電極 9 a、9 b を形成する(図 5 6 (a)、図 5 7 (a) 参照)。

【 0 1 9 3 】

その後、ゲート電極 9 a、9 b をマスクとしてイオン注入と熱工程を行うことにより、不純物を導入したソース領域 1 4 a、1 5 a、ドレイン領域 1 4 b、1 5 b を形成する(図 5 6 (b)、図 5 7 (b) 参照)。さらに、C V D 法により SiO_2 膜 1 1 を全面に堆積する(図 5 6 (c)、図 5 7 (c) 参照)。

【 0 1 9 4 】

次に、図 5 8、図 5 9 に示すように、ソース領域 1 4 a、1 5 a、ドレイン領域 1 4 b、1 5 b 上にコンタクトホールを開孔し、Al 等の金属を蒸着して金属膜を全面に形成することによりソース電極 1 6 a、ドレイン電極 1 6 b およびゲート電極 1 6 c を形成し、n - M I S F E T および p - M I S F E T が完成する。

【 0 1 9 5 】

図 6 0 に $\text{Sr}(\text{Ti}_{0.43}\text{Zr}_{0.57})\text{O}_x$ における酸素組成比と面間隔、抵抗率の関係を示す。酸素組成比はエネルギー分散蛍光 X 線法 (E D X) により測定した。酸素組成比が化学量論比 ($x = 3$) の時の面間隔は 5 . 0 1 であった。

【 0 1 9 6 】

一方、酸素組成比 x が化学量論比より小さくなり、 $x < 3 . 0$ の場合には、面間隔が大きくなることがわかった。 $\text{Sr}(\text{Ti}_{0.43}\text{Zr}_{0.57})\text{O}_x$ 中の面間隔が酸素組成比により大きく変化するの、 $\text{Sr}(\text{Ti}_{0.43}\text{Zr}_{0.57})\text{O}_x$ が強いイオン性結合を持つ結晶であることによると考えられる。また、酸素組成比が小さくなるに連れ、抵抗率が減少することがわかる。これは、酸素組成比を減少させることで膜中に酸素の欠損が生じ、バンドギャップ内に準位が発生するためである。

【 0 1 9 7 】

図 6 1 に示すように、 SiO_2 換算膜厚 (E O T) が 3 n m の SiO_2 からなるゲート絶縁膜を有する S G O I 型 C M O S と、 SiO_2 換算膜厚 (E O T) が 3 n m の SiO_2 からなるゲート絶縁膜を有し、絶縁膜 3 として $\text{Sr}(\text{Ti}_{0.43}\text{Zr}_{0.57})\text{O}_x$ を有する本実施形態による F i n 型 C M O S のゲート遅延時間の電源電圧依存性を比較した。電圧全域に渡って F i n 型 C M O S が S G O I 型 C M O S を下回っており、F i n 型 C M O S にすることにより遅延時間が低減できていることがわかる。これは、S G O I 型型が n 型、p 型共に引っ張り歪みをかけているために、電子のみ移動度が向上し、正孔の移動度があまり向上しないのに対し、F i n 型 C M O S では、n 型では引っ張り歪み、p 型では圧縮歪みをかけることができ、さらに Ge によるキャリアの散乱を回避できるために、

10

20

30

40

50

電子、正孔共に移動度が大幅に向上していることによる。

【0198】

第10実施形態では、絶縁膜3として、結晶性の金属酸化物 $Sr(Ti_{0.4}Zr_{0.57})O_x$ 、を例にして述べたが、結晶性の金属酸化物は $SrTiO_3$ 、 $SrZrO_3$ 、 $SrCeO_3$ などのペロブスカイト構造を持つ酸化物でも良い。さらに、 MgO 、 CaO 、 SrO 、 BaO などの岩塩構造を持つ酸化物、 Al_2O_3 やスピネル構造を持つ $MgAl_2O_4$ でも酸素組成比を減じることにより同等の効果が得られる。結晶性の金属酸化物の成膜方法として、MBE法を用いた場合を示しているが、成膜方法はCVD法、スパッタ法、電子ビーム蒸着法など他の成膜方法を用いてもよい。

【0199】

なお、結晶性の金属酸化物のなかで、希土類元素(Sc 、 Y 、 La 、 Ce 、 Pr 、 Nd 、 Pm 、 Sm 、 Eu 、 Gd 、 Tb 、 Dy 、 Ho 、 Er 、 Tm 、 Yb 、 Lu)の中から選ばれた、少なくとも1種類以上の元素を含む希土類酸化物を用いることがさらに好ましい。希土類酸化物は、成膜条件を制御することにより結晶性を高めることが容易であり、効果的にSiの面間隔を変化させうるからである。そのなかでも、 Ce 、 Dy 、 Y 、 La 、 Pr 、 Gd のいずれかを少なくとも含む酸化物を用いた場合には、高い結晶性をもつ膜が実現でき、特に高い効果が得られることを確認した。

【0200】

なお、第10実施形態においては、面方位は(001)、(111)、(110)のいずれでもよい。また、上記面方位から角度がずれていてもよい。

【0201】

さらに、第10実施形態において、チャネル層のSiをより効果的に歪ませるために、Si基板に埋設した結晶性の金属酸化物、または、チャネル層上部の結晶性の金属酸化物、さらにはゲート絶縁膜に含まれる結晶性の金属酸化物と、チャネル層との間に、岩塩構造の金属酸化物を挟むことも効果がある。その効果は、第4実施形態に詳述したものと同等であり、岩塩構造の金属酸化物を挟むことにより結晶性の酸化物との界面にアモルファスの SiO_2 層が形成されないため、金属酸化膜における面間隔の相違をより直接的にSiチャネル層に加えることである。用いる岩塩構造の酸化物の厚さは1~3原子層の範囲にあることが望ましい。 SrO 、 MgO などの物質は、空気中で不安定なため、これ以上厚さを増すと、経時的に結晶性が変化して特性が劣化する。一方、1原子層より薄い場合には、酸素の拡散を抑制する効果が得られずに、アモルファスの SiO_2 層が発生してしまうからである。岩塩構造の酸化物の中で、特に、 SrO 、 MgO 、 CaO 、 BaO の岩塩構造の金属酸化膜を用いた場合には、酸素拡散の抑制効果が顕著であり、トランジスタ特性の大幅な向上が可能である。Siに引っ張り応力を与えたい場合には、Siより面間隔の大きな岩塩構造の金属酸化物である BaO を用いることが望ましい。また、Siに圧縮応力を加えたい場合には、Siより面間隔の小さな岩塩構造の金属酸化物である SrO 、 MgO 、 CaO を用いることが望ましい。しかし、Si層における面間隔の変化は、主に厚さの大きい結晶性の金属酸化物で決まっているので、例えば、Siより面間隔の小さな SrO を挟んで、その上にSiより面間隔の大きな Pr_2O_3 を積層した構造では、チャネル領域におけるSiは引っ張り応力を受けるので、岩塩構造の金属酸化物と結晶性の金属酸化物は任意に組み合わせることも可能である。また、チャネル領域下部の絶縁膜に含まれる、Siと面間隔の異なる結晶質の金属酸化物と、チャネル領域上部の絶縁膜に含まれる、Siと面間隔の異なる結晶質の金属酸化物と、ゲート絶縁膜に含まれる、Siと面間隔の異なる結晶質の金属酸化物と、チャネル領域との界面の全てに岩塩構造の金属酸化物を挟む必要はなく、どれか1つでも効果が得られる。

【0202】

なお、第10実施形態において、絶縁膜6a、7が SiO_2 膜の場合について述べたが、絶縁膜6aおよび絶縁膜7のうち少なくとも一方が金属酸化膜であってもよい。

【0203】

以上説明したように、本発明の各実施形態によれば、チャネル領域に任意の量の歪みを導

10

20

30

40

50

入できる。このため、極薄膜SOI型トランジスタや旧Fin型トランジスタで見られる、下地絶縁膜から受ける圧縮歪によるキャリア移動度低下問題を解決でき、また、SiGeを用いた歪Siトランジスタではできなかった、p型MISFETでの大幅な移動度の向上が可能となる。さらに、局所的に絶縁膜の元素組成比を変調させるといった簡単な製法でチャンネル領域と基板を電氣的に接続できるため、これまでに提案されている旧Fin型トランジスタに比べて製造コストの低減が可能である。

【0204】

【発明の効果】

以上述べたように、本発明によれば、Fin型-MOSFETにおいて、トランジスタ特性の大幅な改善を図ることができる。

10

【図面の簡単な説明】

【図1】本発明の第1実施形態による電界効果トランジスタの構成を示す斜視図。

【図2】第1実施形態による電界効果トランジスタの構成を示す断面図。

【図3】第1実施形態による電界効果トランジスタの構成を示す断面図。

【図4】第1実施形態による電界効果トランジスタの製造方法の製造工程断面図。

【図5】第1実施形態による電界効果トランジスタの製造方法の製造工程断面図。

【図6】第1実施形態による電界効果トランジスタの製造方法の製造工程断面図。

【図7】第1実施形態による電界効果トランジスタの製造方法の製造工程断面図。

【図8】第1実施形態による電界効果トランジスタの製造方法の製造工程断面図。

【図9】第1実施形態による電界効果トランジスタの製造方法の製造工程断面図。

20

【図10】第1実施形態による電界効果トランジスタの $Pr_2O_3/SiO_2/Si$ 界面の断面を示す模式図。

【図11】第1実施形態による電界効果トランジスタの所定の位置における面間隔の変化を示す図。

【図12】第1実施形態及び比較例による電界効果トランジスタの、実効電界と電子移動度の関係を示す特性図。

【図13】第1実施形態及び比較例による電界効果トランジスタの、ゲート電圧と、チャンネル幅に対するドレイン電流の比との関係を示す特性図。

【図14】第2実施形態及び比較例による新Fin型電界効果トランジスタの、実効電界と正孔移動度の関係を示す特性図。

30

【図15】第3実施形態によるCe酸化物/Si界面の測定位置を示す図。

【図16】図15に示す測定位置における面間隔の変化値を示す図。

【図17】第3実施形態による電界効果トランジスタのCe酸化物の、金属と酸素の組成比と面間隔の関係を示す図。

【図18】第3実施形態による電界効果トランジスタのCe酸化物の、酸素が抜けて酸素欠損ができ、Ce酸化物の平均面間隔が大きくなることを示す模式図。

【図19】第3実施形態及び比較例による新Fin型電界効果トランジスタの、実効電界と電子移動度の関係を示す特性図。

【図20】第3実施形態及び比較例による新Fin型電界効果トランジスタの、実効電界と電子移動度の関係を示す特性図。

40

【図21】第4実施形態及び比較例による新Fin型電界効果トランジスタの、実効電界と正孔移動度の関係を示す特性図。

【図22】第5実施形態によるSi/SiO₂/La₂O₃/SiO₂/Si/SiO₂/La₂O₃界面の測定位置を示す図。

【図23】図22に示す測定位置における面間隔の変化値を示す図。

【図24】第5実施形態及び比較例による新Fin型電界効果トランジスタの、実効電界と電子移動度の関係を示す特性図。

【図25】第6実施形態及び比較例による新Fin型電界効果トランジスタの、実効電界と電子移動度の関係を示す特性図。

【図26】第7実施形態によるSi/SiO₂/La₂O₃/SiO₂/Si/SiO₂

50

界面の測定位置。

【図27】図26に示す測定位置における面間隔の変化値を示す図。

【図28】第7実施形態及び比較例による新Fin型電界効果トランジスタの、実効電界と電子移動度の関係を示す特性図。

【図29】第8実施形態によるSi/SiO₂/La₂O₃/SiO₂/Si/SiO₂/La₂O₃界面の測定位置を示す図。

【図30】図29に示す測定位置における面間隔の変化値を示す図。

【図31】第8実施形態及び比較例による新Fin型電界効果トランジスタの、実効電界と電子移動度の関係を示す図。

【図32】第8実施形態および比較例における閾値の関係を示す図。

10

【図33】本発明の第9実施形態による電界効果トランジスタの構成を示す斜視図。

【図34】本発明の第9実施形態による電界効果トランジスタのA-A断面図。

【図35】本発明の第9実施形態による電界効果トランジスタのB-B断面図。

【図36】第9実施形態による電界効果トランジスタの製造工程を示す断面図。

【図37】第9実施形態による電界効果トランジスタの製造工程を示す断面図。

【図38】第9実施形態による電界効果トランジスタの製造工程を示す断面図。

【図39】第9実施形態による電界効果トランジスタの製造工程を示す断面図。

【図40】第9実施形態による電界効果トランジスタの製造工程を示す断面図。

【図41】第9実施形態による電界効果トランジスタの製造工程を示す断面図。

【図42】第9実施形態による電界効果トランジスタの製造工程を示す断面図。

20

【図43】第9実施形態による電界効果トランジスタの製造工程を示す断面図。

【図44】第9実施形態による電界効果トランジスタのSr(Ti_{0.16}Zr_{0.84})O_xの、金属と酸素の組成比と面間隔の関係を示す図。

【図45】第9実施形態及び比較例による新Fin型電界効果トランジスタの実効電界と電子移動度の関係を示す図。

【図46】第9実施形態と比較例の、閾値シフト量を示す図。

【図47】本発明の第10実施形態による電界効果トランジスタの構成を示す斜視図。

【図48】本発明の第10実施形態による電界効果トランジスタのA-A断面図。

【図49】本発明の第10実施形態による電界効果トランジスタのB-B断面図。

【図50】第10実施形態による電界効果トランジスタの製造工程を示す断面図。

30

【図51】第10実施形態による電界効果トランジスタの製造工程を示す断面図。

【図52】第10実施形態による電界効果トランジスタの製造工程を示す断面図。

【図53】第10実施形態による電界効果トランジスタの製造工程を示す断面図。

【図54】第10実施形態による電界効果トランジスタの製造工程を示す断面図。

【図55】第10実施形態による電界効果トランジスタの製造工程を示す断面図。

【図56】第10実施形態による電界効果トランジスタの製造工程を示す断面図。

【図57】第10実施形態による電界効果トランジスタの製造工程を示す断面図。

【図58】第10実施形態による電界効果トランジスタの製造工程を示す断面図。

【図59】第10実施形態による電界効果トランジスタの製造工程を示す断面図。

【図60】第10実施形態による電界効果トランジスタのSr(Ti_{0.43}Zr_{0.57})O_xの、金属と酸素の組成比と面間隔の関係を示す図。

40

【図61】第10実施形態及び比較例による新Fin型電界効果トランジスタの、ドレイン電圧と遅延時間の関係を示す特性図。

【符号の説明】

1 a Si基板

1 b Si基板

2 中間層

3 絶縁膜(金属酸化膜)

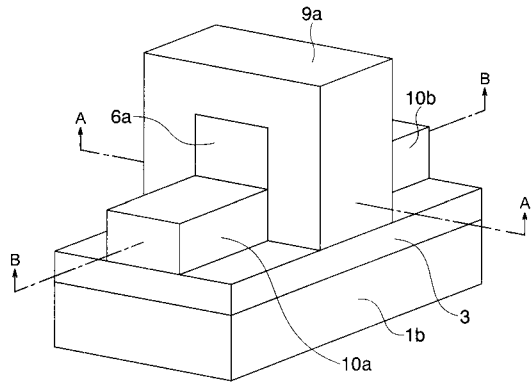
3 a 絶縁膜

4 導電性の領域

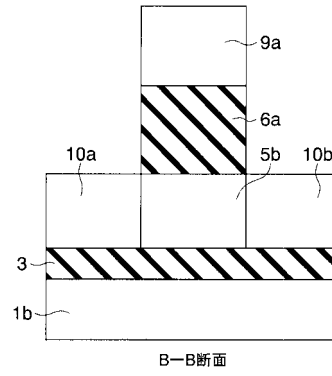
50

4 a	導電性の領域	
4 b	導電性の領域	
5	Si層	
5 a	Si層	
5 b	チャンネル領域(チャンネル層)	
5 c	チャンネル領域(チャンネル層)	
6	絶縁膜	
6 a	絶縁膜	
6 b	絶縁膜(金属酸化膜)	
6 c	絶縁膜(金属酸化膜)	10
7	ゲート絶縁膜	
7 a	ゲート絶縁膜(金属酸化膜)	
8	ポリシリコン膜	
9	ゲート電極	
10 a	ソース領域	
10 b	ドレイン領域	
11	SiO ₂ 膜	
12 a	ソース電極	
12 b	ドレイン電極	
12 c	ゲート接続部	20
13	素子分離領域SiO ₂ 膜	
14 a	ソース領域	
14 b	ドレイン領域	
15 a	ソース領域	
15 b	ドレイン領域	
16 a	ソース電極	
16 b	ドレイン電極	
16 c	ゲート接続部	
17 a	ソース電極	
17 b	ドレイン電極	30
17 c	ゲート接続部	

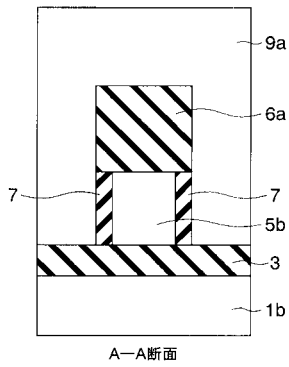
【 図 1 】



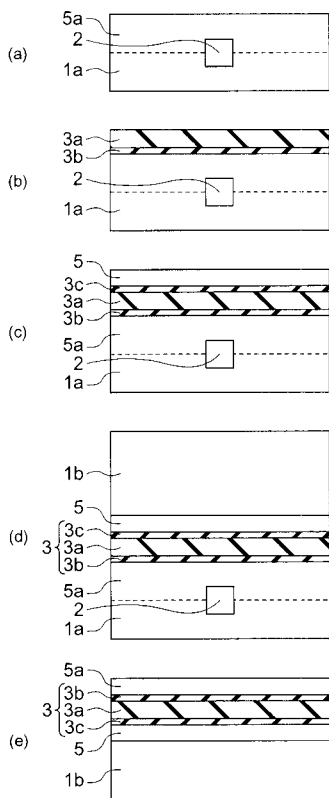
【 図 3 】



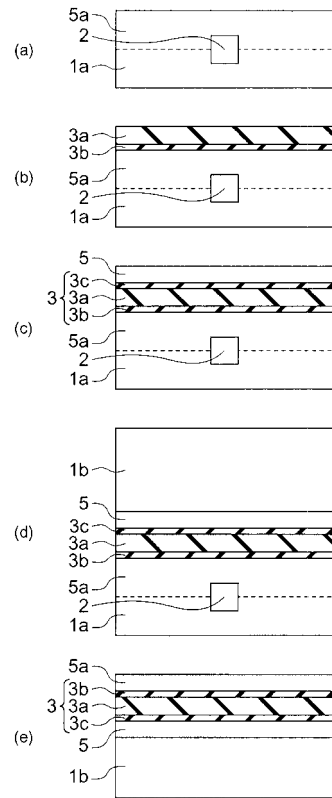
【 図 2 】



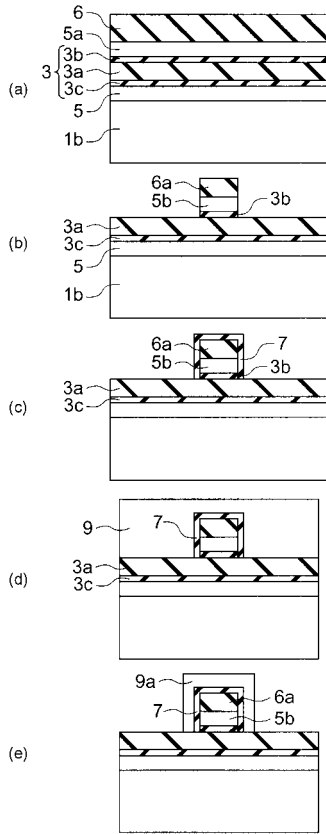
【 図 4 】



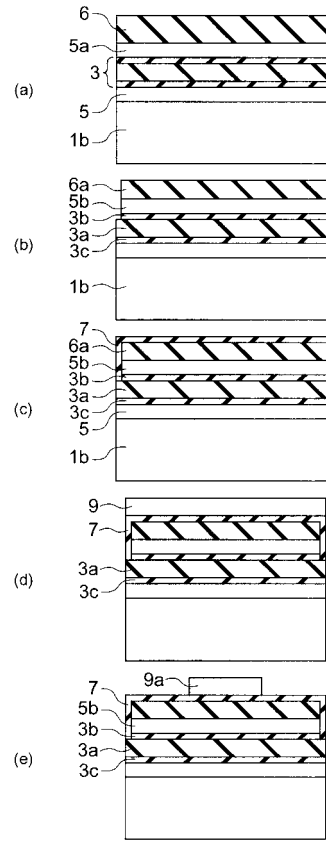
【 図 5 】



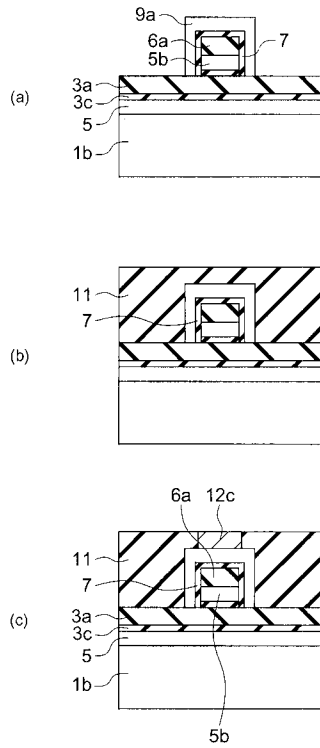
【 図 6 】



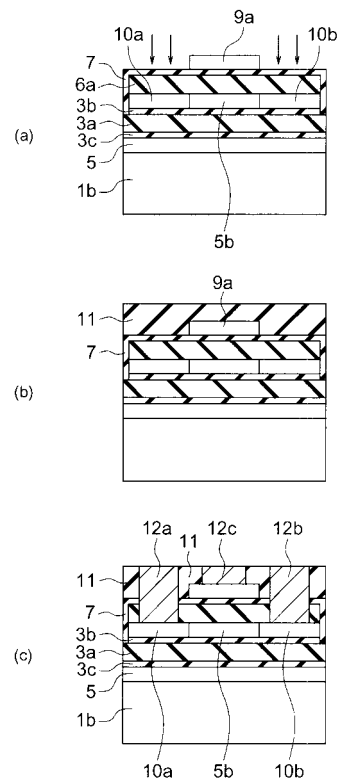
【 図 7 】



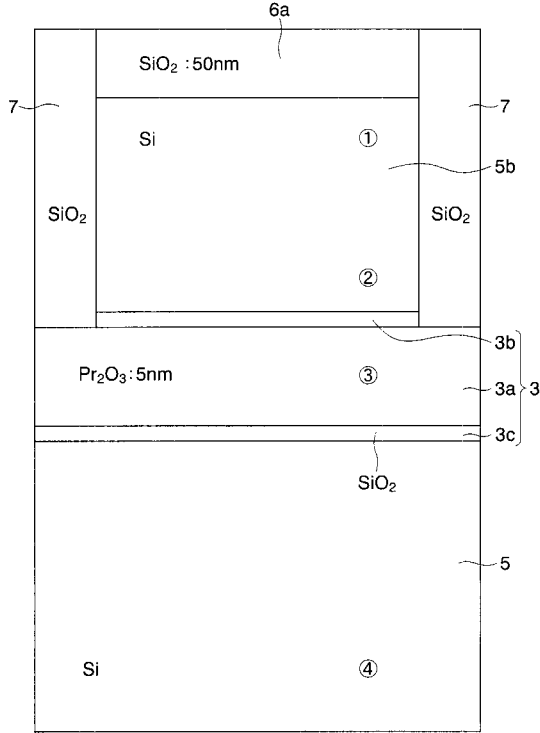
【 図 8 】



【 図 9 】

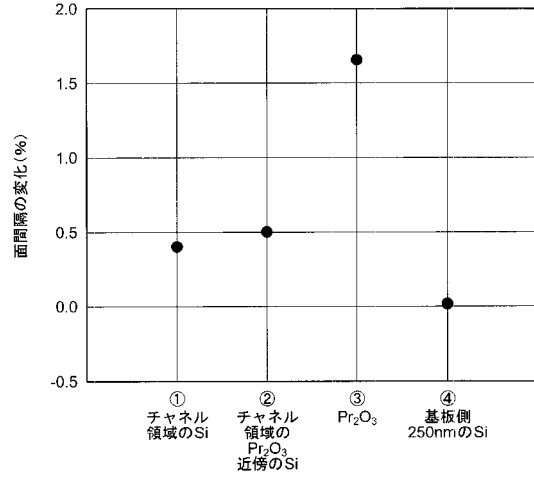


【図10】

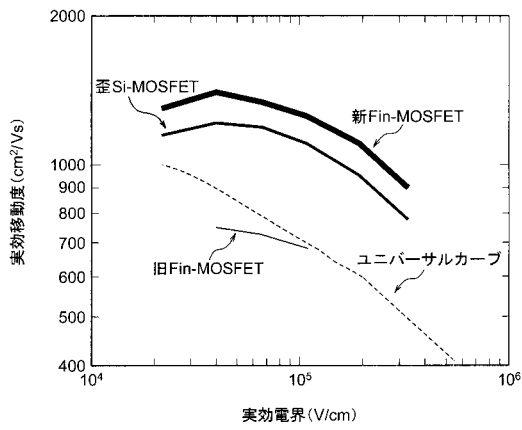


①～④：測定ポイント

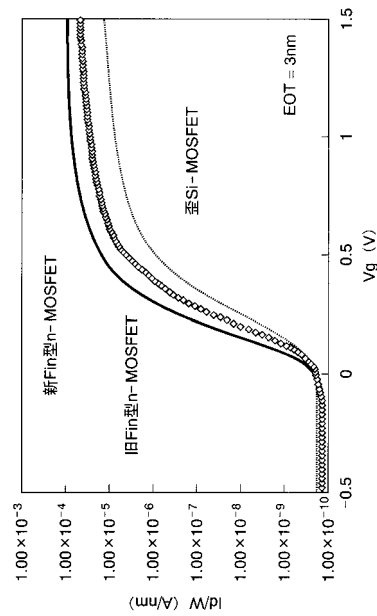
【図11】



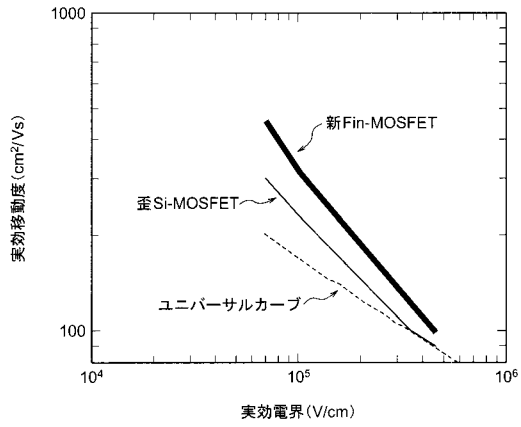
【図12】



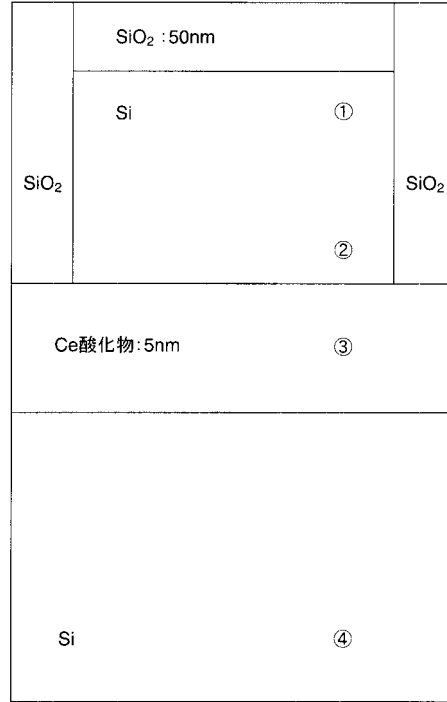
【図13】



【図14】

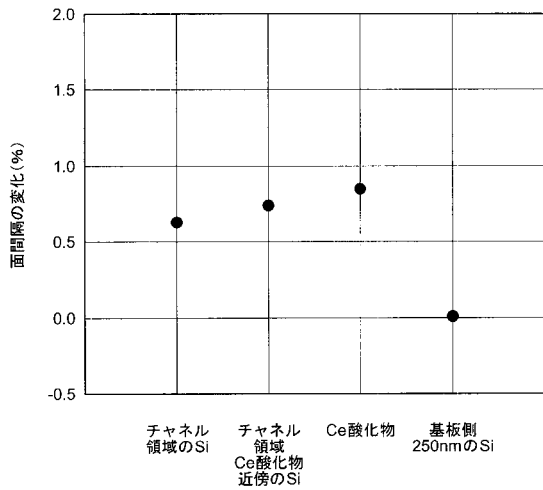


【図15】

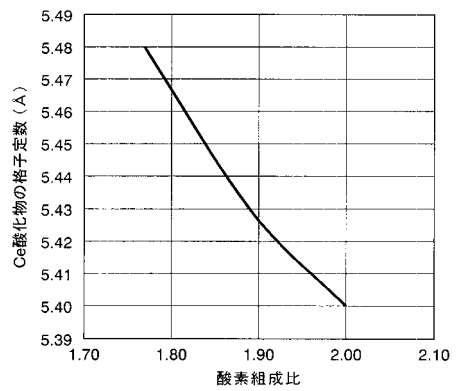


①~④ : 測定ポイント

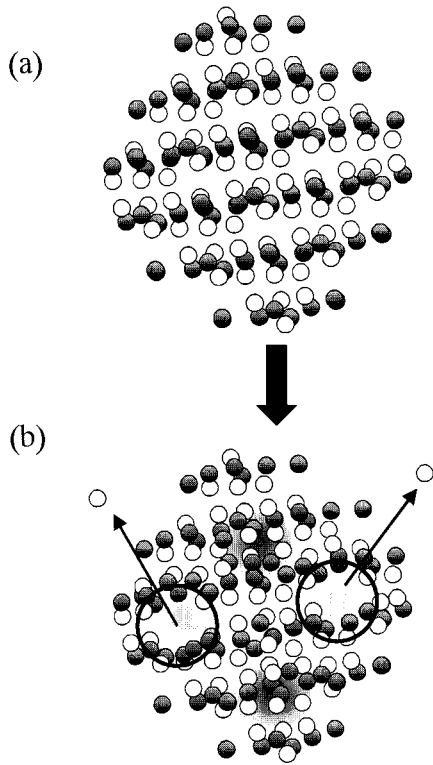
【図16】



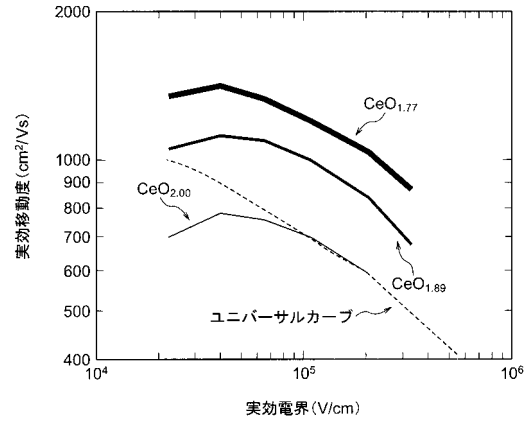
【図17】



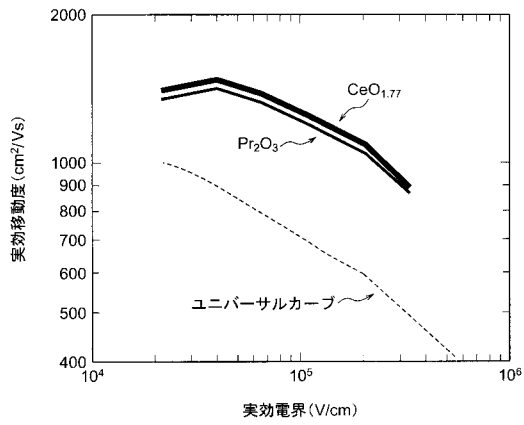
【 図 18 】



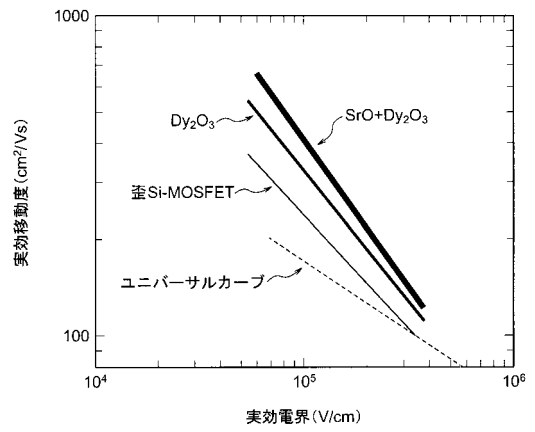
【 図 19 】



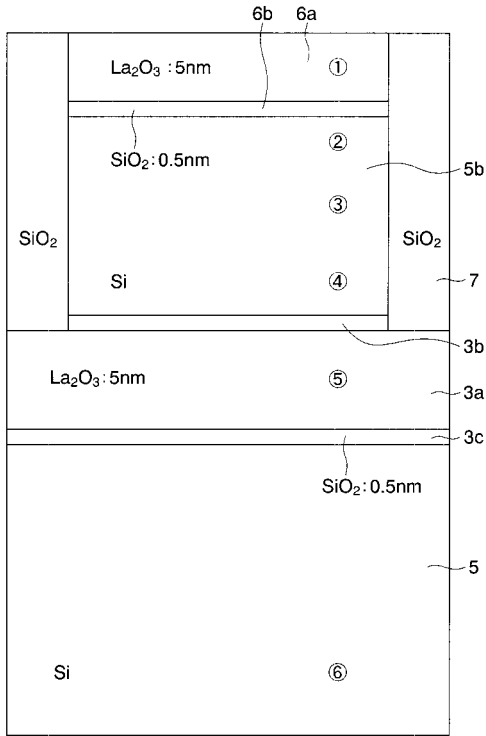
【 図 20 】



【 図 21 】

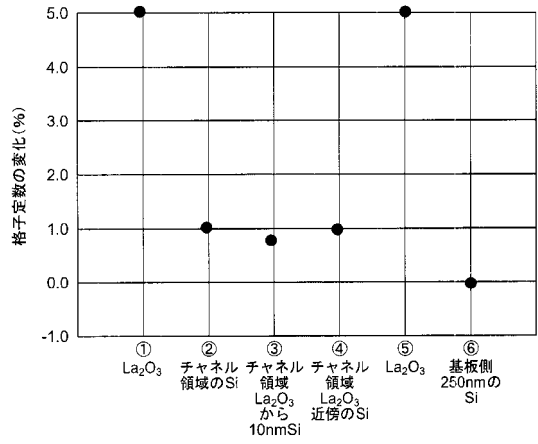


【図22】

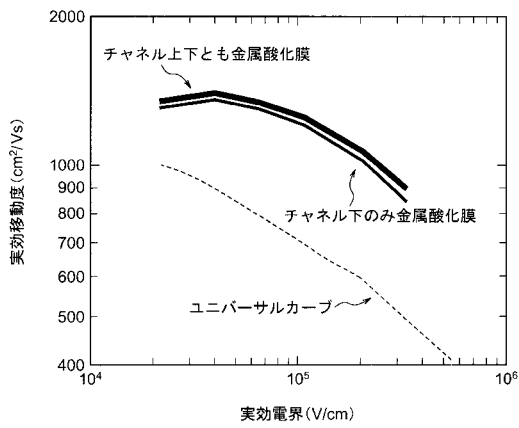


①~⑥ : 測定ポイント

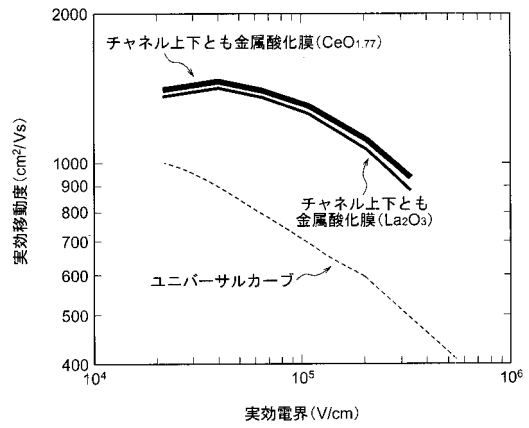
【図23】



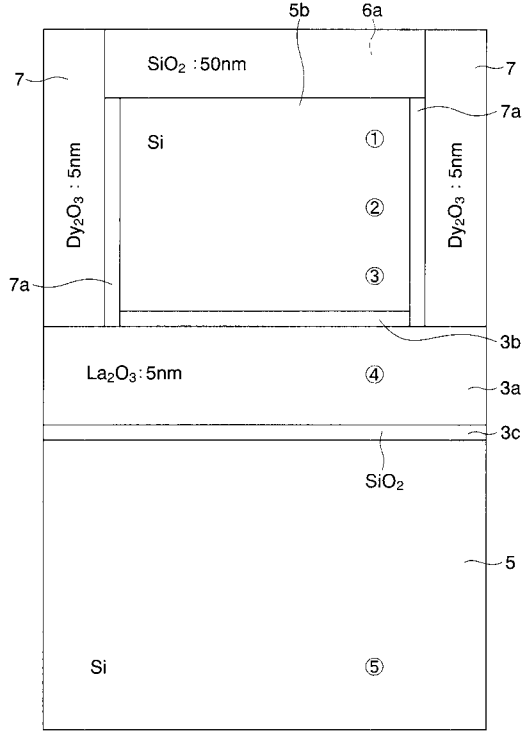
【図24】



【図25】

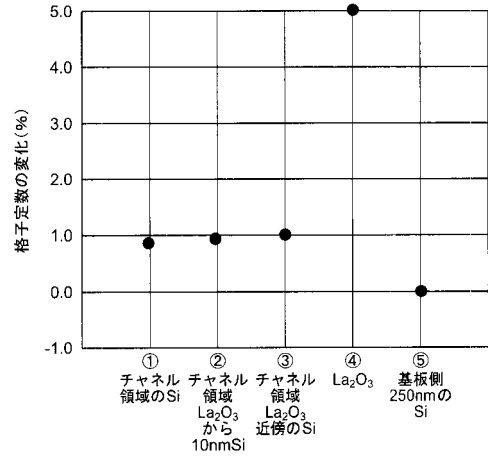


【図26】

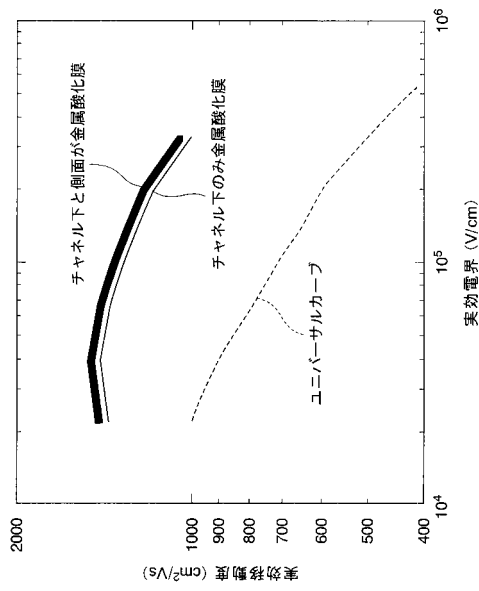


①～⑤：測定ポイント

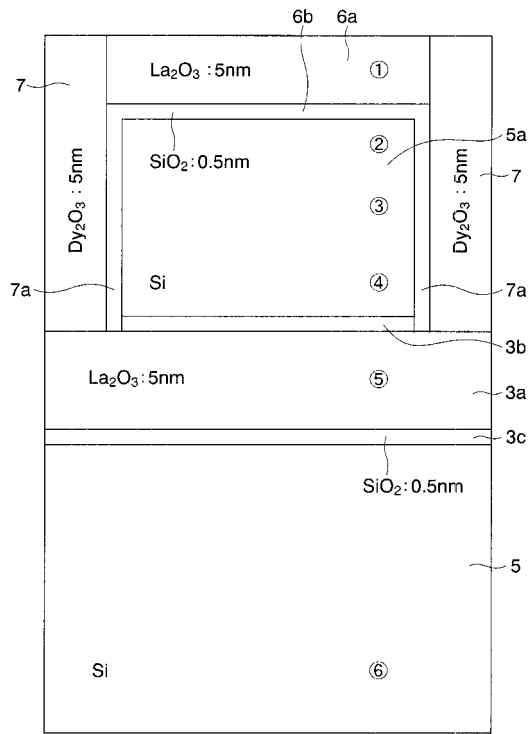
【図27】



【図28】

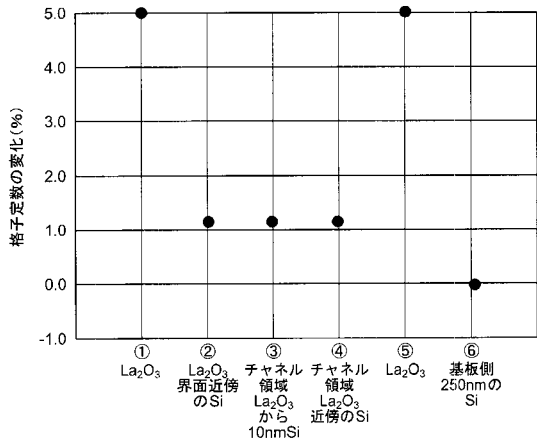


【図29】

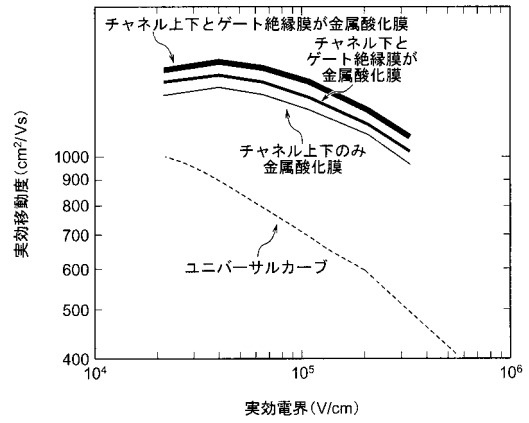


①～⑥：測定ポイント

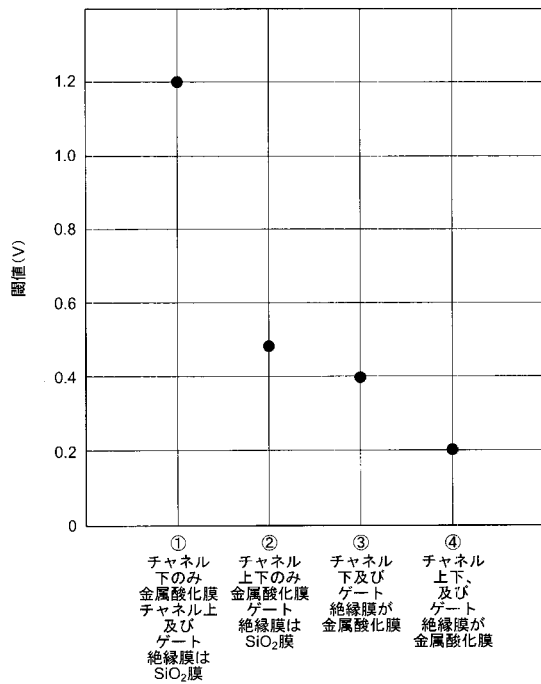
【図30】



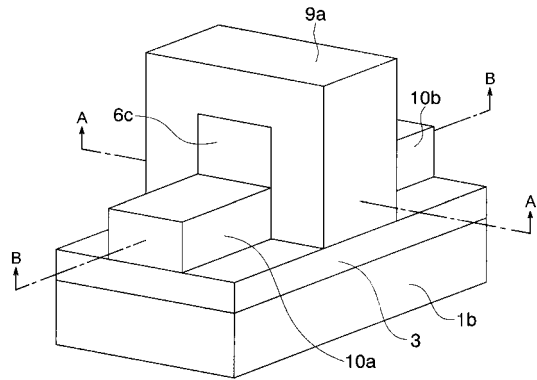
【図31】



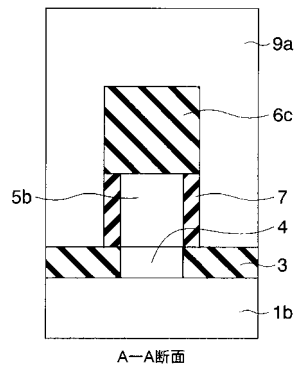
【図32】



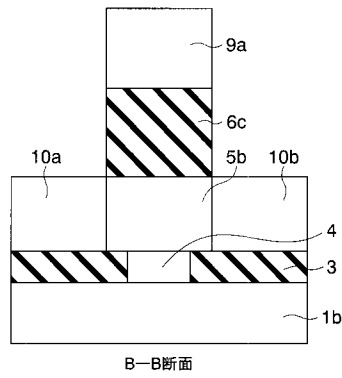
【図33】



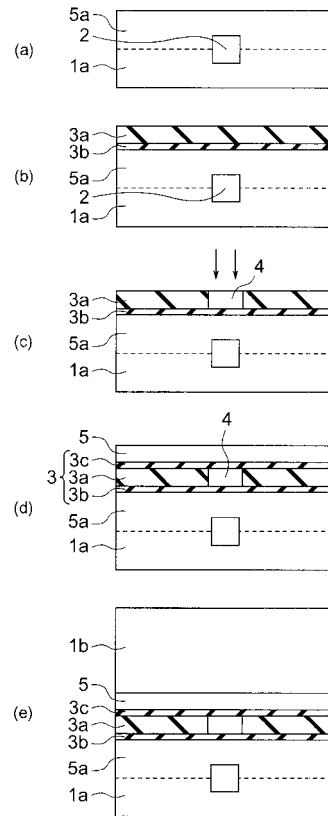
【図34】



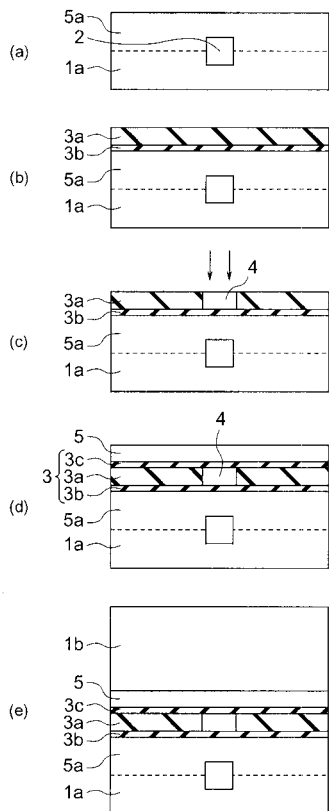
【 図 3 5 】



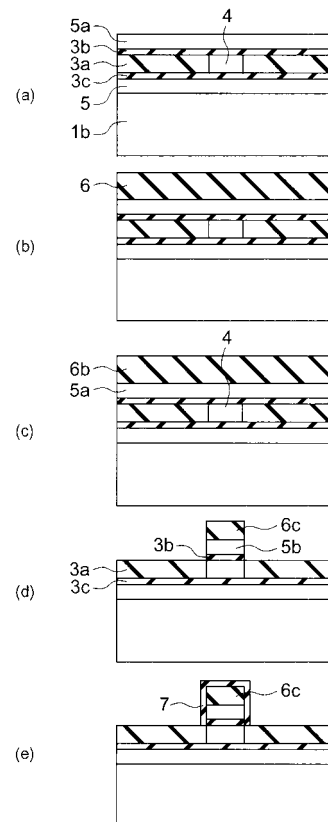
【 図 3 6 】



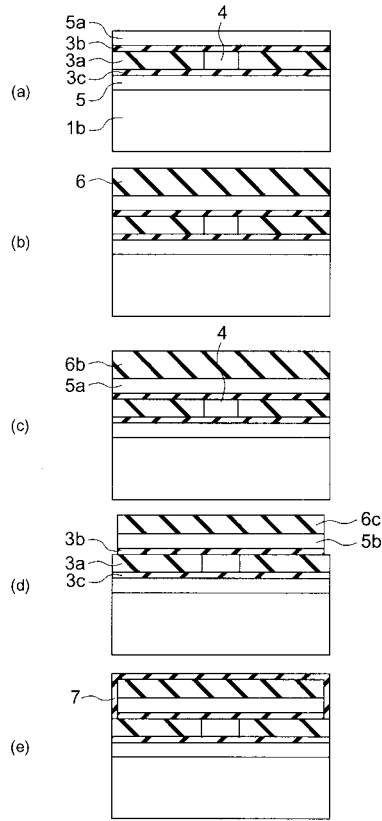
【 図 3 7 】



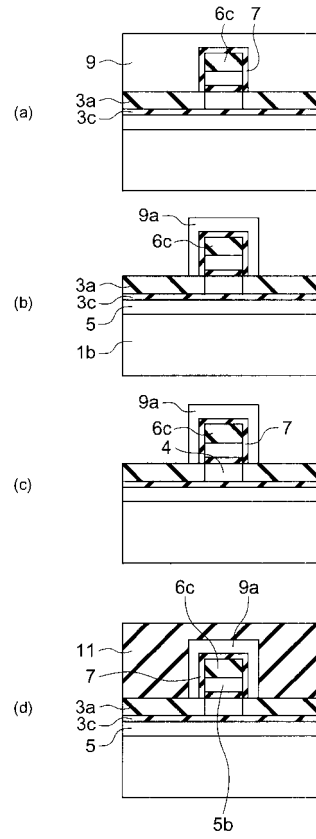
【 図 3 8 】



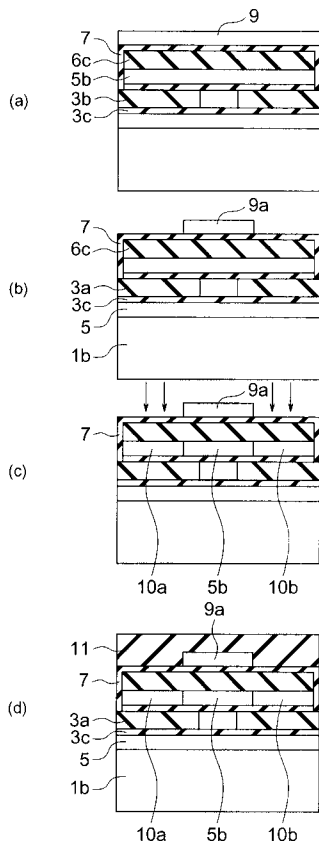
【 図 3 9 】



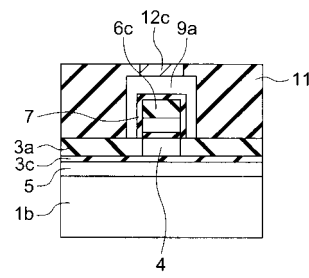
【 図 4 0 】



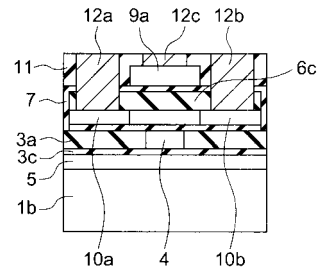
【 図 4 1 】



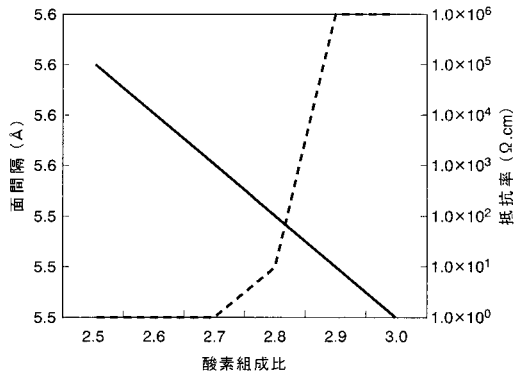
【 図 4 2 】



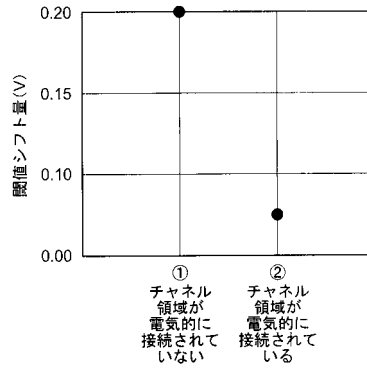
【 図 4 3 】



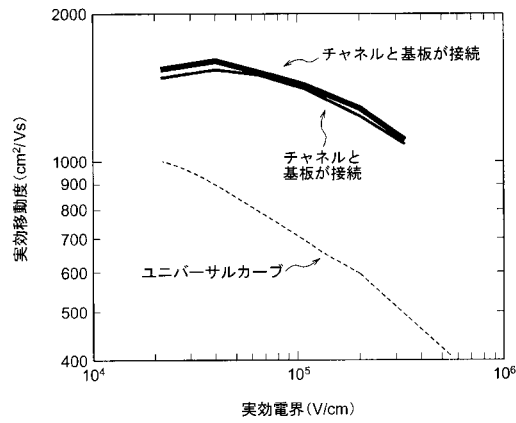
【図44】



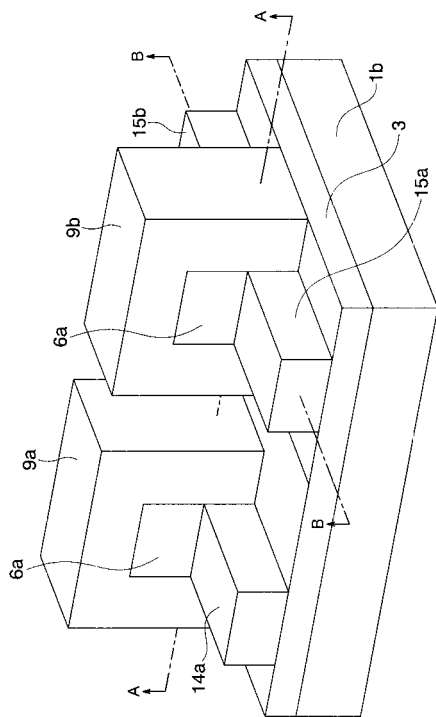
【図46】



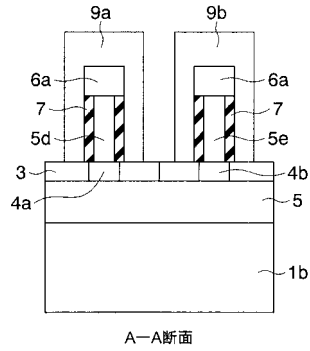
【図45】



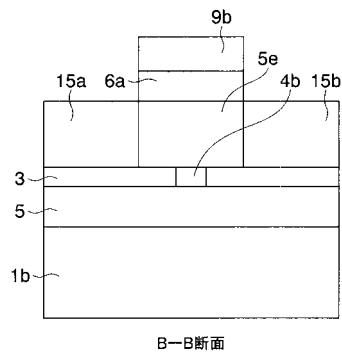
【図47】



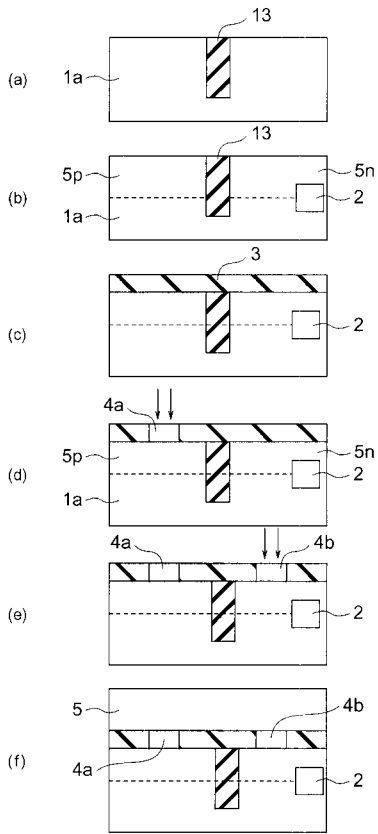
【図48】



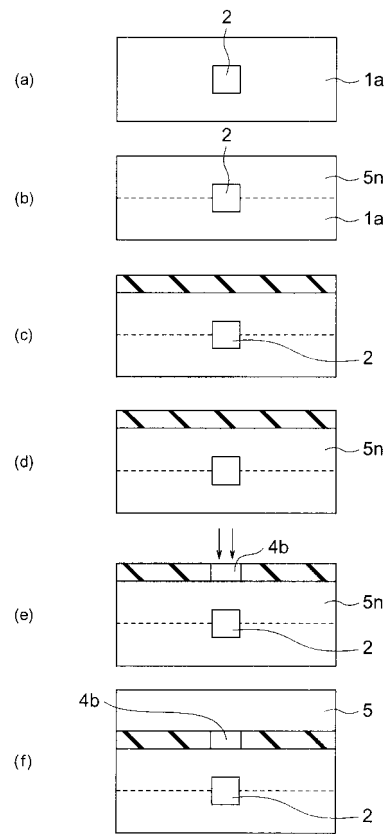
【図49】



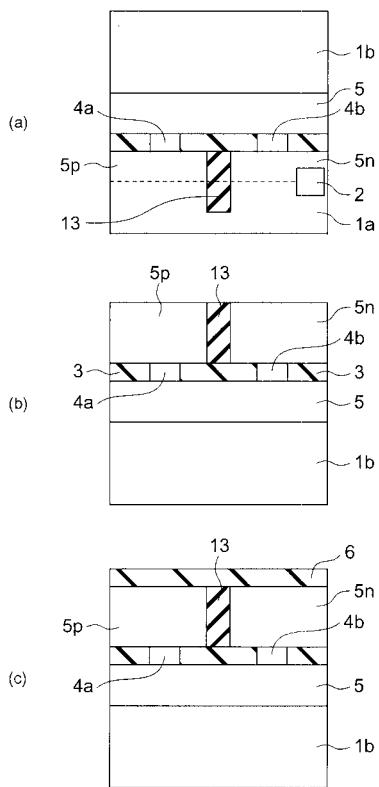
【 図 5 0 】



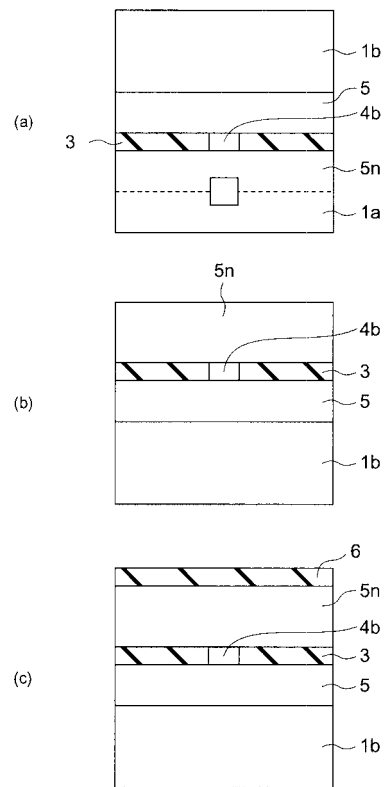
【 図 5 1 】



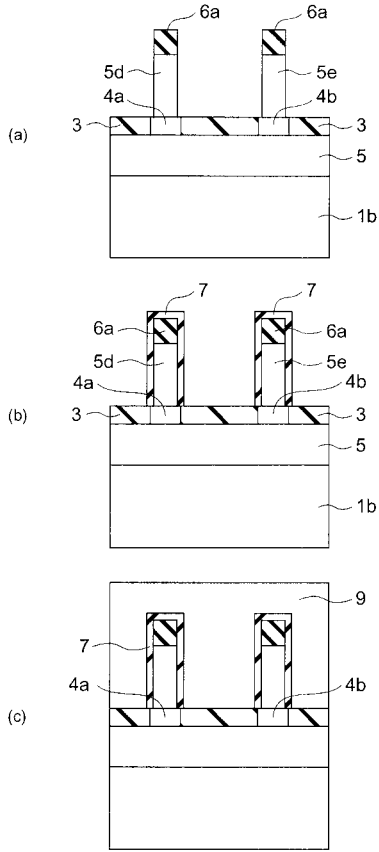
【 図 5 2 】



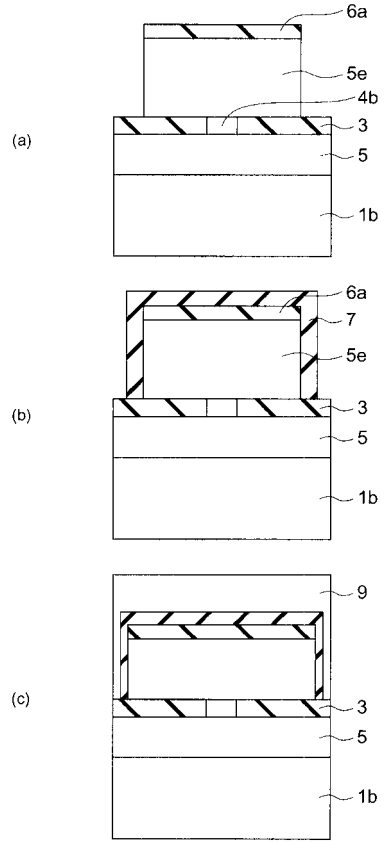
【 図 5 3 】



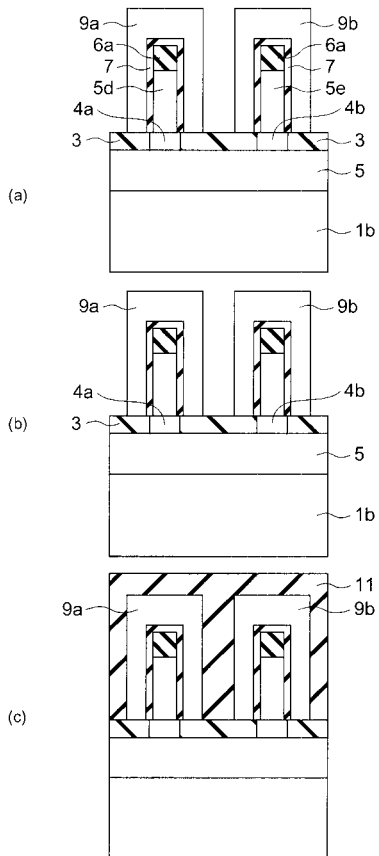
【 図 5 4 】



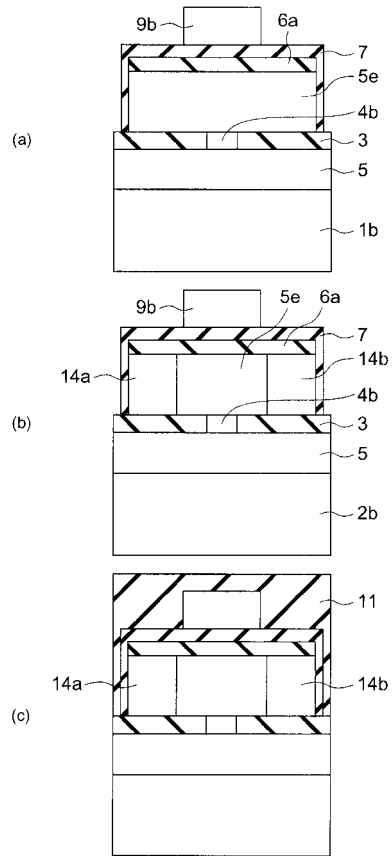
【 図 5 5 】



【 図 5 6 】



【 図 5 7 】



フロントページの続き

- (72)発明者 松 下 大 介
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 西 川 幸 江
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 佐 竹 秀 喜
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内
- (72)発明者 福 島 伸
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

審査官 綿引 隆

- (56)参考文献 特開平10-144607(JP,A)
特開2002-237579(JP,A)
米国特許出願公開第2003/0057491(US,A1)
特開2002-198538(JP,A)
特開2002-289871(JP,A)
特開2002-324905(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/20
H01L 21/205
H01L 21/336
H01L 21/84
H01L 27/12
H01L 29/786