



(21)申請案號：100133629

(22)申請日：中華民國 100 (2011) 年 09 月 19 日

(51)Int. Cl. : G06F9/30 (2006.01)

(30)優先權：2010/10/12 英國 1017177.5

(71)申請人：ARM股份有限公司(英國) ARM LIMITED (GB)
英國

(72)發明人：克拉斯克賽門約翰 CRASKE, SIMON JOHN (GB)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：23 項 圖式數：9 共 37 頁

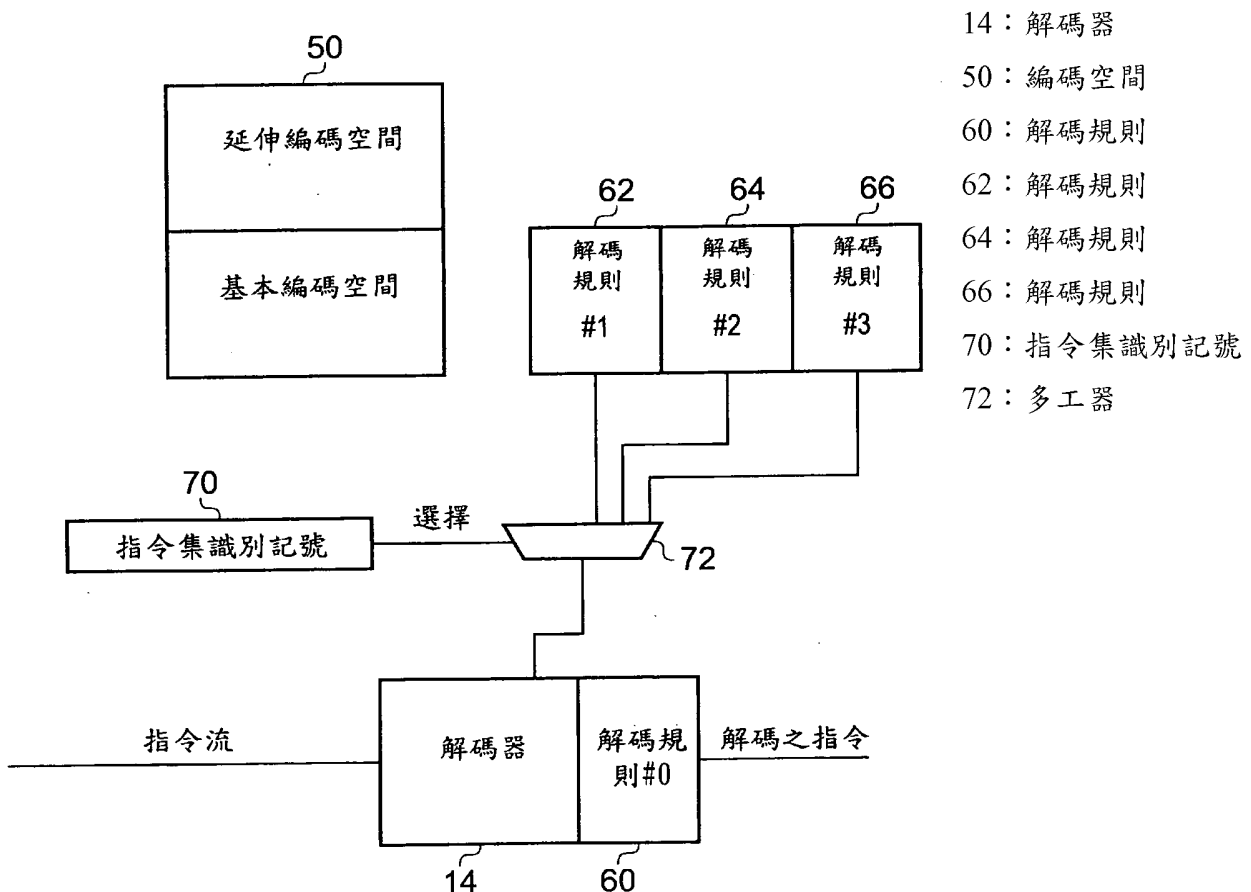
(54)名稱

來自多指令集的指令解碼

DECODING INSTRUCTIONS FROM MULTIPLE INSTRUCTION SETS

(57)摘要

本發明描述一種資料處理設備、方法以及電腦程式，可解碼源自不同指令集之指令。該方法包含接收指令；若所述指令之操作碼為源自基本指令集之指令的操作碼，則依據所述基本指令集之解碼規則解碼所述指令；而若所述指令之所述操作碼為源自至少一個進階指令集之指令的操作碼，則依據指示器數值所判定之解碼規則集合解碼所述指令，其中該指示器數值指示所述至少一個進階指令集之何者目前將被解碼。





(21)申請案號：100133629

(22)申請日：中華民國 100 (2011) 年 09 月 19 日

(51)Int. Cl. : G06F9/30 (2006.01)

(30)優先權：2010/10/12 英國 1017177.5

(71)申請人：ARM股份有限公司(英國) ARM LIMITED (GB)
英國

(72)發明人：克拉斯克賽門約翰 CRASKE, SIMON JOHN (GB)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：23 項 圖式數：9 共 37 頁

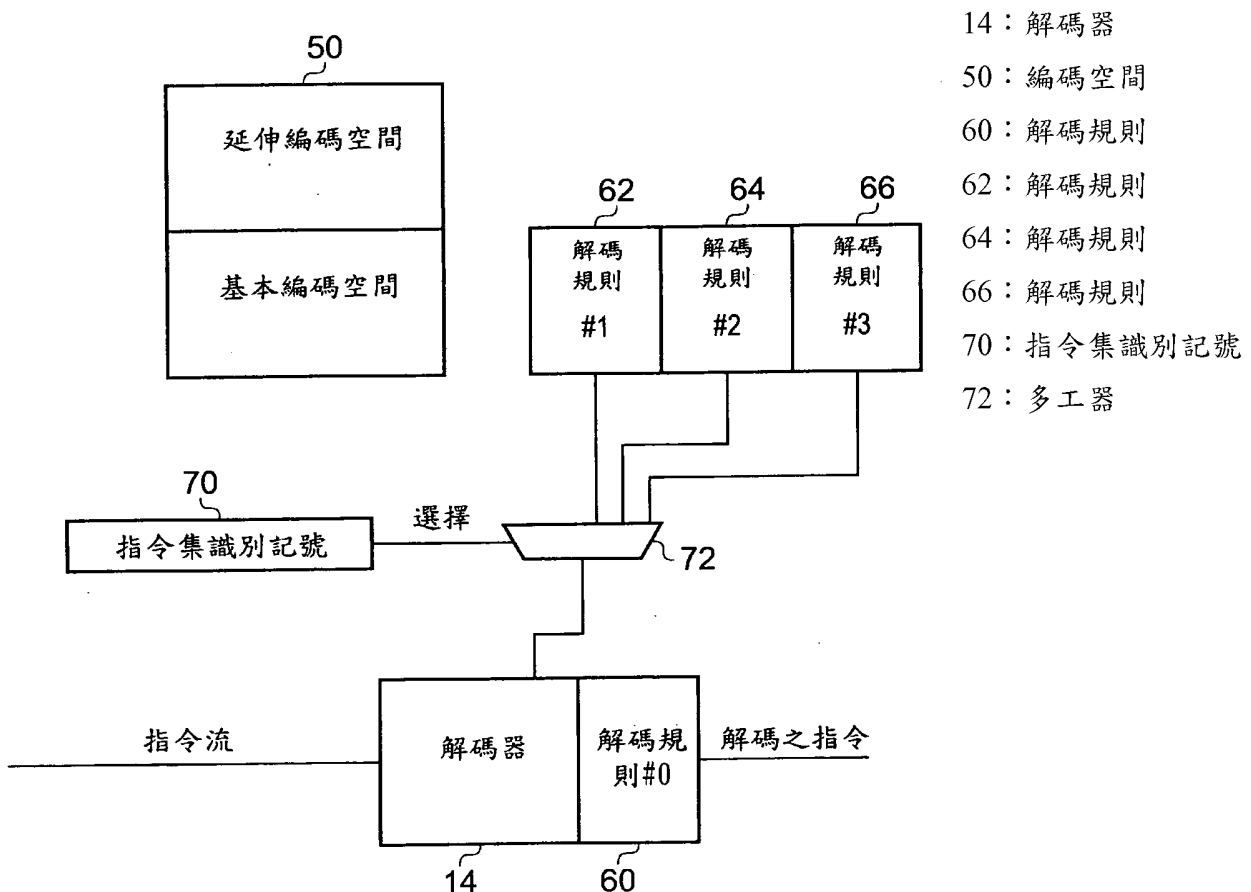
(54)名稱

來自多指令集的指令解碼

DECODING INSTRUCTIONS FROM MULTIPLE INSTRUCTION SETS

(57)摘要

本發明描述一種資料處理設備、方法以及電腦程式，可解碼源自不同指令集之指令。該方法包含接收指令；若所述指令之操作碼為源自基本指令集之指令的操作碼，則依據所述基本指令集之解碼規則解碼所述指令；而若所述指令之所述操作碼為源自至少一個進階指令集之指令的操作碼，則依據指示器數值所判定之解碼規則集合解碼所述指令，其中該指示器數值指示所述至少一個進階指令集之何者目前將被解碼。



六、發明說明：

【發明所屬之技術領域】

本發明係與資料處理領域有關，特別是解碼源自不同指令集之指令。

【先前技術】

目前已有可使用不同指令集之指令的處理器。舉例來說，英國劍橋的 ARM®為可使用 ARM 指令集以及 Thumb 指令集的處理器，其中 Thumb 指令寬度為 16 位元，而 ARM 指令寬度為 32 位元。為了使解碼器知道目前正在使用何指令集，在編碼指令時使用自由位元以指示該指令為 ARM 或 Thumb 指令。

在某些處理器架構中，有編碼集合明確定義該架構所支援之指令，而有自由編碼集合允許該架構之使用者定義自身指令。在提供編碼空間允許使用者定義自身指令的處理器架構中，使用一位元之指令編碼以指示特定指令集會產生一些自身問題。

因此希望能夠提供多種指令集，但不會不佳地增加該編碼空間，同時允許使用者能夠定義自身指令。

【發明內容】

從第一態樣觀之，本發明提供一種資料處理設備，包含：用於解碼指令之指令解碼器；以及用於回應所述指

令解碼器所解碼之指令而處理資料的處理器；所述指令解碼器被配置以解碼源自多個不同指令集的指令，所述指令集包含基本指令集以及至少一個進階指令集；所述基本指令集包含多個指令，其中每個指令包含用於單獨識別所述指令的預定操作碼，而所述至少一個進階指令集亦包含多個指令，其中每個指令包含用於在至少一個進階指令集中識別所述指令的操作碼；所述指令解碼器被配置以依據基本解碼規則集合而解碼指令，所述指令具有所述多個預定操作碼之一；以及所述指令解碼器被配置以依據指示器數值所決定之解碼規則集合解碼指令，其中所述指令具有所述至少一個進階指令集之所述操作碼之一，且其中所述指示器數值指示所述至少一個進階指令集之何者目前正將被解碼。

本發明瞭解最好能提供編碼空間讓使用者可定義自身之指令集，然而本發明亦瞭解最好具有總是可被解碼之基本指令集。

本發明藉由提供基本指令集以及至少一個進階指令集而解決這些相互矛盾的需求，其中指令解碼器依據基本規則集解碼所述基本指令集，而所述解碼器依據指示器數值所判定之規則集解碼所述進階指令集。

因此，藉由簡單地使用指示器數值，可提供數種由不同規則所解碼之不同指令集。此意指相同的編碼可被用於依據選擇之指令集定義不同的指令且為該指示器數值所指示。因此，該系統之使用者可定義自身之指令，所

述指令具有該指示器數值將觸發使用的解碼規則。

藉由提供基本指令集使得所述指令總是可被解碼，並且提供可於該指示器位元被適當設置時加以解碼之進階指令，本發明具有總是被定義之指令且可具有非常大量之進階指令的優點，但卻不會不當地增加該編碼空間。

在某些實施例中，配置前述指令解碼器以解碼至少兩個進階指令集，所述至少兩個進階指令集至少具有某些共同的操作碼。

若用於該進階指令集之編碼空間能被共用亦為有利的，如此用於不同指令集之指令的操作碼為相同的但映射至不同指令。此為該編碼空間之有效率使用，且意指藉由使用該指示器數值而可定義大量的不同指令。

在某些實施例中，所述資料處理設備包含狀態暫存器以供儲存所述指示器數值。

雖然該指示器數值可被儲存於許多地方，但在某些實施例中該指示器數值被儲存於狀態暫存器中。此為儲存該指示器數值的方便地方且允許該指示器數值可被簡單地設置與讀取。

在某些實施例中，所述指令解碼器係回應指令集更新指令以設置儲存於所述狀態暫存器中的所述指示器數值為所述指令中指定的數值，所述指令集更新指令為源自於所述基本指令集的指令。

該指示器數值可為指令集更新指令所更新。在此情形中，希望使用特定指令集的程式設計者可簡易地更新該

指示器數值以指示此指令集，隨後該解碼器將依據該指示器數值所指示之解碼規則在該進階指令集的解碼空間中解碼指令。當要求新的指令集時，該指令集更新指令被簡易地再次使用以改變該指示器數值，藉以指示該新要求的指令集。

在某些實施例中，配置所述處理器回應指示所述程式流將分支的分支指令以儲存返回位址以及前述指示器數值，因而在從所述分支返回時，可回復所述返回位址以及指示器數值。

當程式分支為子程式而此子程式可使用不同的進階指令集時可能會發生潛在問題。為了解決此問題，除了儲存該返回位址以指示該分支已完成後該程式應返回之次指令的位址之外，亦儲存該目前指示器數值，因而若該指示器數值於該子程式期間中被改變，則所述指示器數值可於該程式從該子程式返回時被重設為初始數值。

在某些實施例中，配置所述資料處理設備以於前述分支前重設所述指示器數值。

雖然該指示器數值可於分支中保持不變，但在某些實施例中配置該資料處理設備以於該分支前重設所述指示器數值。該子程式可能無法順利使用該進階指令集，因所述進階指令集於該程式分支時正被使用，因而在分支之前重設該指示器數值可為方便的。然而，使該指示器數值保持原來的狀態亦可能為方便的，因為該基本指令集仍然可被解碼，且若需要不同的進階指令集則無論如

何均將需要重設該指示器數值。

在某些實施例中，前述返回位址以及指示器數值被儲存於相同的連結暫存器中。

一種儲存該返回位址以及該指示器數值的方式為將返回位址以及指示器數值儲存於連結暫存器中。在本發明之實施例中，該連結暫存器足以儲存該指示器數值及該返回位址兩者，因而將此兩種數值儲存於容易存取的位置為有效的且有效率的方式。

在某些實施例中，所述連結暫存器的最高有效位元（most significant bits）儲存所述指示器數值，而較低有效位元（lower significant bits）儲存所述返回位址。

該連結暫存器的最高有效位元可不需要儲存該返回位址，因而可方便地被用於儲存該指示器數值。

在其他實施例中，所述返回位址以及指示器數值回應所述分支被儲存於堆疊中，而於從前述分支返回時從所述堆疊中讀回。

若實施例並未使用連結暫存器，則該返回位址及指示器數值可回應分支而被推出該堆疊。在此情形中，從該分支返回時將從該堆疊讀回所述返回位址及指示器數值。

在某些實施例中，所述指令解碼器回應所述指示器以及指令之接收以建立例外，其中該指示器指示所述至少一個進階指令集之一，而該指令具有操作碼，但於所述至少一個進階指令集中並無用於該操作碼的解碼規則。

可設置資料處理設備以截獲指示器數值，所述指示器數值指示不具有解碼規則之操作碼的指令集。在此情形中，例外被建立且處理設備隨後可判定為何該指令所指示之操作碼不具有解碼規則。

在某些實施例中，所述指令解碼器回應偵測所述指示器數值轉變為數值以建立例外，該數值指示進階指令集，對於該進階指令集所述指令解碼器不具有解碼規則。

替代地及/或額外地，可設置資料處理設備以判定指示器數值何時轉變為該指令解碼器不具有解碼規則的數值。在此情形中，例外被建立而該處理器再次判定此錯誤為何發生。

在某些實施例中，用於所述基本指令集中的指令的所述預定操作碼位於預定基本編碼空間中，而所述至少一個進階指令集的操作碼位於預定延伸編碼空間中。

基本指令集及進階指令集兩者的使用可被方便地編碼，該編碼係藉由對該基本指令集使用基本編碼空間，而進階編碼空間係用於編碼該多個進階指令集。在此方式中，來自該進階指令空間的任何操作碼可被用於指示特定指令，視該特定指令位於何指令集中而定。該特定指令所在之指令集係由該指示器數值所指示，而此指示器數值將觸發該解碼器使用適當的解碼規則集合。

在某些實施例中，多個不同的指示器數值識別所述至少一個進階指令集其中一者。

雖然在某些實施例中可具有單一指示器數值以識別指

令集，但在其他實施例中可具有數個不同的指示器數值。舉例來說，若處理器支援負位址，則由 2 所指示之指令集可方便地被 2 或 -2 所指示，視目前支援該負位址或正位址何者而定。

本發明之第二態樣提供一種由不同指令集解碼指令的方法，包含：接收指令；若所述指令之操作碼為來自基本指令集之指令的操作碼，則依據所述基本指令集之解碼規則解碼所述指令；以及若所述指令之所述操作碼為源自至少一個進階指令集之指令的操作碼，則依據指示器數值所判定之解碼規則集合解碼所述指令，其中所述指示器數值指示所述至少一個進階指令集之何者目前將被解碼。

本發明之第三態樣提供虛擬機器，所述虛擬機器係由資料處理設備上執行的電腦程式所提供，且所述虛擬機器依據本發明之第一態樣之資料處理設備提供指令執行環境。

本發明之第四態樣提供電腦程式產品，所述電腦程式產品包含指令集更新指令，所述指令集更新指令於資料處理器上執行時會控制所述資料處理器於狀態暫存器中將指示器數值設置為所述指令集更新指令所指示之數值；所述資料處理器之解碼器依據基本解碼規則集合解碼具有指示源自基本指令集之指令之操作碼的指令，且所述解碼器依據所述指示器數值所判定之解碼規則集合解碼具有指示源自進階指令集之指令之操作碼的指令。

本發明之第五態樣提供一種處理資料之裝置，該裝置包含：用於解碼指令之指令解碼裝置；以及處理裝置，回應指令解碼裝置所解碼之指令而處理資料；所述指令解碼裝置係用於解碼源自多個不同指令集之指令；所述指令集包括基本指令集以及至少一個進階指令集；所述基本指令集包含多個指令，其中每個指令包含用以獨特地識別所述指令的預定操作碼，而所述至少一個進階指令集包含多個指令，其中每個指令包含用於識別所述至少一個進階指令集中的所述指令的操作碼；所述指令解碼裝置係用於依據基本解碼規則集合而解碼具有所述多個預定操作碼之一的指令；並且所述指令解碼裝置係用於依據指示器數值所判定之解碼規則集合而解碼具有所述至少一個進階指令集之所述操作碼之一的指令，其中該指示器數值係指示所述至少一個進階指令集之何者目前正在被解碼。

本發明之前述以及其他目標、特徵及優點將由以下實施方式中有關說明性實施例之詳細描述，並伴隨閱讀附加圖示而明瞭。

【實施方式】

第 1 圖顯示資料處理設備 10，具有處理器 12。具有指令之程式被儲存於資料儲存 20 中且該些指令為提取單元 16 所提取並傳送至解碼器 14。解碼器 14 解碼該指令

並且傳送該解碼之指令至處理器 12 以供執行。

在此實施例中，配置該解碼器 14 以依據基本解碼規則集合解碼來自基本指令集之指令，以及解碼來自多個進階指令集之一之指令，後述之解碼係依據特定於該些特定指令集之解碼規則。因此，解碼器 14 會存取指令集指示器數值 ISASEL，該數值係儲存於暫存器庫 30 中的狀態暫存器 32 中且解碼器 14 會存取與不同指示器數值相關之多個解碼規則。該指示器數值指示何進階指令集目前正將被解碼器 14 解碼，而該解碼器回應此數值選擇適於該進階指令集編碼空間中的指令的解碼規則並相應解碼之。

資料處理設備 10 亦包含堆疊 40，該處理器使用該堆疊以於分支時儲存返回位址以及指示器數值，此將參照後面圖示於下文描述之。

第 2 圖概要地顯示依據本發明之實施例的解碼器 14。用於該指令之編碼的編碼空間係概要地由方塊 50 所顯示。此說明有基本編碼空間用於該基本指令集之操作碼，並且有延伸編碼空間用於該進階指令集之操作碼。因此，每個進階指令集對於操作碼可使用該完整延伸編碼空間。

上述可能之前提在於何指令集目前正被解碼的指示被提供給該解碼器，因而任何位於該延伸編碼空間中的指令可依據該正確規則加以解碼。

上述被概要地顯示於第 2 圖中，其中解碼器 14 中存有

該基本解碼規則 60。該等解碼規則解碼該基本編碼空間中的編碼，且該解碼器總是可存取這些解碼規則。

關於在該延伸編碼空間中的編碼的其他解碼規則被概要地說明於該圖中的 62、64 及 66。解碼器 14 可透過多工器 72 存取這些解碼規則。多工器 72 回應第 1 圖之狀態暫存器 32 中儲存之指令集識別記號或指示器數值 70 而選擇解碼器 14 使用之解碼規則集合。此識別記號指示何特定指令集目前正被使用，以及對於位在該延伸編碼空間中的任何指令應使用何編碼規則。因此，大量的不同指令可在相對小的延伸編碼空間中被編碼，且若該指示器數值被適當設置，則該些指令可被解碼器 14 解碼。再者，解碼器 14 總是可解碼任何源自該基本指令集的指令。

第 3 圖概要地顯示本發明實施例的資料處理設備 10 的一部分。在此圖中，可看出該指令集指示器數值 ISASEL 位於狀態暫存器 70 中，而處理器 12 可回應指令集更新指令而設置此數值。因此，回應指令集更新指令，此指令所指示之數值被寫入至該狀態暫存器 70 中。此數值隨後被解碼器 14 使用以選擇位於該延伸編碼空間中的指令的解碼規則，此數值指示指令從屬的進階指令集。

暫存器庫 30 亦包括分支連結暫存器 72，所述分支連結暫存器 72 被用於在程式流分支時儲存目前的指令集指示器數值以及返回位址。當程式分支時，該程式必須要能夠回到原始的程式流，因而返回位址總是被儲存。

然而，由於在本發明之實施例中不同的指令集可被解碼，在該程式分支時儲存該目前指令集指示器數值是重要的，因而當該程式返回到原始的程式流時，該解碼器可使用正確的解碼規則。因此，除了儲存該返回位址外，亦儲存該指令集指示器數值。由於該分支連結暫存器的尺寸以及該些位址之尺寸，在該分支連結暫存器中具有足夠的空間以同時儲存該返回位址以及該指示器數值較為方便。

應注意到在本實施例中僅有單一支連結暫存器 72，因而若該程式再次分支時，則該暫存器中的資料被寫入至堆疊 40 中，而該分支連結暫存器隨後被覆寫在該分支當時的次返回位址以及該指令集指示器數值。

第 4 圖顯示資料處理設備 10 的一部分，並顯示不被該處理器所支援的指令集指示器數值 ISASEL 如何可被偵測並建立陷阱。因此，在此實施例中，回應指令集更新指令，該處理器 12 傳送該新的 ISASEL 數值至暫存器 72 以更新該儲存的數值。此新的數值傳送至比較器 90 且與儲存於儲存 80 中的 ISASEL 數值集合相比較。儲存 80 儲存所有可能的指令集數值，因而若比較未產生符合，該比較器 90 會傳送無符合信號且此情形將建立例外。若產生符合，則該比較器 90 傳送該指示器數值至暫存器 72，且用於該 ISASEL 之新數值會被設置。

第 5 圖概要地顯示正被執行中的指令流，所述指令流包括分支指令。因此，在此實施例中，在功能 2 具有分

支，故該連結暫存器儲存該返回位址，且該目前指令集指示器在此情形中為 0 以指示目前不支援進階指令集。該分支跳至之子程式隨後被執行，且此子程式設置該指令集指示器數值為 3，藉以指示所述子程式希望使用之指令係源自指示器數值 3 所指定之進階指令集。該指令集隨後再次分支，該連結暫存器於此時被更新以儲存此分支之返回位址，而該數值為 3 的指示器指示該指令集指示器數值於該程式返回該指令流之此部份時應被重設回 3。應注意到在此實施例中僅有單一連結暫存器，因此先前被儲存於該連結暫存器中的數值在此連結暫存器被覆寫該新數值之前會被推送至該堆疊。

已被跳至的該子程式隨後被執行，且此子程式包括指令集更新指令，所述指令集更新指令指示被指定為 4 的該進階指令集將被使用。因此，該指令集指示器數值被設為 4，回應此子程式末尾的返回指令，來自該連結暫存器的數值被載入至關於該返回位址之程式計數器中以及關於該指示器數值的狀態暫存器中，該指示器數值在此情形中為 3。

第 6 圖概要地顯示不具有分支連結暫存器之處理設備中的分支子程式。在此情形中，該原始指令流已設置該指令集指示器數值為 3，因而回應該分支指令，此指示器數值伴隨該返回位址被推送至該堆疊。在從該子程式返回時，該指示器數值被從該堆疊中取出並被儲存於該狀態暫存器 70 中，而該返回位址被儲存於該程式計數器

中。

第 7 圖顯示流程圖，說明本發明實施例之一種解碼指令的方法。於解碼器接收指令，且該解碼器由該指令之操作碼判斷該指令是否係源自於基本指令集。若該指令係源自於該基本指令集，則該解碼器依據該基本指令集解碼規則解碼該指令。若該指令並非源自於該基本指令集，則該指令必定源自於進階指令集，故該解碼器讀取該狀態暫存器中的指示器數值以判斷此指令係源自於何進階指令集。隨後該解碼器依據此指示器數值所指示之解碼規則解碼該指令。

第 8 圖指出本發明之實施例中一種在處理指令時執行的方法的步驟。一開始，指令集更新指令被接收，且回應此指令設置該指示器數值。回應此指示器數值，依據該指示器所識別之解碼規則解碼源自該進階指令集編碼空間的指令。

分支指令隨後被接收，且該目前指示器數值以及返回位址被儲存。隨後跳至該分支所指示之指令且執行後續指令。這些指令包括更新該指示器數值之指令，因而該指示器數值被更新。當指示從該分支返回時，該指示器數值從該儲存數值回復為該分支之前的數值，而該返回位址亦從該儲存擷取並用以重設該程式計數器。

第 9 圖說明可被使用的虛擬機器實施。雖然前述實施本發明的實施例係與操作支援相關技術之特定處理硬體的設備及方法有關，但亦可提供所謂的硬體裝置虛擬機

器實施。這些虛擬機器實施在主機處理器 530 上執行，所述主機處理器 530 運行主機作業系統 520，所述主機作業系統支援虛擬機器程式 510。典型地，需要大型高速處理器以提供虛擬機器實施在合理速度下執行，但此方式在某些情形中可被正當化，例如當為了相容性或再使用原因而希望執行隸屬於另一處理器的程式碼時。該虛擬機器程式 510 提供應用程式介面至應用程式 500，所述應用程式介面係與可被真實硬體所提供之應用程式介面相同，所述真實硬體為該虛擬機器程式 510 所模擬之裝置。因此，該程式指令，包括前述記憶體存取之控制，可使用該虛擬機器程式 510 於該應用程式 500 中加以執行，藉以模擬所述程式指令與該虛擬機器硬體之間的互動。

雖然本發明之說明性實施例已參照附加圖示而詳細描述如上，但應瞭解本發明並不限於該些確切的實施例，反之該技術領域中熟習此技藝者可於其中加以各種變化及修改，而不會偏離本發明由以下申請專利範圍所定義之範圍與精神。

【圖式簡單說明】

第 1 圖說明本發明之實施例的資料處理設備；

第 2 圖概要地說明本發明之實施例的指令解碼器以及

該指令解碼器使用的解碼；

第 3 圖概要地說明本發明之實施例的處理器解碼器及暫存器；

第 4 圖概要地說明如何回應無效的指令集指示器數值而建立例外；

第 5 圖概要地說明包括分支指令的指令流；

第 6 圖概要地說明包括分支之指令流的執行，其中該返回位址以及數值被推送至堆疊；

第 7 圖說明流程圖，說明本發明之實施例之一種解碼指令的方法的步驟；

第 8 圖概要地說明本發明之實施例之指令流的解碼及執行，其中所述指令流包括分支指令；及

第 9 圖說明本發明之實施例的虛擬機器實施。

【主要元件符號說明】

10 資料處理設備

12 處理器

14 解碼器

16 提取單元

20 資料儲存

30 暫存器庫

32 狀態暫存器

50 編碼空間

60, 62, 64, 66 解碼規則

70 指示器數值

72 多工器

80 儲存

90 比較器

500 應用程式

510 虛擬機器程式

520 主機作業系統

530 主機處理器

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：100133629

※申請日期：2011年9月19日

※IPC分類：

G06F9/30 2006.01

一、發明名稱：(中文/英文)

來自多指令集的指令解碼/DECODING INSTRUCTIONS FROM MULTIPLE INSTRUCTION SETS

二、中文發明摘要：

本發明描述一種資料處理設備、方法以及電腦程式，可解碼源自不同指令集之指令。該方法包含接收指令；若所述指令之操作碼為源自基本指令集之指令的操作碼，則依據所述基本指令集之解碼規則解碼所述指令；而若所述指令之所述操作碼為源自至少一個進階指令集之指令的操作碼，則依據指示器數值所判定之解碼規則集合解碼所述指令，其中該指示器數值指示所述至少一個進階指令集之何者目前將被解碼。

三、英文發明摘要：

A data processing apparatus, method and computer program are described that are capable of decoding instructions from different instruction sets. The method comprising: receiving an instruction; if an operation code of said instruction is an operation code of an instruction from a base set of instructions decoding said instruction according to decode rules for said base set of instructions; and if said operation code of said instruction is an operation code of an instruction from at least one further set of instructions decoding said instruction according to a set of decode rules determined by an indicator value indicating which of said at least one further set of instructions is currently to be decoded.

七、申請專利範圍：

1. 一種資料處理設備，包含：

用於解碼指令的一指令解碼器；及

一處理器，回應一指令解碼器所解碼之指令而處理資料；

所述指令解碼器係設置用於解碼源自多個不同指令集的指令，所述指令集包括一基本指令集以及至少一個進階指令集：

所述基本指令集包含多個指令，每個指令包含一預定操作碼以供單獨地識別所述指令，而所述至少一個進階指令集包含多個指令，每個指令包含一操作碼以供識別位於所述至少一個進階指令集中的所述指令；

所述指令解碼器係設置用於依據一基本解碼規則集合解碼一指令，該指令具有所述多個預定操作碼其中之一；以及

用於依據一指示器數值所判定之一解碼規則集合解碼一指令，該指令具有所述至少一個進階指令集之所述操作碼其中之一，而該指示器數值指示所述至少一個進階指令集之何者目前將被解碼。

2. 如請求項第 1 項所述之資料處理設備，其中所述指令解碼器係設置用於解碼至少二個進階指令集，所述至

少二個進階指令集至少具有某些共同的操作碼。

3. 如請求項第 1 項所述之資料處理設備，其中所述資料處理設備包含一狀態暫存器以供儲存所述指示器數值。
4. 如請求項第 3 項所述之資料處理設備，其中所述指令解碼器回應一指令集更新指令以設置儲存於所述狀態暫存器中的所述指示器數值為所述指令中指定的一數值，所述指令集更新指令為源自所述基本指令集的一指令。
5. 如請求項第 1 項所述之資料處理設備，其中所述處理器係設置用於回應一分支指令以儲存一返回位址以及所述指示器數值，其中該分支指令指示所述程式流將要分支，因而從所述分支返回時所述返回位址以及指示器數值可被回復。
6. 如請求項第 5 項所述之資料處理設備，其中所述資料處理設備係設置用於在所述分支前重設所述指示器數值。
7. 如請求項第 5 項所述之資料處理設備，其中所述返回位址以及指示器數值被儲存於相同的連結暫存器中。

8. 如請求項第 7 項所述之資料處理設備，其中所述連結暫存器的所述更高有效位元儲存所述指示器數值，而所述較低有效位元儲存所述返回位址。
9. 如請求項第 7 項所述之資料處理設備，其中所述返回位址以及指示器數值回應所述分支被儲存至一堆疊，而於從前述分支返回時被從所述堆疊讀出。
10. 如請求項第 1 項所述之資料處理設備，其中指令解碼器回應所述指示器以及一指令之接收而建立一例外，其中所述指示器指示所述至少一個進階指令集其中之一，而所述指令具有一操作碼，在所述至少一個進階指令集中不具有用於該操作碼的解碼規則。
11. 如請求項第 1 項所述之資料處理設備，所述指令解碼器回應偵測所述指示器數值轉換為一數值而建立一例外，其中該數值指示所述指令解碼器不具有用於一進階指令集的解碼規則。
12. 如請求項第 1 項所述之資料處理設備，其中用於所述基本指令集中的指令的所述預定操作碼位於一預定基本編碼空間中，而所述至少一個進階指令集的所述操作碼位於一預定延伸編碼空間中。

13. 如請求項第 1 項所述之資料處理設備，其中多個不同的指示器數值識別至少一個進階指令集的其中一者。

14. 一種解碼源自不同指令集之指令的方法，包含：

接收一指令；

若所述指令之一操作碼為源自一基本指令集之一指令之一操作碼，則依據用於所述基本指令集之解碼規則解碼所述指令；及

若所述指令之所述操作碼為源自至少一個進階指令集之一指令之一操作碼，則依據一指示器數值所判定之一解碼規則集合解碼所述指令，其中所述指示器數值指示所述至少一個進階指令集之何者目前將被解碼。

15. 一種依據請求項第 14 項所述之解碼源自不同指令集之指令以及處理前述解碼之指令的方法，包含回應一指令集更新指令的接收而執行以下步驟：

依據用於所述基本指令集之解碼規則而解碼所述指令；

回應所述解碼之指令集更新指令而設置所述狀態暫存器中的所述指示器數值為所述解碼指令所指示之一數值。

16. 如請求項第 14 項所述之方法，其中回應指示所述程式流即將分支之一分支指令的接收：
- 儲存一返回位址以及所述指示器之一目前數值，因而從所述分支返回時可回復所述返回位址以及指示器數值。
17. 如請求項第 16 項所述之方法，其中所述儲存所述返回位址及指示器數值的步驟包含儲存所述數值於一相同的連結暫存器中。
18. 如請求項第 16 項所述之方法，其中所述儲存所述返回位址及指示器數值的步驟包含儲存所述數值至一堆疊，以及回應從分支指令一返回而從所述堆疊讀取所述數值。
19. 如請求項第 14 項所述之方法，包括回應所述指示器以及一指令之接收而建立一例外的步驟，其中所述指示器指示所述至少一個進階指令集其中之一，而所述指令具有一操作碼，在所述至少一個進階指令集中不具有用於該操作碼的解碼規則。
20. 如請求項第 14 項所述之方法，包括回應偵測所述指示器數值轉換為一數值而建立一例外的步驟，其中該數值指示所述指令解碼器不具有用於該進階指令集

的解碼規則。

21. 一種虛擬機器，所述虛擬機器由在一資料處理設備上執行的一電腦程式所提供，所述虛擬機器依據請求項第 1 項主張之資料處理設備提供一指令執行環境。

22. 一種電腦程式產品，包含一指令集更新指令以及所述資料處理器之一解碼器，所述指令集更新指令在一資料處理器上執行時可控制所述資料處理器以設置一狀態暫存器中的一指示器數值為所述指令集更新指令所指示之一數值；所述解碼器依據一基本解碼規則集合解碼指令，所述指令具有操作碼指示所述指令源自於一基本指令集，所述解碼器另依據所述指示器數值所判定之一解碼規則集合解碼指令，所述指令具有操作碼指示所述指令源自於一進階指令集。

23. 一種處理資料的裝置，包含：

用於解碼指令的一指令解碼裝置；及

一處理裝置，回應一指令解碼裝置所解碼之指令而處理資料；

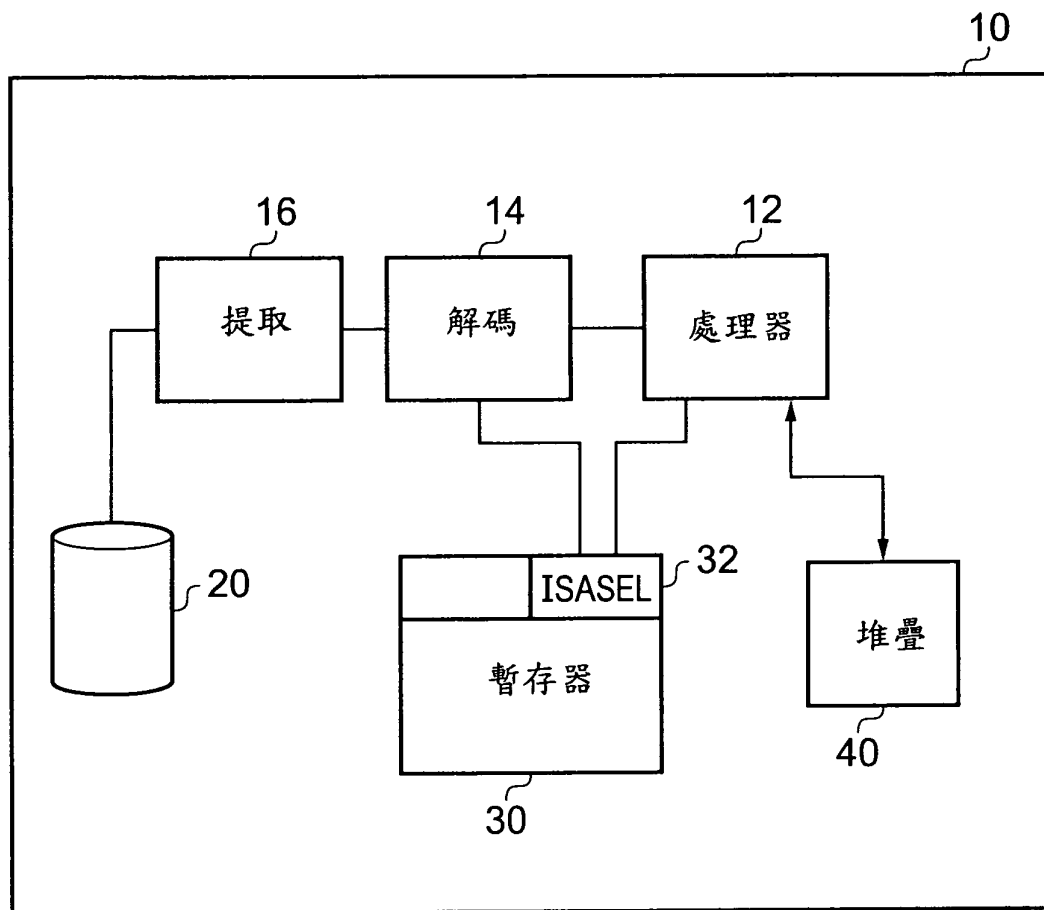
所述指令解碼裝置係用於解碼源自多個不同指令集之指令，所述指令集包括一基本指令集以及至少一個進階指令集；

所述基本指令集包含多個指令，每個指令包含一

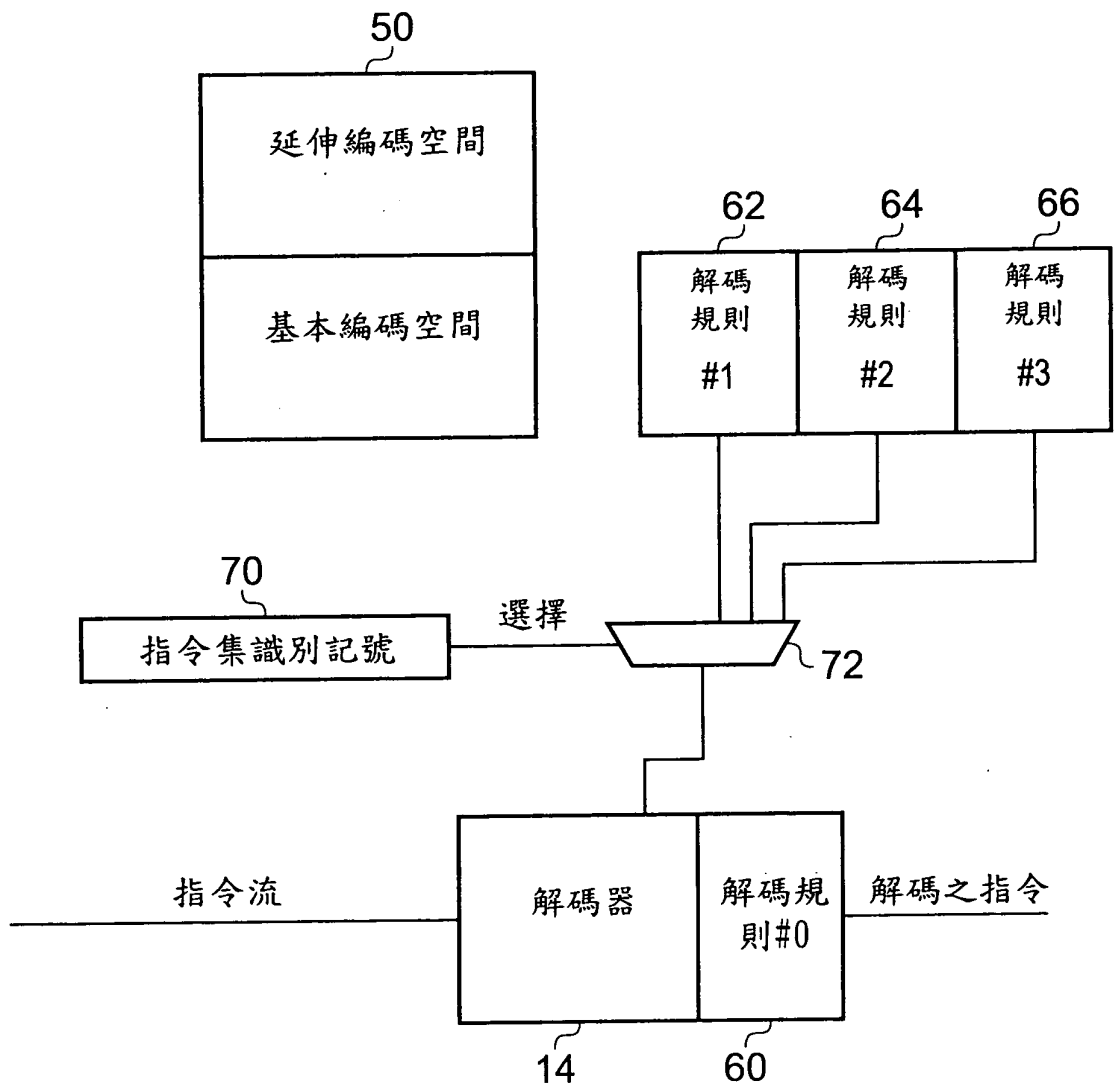
預定操作碼以供單獨地識別所述指令，而所述至少一個進階指令集包含多個指令，每個指令包含一操作碼以供識別位於所述至少一個進階指令集中的所述指令；

所述指令解碼裝置係用於依據一基本解碼規則集合解碼一指令，該指令具有所述多個預定操作碼其中之一；以及

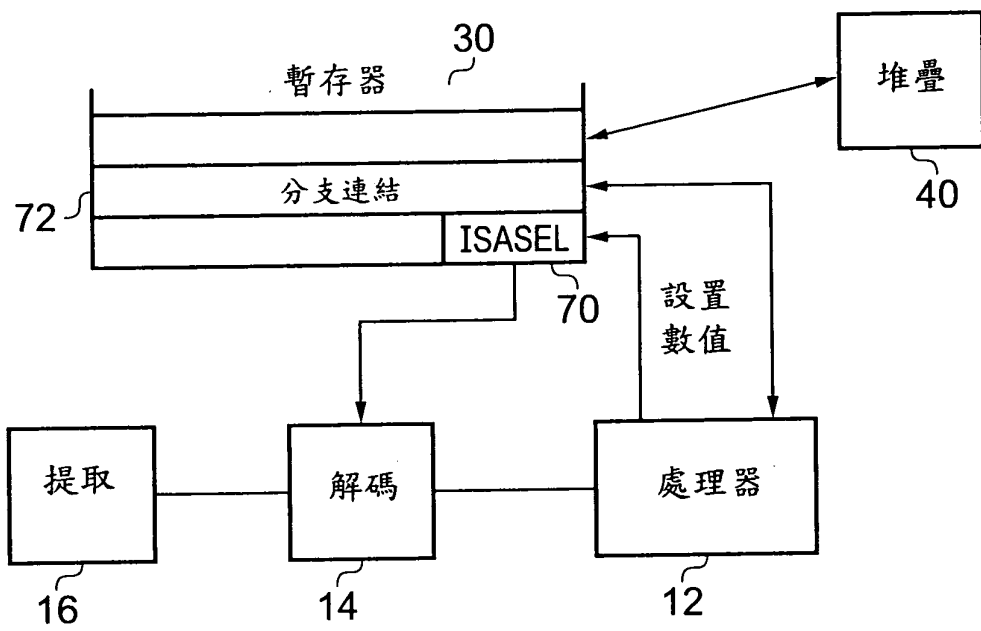
用於依據一指示器數值所判定之一解碼規則集合解碼指令，該指令具有所述至少一個進階指令集之所述操作碼其中之一，而該指示器數值指示所述至少一個進階指令集之何者目前將被解碼。



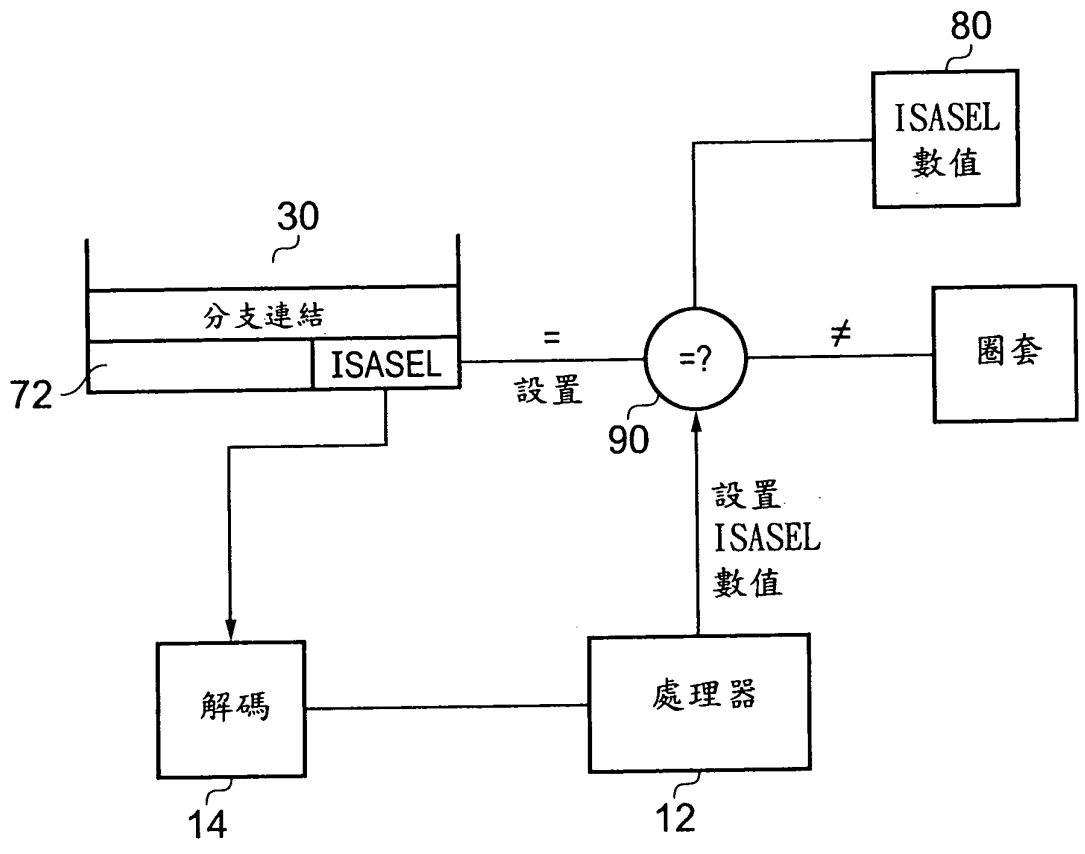
第1圖



第2圖



第3圖



第4圖

Func 1: ADD
SUB
BL Func2 < LR.MSB = ISA0, ISASEL=0>

ISA #0	返回位址
--------	------

連結
暫存器

Func 2 ISA#3<ISASEL=3>

BL FUNC3

ISA #3	返回位址
--------	------

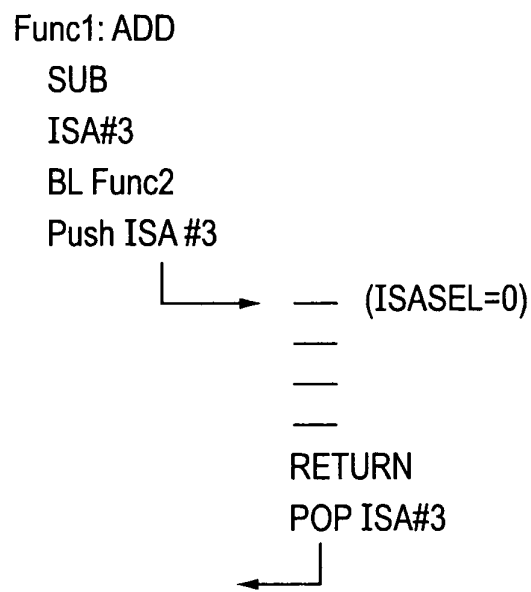
連結
暫存器

Func3 ADD<ISASEL=0>

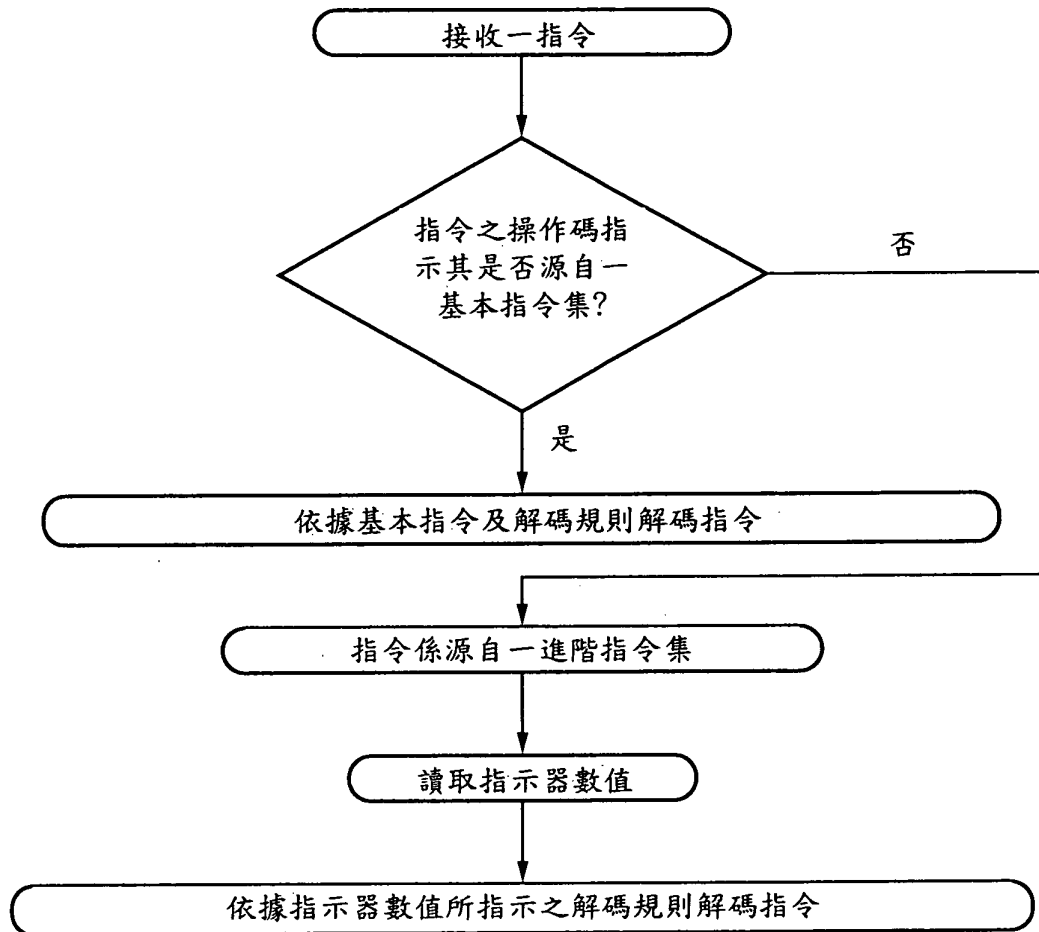
ISA#4<ISASEL=4>

RET <ISASEL=LR.MSB>

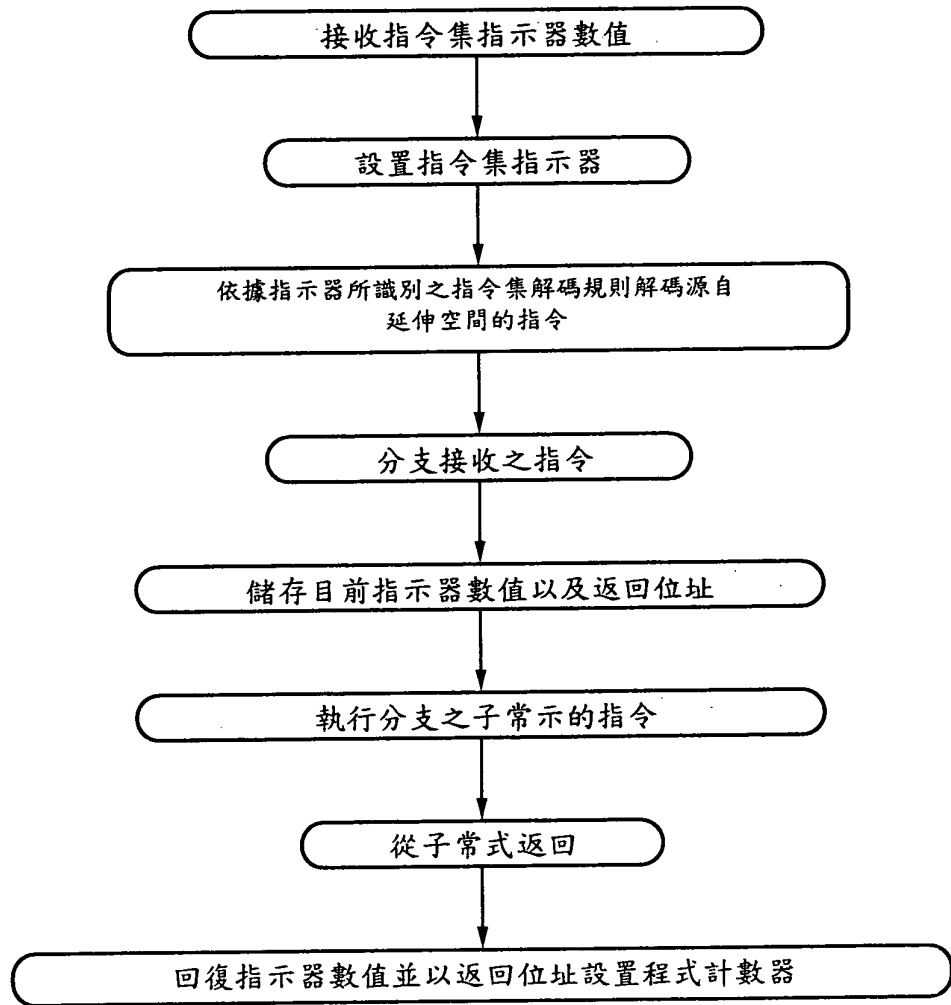
第5圖



第6圖

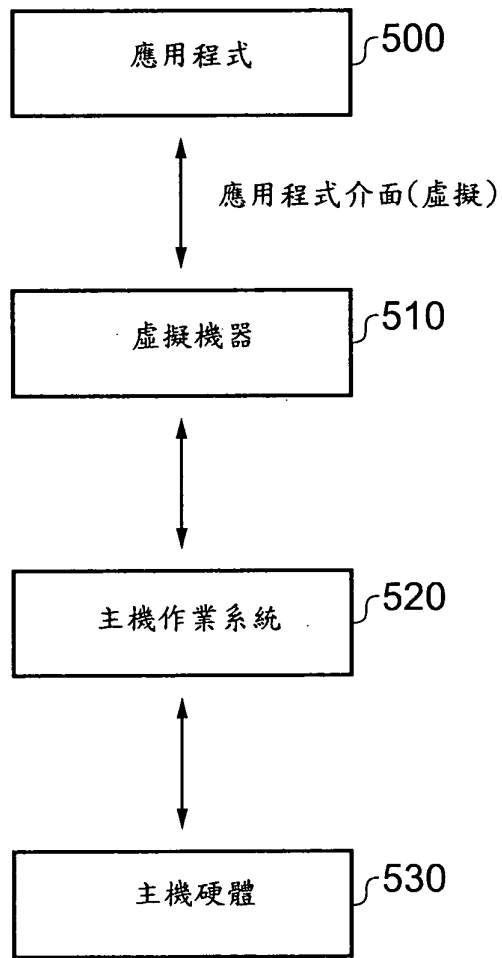


第7圖



第8圖

虛擬機器之實施



第9圖

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

14 解碼器

50 編碼空間

60, 62, 64, 66 解碼規則

70 指令集識別記號

72 多工器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

該基本解碼規則 60。該等解碼規則解碼該基本編碼空間中的編碼，且該解碼器總是可存取這些解碼規則。

關於在該延伸編碼空間中的編碼的其他解碼規則被概要地說明於該圖中的 62、64 及 66。解碼器 14 可透過多工器 72 存取這些解碼規則。多工器 72 回應第 1 圖之狀態暫存器 32 中儲存之指令集識別記號或指示器數值 70 而選擇解碼器 14 使用之解碼規則集合。此識別記號指示何特定指令集目前正被使用，以及對於位在該延伸編碼空間中的任何指令應使用何編碼規則。因此，大量的不同指令可在相對小的延伸編碼空間中被編碼，且若該指示器數值被適當設置，則該些指令可被解碼器 14 解碼。再者，解碼器 14 總是可解碼任何源自該基本指令集的指令。

第 3 圖概要地顯示本發明實施例的資料處理設備 10 的一部分。在此圖中，可看出該指令集指示器數值 ISASEL 70 位於狀態暫存器 74 中，而處理器 12 可回應指令集更新指令而設置此數值。因此，回應指令集更新指令，此指令所指示之數值被寫入至該狀態暫存器 74 中。此數值隨後被解碼器 14 使用以選擇位於該延伸編碼空間中的指令的解碼規則，此數值指示指令從屬的進階指令集。

暫存器庫 30 亦包括分支連結暫存器 76，所述分支連結暫存器 76 被用於在程式流分支時儲存目前的指令集指示器數值以及返回位址。當程式分支時，該程式必須要能夠回到原始的程式流，因而返回位址總是被儲存。

然而，由於在本發明之實施例中不同的指令集可被解碼，在該程式分支時儲存該目前指令集指示器數值是重要的，因而當該程式返回到原始的程式流時，該解碼器可使用正確的解碼規則。因此，除了儲存該返回位址外，亦儲存該指令集指示器數值。由於該分支連結暫存器的尺寸以及該些位址之尺寸，在該分支連結暫存器中具有足夠的空間以同時儲存該返回位址以及該指示器數值較為方便。

應注意到在本實施例中僅有單一支連結暫存器 76，因而若該程式再次分支時，則該暫存器中的資料被寫入至堆疊 40 中，而該分支連結暫存器隨後被覆寫在該分支當時的次返回位址以及該指令集指示器數值。

第 4 圖顯示資料處理設備 10 的一部分，並顯示不被該處理器所支援的指令集指示器數值 ISASEL 如何可被偵測並建立陷阱。因此，在此實施例中，回應指令集更新指令，該處理器 12 傳送該新的 ISASEL 數值至暫存器 76 以更新該儲存的數值。此新的數值傳送至比較器 90 且與儲存於儲存 80 中的 ISASEL 數值集合相比較。儲存 80 儲存所有可能的指令集數值，因而若比較未產生符合，該比較器 90 會傳送無符合信號且此情形將建立例外。若產生符合，則該比較器 90 傳送該指示器數值至暫存器 76，且用於該 ISASEL 之新數值會被設置。

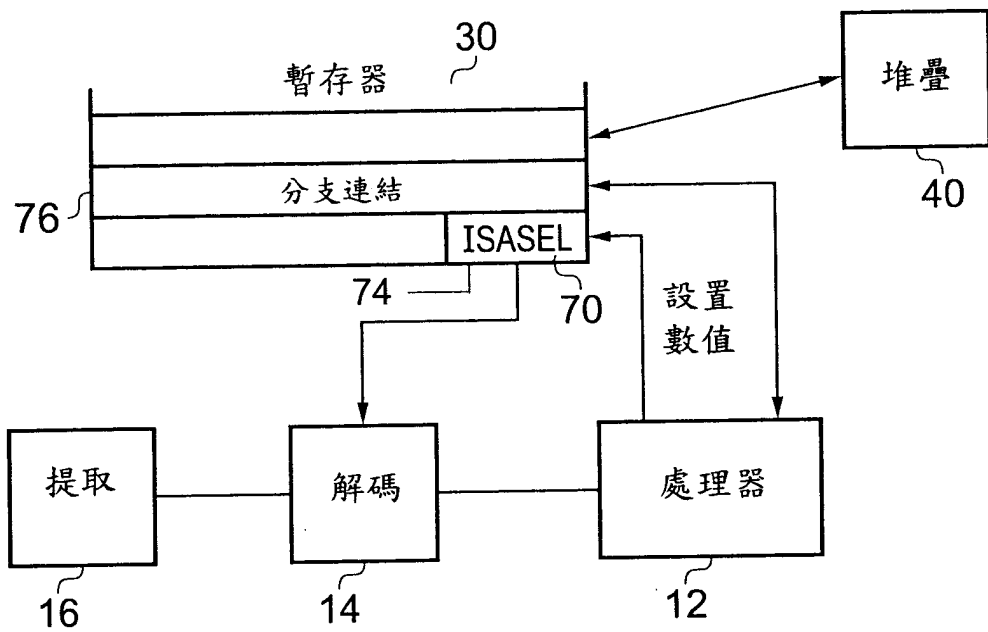
第 5 圖概要地顯示正被執行中的指令流，所述指令流包括分支指令。因此，在此實施例中，在功能 2 具有分

支，故該連結暫存器儲存該返回位址，且該目前指令集指示器在此情形中為 0 以指示目前不支援進階指令集。該分支跳至之子程式隨後被執行，且此子程式設置該指令集指示器數值為 3，藉以指示所述子程式希望使用之指令係源自指示器數值 3 所指定之進階指令集。該指令集隨後再次分支，該連結暫存器於此時被更新以儲存此分支之返回位址，而該數值為 3 的指示器指示該指令集指示器數值於該程式返回該指令流之此部份時應被重設回 3。應注意到在此實施例中僅有單一連結暫存器，因此先前被儲存於該連結暫存器中的數值在此連結暫存器被覆寫該新數值之前會被推送至該堆疊。

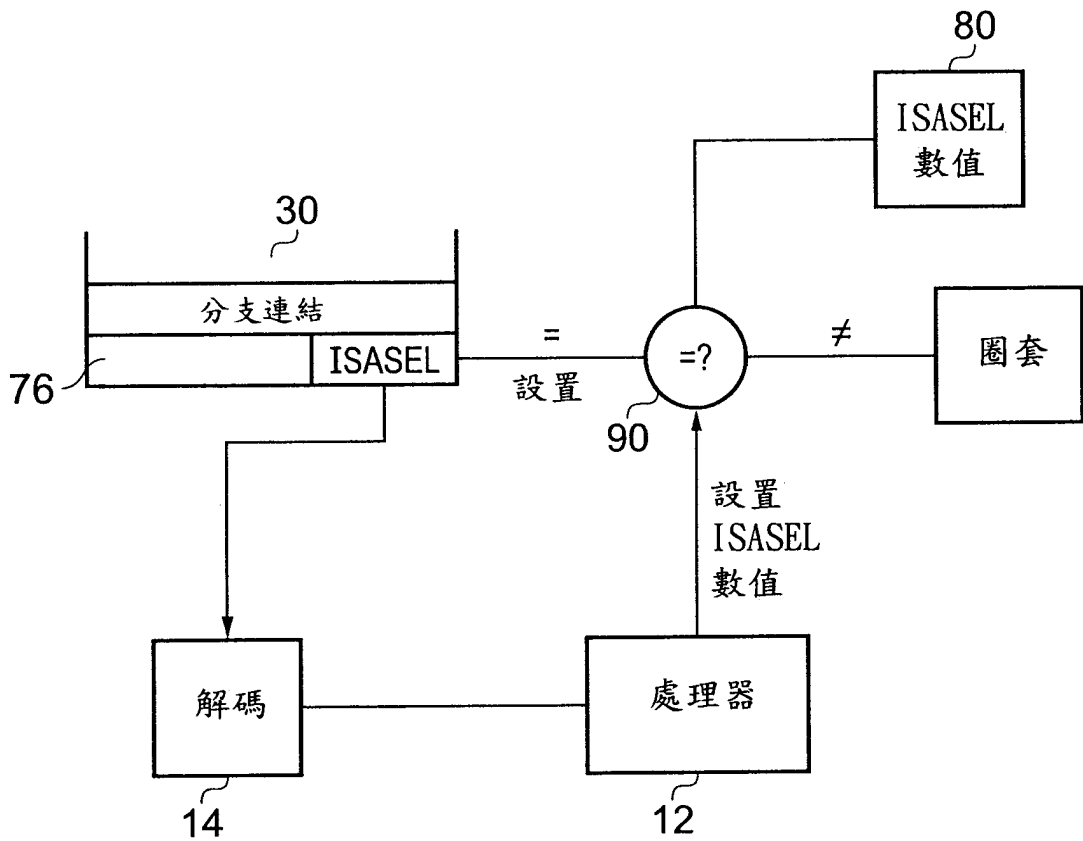
已被跳至的該子程式隨後被執行，且此子程式包括指令集更新指令，所述指令集更新指令指示被指定為 4 的該進階指令集將被使用。因此，該指令集指示器數值被設為 4，回應此子程式末尾的返回指令，來自該連結暫存器的數值被載入至關於該返回位址之程式計數器中以及關於該指示器數值的狀態暫存器中，該指示器數值在此情形中為 3。

第 6 圖概要地顯示不具有分支連結暫存器之處理設備中的分支子程式。在此情形中，該原始指令流已設置該指令集指示器數值為 3，因而回應該分支指令，此指示器數值伴隨該返回位址被推送至該堆疊。在從該子程式返回時，該指示器數值被從該堆疊中取出並被儲存於該狀態暫存器 74 中，而該返回位址被儲存於該程式計數器

- 60, 62, 64, 66 解碼規則
- 70 指令集識別記號/指示器數值
- 72 多工器
- 74 狀態暫存器
- 76 分支連結暫存器/暫存器
- 80 儲存
- 90 比較器
- 500 應用程式
- 510 虛擬機器程式
- 520 主機作業系統
- 530 主機處理器



第3圖



第4圖