



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I399754B1

(45)公告日：中華民國 102 (2013) 年 06 月 21 日

(21)申請案號：098108434

(22)申請日：中華民國 98 (2009) 年 03 月 16 日

(51)Int. Cl. : G11C7/06 (2006.01) G11C16/06 (2006.01)

(30)優先權：2008/03/17 日本 2008-068162

2009/03/16 日本 2009-062364

(71)申請人：爾必達存儲器股份有限公司 (日本) ELPIDA MEMORY, INC. (JP)

日本

(72)發明人：梶谷一彦 KAJIGAYA, KAZUHIKO (JP)

(74)代理人：周良謀；周良吉

(56)參考文獻：

TW 489316

TW 512353

TW 556222

TW 200423150

TW 200639872

TW 200923249

審查人員：賴炳成

申請專利範圍項數：20 項 圖式數：16 共 0 頁

(54)名稱

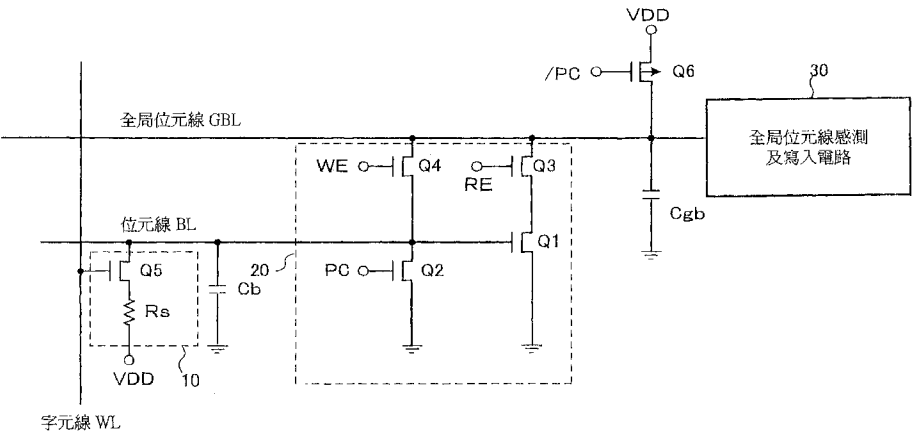
具有單端感測放大器之半導體裝置

SEMICONDUCTOR DEVICE HAVING SINGLE-ENDED SENSING AMPLIFIER

(57)摘要

藉由單一 MOS 電晶體放大信號電壓，由此防止晶片面積的增大。半導體儲存裝置中的感測放大器具有記憶體單元，記憶體單元用於基於信號輸入/輸出端和電源端之間的電阻值的大小來儲存資訊，半導體儲存裝置具有以下結構，在該結構中，在從記憶體單元讀取信號的過程中位元線電容減小，其中，放大器藉由利用具有單端結構的單一 MOS 電晶體，將從輸入/輸出端輸出的信號放大。

A signal voltage is amplified by a single MOS transistor, and the chip area is thereby prevented from increasing. A sense amplifier in a semiconductor storage device having a memory cell for storing information on the basis of the size of the resistance value between a signal input/output terminal and a power supply terminal, the semiconductor storage device having a structure in which the bit line capacitance during signal reading from the memory cell is reduced, wherein the amplifier amplifies a signal outputted from an input/output terminal through the use of a single MOS transistor that has a single-ended structure.



- 10 . . . 記憶體單元
- 20 . . . 感測放大器
- 30 . . . 全局位元線感測及寫入電路

圖 1

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98108434

※ 申請日：98.3.16

※IPC 分類：G11C 7/06 (2006.01)

G11C 16/06 (2006.01)

一、發明名稱：(中文/英文)

具有單端感測放大器之半導體裝置

SEMICONDUCTOR DEVICE HAVING SINGLE-ENDED
SENSING AMPLIFIER

二、中文發明摘要：

藉由單一 MOS 電晶體放大信號電壓，由此防止晶片面積的增大。半導體儲存裝置中的感測放大器具有記憶體單元，記憶體單元用於基於信號輸入/輸出端和電源端之間的電阻值的大小來儲存資訊，半導體儲存裝置具有以下結構，在該結構中，在從記憶體單元讀取信號的過程中位元線電容減小，其中，放大器藉由利用具有單端結構的單一 MOS 電晶體，將從輸入/輸出端輸出的信號放大。

三、英文發明摘要：

A signal voltage is amplified by a single MOS transistor, and the chip area is thereby prevented from increasing. A sense amplifier in a semiconductor storage device having a memory cell for storing information on the basis of the size of the resistance value between a signal input/output terminal and a power supply terminal, the semiconductor storage device having a structure in which the bit line capacitance during signal reading from the memory cell is reduced, wherein the amplifier amplifies a signal outputted from an input/output terminal through the use of a single MOS transistor that has a single-ended structure.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10 記憶體單元

20 感測放大器

30 全局位元線感測及寫入電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種用於半導體裝置中的感測放大器，尤有關於一種具有可變電阻記憶體單元的半導體裝置中的合適的感測放大器以及一種資料處理系統。

【先前技術】

眾所周知的是，傳統的記憶體單元基於電晶體的“導通(on)”電流或電阻值的大小來儲存資訊。該類型的記憶體單元甚至在低記憶體狀態下都具有從 $10\text{k}\Omega$ 至幾百千歐姆的相對較高的電阻值，因而通常利用高靈敏度的差分電流感測放大器來進行感測放大（參見日本公開專利公報第 2004-39231 號）。

【發明內容】

然而，習知的差分電流感測放大器具有較大的專用的表面積，並且具有以下的缺陷，即當對所有的位元線提供該類型的感測放大器時，晶片面積顯著增大。

因此，根據上述缺點來開發本發明，本發明的目的在於提供一種感測放大器及資料處理系統，藉以藉由單一 MOS 電晶體來放大信號電壓，藉以防止晶片面積的增大。

用於克服上述缺點的本發明包含下述實施樣態。

(1) 本發明提供了一種半導體裝置，該半導體裝置包含：記憶體單元，其用於基於輸入/輸出端和電源端之間的電阻值或者與輸入/輸出端連接的單元電晶體的導通電流值來儲存資訊；位元線，其連接到輸入/輸出端，用於將資訊輸入到記憶體單元或者從記憶體單元輸出資訊；第一場效電晶體，其用作具有與位元線連接的閘極之單端感測放大器，用於放大位元線上的資料信號；第二場效電晶體，其連接到位元線，用於將位元線的電位控制成第一預定電位；第三場效電晶體，其用於向全局位元線提供第一場效電晶體的輸出信號；以及全局位元線感測放大器，其連接到全

局位元線，用於檢測全局位元線上的信號，其中，位元線的第一預定電位根據流經記憶體單元的電流而變化，並且第一場效電晶體根據位元線的變化電位來使電流流動。

(2) 本發明更提供了一種半導體裝置，該半導體裝置包含：記憶體單元，其用於基於輸入/輸出端和電源端之間的電阻值，或者與輸入/輸出端連接的單元電晶體的導通電流值來儲存資訊；位元線，其連接到輸入/輸出端，用於將資訊輸入到記憶體單元或者從記憶體單元輸出資訊；第一場效電晶體，其用作具有與位元線連接的閘極之單端感測放大器，用於放大位元線上的資料信號；第二場效電晶體，其連接到位元線，用於將位元線的電位控制成第一預定電位；第三場效電晶體，其用於向全局位元線提供第一場效電晶體的輸出信號；以及全局位元線感測放大器，其連接到全局位元線，用於檢測全局位元線上的信號，其中，使第二場效電晶體成為導通狀態，以便於在對記憶體單元進行存取之前將位元線設置成第一預定電位，並且在對記憶體單元進行存取之後，位元線的第一預定電位根據流經記憶體單元的電流而變化，第一場效電晶體根據位元線的變化電位來使電流流動。

(3) 本發明更提供了一種半導體裝置，該半導體裝置包含：記憶體單元，其用於基於輸入/輸出端和電源端之間的電阻值，或者與輸入/輸出端連接的單元電晶體的導通電流值來儲存資訊；位元線，其連接到輸入/輸出端，用於將資訊輸入到記憶體單元或者從記憶體單元輸出資訊；第一場效電晶體，其用作具有與位元線連接的閘極之單端感測放大器，用於放大位元線上的資料信號；第二場效電晶體，其連接到位元線，用於將位元線的電位控制成第一預定電位；第三場效電晶體，其用於向全局位元線提供第一場效電晶體的輸出信號；以及全局位元線感測放大器，其連接到全局位元線，用於檢測全局位元線上的信號，其中，位元線的第一預定電位根據流經記憶體單元的電流和流經第二場效電晶體的電流而變化，並且第一場效電晶體根據位元線的變化電位來使電流流動。

藉由本發明，採用的構成使得當從記憶體單元讀取信號時，位元線電容減小，並且因此即使藉由具有高電阻的可變電阻記憶體單元也可以進行快速地充電和放電。藉此，信號被單一 MOS 電晶體放大，並且感測放大器的表面積能夠因此顯著地減小。

由於藉由利用分級位元線結構，感測放大器可以施加到所有的位元線，因此基於開頁（page-open）策略提供了與 DRAM 相容的記憶體。

另外，藉由利用在其中複數個感測放大器連接到全局位元線的分級位元線結構，並且藉由全局感測放大器來進行資訊讀取和寫入控制，在防止了晶片面積和電流損耗增大的同時可以保持與 DRAM 的相容。

【實施方式】

下文中，將參照附圖來詳細描述本發明的實施例。

在此描述的實施例中的組成元件可以用現有的組成元件等來替代，並且包含與其他現有之組成元件的組合之各種變化也是可以的。因此，所描述之本發明的範圍不受在此描述之實施例的限制。

<實施例 1>

將利用圖 1 及 2 來描述本發明的實施例 1。在本實施例中，將描述作為半導體裝置之具有分級位元線結構的儲存陣列之示例。在分級位元線結構的情況下，可以縮短作為與複數個記憶體單元連接的局部位元線的位元線的長度，藉以減小位元線電容，並且可以增大從記憶體單元讀取的信號的幅度。因此，分級位元線結構是較佳的示例，但是本發明不限於該示例。

本實施例的結構是與單端感測放大器相關的技術，在該單端感測放大器中，輸入單一信號，只有一個信號被放大，並且輸出被放大的信號。普通的差分感測放大器比單端感測放大器具有更高的增益，抗噪性也更強。差分感測放大器的高增益更縮短了用於變化放大的輸出信號的時間。另一方面，單端感測放大器對雜

訊極其敏感，為了產生放大的輸出，需要更高的輸入信號。與位元線相連的上述感測放大器為單端感測放大器。

另外，只要電晶體為場效電晶體（FET）就足夠了，除了金屬氧化物半導體（MOS，Metal Oxide Semiconductor）之外，本發明也可以施加於金屬-絕緣體半導體（MIS，Metal-Insulator Semiconductor）電晶體及各種其他的 FET。NMOS 電晶體是第一導電類型電晶體的典型示例，PMOS 電晶體是第二導電類型電晶體的典型示例。

此外，在本發明中，藉由用於驅動記憶體單元的公共內部電壓（例如，從外部電源降壓而得的內部電源電壓）、VSS 電源或其他電壓來控制位元線電壓。例如，本實施例的特性特徵在於：不管記憶體單元資訊是“1”還是“0”，在對記憶體單元進行存取之後的位元線電壓從內部電源電壓或 VSS 的預定電位沿著（VSS 或內部電源電壓的）一個方向轉變。在半導體裝置的外部電源和內部電源的電壓降低到接近 1V（接近 CMOS 型感測放大器操作的操作點的極限的電壓）的半導體裝置中，位元線的控制電壓與利用單端感測放大器的感測方案相結合，以在更高速度和穩定性與由於製造條件的變化導致的電路穩定性之間產生增強的協同效應。

<記憶體單元和感測放大器的結構>

圖 1 為顯示根據本實施例之包含與可變電阻記憶體單元相對應的感測放大器之可變電阻記憶體單元的一部分之電路的圖式。

圖 1 顯示了字元線 WL、位元線 BL、記憶體單元 10、感測放大器 20、全局位元線 GBL、及全局位元線感測及寫入電路 30，其中，記憶體單元 10 設置在字元線 WL 和位元線 BL 的交叉點。

在該佈置中，位元線 BL 連接到構成感測放大器的 nMOS 電晶體 Q1 的閘極，讀取到位元線的信號電壓被感測/放大並轉換為汲電流。將預充電信號 PC 輸入到位元線預充電 nMOS 電晶體 Q2 的閘極，並且當 PC 處於高狀態時，位元線 BL 被預充電至接地電位 VSS。

藉由感測放大器讀取選擇 nMOS 電晶體 Q3 的閘極來接收選

擇信號 RE，並且將全局位元線 GBL 和作為感測放大器的輸出節點的 nMOS 電晶體 Q1 的汲極選擇性地連接。藉由感測放大器寫入選擇 nMOS 電晶體 Q4 的閘極來接收選擇信號 WE，並且將位元線 BL 和全局位元線 GBL 選擇性地連接。

只要 nMOS 電晶體 Q3 和 nMOS 電晶體 Q1 串聯連接就足夠了，它們的順序關係不必受限。理想地，由於大量的 nMOS 電晶體 Q3 連接到全局位元線 GBL，因此如圖 1 所示，當強調全局位元線 GBL 的低雜訊效應時，nMOS 電晶體 Q3 應該連接到全局位元線 GBL 這一側。

複數個位元線 BL 和複數個記憶體單元藉由附圖中未顯示的複數個其他感測放大器而連接到全局位元線 GBL，並且在讀取操作時，nMOS 電晶體 Q3 僅將所選擇的記憶體單元屬於的感測放大器連接到全局位元線 GBL。結果，nMOS 電晶體 Q1 根據讀取到位元線 BL 的信號來驅動全局位元線 GBL，並且全局位元線感測及寫入電路 30 鎖住(latches)傳輸到全局位元線 GBL 的信號，並輸出到外部電路（未顯示）。

將“經由局部位元線，用於首先放大作為資料信號之記憶體單元 10 的資訊之單端感測放大器（感測放大器 20）”連接到分級位元線結構。感測放大器 20 包含：放大器 Q1，其為單端感測放大器；選擇電晶體 Q3，其用於讀取，並將放大器的輸出連接到全局位元線。

選擇電晶體 Q3 是用於連接全局位元線和放大器的輸出的控制信號，但是控制信號更可以包含用於選擇複數個局部位元線和單一全局位元線的位址信號或其他選擇資訊。通常，由於複數個記憶體單元和感測放大器 20 連接到局部位元線 BL 來形成儲存陣列，因此局部位元線 BL 的佈線間距等於或小於全局位元線 GBL 的佈線間距。

在寫入操作時，nMOS 電晶體 Q4 僅將所選擇的記憶體單元屬於的感測放大器連接到全局位元線 GBL。當全局位元線感測及寫入電路 30 從附圖未顯示的外部電路接收寫入資料，並驅動全局

位元線 GBL 時，位元線 BL 由 nMOS 電晶體 Q4 驅動，這導致資料被寫入到記憶體單元。

記憶體單元 10 由選擇 nMOS 電晶體 Q5 和電阻器元件 Rs 組成，用於基於電阻值的大小來儲存資料。nMOS 電晶體 Q5 的閘極連接到字元線 WL，汲極連接到位元線 BL，源極連接到電阻器元件 Rs 的一端。電阻器元件 Rs 的另一端連接到電源電位 VDD。

附圖中未顯示的複數個記憶體單元連接到位元線 BL，結果，例如，在本實施例中，位元線 BL 的寄生電容 Cb 是 10fF。雖然沒有具體地限定，但是本實施例的電阻器元件 Rs 中的高電阻狀態的電阻分佈的下限 $R_{s[H]min}$ 是 100M Ω ，並且低電阻狀態的電阻分佈的上限 $R_{s[L]max}$ 是 100K Ω 。結果，由電阻器元件 Rs 和位元線寄生電容 Cb 組成的系統的時間常數 τ 當電阻器元件處於高電阻狀態時是 1 μ s 或更高，並且當電阻器元件處於低電阻狀態時是 1ns 或更低。

使電流流向記憶體單元是第一電源 (VDD) 的自然產生的結果，其中，第一電源是記憶體單元 10 的電源並與作為 nMOS 電晶體 Q2 的電源的第三電源 (VSS) 具有不同的電壓值，並且關於與前述時間常數的差一致的位元線電壓，其中，該時間常數的差至少是根據記憶體單元資訊的差，可以將由 nMOS 電晶體 Q1 供給的每個電流之間的差調節成與位元線電壓相對應。具體來說，當高電阻狀態的電阻分佈的下限 $R_{s[H]min}$ 是 10 M Ω 時，藉由略微增大第一電源 (VDD)，可以保持 nMOS 電晶體 Q1 供給的電流。例如，這可以藉由改變第一電源 (VDD) 和第三電源 (VSS) 之間的差分電壓的值 (相對值) 來做到，並且其具有以下效果，即，使得可以提供與記憶體單元供給的電流值波動一致的最佳感測，其中，該記憶體單元供給的電流值波動是由於記憶體單元的寫入特性等而導致的。此外，下文描述的與 nMOS 電晶體 Q1 連接的第二電源 (VSS) 和與 nMOS 電晶體 Q6 連接的第四電源 (VDD) 之間的電壓值的差具有與前述相同的效果。第三電源和第四電源之間的電壓值的差也具有相同的效果。另一方面，使第三電源和

第四電源具有相同的電壓值，使得可以在由複數個記憶體單元組成的記憶體陣列中共用佈置成網(mesh)的兩個電源的電源佈線。

因此，在讀取的過程中，由於在 nMOS 電晶體 Q5 導通且位元線 BL 開始充電和放電之後幾 ns，由電阻器元件的電阻值的大小來產生位元線 BL 的電位中足夠的差，因此藉由將感測時段設置在該幾 ns 內，可以具有裕度地由 nMOS 電晶體 Q1 執行感測放大操作。根據上述的操作原則，可以將與位元線 BL 連接的記憶體單元的數量設置為不同的數，從而獲得根據記憶體單元的電阻值而計算的寄生電容和感測時段的計畫維持時間。

全局位元線預充電 pMOS 電晶體 Q6 在其閘極接收預充電信號 PC 的反相信號/ $\overline{PC}$ ，並且當/ $\overline{PC}$ 處於低狀態時，全局位元線 GBL 被預充電至電源電位 VDD。全局位元線的寄生電容被表示為 C_{gb} 。

<在讀取過程中的感測放大器的操作波形>

圖 2 為顯示在讀取過程中感測放大器的操作波形的圖式。橫軸表示時間，縱軸表示電壓。圖 2A 顯示了讀取記憶體單元的低電阻狀態的情況，圖 2B 顯示了讀取高電阻狀態的情況。

首先，在讀取低電阻狀態的情況下，在預充電釋放時段內 PC 為低且/ $\overline{PC}$ 為高，nMOS 電晶體 Q2 和 pMOS 電晶體 Q6 均關閉(變為不導通)，位元線 BL 和全局位元線 GBL 在分別被預充電至 VSS 和 VDD 的狀態下而浮接。換言之，在資訊從記憶體單元輸出到位元線之前，nMOS 電晶體 Q2 將位元線控制成第一預定電位(VSS)。該操作至少具有以下效果，即，清除前面的週期內讀取的不同記憶體單元的歷史資訊。

隨後，當單元選擇時段出現時，在字元線 WL 已經變為高(nMOS 電晶體已經變為導通)時，以對應於記憶體單元 10 的低電阻狀態的時間常數，信號電壓被讀取到位元線 BL，並且當選擇信號 RE 變為高(nMOS 電晶體 Q3 變為導通)時，感測時段開始，當 RE 變為低(nMOS 電晶體 Q3 變為不導通)時，感測時段結束。

在感測時段內，由於位元線的電位高於 nMOS 電晶體 Q1 的閾值電壓 V_t 的分佈的上限，因此 nMOS 電晶體 Q1 的汲電流較

大，並且由全局位元線 GBL 的寄生電容 C_{gb} 充入的電荷被快速抽出。藉此，全局位元線 GBL 的電位快速從 VDD 放電至 VSS。

換言之，在對記憶體單元進行存取之後，nMOS 電晶體 Q3 在預定的時間處於導通狀態，nMOS 電晶體 Q1 根據位元線電壓的轉變來供給電流，並且全局位元線的電位發生轉變。

使導通狀態保持預定時間的原因在於，至少位元線的電位以根據記憶體單元資訊的不同時間常數而發生轉變，並且在非常長的時間之後，對於所有的資訊，位元線電壓達到 VDD。換言之，必須在將時間常數的差表示為位元線電壓的差的時間之內，執行與記憶體單元資訊對應的到全局位元線的信號傳輸操作。在預定時間使 nMOS 電晶體 Q3 導通，其表示僅僅在最佳位元線電壓狀態（藉由單一感測放大器 nMOS 電晶體 Q1 供給電流的狀態）的時間內，將作為記憶體單元資訊的電壓施加到全部位元線，並具有防止在全局位元線上的感測放大器誤操作的效果。

在感測時段的末端，全局位元線 GBL 的電位是 VSS，該電位被全局位元線感測及寫入電路 30 檢測為低，並被讀取為低資料。nMOS 電晶體 Q1 的閾值電壓 V_t 的分佈表示由於諸如在製造時的空間變化、閘極絕緣膜厚度的變化、及通道雜質分佈的波動的因素而導致的閾值電壓的變化範圍。

在讀取高電阻狀態的情況下，在預充電釋放時段內，PC 首先為低且/PC 為高，nMOS 電晶體 Q2 和 pMOS 電晶體 Q6 均關閉，位元線 BL 和全局位元線 GBL 在分別被預充電至 VSS 和 VDD 的狀態下浮接。

隨後，當單元選擇時段出現時，在字元線 WL 已經變為高時，以對應於記憶體單元 10 的高電阻狀態的時間常數，信號電壓被讀取到位元線 BL，並且當選擇信號 RE 變為高時，感測時段開始，當 RE 變為低時，感測時段結束。

在感測時段內，由於位元線的電位保持低於 nMOS 電晶體 Q1 的閾值電壓 V_t 的分佈的下限，因此 nMOS 電晶體 Q1 的汲電流較小，並且由全局位元線 GBL 的寄生電容 C_{gb} 充入的電荷幾

乎沒有被抽出。由於感測時段的末端的全局位元線 GBL 的電位實質上保持為 VDD，因此電位被全局位元線感測及寫入電路 30 檢測為高並被讀取為高資料。

藉由預充電信號 PC 使 nMOS 電晶體 Q2 為導通狀態的時段可能與記憶體單元的導通時段重疊。這使得在單端感測放大器中提供穩定的讀取特性。具體來說，根據記憶體單元供給的電流和 nMOS 電晶體 Q2 供給的電流，位元線的第一預定電位受到轉變，並且 nMOS 電晶體 Q1 根據位元線的轉變電壓來供給電流，藉此可以消除前述的浮接時段，並可以進行抗雜訊感測。另外，藉由預充電信號 PC 的反相信號 /PC 使 pMOS 電晶體 Q6 為導通狀態的時段可以與 nMOS 電晶體 Q1 的導通狀態的時段重疊。該重疊的效果與前述的效果相同。

<實施例 2>

將利用圖 3 以及圖 4 來描述本發明的實施例 2。

圖 3 顯示了根據本實施例的包含與可變電阻記憶體單元對應的感測放大器 21 的可變電阻記憶體單元的一部分的電路的圖式。所示的基本結構與實施例 1 者相同，下面僅將描述不同的組件。

<記憶體單元和感測放大器的結構>

預充電信號 PC 的反相信號 /PC 被輸入到位元線預充電 pMOS 電晶體 Q2 的閘極，並且當 /PC 處於低狀態時，位元線 BL 被預充電至電源電位 VDD。

記憶體單元 11 由選擇 nMOS 電晶體 Q5 和電阻器元件 Rs 組成，用於基於電阻值的大小來儲存資料。nMOS 電晶體 Q5 的閘極連接到字元線 WL，汲極連接到位元線 BL，源極連接到電阻器元件 Rs 的一端。電阻器元件 Rs 的另一端連接到接地電位 VSS。

<在讀取過程中的感測放大器的操作波形>

圖 4 為顯示在讀取過程中之感測放大器 21 的操作波形之圖式。由於基本操作與實施例 1 者相同，因此下面只將描述不同的部分。

首先，在讀取低電阻狀態的情況下，在預充電釋放時段內，/PC 變為高，pMOS 電晶體 Q2 和 pMOS 電晶體 Q6 均關閉，位元線 BL 和全局位元線 GBL 在被預充電至 VDD 的狀態下浮接。

隨後，當單元選擇時段出現時，在字元線 WL 已經變為高時，以對應於記憶體單元 11 的低電阻狀態的時間常數，信號電壓被讀取到位元線 BL。當隨後選擇信號 RE 變為高時，感測時段開始，並且當 RE 變為低時，感測時段結束。

在感測時段內，由於位元線的電位低於 nMOS 電晶體 Q1 的閾值電壓 V_t 的分佈的下限，因此 nMOS 電晶體 Q1 的汲電流較小，並且由全局位元線 GBL 的寄生電容 C_{gb} 充入的電荷幾乎沒有被抽出。

由於在感測時段的末端，全局位元線 GBL 的電位實質上保持為 VDD，因此電位被全局位元線感測及寫入電路 30 檢測為高，被反相電路（未顯示）反相並被讀取為低數據。

在讀取高電阻狀態的情況下，在預充電釋放時段內，/PC 首先變為高，pMOS 電晶體 Q2 和 pMOS 電晶體 Q6 均關閉，位元線 BL 和全局位元線 GBL 在被預充電至 VDD 的狀態下浮接。

隨後，當單元選擇時段出現時，在字元線 WL 已經變為高時，以對應於記憶體單元 11 的高電阻狀態的時間常數，信號電壓被讀取到位元線 BL。當隨後選擇信號 RE 變為高時，感測時段開始，並且當 RE 變為低時，感測時段結束。

在感測時段內，由於位元線 BL 的電位保持高於 nMOS 電晶體 Q1 的閾值電壓 V_t 的分佈的上限，因此 nMOS 電晶體 Q1 的汲電流較大，並且由全局位元線 GBL 的寄生電容 C_{gb} 充入的電荷被快速抽出。全局位元線 GBL 的電位藉以快速放電至 VSS。在感測時段的末端的全局位元線 GBL 的電位為 VSS，該電位被全局位元線感測及寫入電路 30 檢測為低，被反相電路（未顯示）反相並被讀取為高數據。

<實施例 3>

將利用圖 5 以及圖 6A 和 6B 來描述本發明的實施例 3。

圖5 顯示了根據本實施例的包含與可變電阻記憶體單元相對應的感測放大器 22 之可變電阻記憶體單元的一部分之電路的圖式。所示的基本結構與實施例 1 的基本結構相同，下面僅將描述不同的組件。

<記憶體單元和感測放大器的結構>

位元線 BL 連接到構成感測放大器 22 的 pMOS 電晶體 Q1 的閘極，pMOS 電晶體 Q1 感測/放大讀取到位元線的信號電壓，並將該信號電壓轉換成汲電流。感測放大器 22 讀取選擇 pMOS 電晶體 Q3 在其閘極接收選擇信號的反相信號/RE，並且選擇性地連接全局位元線 GBL 和作為感測放大器 22 的輸出節點的 pMOS 電晶體 Q1 的汲極。全局位元線預充電 nMOS 電晶體 Q6 在其閘極接收預充電信號 PC，並且當 PC 處於高狀態時，全局位元線 GBL 被預充電至接地電位 VSS。

<在讀取過程中的感測放大器的操作波形>

圖 6 為顯示在讀取過程中的感測放大器 22 的操作波形的圖式。由於基本操作與實施例 1 者相同，因此下面只將描述不同的部分。

首先，在讀取低電阻狀態的情況下，在預充電釋放時段內，PC 變為低，並且 nMOS 電晶體 Q2 和 nMOS 電晶體 Q6 均關閉，位元線 BL 和全局位元線 GBL 在被預充電至 VSS 的狀態下浮接。

隨後，當單元選擇時段出現時，在字元線 WL 已經變為高時，以對應於記憶體單元 12 的低電阻狀態的時間常數，信號電壓被讀取到位元線 BL。當隨後選擇信號 RE 的反相信號/RE 變為低時，感測時段開始，並且當/RE 變為高時，感測時段結束。

在感測時段內，由於位元線 BL 的電位高於 pMOS 電晶體 Q1 的閾值電壓 V_t 的分佈的上限，因此 pMOS 電晶體 Q1 的汲電流較小，並且由全局位元線 GBL 的寄生電容 C_{gb} 充入的電荷幾乎沒有被抽出。

由於在感測時段的末端，全局位元線 GBL 的電位實質上保持在 VSS，因此該電位被全局位元線感測及寫入電路 30 檢測為低，

並被讀取為低資料。

在讀取高電阻狀態的情況下，在預充電釋放時段內，PC 首先變為低，並且 nMOS 電晶體 Q2 和 nMOS 電晶體 Q6 均關閉，位元線 BL 和全局位元線 GBL 在被預充電至 VSS 的狀態下浮接。

隨後，當單元選擇時段出現時，在字元線 WL 已經變為高時，以對應於記憶體單元 12 的高電阻狀態的時間常數，信號電壓被讀取到位元線 BL。當隨後選擇信號 RE 的反相信號/RE 變為低時，感測時段開始，當/RE 變為高時，感測時段結束。

在感測時段內，由於位元線 BL 的電位保持低於 pMOS 電晶體 Q1 的閾值電壓 V_t 的分佈的下限，因此 pMOS 電晶體 Q1 的汲電流較大，並且全局位元線 GBL 的寄生電容 C_{gb} 被快速充電。全局位元線 GBL 的電位藉以快速從 VSS 充電至 VDD。在感測時段的末端，全局位元線 GBL 的電位為 VDD，該電位被全局位元線感測及寫入電路 30 檢測為高，並被讀取為高資料。

<實施例 4>

將利用圖 7 以及圖 8A 和 8B 來描述本發明的實施例 4。

圖 7 顯示了根據本實施例的包含與可變電阻記憶體單元相對應的感測放大器 23 之可變電阻記憶體單元的一部分之電路的圖式。所示的基本結構與實施例 1 的基本結構相同，下面僅將描述不同的組件。

<記憶體單元和感測放大器的結構>

位元線 BL 連接到構成感測放大器 23 的 pMOS 電晶體 Q1 的閘極，pMOS 電晶體 Q1 感測/放大讀取到位元線的信號電壓，並將該信號電壓轉換成汲電流。預充電信號 PC 的反相信號/PC 被輸入到位元線預充電 pMOS 電晶體 Q2 的閘極，並且當/PC 處於低狀態時，位元線 BL 被預充電至電源電位 VDD。

感測放大器 23 讀取選擇 pMOS 電晶體 Q3 在其閘極接收選擇信號 RE 的反相信號/RE，並且選擇性地連接全局位元線 GBL 和作為感測放大器 23 的輸出節點的 pMOS 電晶體 Q1 的汲極。

記憶體單元 13 由選擇 nMOS 電晶體 Q5 和電阻器元件 R_s 組

成，用於基於電阻值的大小來儲存資料。nMOS 電晶體 Q5 的閘極連接到字元線 WL，汲極連接到位元線 BL，並且源極連接到電阻器元件 Rs 的一端。電阻器元件 Rs 的另一端連接到接地電位 VSS。

全局位元線預充電 nMOS 電晶體 Q6 在其閘極接收預充電信號 PC，並且當 PC 處於高狀態時，全局位元線 GBL 被預充電至接地電位 VSS。

<在讀取過程中的感測放大器的操作波形>

圖 8 為顯示在讀取過程中的感測放大器 23 的操作波形的圖式。由於基本操作與實施例 1 的相同，因此下面只將描述不同的部分。

首先，在讀取低電阻狀態的情況下，在預充電釋放時段內，PC 變為低且/PC 變為高，pMOS 電晶體 Q2 和 nMOS 電晶體 Q6 均關閉，並且位元線 BL 和全局位元線 GBL 在分別被預充電至 VDD 和 VSS 的狀態下浮接。

隨後，當單元選擇時段出現時，在字元線 WL 已經變為高時，以對應於記憶體單元 13 的低電阻狀態的時間常數，信號電壓被讀取到位元線 BL。當隨後選擇信號的反相信號/RE 變為低時，感測時段開始，當/RE 變為高時，感測時段結束。

在感測時段期間，由於位元線 BL 的電位保持低於 pMOS 電晶體 Q1 的閾值電壓 V_t 的分佈的下限，因此 pMOS 電晶體 Q1 的汲電流較大，並且全局位元線 GBL 的電位快速從 VSS 變為 VDD。

在感測時段的末端，全局位元線 GBL 的電位為 VDD，該電位被全局位元線感測及寫入電路 30 檢測為高，被反相電路（未顯示）反相並被讀取為低數據。

在讀取高電阻狀態的情況下，在預充電釋放時段內，PC 首先變為低且/PC 變為高，pMOS 電晶體 Q2 和 nMOS 電晶體 Q6 均關閉，並且位元線 BL 和全局位元線 GBL 在分別被預充電至 VDD 和 VSS 的狀態下浮接。

隨後，當單元選擇時段出現時，在字元線 WL 已經變為高時，

以對應於記憶體單元 13 的高電阻狀態的時間常數，信號電壓被讀取到位元線 BL。當隨後選擇信號的反相信號/RE 變為低時，感測時段開始，並且當/RE 變為高時，感測時段結束。

在感測時段內，由於位元線 BL 的電位保持高於 pMOS 電晶體 Q1 的閾值電壓 V_t 的分佈的上限，因此 pMOS 電晶體 Q1 的汲電流較小，並且全局位元線 GBL 的寄生電容幾乎沒有被充電。由於在感測時段的末端，全局位元線 GBL 的電位實質上保持為 VSS，因此該電位被全局位元線感測及寫入電路 30 檢測為低，被反相電路（未顯示）反相並被讀取為高數據。

根據上述的實施例，採用構成使得當從記憶體單元讀取信號時，位元線的電容減小，並且因此甚至藉由具有高電阻的可變電阻記憶體單元都可以進行快速地充電和放電。因此，信號被單一 MOS 電晶體放大，並且感測放大器的表面積因此顯著地降低。藉由利用在其中複數個感測放大器連接到全局位元線的分級位元線結構，藉由全局感測放大器來進行資訊讀取和寫入控制，在防止晶片面積和電流消耗增大的同時可以保持與 DRAM 的相容性。

<修改 1>

圖 9 顯示了可變電阻記憶體單元的修改 1。由於感測放大器部分的結構與圖 1 中的相同，因此該結構也可以應用於圖 3、圖 5 和圖 7 所示的電路。

本修改的記憶體單元 14 由選擇 nMOS 電晶體 Q5 和電阻器元件 R_s 組成，用於基於電阻值的大小來儲存資料。nMOS 電晶體 Q5 的閘極連接到字元線 WL，汲極連接到電源電位 VDD，並且源極連接到電阻器元件 R_s 的一端。電阻器元件 R_s 的另一端連接到位元線 BL。當利用本修改的記憶體單元 14 時的操作與圖 1 中的實質上相同，並且當記憶體單元 14 施加到圖 3、圖 5 和圖 7 中所示的電路時的操作與當利用圖 3、圖 5 和圖 7 中所示的記憶體單元時的操作實質上相同。

<修改 2>

圖 10 顯示了可變電阻記憶體單元的修改 2。由於感測放大器

部分的結構與圖 1 中的相同，因此該結構也可以施加於圖 3、圖 5 和圖 7 所示的電路。

本修改的記憶體單元 15 由浮體 (floating-body) nMOS 電晶體 Q5 組成，其中，nMOS 電晶體 Q5 的閘極連接到字元線 WL，汲極連接到電源電位 VDD，並且源極連接到位元線 BL。

在 nMOS 電晶體 Q5 的浮體中累積空穴(holes)的狀態下，nMOS 電晶體 Q5 的閾值電壓 V_t 減小，並且“導通”(on)電阻減小。例如，此時的“導通”電流的下限 $i(H)_{min}$ 為 $10\mu A$ 。當在 nMOS 電晶體 Q5 的浮體中沒有累積空穴時，nMOS 電晶體 Q5 的閾值電壓 V_t 增大，並且“導通”電阻增大。例如，此時的“導通”電流的上限 $i(L)_{max}$ 為 $10nA$ 。由於在圖 1、圖 3、圖 5 和圖 7 所示的記憶體單元的操作中流經電阻器元件的電流與本修改中的 nMOS 電晶體 Q5 的“導通”電流實質上相等，因此利用與圖 2A 和 2B、圖 4A 和 4B、圖 6A 和 6B、以及圖 8A 和 8B 所示的相同控制方法，可以進行利用本修改的操作。

<修改 3>

圖 11 顯示了可變電阻記憶體單元的修改 3。由於感測放大器部分的結構與圖 1 中的相同，因此該結構也可以施加於圖 3、圖 5 和圖 7 所示的電路。

本修改的記憶體單元 16 由 nMOS 電晶體 Q5 組成，在 nMOS 電晶體 Q5 中，在閘極絕緣膜中設置了電荷捕獲區，並且根據在其中電子累積在 nMOS 電晶體 Q5 的電荷捕獲區中的狀態，以及在其中沒有電子累積在 nMOS 電晶體 Q5 的電荷捕獲區中的狀態來儲存資訊。nMOS 電晶體 Q5 的閘極連接到字元線 WL，汲極連接到電源電位 VDD，並且源極連接到位元線 BL。

在沒有電子累積在 nMOS 電晶體 Q5 的電荷捕獲區中的狀態下，nMOS 電晶體 Q5 的閾值電壓 V_t 減小，並且“導通”電阻減小。例如，此時的“導通”電流的下限 $i(H)_{min}$ 為 $10\mu A$ 。當電子累積在 nMOS 電晶體 Q5 的電荷捕獲區中時，nMOS 電晶體 Q5 的閾值電壓 V_t 增大，並且“導通”電阻增大。例如，此時的“導通”電流的上

限 $i(L)_{\max}$ 為 10nA 。由於在圖 1、圖 3、圖 5 和圖 7 所示的記憶體單元的操作中流經電阻器元件的電流與本修改中的 nMOS 電晶體 Q5 的“導通”電流實質上相等，因此利用與圖 2A 和 2B、圖 4 A 和 4B、圖 6 A 和 6B、以及圖 8 A 和 8B 所示的相同控制方法，可以進行利用本修改的操作。

<修改 4>

圖 12 顯示了可變電阻記憶體單元的修改 4。由於感測放大器部分的結構與圖 1 中的相同，因此該結構也可以施加於圖 3、圖 5 和圖 7 所示的電路。

本修改的記憶體單元 17 由 nMOS 電晶體 Q5 組成，該 nMOS 電晶體 Q5 具有在閘極絕緣膜中使用了鐵電物質的結構，並且根據鐵電膜的極性的方向來儲存資訊。nMOS 電晶體 Q5 的閘極連接到字元線 WL，汲極連接到電源電位 VDD，並且源極連接到位元線 BL。

當 nMOS 電晶體 Q5 的鐵電膜的極化方向處於在其中通道側為正的狀態時，nMOS 電晶體 Q5 的閾值電壓 V_t 減小，並且“導通”電阻減小。例如，此時的“導通”電流的下限 $i(H)_{\min}$ 為 $10\mu\text{A}$ 。當 nMOS 電晶體 Q5 的極化方向處於在其中通道側為負的狀態時，nMOS 電晶體 Q5 的閾值電壓 V_t 增大，並且“導通”電阻增大。例如，此時的“導通”電流的上限 $i(L)_{\max}$ 為 10nA 。由於在圖 1、圖 3、圖 5 和圖 7 所示的記憶體單元的操作中流經電阻器元件的電流與本修改中的 nMOS 電晶體 Q5 的“導通”電流實質上相等，因此利用與圖 2A 和 2B、圖 4 A 和 4B、圖 6 A 和 6B、以及圖 8 A 和 8B 所示的相同控制方法，可以進行利用本修改的操作。

根據上述的修改，當記憶體單元由電阻器和 MOS 電晶體組成、由浮體 MOS 電晶體組成、由在其中電荷捕獲區設置在閘極絕緣膜中的 MOS 電晶體組成、或者由在其中在閘極絕緣膜中使用鐵電物質的 MOS 電晶體組成時，可以藉由與實施例中的上述的單端感測放大器的控制方法相同的控制方法來控制記憶體單元。

在根據如上述之實施例的感測電路中，藉由單一 MOS 電晶體來放大信號電壓，藉以防止了晶片面積的增大。因此，感測電路更可以用在具有高的整合度的資料處理系統等中。

雖然以上參照附圖詳細描述了本發明的實施例，但是本發明的具體構成不受限於實施例，並且本發明更包含沒有脫離本發明的預期範疇外的範圍內的設計等。

例如，在本實施例中，如上述所構成 MOS 電晶體的極性，但是也可以形成在其中 MOS 電晶體的極性全部相反的電路。在這種情況下，電源電位和接地的關係相反，控制信號的極性也相反。

【圖式簡單說明】

結合附圖，從下面對特定較佳實施例的描述中，本發明的以上特徵和優點將更清楚，其中：

圖 1 為顯示根據實施例 1 的可變電阻記憶體單元和感測放大器之結構的圖式；

圖 2A~2B 為顯示根據實施例 1 的感測放大器中之操作波形的圖式；

圖 3 為顯示根據實施例 2 的可變電阻記憶體單元和感測放大器之結構的圖式；

圖 4A~4B 為顯示根據實施例 2 的感測放大器中之操作波形的圖式；

圖 5 為顯示根據實施例 3 的可變電阻記憶體單元和感測放大器之結構的圖式；

圖 6A~6B 為顯示根據實施例 3 的感測放大器中之操作波形的圖式；

圖 7 為顯示根據實施例 4 的可變電阻記憶體單元和感測放大器之結構的圖式；

圖 8A~8B 為顯示根據實施例 4 的感測放大器中之操作波形的圖式；

圖 9 為顯示根據修改 1 的感測放大器和記憶體單元之結構的圖式；

圖 10 為顯示根據修改 2 的感測放大器和記憶體單元之結構的圖式；

圖 11 為顯示根據修改 3 的感測放大器和記憶體單元之結構的圖式；

圖 12 為顯示根據修改 4 的感測放大器和記憶體單元之結構的圖式。

【主要元件符號說明】

- 10 記憶體單元
- 11 記憶體單元
- 12 記憶體單元
- 13 記憶體單元
- 14 記憶體單元
- 15 記憶體單元
- 16 記憶體單元
- 17 記憶體單元
- 20 感測放大器
- 21 感測放大器
- 22 感測放大器
- 23 感測放大器
- 30 全局位元線感測及寫入電路

七、申請專利範圍：

1. 一種半導體裝置，包含：

一記憶體單元，其用於基於一輸入/輸出端和一電源端之間的一電阻值，或者與該輸入/輸出端連接的一單元電晶體的一導通電流值(ON current value)來儲存資訊；

一位元線，其連接到該輸入/輸出端，用於將該資訊輸入到該記憶體單元或者從該記憶體單元輸出該資訊；

一第一場效電晶體，其用作一單端感測放大器，該第一場效電晶體具有與該位元線連接的一閘極，用於放大該位元線上的一資料信號；

一第二場效電晶體，其連接到該位元線，用於將該位元線的一電位控制成一第一預定電位；

一第三場效電晶體，其用於向一全局位元線提供該第一場效電晶體的一輸出信號；及

一全局位元線感測放大器，其連接到該全局位元線，用於檢測該全局位元線上的一信號，其中

該位元線的該第一預定電位根據流經該記憶體單元的一電流而變化，並且該第一場效電晶體根據該位元線的變化電位來使一電流流動。

2. 如申請專利範圍第 1 項之半導體裝置，其中在從該記憶體單元到該位元線輸出資訊之前，該第二場效電晶體將該位元線的該電位控制成該第一預定電位。

3. 如申請專利範圍第 1 項之半導體裝置，其中在對該記憶體單元進行存取之後，在預定時間使該第三場效電晶體處於一導通狀態，藉此該第一場效電晶體根據該位元線的變化電位來使該電流流動。

4. 如申請專利範圍第 1 項之半導體裝置，其中

該位元線及該全局位元線構成分級結構，

該記憶體單元具有與一字元線相連接的一選擇端，

該電源端連接到一第一電源，

該第一場效電晶體具有與一第二電源相連接的一源極，

該第二場效電晶體具有與一第一信號線相連接的一閘極、與一第三電源相連接的一源極、及與該位元線相連接的一汲極，

該第三場效電晶體具有與一第二信號線相連接的一閘極、與該第一場效電晶體的一汲極相連接的一源極以及與該全局位元線相連接的一汲極，及

該第一電源和該第三電源具有不同的電壓值，藉此該第一預定電位被供給到該位元線，並且該第一預定電位根據流經該記憶體單元的該電流而變化。

5. 如申請專利範圍第 1 項之半導體裝置，其中一第一時間常數基於與該記憶體單元的第一資訊對應的相對高的一電阻值及該位元線的一電容，一第二時間常數基於與該記憶體單元的第二資訊對應的相對低的一電阻值及該位元線的該電容，該第一時間常數大約是該第二時間常數的 1000 倍或更多倍。

6. 如申請專利範圍第 1 項之半導體裝置，更包含一第四場效電晶體，該第四場效電晶體連接在該位元線和該全局位元線之間，用於向該記憶體單元寫入資訊。

7. 如申請專利範圍第 1 項之半導體裝置，其中

該記憶體單元的該電源端連接到一第一電源，

該第一場效電晶體具有與一第二電源相連接的一源極和藉由該第三場效電晶體與該全局位元線相耦合的一汲極，及

該第二場效電晶體具有與一第三電源相連接的一源極及與該位元線相連接的一汲極，

該半導體裝置更包含一第五場效電晶體，該第五場效電晶體連接在該全局位元線及一第四電源之間，用於將該全局位元線的一電位控制在一第二預定電位，其中

該第一電源和該第三電源具有不同的電壓值，藉此將該第一預定電位供給到該位元線，並且該第一預定電位根據流經該記憶體單元的該電流而變化，

該第二電源和該第四電源具有不同的電壓值，藉此將該第二

預定電位供給到該全局位元線，並且該第二預定電位根據流經該第一場效電晶體的該電流而變化。

8. 如申請專利範圍第 7 項之半導體裝置，其中該第三電源和該第四電源具有不同的電壓值。

9. 如申請專利範圍第 7 項之半導體裝置，其中該第三電源和該第四電源具有相同的電壓值。

10. 如申請專利範圍第 1 項之半導體裝置，其中該記憶體單元包含一電阻器及一場效電晶體，其中該電阻器的電阻值根據所儲存的資訊而不同。

11. 如申請專利範圍第 1 項之半導體裝置，其中該記憶體單元包含以下任意一種：一浮體(floating body)場效電晶體、在一閘極絕緣膜中設置有一電荷捕獲區的一場效電晶體、及在一閘極絕緣膜中具有一鐵電材料的一場效電晶體。

12. 一種半導體裝置，包含：

一記憶體單元，其用於基於一輸入/輸出端及一電源端之間的一電阻值，或者與該輸入/輸出端連接的一單元電晶體的一導通電流值來儲存資訊；

一位元線，其連接到該輸入/輸出端，用於將該資訊輸入到該記憶體單元或者從該記憶體單元輸出該資訊；

一第一場效電晶體，其用作一單端感測放大器，該第一場效電晶體具有與該位元線相連接的一閘極，用於放大該位元線上的一資料信號；

一第二場效電晶體，其連接到該位元線，用於將該位元線的一電位控制成一第一預定電位；

一第三場效電晶體，其用於向一全局位元線提供該第一場效電晶體的一輸出信號；及

一全局位元線感測放大器，其連接到該全局位元線，用於檢測該全局位元線上的一信號，其中

在對該記憶體單元進行存取之前，使該第二場效電晶體成為一導通狀態，以便於將該位元線設置成該第一預定電位，及

在對該記憶體單元進行存取之後，該位元線的該第一預定電位根據流經該記憶體單元的一電流而變化，並且該第一場效電晶體根據該位元線的變化電位來使一電流流動。

13. 如申請專利範圍第 12 項之半導體裝置，其中在對該記憶體單元進行存取之後，在一預定時間使該第三場效電晶體處於一導通狀態，藉此該第一場效電晶體根據該位元線的變化電位來使該電流流動。

14. 如申請專利範圍第 12 項之半導體裝置，更包含一第五場效電晶體，該第五場效電晶體連接在該全局位元線和一第四電源之間，用於將該全局位元線控制在一第二預定電位，其中

在對該記憶體單元進行存取之前，使該第五場效電晶體處於一導通狀態，以將該全局位元線設置成該第二預定電位，及

在對該記憶體單元進行存取之後，該全局位元線的該第二預定電位根據流經該第一場效電晶體的一電流而變化。

15. 如申請專利範圍第 13 項之半導體裝置，其中當在該預定時間使該第三場效電晶體處於一導通狀態之時，根據以與該記憶體單元的第一資訊對應的相對高的一電阻值流動的一電流，該位元線的該電壓變得低於該第一場效電晶體的一閾值電壓，並且，根據以與該記憶體單元的第二資訊對應的相對低的一電阻值流動的一電流，該位元線的電壓變得高於該第一場效電晶體的該閾值電壓。

16. 一種半導體裝置，包含：

一記憶體單元，其用於基於一輸入/輸出端及一電源端之間的一電阻值，或者與該輸入/輸出端連接的一單元電晶體的一導通電流值來儲存資訊；

一位元線，其連接到該輸入/輸出端，用於將該資訊輸入到該記憶體單元或者從該記憶體單元輸出該資訊；

一第一場效電晶體，其用作一單端感測放大器，該第一場效電晶體具有與該位元線相連接的一閘極，用於放大該位元線上的一資料信號；

一第二場效電晶體，其連接到該位元線，用於將該位元線的一電位控制成一第一預定電位；

一第三場效電晶體，其用於向一全局位元線提供該第一場效電晶體的一輸出信號；及

一全局位元線感測放大器，其連接到該全局位元線，用於檢測該全局位元線上的一信號，其中

該位元線的該第一預定電位根據流經該記憶體單元的一電流及流經該第二場效電晶體的一電流而變化，並且該第一場效電晶體根據該位元線的變化電位來使一電流流動。

17. 如申請專利範圍第 16 項之半導體裝置，其中在對該記憶體單元進行存取之後，在一預定時間使該第三場效電晶體處於一導通狀態，藉此該第一場效電晶體根據該位元線的變化電位來使該電流流動。

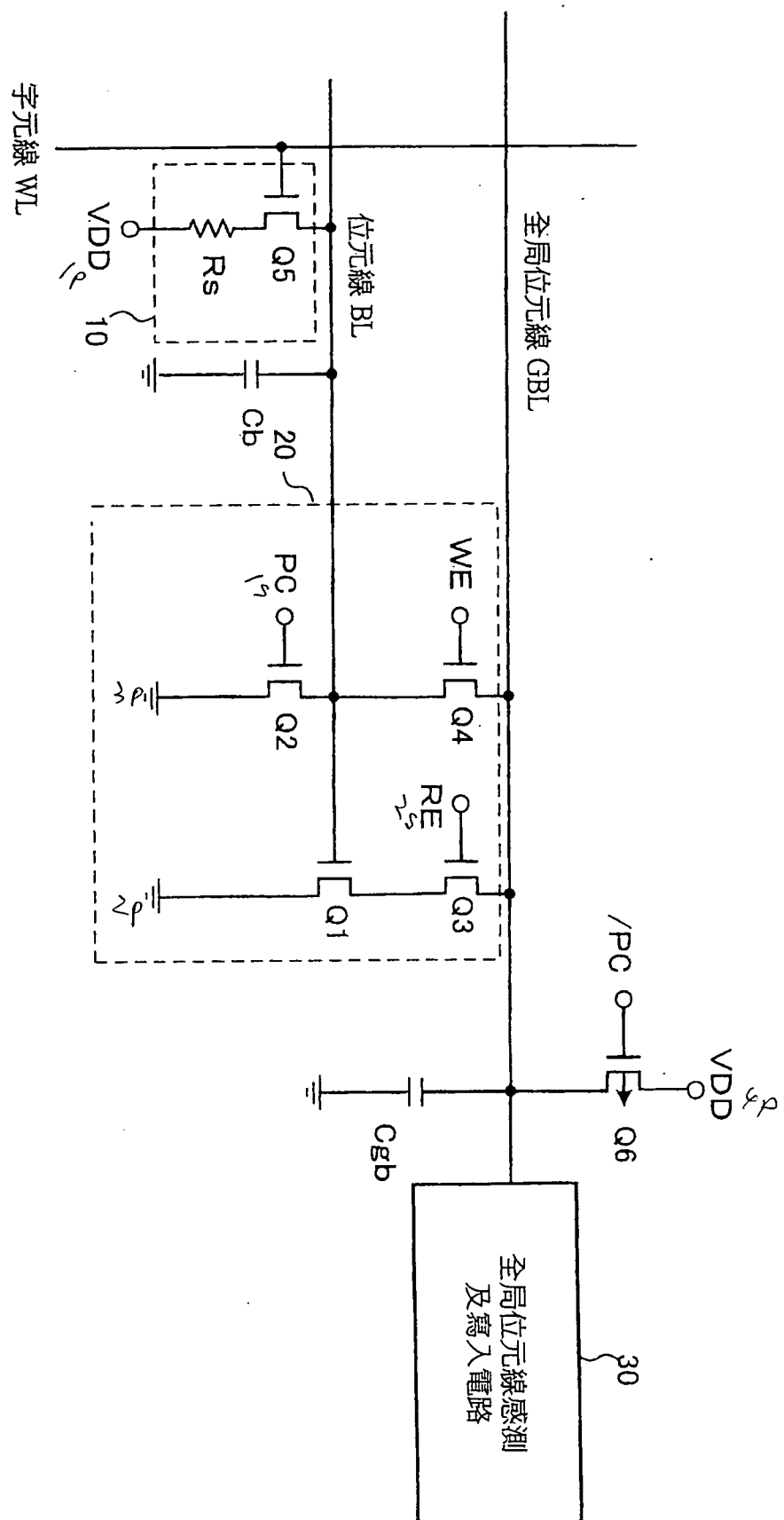
18. 如申請專利範圍第 16 項之半導體裝置，更包含一第五場效電晶體，該第五場效電晶體連接在該全局位元線及一第四電源之間，用於將該全局位元線控制為一第二預定電位，其中

該全局位元線的該第二預定電位根據流經該第一場效電晶體的一電流及流經該第五場效電晶體的一電流而變化。

19. 如申請專利範圍第 17 項之半導體裝置，其中當在該預定時間使該第三場效電晶體處於一導通狀態之時，根據以與該記憶體單元的第一資訊對應的相對高的一電阻值而流動的一電流，該位元線的該電壓變得低於該第一場效電晶體的一閾值電壓，並且，根據以與該記憶體單元的第二資訊對應的相對低的一電阻值而流動的一電流，該位元線的該電壓變得高於該第一場效電晶體的該閾值電壓。

20. 如申請專利範圍第 16 項之半導體裝置，更包含一第四場效電晶體，該第四場效電晶體連接在該位元線及該全局位元線之間，用於向該記憶體單元寫入資訊。

八、圖式：



四
1

圖式

圖式

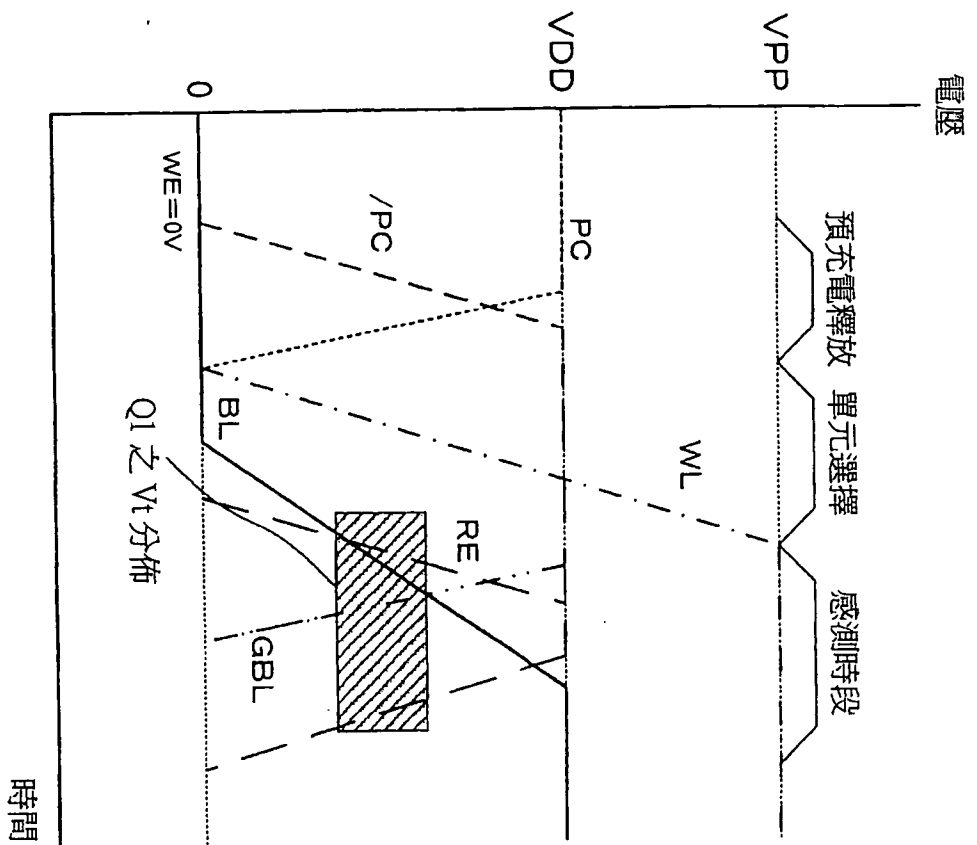


圖 2A

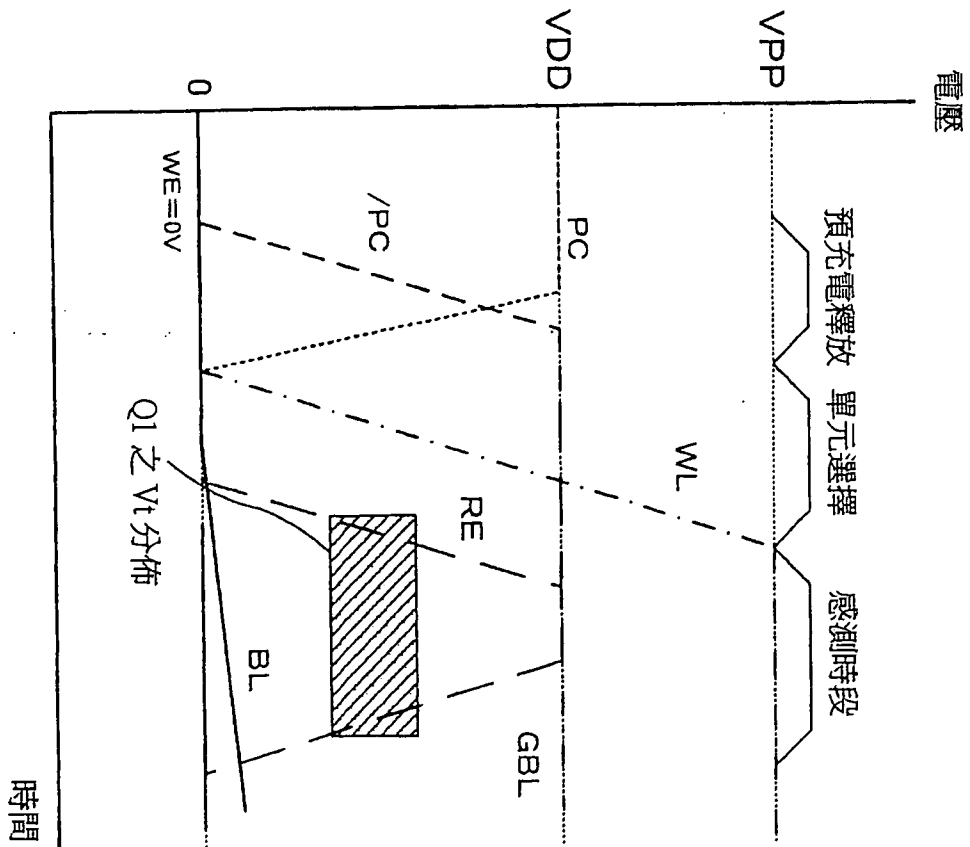


圖 2B

圖式

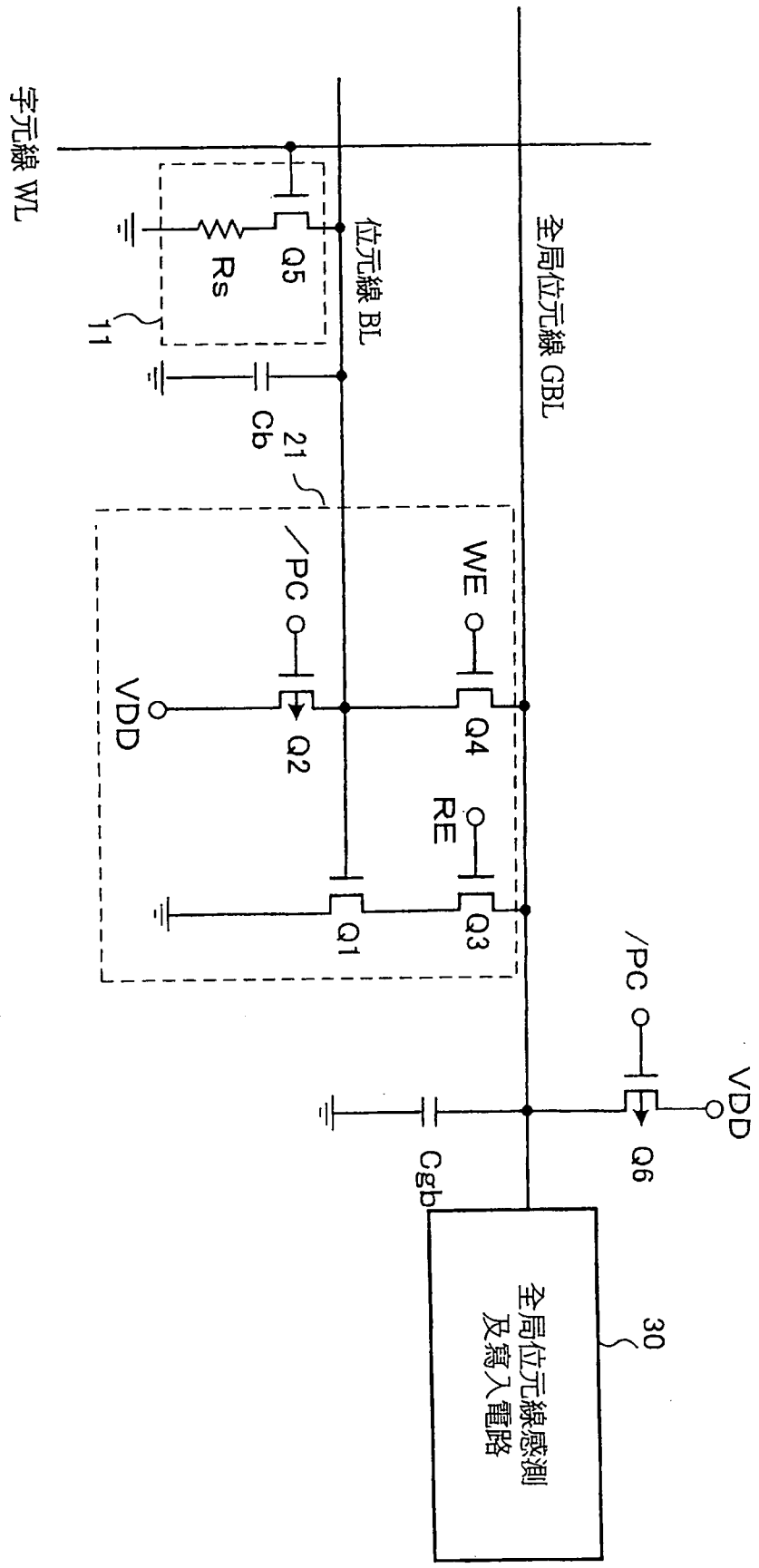


圖 3

圖式

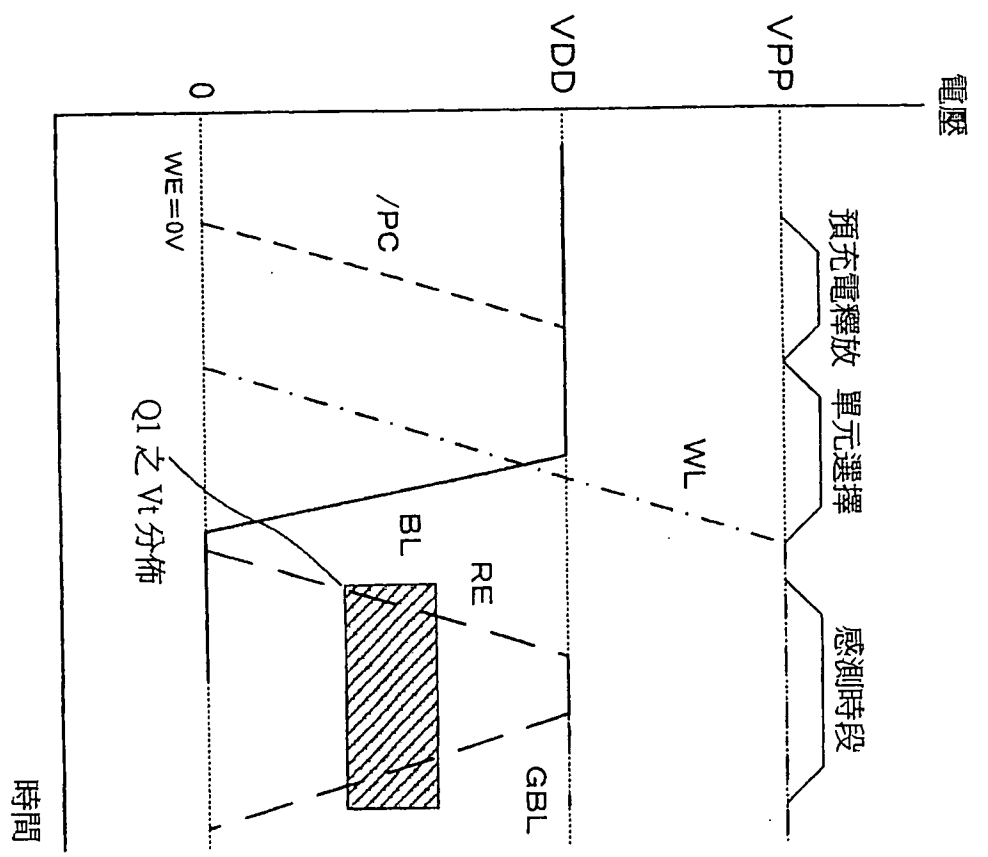


圖 4A

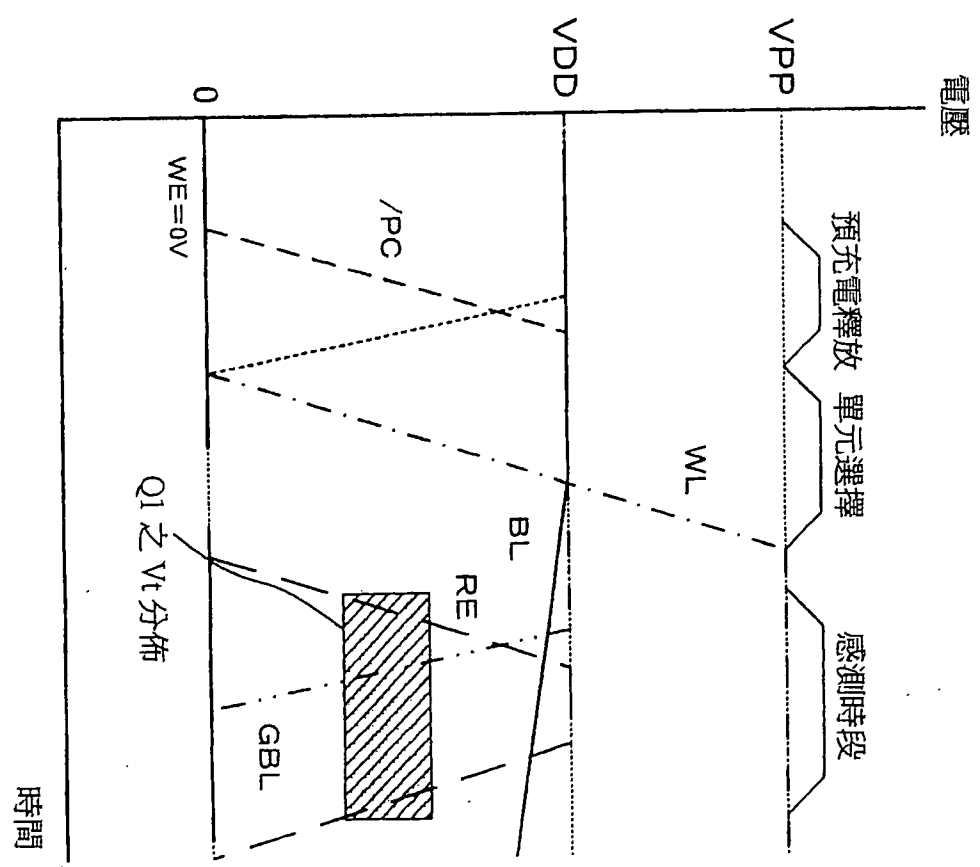


圖 4B

圖式

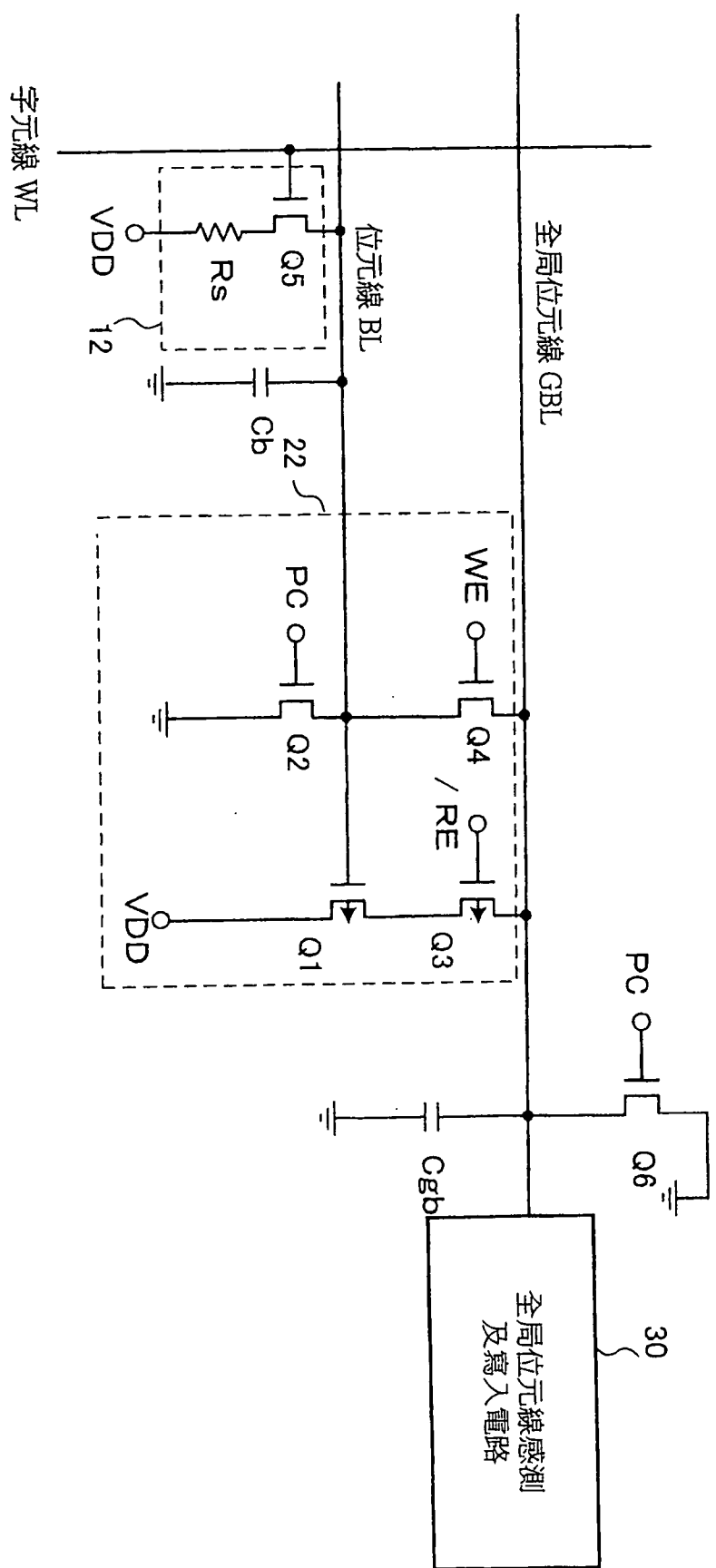


圖 5

圖式

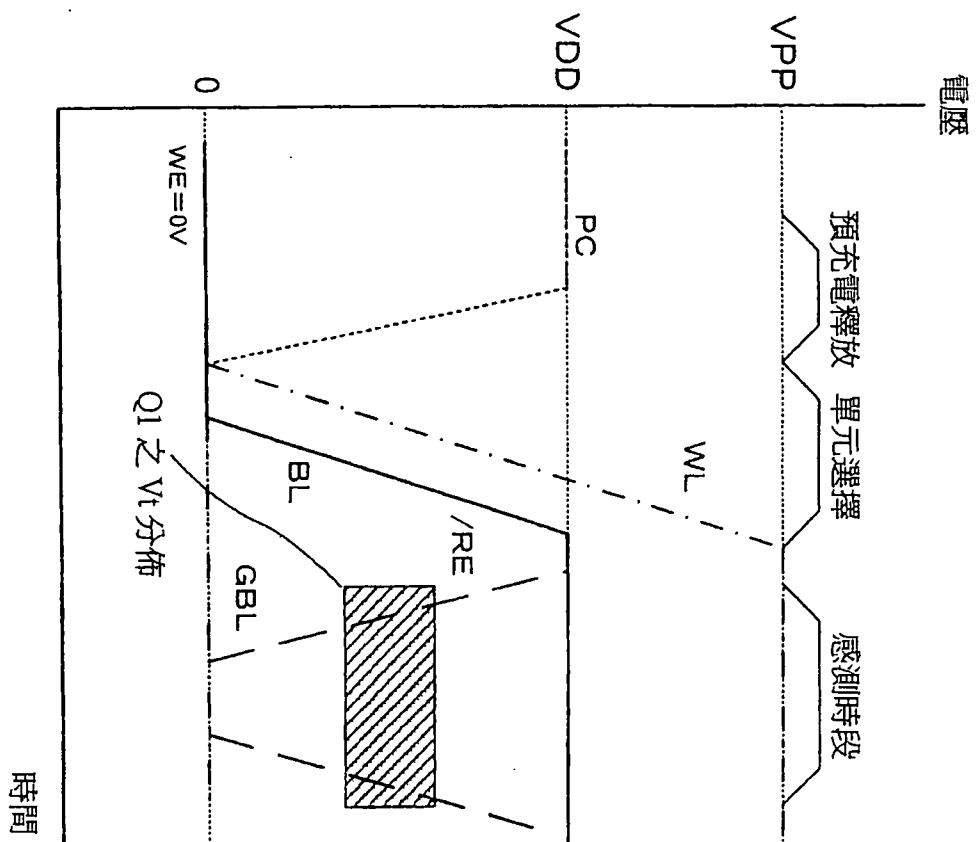


圖 6A

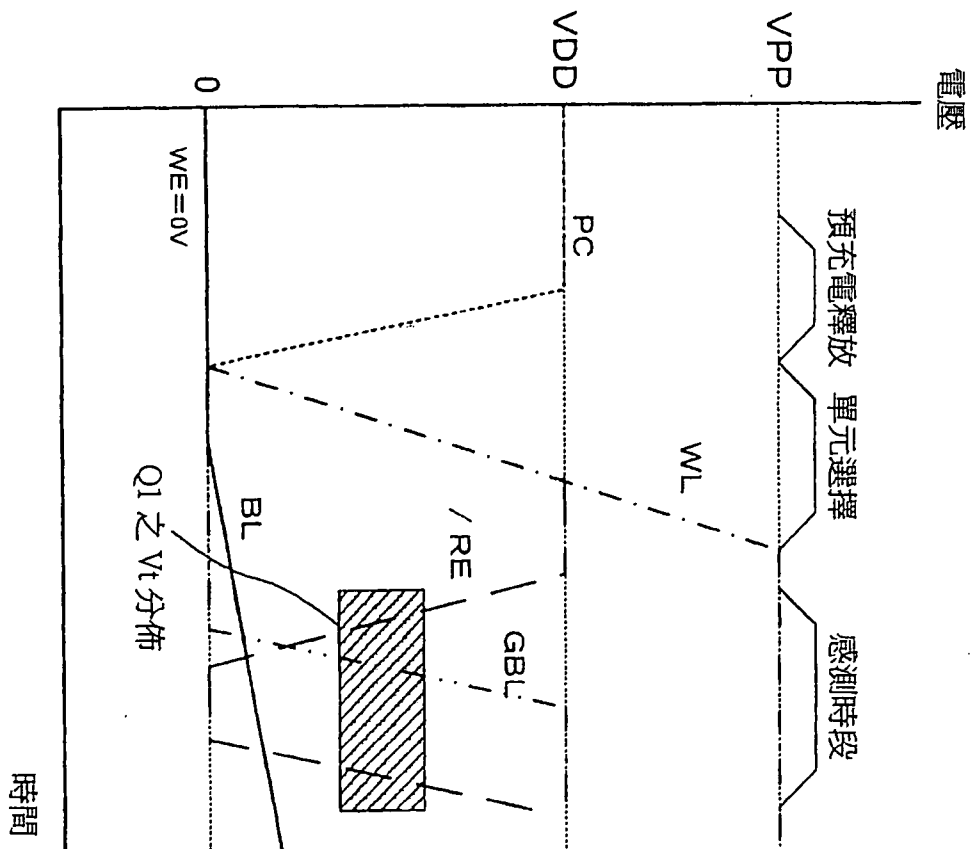


圖 6B

圖式

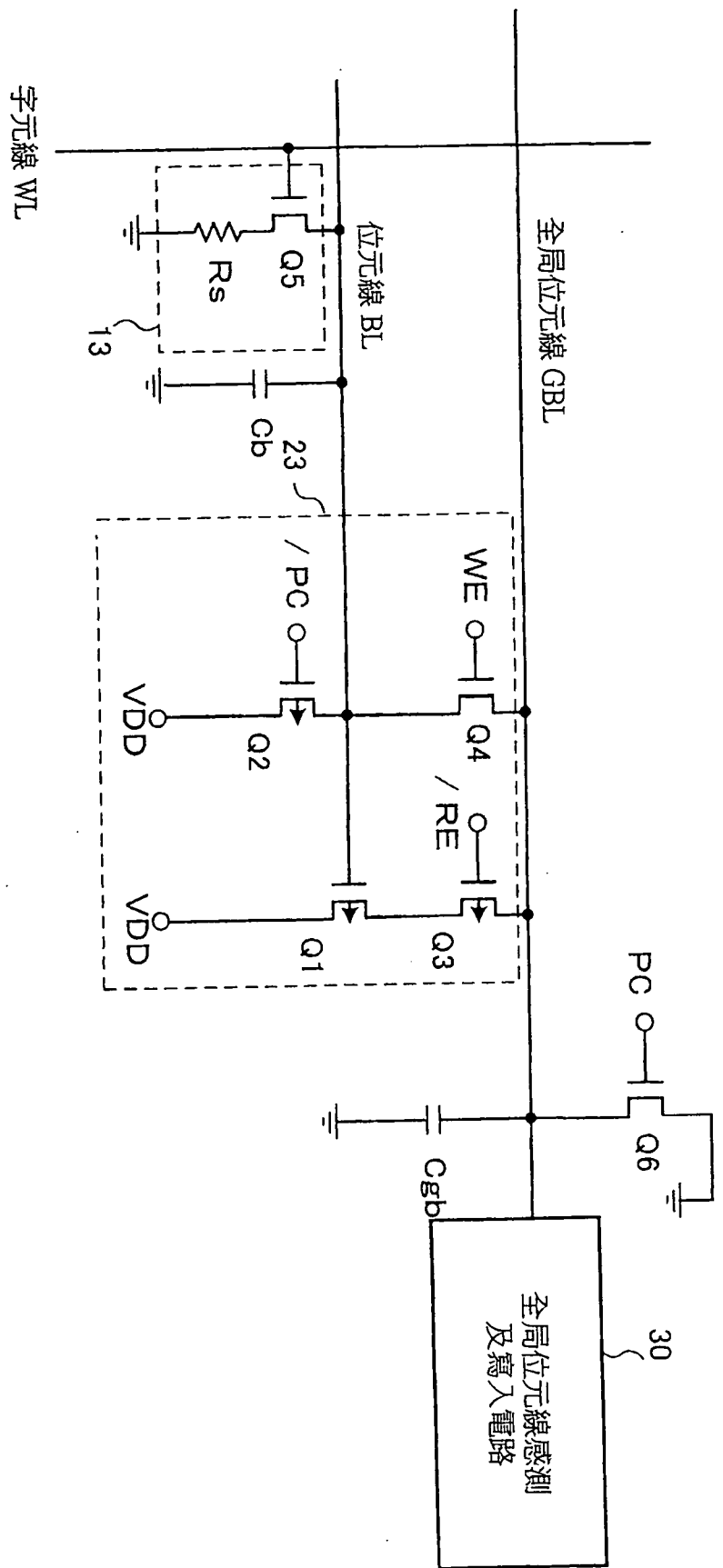


圖 7

圖式

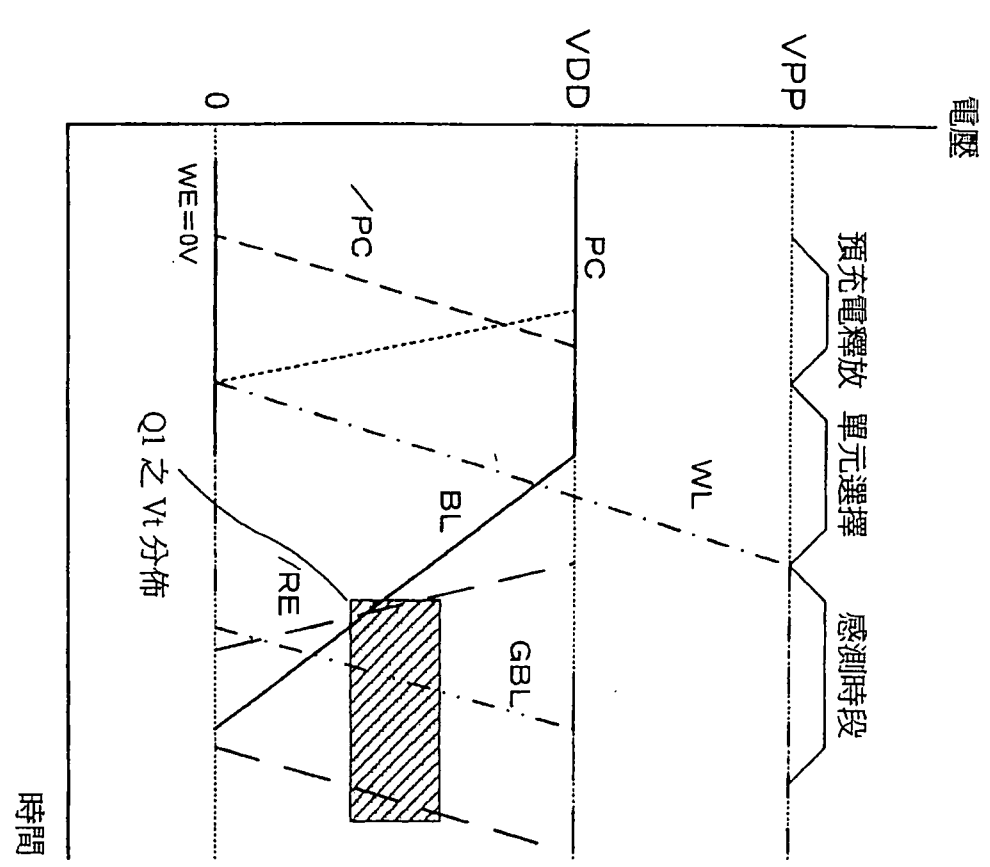


圖 8A

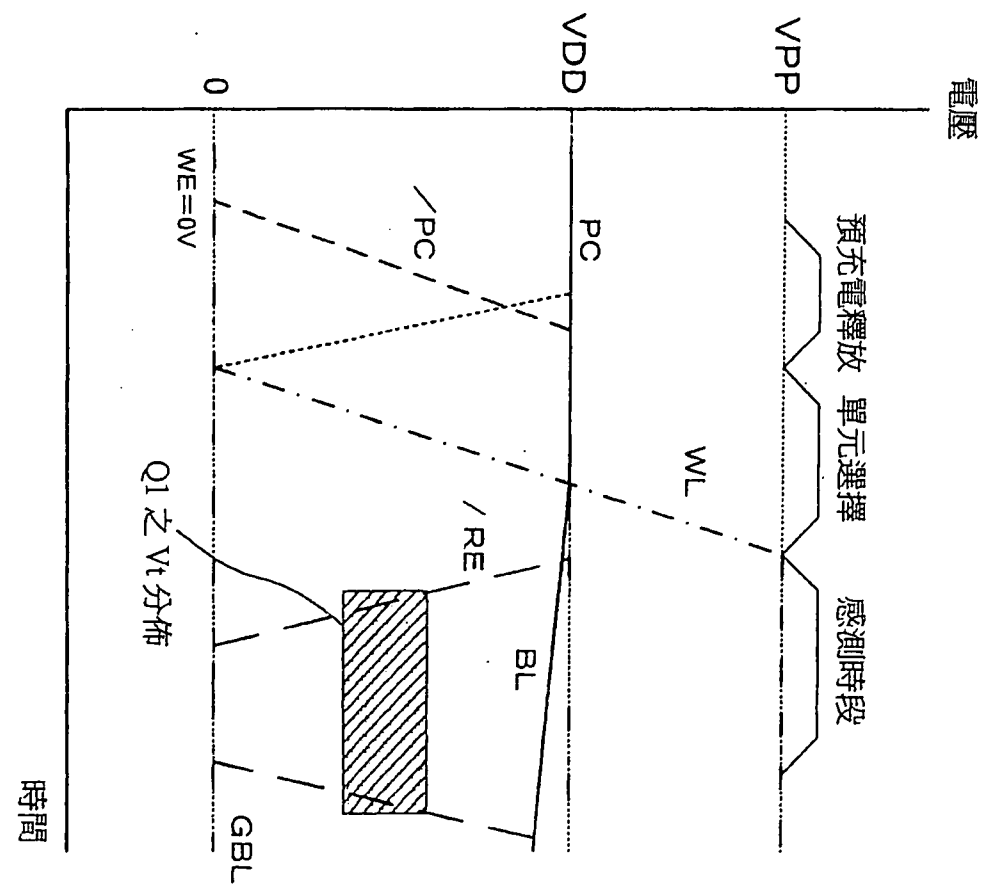


圖 8B

圖式

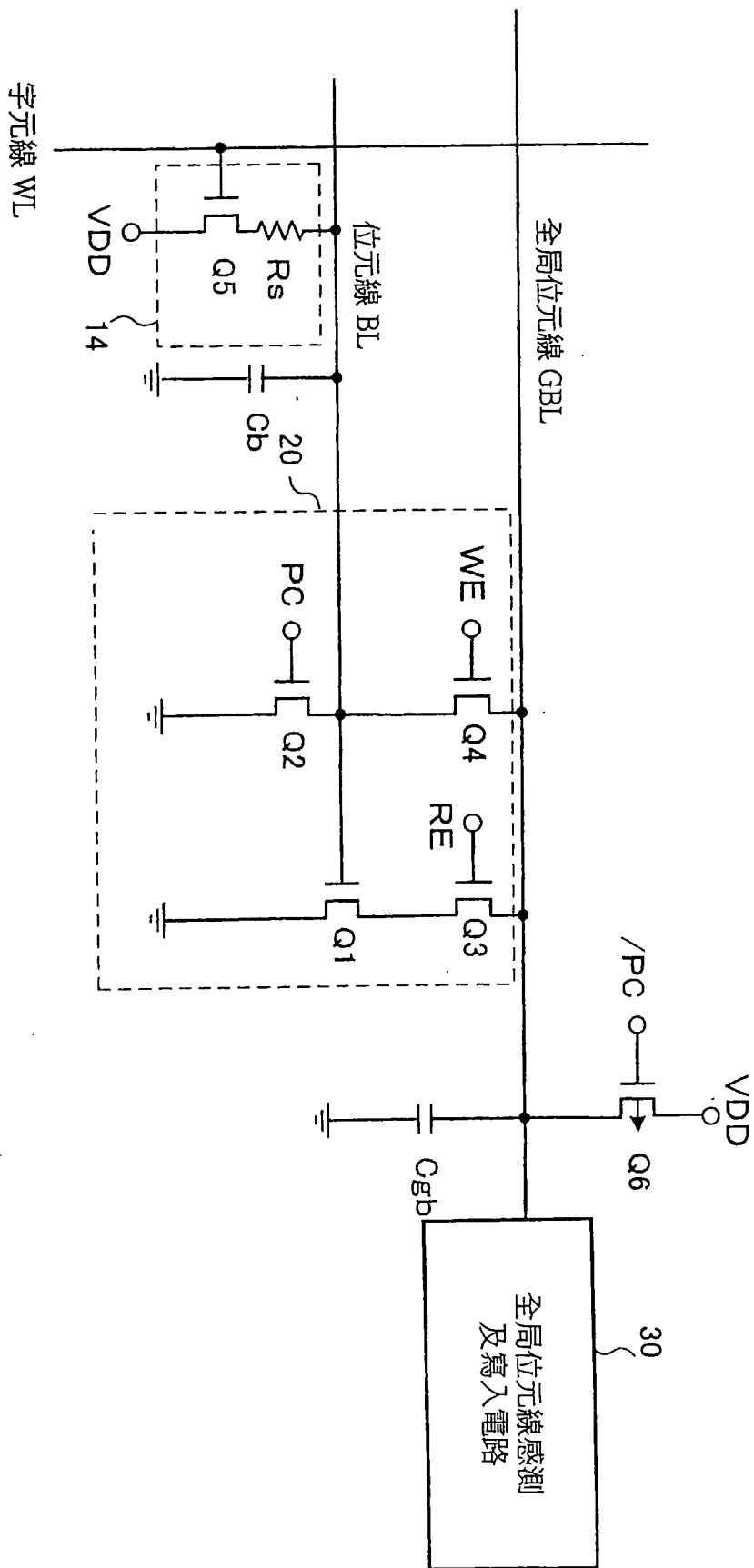


圖 9

圖式

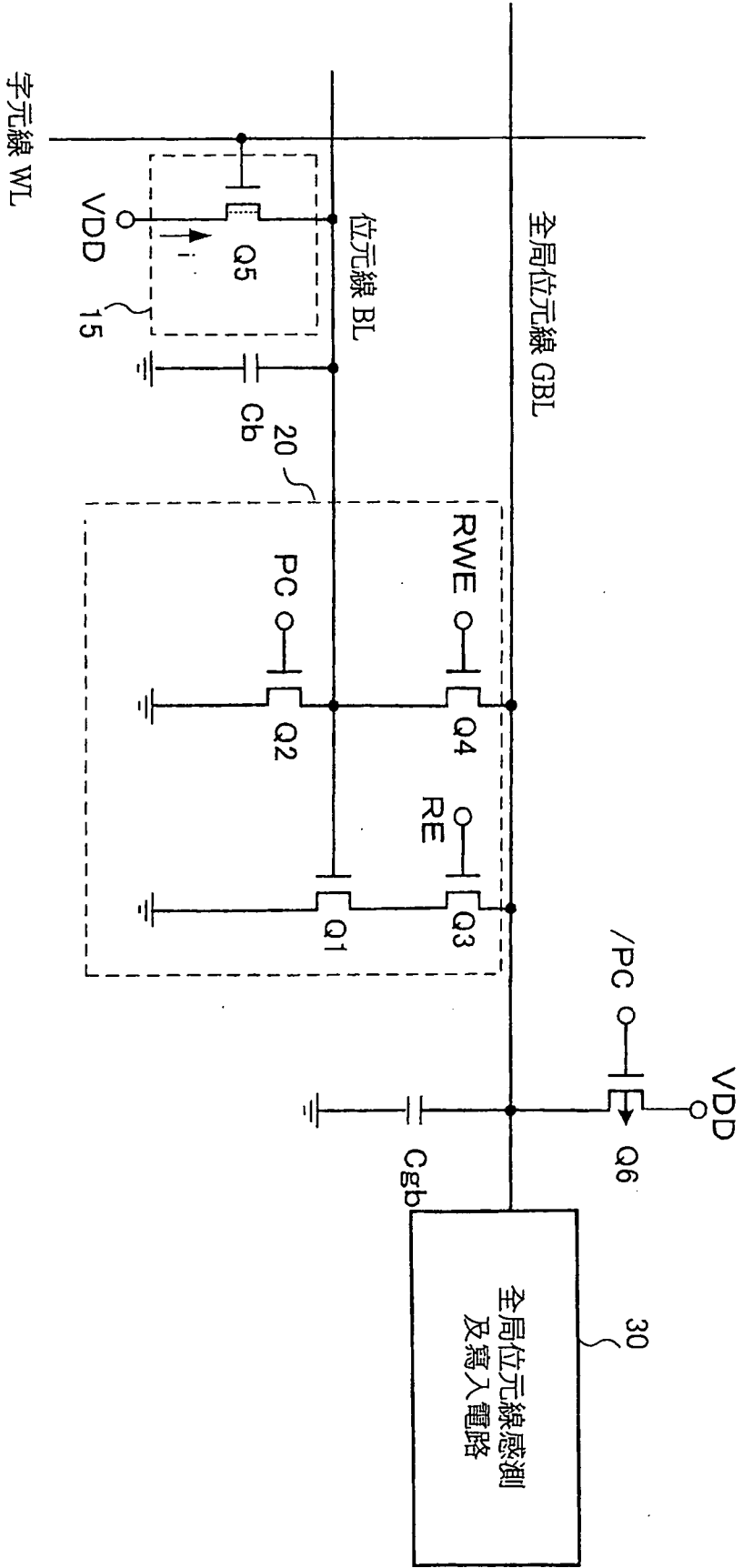


圖 10

圖式

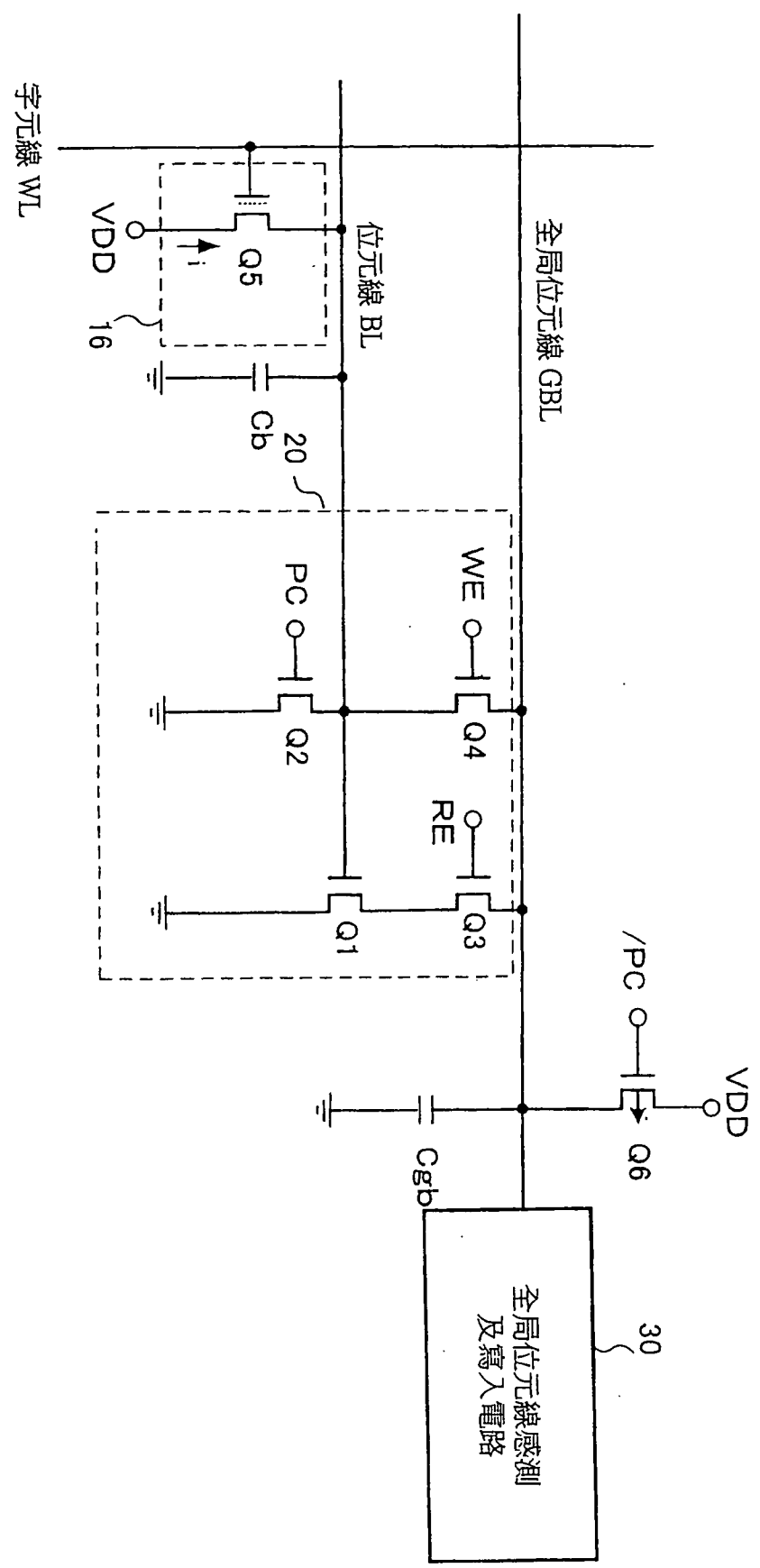


圖 11

圖式

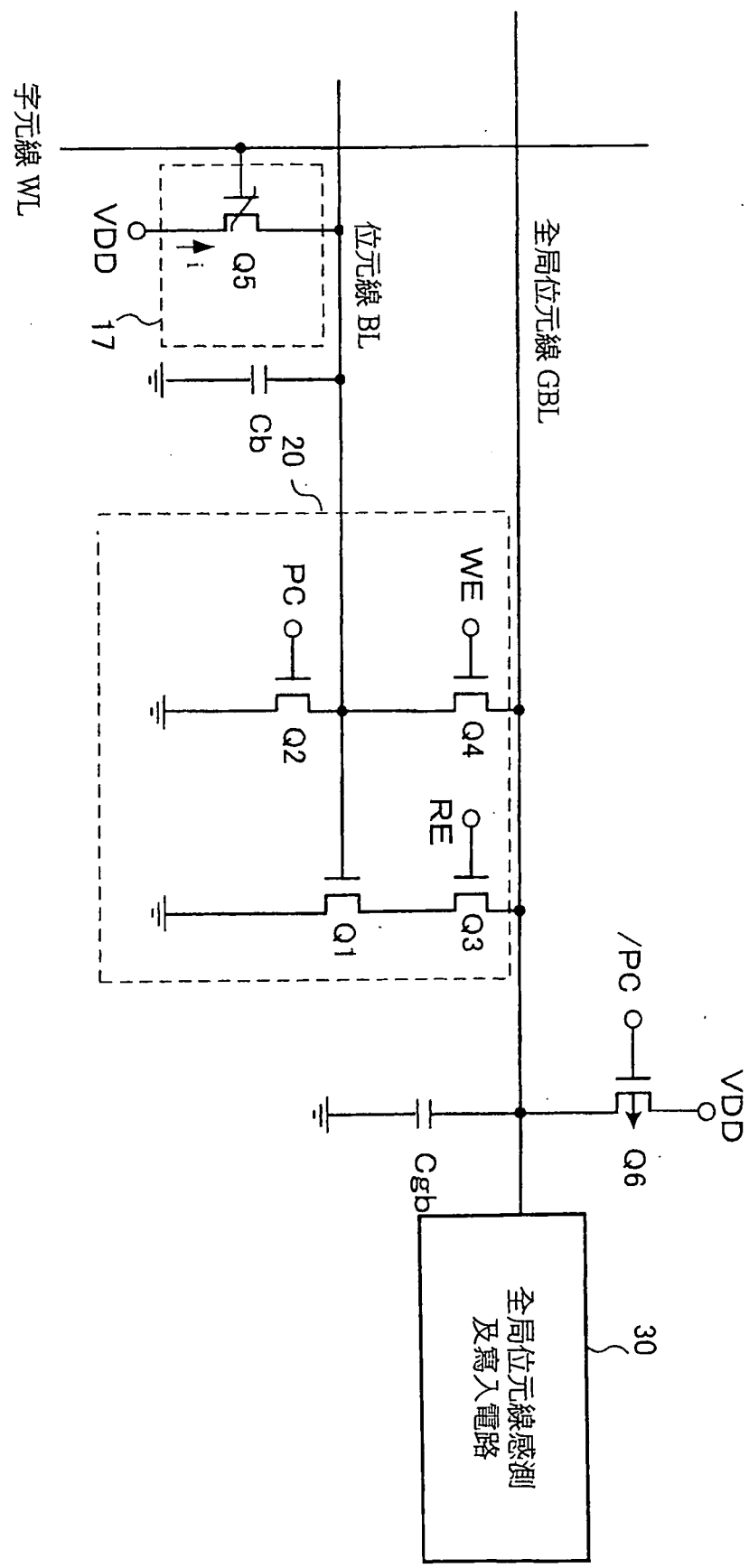


圖 12