



(12) 发明专利申请

(10) 申请公布号 CN 105684310 A

(43) 申请公布日 2016. 06. 15

(21) 申请号 201480058825. 7

代理人 王茂华

(22) 申请日 2014. 10. 29

(51) Int. Cl.

(30) 优先权数据

14/065, 854 2013. 10. 29 US

H03K 3/356(2006. 01)

H03K 3/012(2006. 01)

(85) PCT国际申请进入国家阶段日

2016. 04. 26

(86) PCT国际申请的申请数据

PCT/US2014/062843 2014. 10. 29

(87) PCT国际申请的公布数据

W02015/066142 EN 2015. 05. 07

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 O·拉杰 D·J·阿拉迪

(74) 专利代理机构 北京市金杜律师事务所

11256

权利要求书3页 说明书6页 附图4页

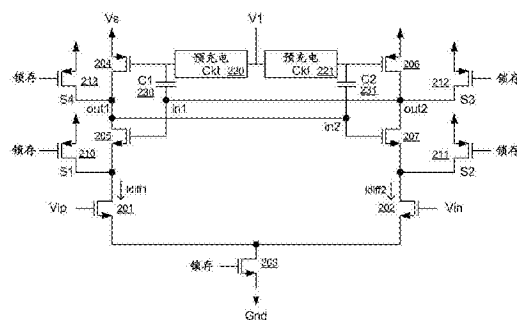
(54) 发明名称

锁存比较器电路和方法

(57) 摘要

本公开包括用于对信号进行锁存的电路和方法。在一个实施例中，两个逆变器 (204、205 与 206、207) 被配置为对信号进行背靠背锁存。每个逆变器包括被配置在逆变器晶体管的控制端子之间的电容器 (C1、C2)。在一个实施例中，该电路是比较器的一部分。第一和第二电压 (Vip、Vin) 在差分晶体管 (201、202) 的控制端子上被接收，并且差分输出信号 (Out1、Out2) 被耦合至两个背靠背逆变器。在一个实施例中，电路被禁用 (锁存信号为0) 并且逆变器中的晶体管 (204、206) 的控制端子上的电压被设置为低于诸如电源 (Vs) 的基准值 (Vref) 以便提高该电路的速度。

200



1. 一种电路,包括:

具有控制端子、第一端子和第二端子的第一晶体管;

具有控制端子、第一端子和第二端子的第二晶体管,其中所述第一晶体管的所述第一端子耦合至所述第二晶体管的所述第一端子;

第一逆变器和第二逆变器,其中所述第一逆变器的输出耦合至所述第二逆变器的输入并且所述第二逆变器的输出耦合至所述第一逆变器的输入,其中所述第一逆变器的偏置端子耦合至所述第一晶体管的所述第二端子并且所述第二晶体管的偏置端子耦合至所述第二晶体管的所述第二端子,

所述第一逆变器包括:

具有控制端子、第一端子和第二端子的第三晶体管;

具有控制端子、第一端子和第二端子的第四晶体管;和

耦合在所述第三晶体管的所述控制端子与所述第四晶体管的所述控制端子之间的第一电容器;并且

所述第二逆变器包括:

具有控制端子、第一端子和第二端子的第五晶体管;

具有控制端子、第一端子和第二端子的第六晶体管;和

耦合在所述第五晶体管的所述控制端子与所述第六晶体管的所述控制端子之间的第二电容器。

2. 根据权利要求1所述的电路,其中当所述第一逆变器和所述第二逆变器被禁用时,所述第三晶体管的所述控制端子上的电压小于所述第四晶体管的所述控制端子上的电压、并且所述第五晶体管的所述控制端子上的电压小于所述第六晶体管的所述控制端子上的电压。

3. 根据权利要求1所述的电路,其中当所述第一逆变器和所述第二逆变器被禁用时,所述第三、第四、第五和第六晶体管的所述第一端子和所述第二端子以及所述第四晶体管和所述第六晶体管的所述控制端子耦合至基准电压,并且所述第三晶体管和所述第五晶体管的所述控制端子耦合至低于所述基准电压的电压。

4. 根据权利要求1所述的电路,其中当所述第一逆变器和所述第二逆变器被禁用时,所述第三晶体管和所述第五晶体管的所述控制端子耦合至低于供电电压的MOS晶体管阈值电压。

5. 根据权利要求1所述的电路,进一步包括耦合至所述第三晶体管的所述控制端子和所述第五晶体管的所述控制端子的预充电电路。

6. 根据权利要求5所述的电路,其中所述预充电电路包括:具有耦合至所述第三晶体管的所述控制端子的第一端子以及第二端子的第七晶体管,和具有耦合至所述第五晶体管的所述控制端子的第一端子的第八晶体管。

7. 根据权利要求6所述的电路,其中所述第七晶体管的所述第二端子和所述第八晶体管的第二端子耦合至基准生成器。

8. 根据权利要求7所述的电路,其中所述基准生成器包括具有与所述第七晶体管的所述第二端子和所述第八晶体管的所述第二端子耦合的控制端子的第九晶体管,并且其中所述第九晶体管进一步包括耦合至基准电压的第一端子以及耦合至所述第九晶体管的所述

控制端子和负载的第二端子。

9. 根据权利要求5所述的电路, 其中所述预充电电路包括: 具有耦合至所述第三晶体管的所述控制端子的第一端子和耦合至基准生成器的第二端子的第一电阻器, 以及具有耦合至所述第五晶体管的所述控制端子的第一端子和耦合至所述基准生成器的第二端子的第二电阻器。

10. 根据权利要求9所述的电路, 其中所述基准生成器包括具有与所述第一电阻器的所述第二端子和所述第二电阻器的所述第二端子耦合的控制端子的第九晶体管, 并且其中所述第九晶体管进一步包括耦合至基准电压的第一端子以及耦合至所述第九晶体管的所述控制端子和负载的第二端子。

11. 一种方法, 包括:

在第一晶体管的控制端子上接收第一输入电压, 所述第一晶体管具有第一端子和第二端子;

在第二晶体管的控制端子上接收第二输入电压, 所述第二晶体管具有第一端子和第二端子, 其中所述第二晶体管的所述第一端子耦合至所述第一晶体管的所述第一端子并且有选择地耦合至第一基准电压;

将来自所述第一晶体管的所述第二端子的差分信号的第一分量耦合至第一逆变器的偏置端子;

将来自所述第二晶体管的所述第二端子的差分信号的第二分量耦合至第二逆变器的偏置端子, 其中所述第一逆变器的输出耦合至所述第二逆变器的输入并且所述第二逆变器的输出耦合至所述第一逆变器的输入;

将来自所述第二逆变器的所述输出的输出信号耦合至第四晶体管的控制端子以及处于所述第一逆变器的所述输入处的第一电容器的第一端子, 并且将所述输出信号通过所述第一电容器耦合至第三晶体管的控制端子; 以及

将来自所述第一逆变器的所述输出的输出信号耦合至第六晶体管的控制端子以及处于所述第二逆变器的所述输入处的第二电容器的第一端子, 并且将所述输出信号通过所述第二电容器耦合至第五晶体管的控制端子。

12. 根据权利要求11所述的方法, 进一步包括对所述第三晶体管的所述控制端子和所述第五晶体管的所述控制端子进行预充电。

13. 根据权利要求12所述的方法, 其中所述预充电包括有选择地通过具有耦合至所述第三晶体管的所述控制端子的第一端子的第七晶体管和具有耦合至所述第五晶体管的所述控制端子的第一端子的第八晶体管而耦合第二基准电压。

14. 根据权利要求13所述的方法, 进一步包括: 在第九晶体管中生成所述第二基准电压, 所述第九晶体管具有耦合至第三基准电压的第一端子以及耦合至所述第九晶体管的所述控制端子和负载的第二端子。

15. 根据权利要求12所述的方法, 其中预充电包括通过具有耦合至所述第三晶体管的所述控制端子的第一端子的第一电阻器和具有耦合至所述第五晶体管的所述控制端子的第一端子的第二电阻器而耦合第二基准电压。

16. 根据权利要求15所述的方法, 进一步包括: 在第九晶体管中生成所述第二基准电压, 所述第九晶体管具有耦合至第三基准电压的第一端子以及耦合至所述第九晶体管的所

述控制端子和负载的第二端子。

17. 根据权利要求11所述的方法, 其中当所述第一逆变器与所述第二逆变器被禁用时, 所述第三晶体管的所述控制端子上的电压小于所述第四晶体管的所述控制端子上的电压、并且所述第五晶体管的所述控制端子上的电压小于所述第六晶体管的所述控制端子上的电压。

18. 根据权利要求11所述的方法, 其中当所述第一逆变器与所述第二逆变器被禁用时, 所述第三、第四、第五和第六晶体管的所述第一端子和所述第二端子以及所述第四晶体管和所述第六晶体管的所述控制端子耦合至基准电压, 并且所述第三晶体管和所述第五晶体管的所述控制端子耦合至低于所述基准电压的电压。

19. 根据权利要求11所述的方法, 其中当所述第一逆变器与所述第二逆变器被禁用时, 所述第三晶体管和所述第五晶体管的所述控制端子耦合至低于供电电压的MOS晶体管阈值电压。

20. 一种电路, 包括:

用于接收第一电压和第二电压并且产生差分信号的器件;

第一逻辑电路, 包括串行配置的第一晶体管配对, 在所述第一晶体管配对的控制端子之间配置有第一电容器, 其中第一逆变器的偏置端子接收所述差分信号的第一分量; 以及

第二逻辑电路, 包括串行配置的第二晶体管配对, 在所述第二晶体管配对的控制端子之间配置有第二电容器, 其中第二逆变器的偏置端子接收所述差分信号的第二分量,

其中所述第一逻辑电路的输出耦合至所述第二逻辑电路的输入, 并且所述第二逻辑电路的输出耦合至所述第一逻辑电路的输入以产生双稳态输出。

锁存比较器电路和方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2013年10月29日提交的美国非临时申请No.14/065,854的优先权，其内容出于所有目的而通过引用全文结合于此。

技术领域

[0003] 本公开涉及电子系统和方法，尤其涉及锁存电路和方法。

背景技术

[0004] 锁存器是一种通常具有两种稳定状态并且能够被用来捕获和存储信息的电路。锁存信息可以以各种方式实现。一种示例的锁存电路是接收数字信号并且被配置为具有双稳态输出的逻辑电路，其中该输出分解成两种稳定状态之一。通常被用作锁存器的示例逻辑电路包括逆变器、SR锁存器、JK锁存器和D锁存器（有时被称作“触发电路(Flip Flop)”）。

[0005] 比较器电路有时使用锁存电路来捕获比较运算的结果。比较器的性能能够变得高度依赖于比较电路之后的锁存器电路的性能。例如，在高速模数转换器（“ADC”）（例如，SAR、flash型ADC）中，该ADC的整体转换时间可以取决于该比较器的速度，该比较器的速度则取决于锁存器对最终输出进行分解的能力。进而，锁存器的延时能够取决于供电电压的变化。例如，在低供电电压，互补锁存器的延时例如由于偏置电流在低供电电压处的减小而有所增加。锁存器还必须随操作期间的供电电压变化而处于稳定。因此，随着供电电压减小，需要找到随着供电电压的变化性能良好的、用于执行锁存功能的更快的电路。

发明内容

[0006] 本公开包括锁存电路和方法。在一个实施例中，本公开包括一种电路，该电路包括：具有控制端子、第一端子和第二端子的第一晶体管；具有控制端子、第一端子和第二端子的第二晶体管，其中第一晶体管的第一端子耦合至第二晶体管的第一端子；第一逆变器和第二逆变器，其中第一逆变器的输出耦合至第二逆变器的输入并且第二逆变器的输出耦合至第一逆变器的输入，其中第一逆变器的偏置端子耦合至第一晶体管的第二端子并且第二晶体管的偏置端子耦合至第二晶体管的第二端子。第一逆变器包括：具有控制端子、第一端子和第二端子的第三晶体管，具有控制端子、第一端子和第二端子的第四晶体管，以及耦合在该第三晶体的控制端子与第四晶体的控制端子之间的第一电容器。第二逆变器包括：具有控制端子、第一端子和第二端子的第五晶体管，具有控制端子、第一端子和第二端子的第六晶体管，以及耦合在第五晶体的控制端子与第六晶体的控制端子之间的第二电容器。

[0007] 在一个实施例中，当第一逆变器和第二逆变器被禁用时，第三晶体的控制端子上的电压小于第四晶体的控制端子上的电压、并且第五晶体的控制端子上的电压小于第六晶体的控制端子上的电压。

[0008] 在一个实施例中，当第一逆变器和第二逆变器被禁用时，第三、第四、第五和第六

晶体管的第一端子和第二端子以及第四晶体管和第六晶体管的控制端子耦合至基准电压，并且第三晶体管和第五晶体管的控制端子耦合至低于该基准电压的电压。

[0009] 在一个实施例中，当第一逆变器和第二逆变器被禁用时，第三晶体管和第五晶体管的控制端子耦合至低于供电电压的MOS晶体管阈值电压。

[0010] 在一个实施例中，该电路进一步包括耦合至第三晶体管的控制端子和第五晶体管的控制端子的预充电电路。

[0011] 在一个实施例中，预充电电路包括：具有耦合至第三晶体管的控制端子的第一端子以及第二端子的第七晶体管，和具有耦合至第五晶体管的控制端子的第一端子的第八晶体管。

[0012] 在一个实施例中，第七晶体管的第二端子和第八晶体管的第二端子耦合至基准生成器。

[0013] 在一个实施例中，基准生成器包括具有与第七晶体管的第二端子和第八晶体管的第二端子耦合的控制端子的第九晶体管，并且其中第九晶体管进一步包括耦合至基准电压的第一端子以及耦合至第九晶体管的控制端子和负载的第二端子。

[0014] 在一个实施例中，预充电电路包括：具有耦合至第三晶体管的控制端子的第一端子和耦合至基准生成器的第二端子的第一电阻器，以及具有耦合至第五晶体管的控制端子的第一端子和耦合至基准生成器的第二端子的第二电阻器。

[0015] 在一个实施例中，基准生成器包括具有与第一电阻器的第二端子和第二电阻器的第二端子耦合的控制端子的第九晶体管，并且其中第九晶体管进一步包括耦合至基准电压的第一端子以及耦合至第九晶体管的控制端子和负载的第二端子。

[0016] 在另一个实施例中，以下所描述的技术包括一种方法。在一个实施例中，该方法包括：在第一晶体管的控制端子上接收第一输入电压，该第一晶体管具有第一端子和第二端子；在第二晶体管的控制端子上接收第二输入电压，该第二晶体管具有第一端子和第二端子，其中第二晶体管的第一端子耦合至第一晶体管的第一端子并且有选择地耦合至第一基准电压；将来自第一晶体管的第二端子的差分信号的第一分量耦合至第一逆变器的偏置端子；将来自第二晶体管的第二端子的差分信号的第二分量耦合至第二逆变器的偏置端子，其中第一逆变器的输出耦合至第二逆变器的输入并且第二逆变器的输出耦合至第一逆变器的输入；将来自该第二逆变器的输出的输出信号耦合至第四晶体管的控制端子以及处于该第一逆变器的输入处的第一电容器的第一端子，并且将输出信号通过第一电容器耦合至第三晶体管的控制端子；以及将来自第一逆变器的输出的输出信号耦合至第六晶体管的控制端子以及处于第二逆变器的输入处的第二电容器的第一端子，并且将该输出信号通过第二电容器耦合至第五晶体管的控制端子。

[0017] 在一个实施例中，该方法进一步包括对第三晶体管的控制端子和第五晶体管的控制端子进行预充电。

[0018] 在一个实施例中，该预充电包括有选择地通过具有耦合至第三晶体管的控制端子的第一端子的第七晶体管和具有耦合至第五晶体管的控制端子的第一端子的第八晶体管而耦合第二基准电压。

[0019] 在一个实施例中，该方法进一步包括在第九晶体管中生成第二基准电压，该第九晶体管具有耦合至第三基准电压的第一端子以及耦合至第九晶体管的控制端子和负载的

第二端子。

[0020] 在一个实施例中,预充电包括通过具有耦合至第三晶体管的控制端子的第一端子的第一电阻器和具有耦合至第五晶体管的控制端子的第一端子的第二电阻器而耦合第二基准电压。

[0021] 在一个实施例中,该方法进一步包括在第九晶体管中生成第二基准电压,该第九晶体管具有耦合至第三基准电压的第一端子以及耦合至第九晶体管的控制端子和负载的第二端子。

[0022] 在一个实施例中,当第一逆变器和第二逆变器被禁用时,第三晶体管的控制端子上的电压小于第四晶体管的控制端子上的电压、并且第五晶体管的控制端子上的电压小于第六晶体管的控制端子上的电压。

[0023] 在一个实施例中,当该第一逆变器和第二逆变器被禁用时,第三、第四、第五和第六晶体管的第一端子和第二端子以及第四晶体管和第六晶体管的控制端子耦合至基准电压,并且第三晶体管和第五晶体管的控制端子耦合至低于该基准电压的电压。

[0024] 在一个实施例中,当第一逆变器和第二逆变器被禁用时,第三晶体管和第五晶体管的控制端子耦合至低于供电电压的MOS晶体管阈值电压。

[0025] 在另一个实施例中,本公开包括一种电路,该电路包括用于接收第一电压和第二电压并且产生差分信号的器件;第一逻辑电路,包括串行配置的第一晶体管配对,在第一晶体管配对的控制端子之间配置有第一电容器,其中第一逆变器的偏置端子接收该差分信号的第一分量;以及第二逻辑电路,包括串行配置的第二晶体管配对,在第二晶体管配对的控制端子之间配置有第二电容器,其中第二逆变器的偏置端子接收该差分信号的第二分量,其中第一逻辑电路的输出耦合至第二逻辑电路的输入,并且第二逻辑电路的输出耦合至第一逻辑电路的输入以产生双稳态输出。

[0026] 以下详细描述和附图提供了对本公开的属性和优势的更好理解。

附图说明

[0027] 图1图示了根据一个实施例的示例电路。

[0028] 图2图示了根据另一个实施例的示例实现方式。

[0029] 图3图示了根据一个实施例的预充电电路的一个示例。

[0030] 图4图示了根据另一个实施例的预充电电路的另一个示例。

具体实施方式

[0031] 本公开涉及锁存电路和锁存比较器。在以下描述中,出于解释的目的阐述了很多示例和具体细节以便提供对本公开的全面理解。然而,对于本领域技术人员而言,如权利要求中所限定的本公开内容显然将可以包括单独或者与以下所描述的其它特征相结合地包括这些示例中的一些或全部特征、并且可以进一步包括这里所描述的特征和概念的修改和等同形式。

[0032] 图1图示了根据一个实施例的示例锁存比较器电路。锁存比较器电路100包括差分电路101以及被配置为提供双稳态输出的一对交叉耦合的逻辑电路102和103。差分电路101接收两个电压 V_{in1} 和 V_{in2} 并且产生具有分量 I_{diff1} 和 I_{diff2} 的差分输出电流信号。第一逻

辑电路102具有耦合至供电电压 V_s 的第一偏置端子和耦合至差分电路101的第一输出端子以接收 I_{diff1} 的第二偏置端子150。类似地,第二逻辑电路103具有耦合至供电电压 V_s 的第一偏置端子和耦合至差分电路101的第二输出端子以接收 I_{diff2} 的第二偏置端子151。逻辑电路102的输入耦合至逻辑电路103的输出,并且逻辑电路103的输入耦合至逻辑电路102的输出,从而使得当一个逻辑电路的输出为高时,另一个的输出为低。

[0033] V_{in1} 与 V_{in2} 之间的电压差导致 I_{diff1} 和 I_{diff2} 的电流差。例如,当 V_{in1} 低于 V_{in2} 时,从端子150进入到差分电路101的电流可以低于来自端子151的电流,这使得节点150处的电压高于节点151处的电压。类似地,当 V_{in1} 高于 V_{in2} 时,从端子150进入到差分电路101的电流可以高于来自端子151的电流,并且节点150处的电压可以低于节点151处的电压。当节点150处的电压低于节点151处的电压时,逻辑电路102的输出被拉低而逻辑电路103的输出则被拉高。这些逻辑电路以逻辑电路102的低输出和逻辑电路103的高输出而形成稳定。类似地,当节点150处的电压高于节点151处的电压时,逻辑电路102的输出被拉高而逻辑电路103的输出则被拉低。这些逻辑电路以逻辑电路102的高输出和逻辑电路103的低输出而形成稳定。因此,电压 V_{in1} 和 V_{in2} 使得锁存比较器电路100的输出取两种状态之一(该输出是双稳态)。

[0034] 虽然可以在各个实施例中各种逻辑电路来实施锁存功能,但是当前示例图示了使用两个均包括串行配置的晶体管配对的逆变器。例如,逻辑电路102包括在供电电压 V_s 与差分电路101的端子150之间串行配置的PMOS晶体管104(M3)和NMOS晶体管105(M4)。同样,逻辑电路103包括在供电电压 V_s 与差分电路101的另一个端子151之间串行配置的PMOS晶体管106(M5)和NMOS晶体管107(M6)。每个晶体管包括如所示那样进行配置的控制端子(例如,栅极)以及第一端子和第二端子(例如,源极和漏极)。

[0035] 本公开的特征和优势包括在每个逻辑电路的晶体管的控制端子之间配置一个电容器。例如,电容器120(C1)被配置在晶体管104和105的控制端子之间。类似地,电容器121(C2)被配置在晶体管106和107的控制端子之间。在一个实施例中,该电路被配置为使得晶体管104和106的控制端子上的电压在特定操作点的期间可以小于晶体管105和107的控制端子上的电压,以提高电路的跨导和速度。因此,一个示例实施例包括AC耦合再生锁存器,其使用ac耦合以使得PMOS互补器件的栅极电压发生偏移、并且允许更多电流流过该再生锁存器以提高在较低电压处的锁存速度。

[0036] 在一个实施例中,根据本公开的电路可以包括预充电电路110。预充电电路110可以有选择地将基准电压 V_{ref} 耦合至晶体管104和106的控制端子从而设置晶体管C1和C2上的电压并且使得晶体管104和106发生偏置。在一个实施例中,锁存比较器电路100可以以禁用状态和启用状态进行操作。在禁用状态(或建立状态)期间,电路中的节点可以耦合至特定电压、并且输入电压 V_{in1} 和 V_{in2} 被接收。该电路随后可以被启用,从而使得该电路对输入电压作出响应,并且输出分解为两种稳定输出状态之一。在禁用状态期间,预充电电路可以将 V_{ref} 提供至晶体管104和106的控制端子以设置偏置并且提高该电路在其变换为启用状态时的速度。例如,当该电路被启用时,预充电电路呈现高的阻抗,并且 V_{ref} 可以被存储至电容器C1和C2上以设置晶体管104和106上的偏置点从而提高该电路的跨导。

[0037] 图2图示了根据另一个实施例的锁存比较器的示例实现方式。锁存比较器电路200包括差分配置的晶体管201和202。晶体管201在控制端子上接收第一输入电压 V_{ip} 并且产生

差分信号的第一分量 I_{diff1} 。类似地,晶体管202在控制端子上接收第一输入电压 V_{in} 并且产生差分信号的第二分量 I_{diff2} 。晶体管201和202的第二端子耦合在一起并且耦合至晶体管203的一个端子。晶体管203在控制端子上接收“锁存”信号,并且203的其它端子耦合至诸如接地(GND)的基准电压,以便有选择地将晶体管210和202的源极耦合至接地。 I_{diff1} 和 I_{diff2} 可以是晶体管201和202例如在锁存信号为高并且晶体管203被接通时所生成的差分电流。

[0038] 差分电流 I_{diff1} 和 I_{diff2} 流入到一对交叉耦合的逆变器中,该对交叉耦合的逆变器包括晶体管204-207以及电容器C1和C2。包括晶体管204-205的一个逆变器的输出out1耦合至包括晶体管206-207的另一个逆变器的输入in2。类似地,包括晶体管204-205的逆变器的输入in1耦合至包括晶体管206和207的逆变器的输出out2。差分电流 I_{diff1} 和 I_{diff2} 耦合至晶体管205和207的源极,这使得交叉耦合的逆变器假设在该锁存器活动时的两种状态之一。因此,晶体管204和205的漏极端子变高或变低(根据 V_{ip} 和 V_{in})并且206和207的漏极端子变低或变高(与晶体管206和207的漏极相反)。

[0039] 在第一时间段(例如,禁用状态)期间,锁存信号为低并且该电路中的节点通过开关S1-S4而被设置为基准电压(V_s)。在该时间段期间,晶体管203被关闭并且晶体管201和202的源极端子处于漂浮。当锁存信号变高(例如,启用状态)时,晶体管203接通,开关S1-S4打开,并且差分晶体管配对分解 V_{ip} 与 V_{in} 之间的差值并且将交叉耦合的逆变器驱动为两种状态之一。

[0040] 锁存比较器电路200包括一对预充电电路220和221。每个预充电电路被配置在基准电压 V_1 与每个逆变器的不同输出晶体管204和206的控制端子之间。当锁存信号为低时,预充电电路对电容器C1和C2上的电压进行设置,从而设置输出晶体管204和206上的偏置。例如,当锁存信号为低时,预充电电路可以将晶体管204和206的控制端子上的电压设置为等于 V_1 。当锁存信号变高时,预充电电路可以使得晶体管204和206的控制端子与 V_1 进行分离,从而使得每个电容器C1和C2在对来自差分晶体管201和202的信号进行锁存时保持电压 V_1 。电压 V_1 可以被设置为使得晶体管204和206的控制端子上的电压小于晶体管205和207的控制端子上的电压。因此,晶体管204和206在较低的供电电压发生更强偏置从而例如提高锁存比较器的速度。

[0041] 在锁存器分解时,第一逆变器输出处的信号out1被耦合至第二逆变器中的输入晶体管207的控制端子,并且通过电容器C2而被AC耦合至输出晶体管206的控制端子。类似地,第二逆变器输出处的信号out2被耦合至第一逆变器中的输入晶体管205的控制端子,并且通过电容器C1而被AC耦合至输出晶体管204的控制端子。通过电容C1和C2而被提供至晶体管204和206的栅极的附加信号如下提高了每个逆变器的跨导:

[0042] 逆变器1的有效跨导: $G_{Inv1} = G_{m3} + (C_2 / (C_2 + C_{g5})) G_{m5}$

[0043] 逆变器2的有效跨导: $G_{Inv2} = G_{m4} + (C_1 / (C_1 + C_{g6})) G_{m6}$

[0044] 有效电容: $C_{o1} = C_{g3} + (C_2 / (C_2 + C_{g5})) C_{g5} + C_{L1}$

[0045] 有效电容 $C_{o2} = C_{g4} + (C_1 / (C_1 + C_{g6})) C_{g6} + C_{L2}$

[0046] 图3图示了根据一个实施例的示例预充电电路。在该示例中,预充电电路包括被配置为从二极管所配置的PMOS晶体管250接收基准电压的PMOS晶体管220和PMOS晶体管241。晶体管250具有耦合至诸如 V_s 的基准电压的第一控制端子、以及耦合至栅极端子和负载(例

如,电流源(I1))251的第二端子。晶体管250的栅极端子产生电压Vref,其耦合至晶体管240和241的端子。因此,二极管所配置的PMOS晶体管250生成Vref,其是低于供电电压Vs的MOS晶体管阈值电压。在这个示例中,PMOS晶体管阈值电压可以被用来使得PMOS晶体管204和206发生偏置。

[0047] 在禁用状态期间,当锁存信号为低时,晶体管240和241被接通并且电压Vref耦合至晶体管204和206的栅极端子。Vref对电容器C1和C2进行充电以设置栅极端子上的偏置电压。当锁存比较器电路300被启用时,锁存信号电压变高并且晶体管240和241关闭,这有效地将晶体管204和206的栅极端子从Vref断开连接。与此同时,在这个示例中,开关S1-S4被打开,晶体管203被激活,并且锁存比较器电路开始分解输入电压Vip和Vin。由于在电容器C1和C2上所存储的、偏置电压所导致的晶体管204和206的跨导有所提高,输入电压Vip和Vin更快地传播至输出。

[0048] 图4图示了根据另一个实施例的预充电电路的另一个示例。在该示例中,锁存比较器电路400包括预充电电路,该预充电电路包括电阻器(R1)260和电阻器(R2)261。基准电压Vref通过电阻器260和261而耦合至PMOS晶体管204和206的栅极端子,以利用低于供电电压Vs的PMOS阈值电压来使得PMOS晶体管204和206的栅极端子发生偏置。由此,在禁用状态中,电压Vref被存储在电容器C1和C2上。当锁存比较器电路400被启用时,电阻器260和261提供与Vref的隔离,从而使得晶体管204和206在锁存器的逆变器响应于输入电压Vip和Vin而分解为稳态输出之一时保持它们的偏置。

[0049] 以上描述连同特定实施例的多个方面可以如何实施的示例对本公开的各个实施例进行了阐述。以上示例并不应当被认为仅是实施例,而是被给出以对如以下权利要求所限定的特定实施例的灵活性和优势进行阐述。基于以上公开和以下权利要求,可以采用其它部署形式、实施例、实施方式和等同形式而并不背离如权利要求所限定的本公开的范围。

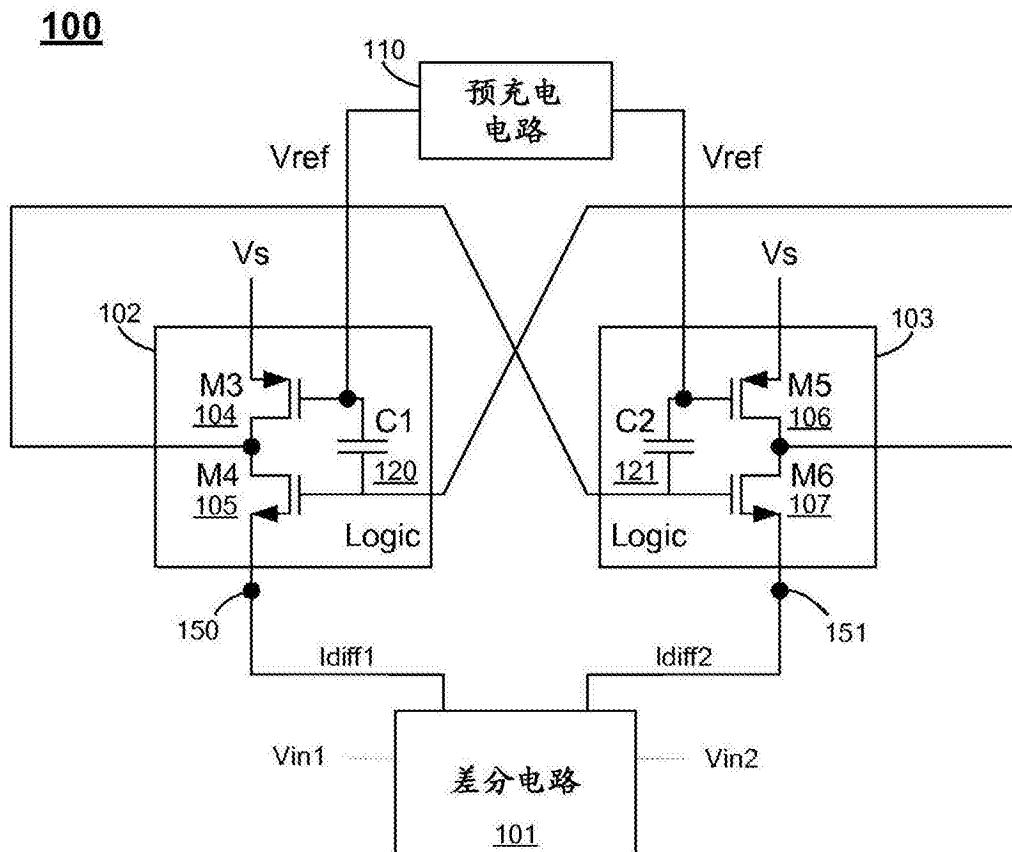


图1

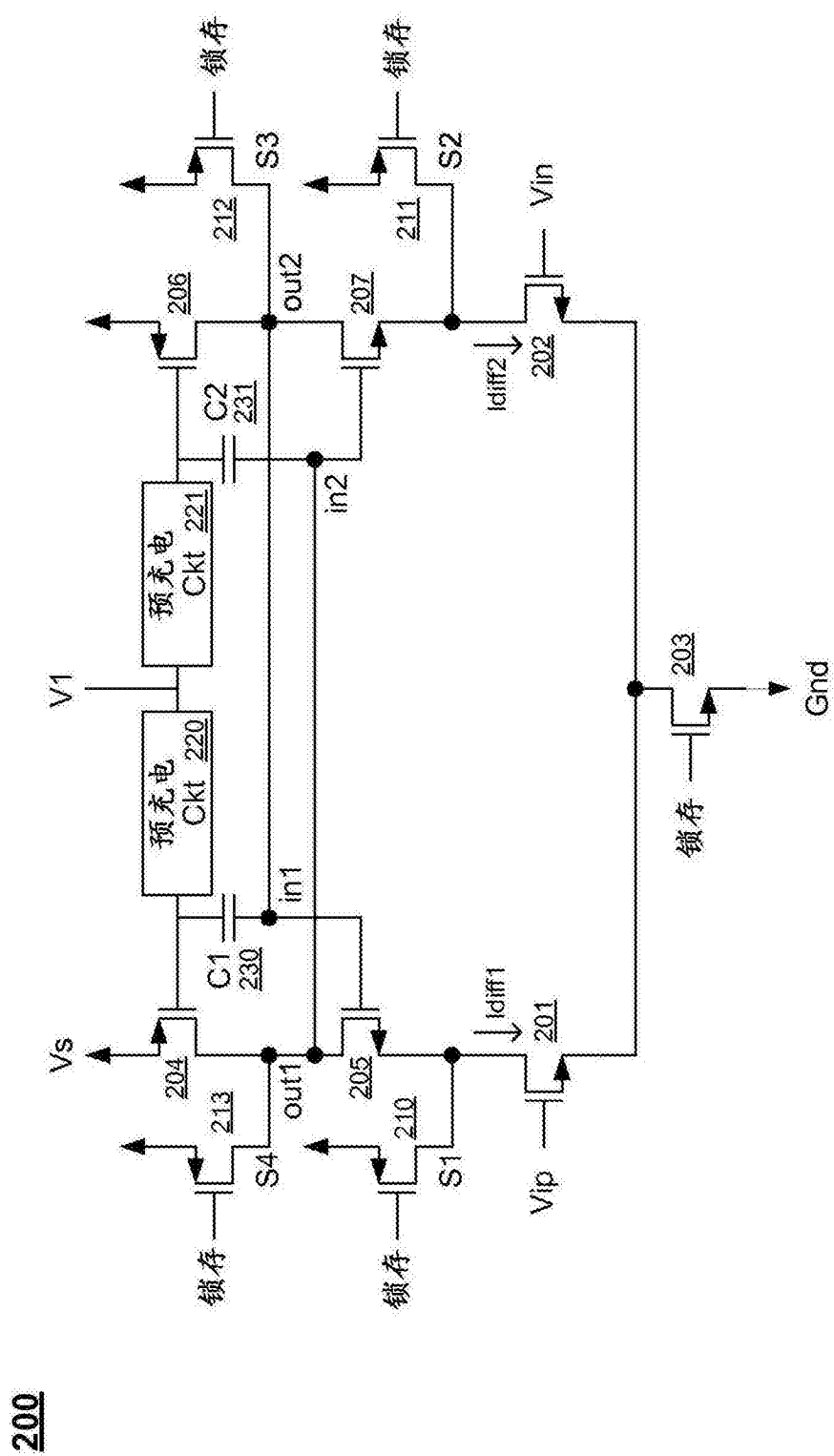


图2

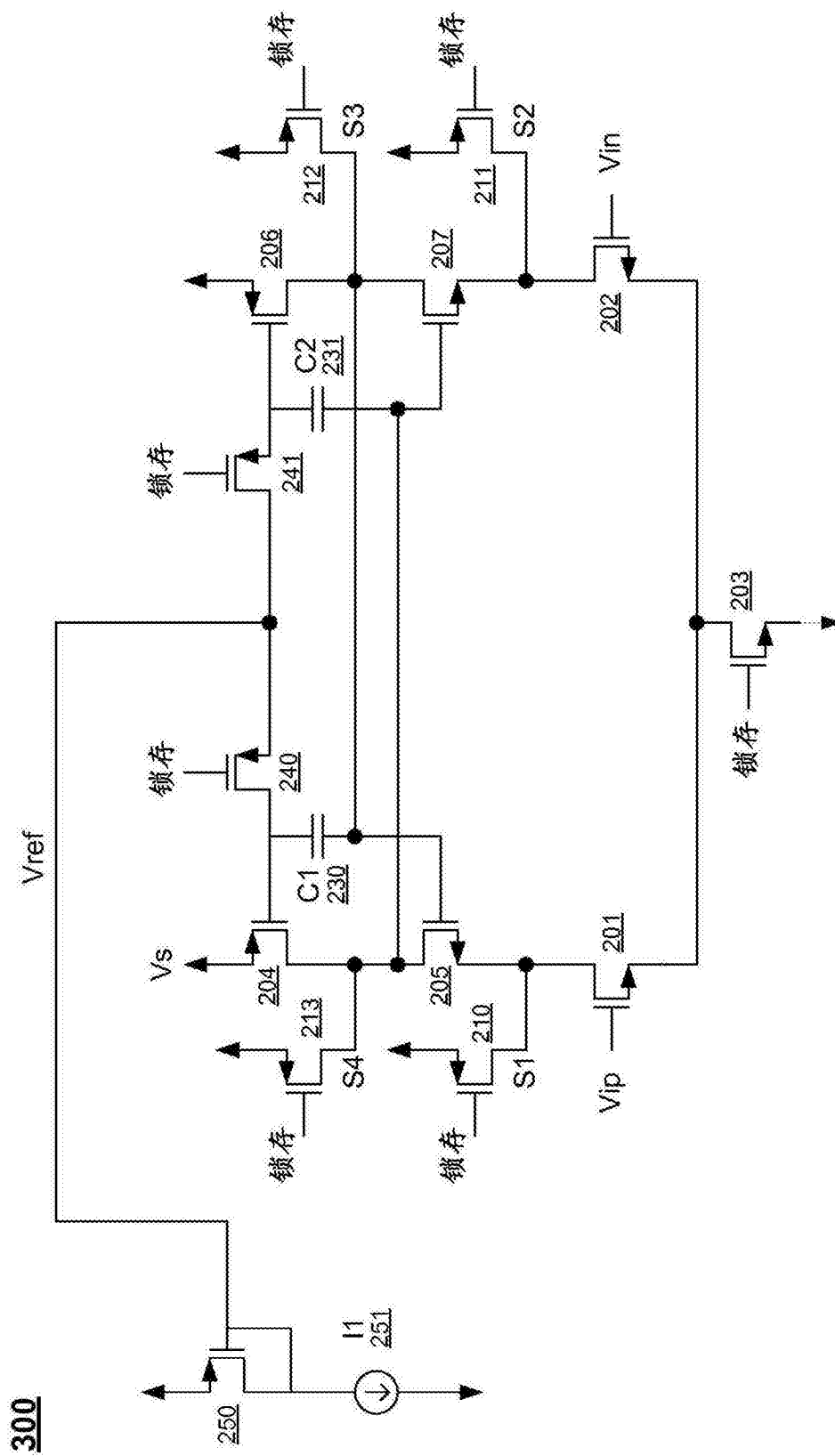


图3

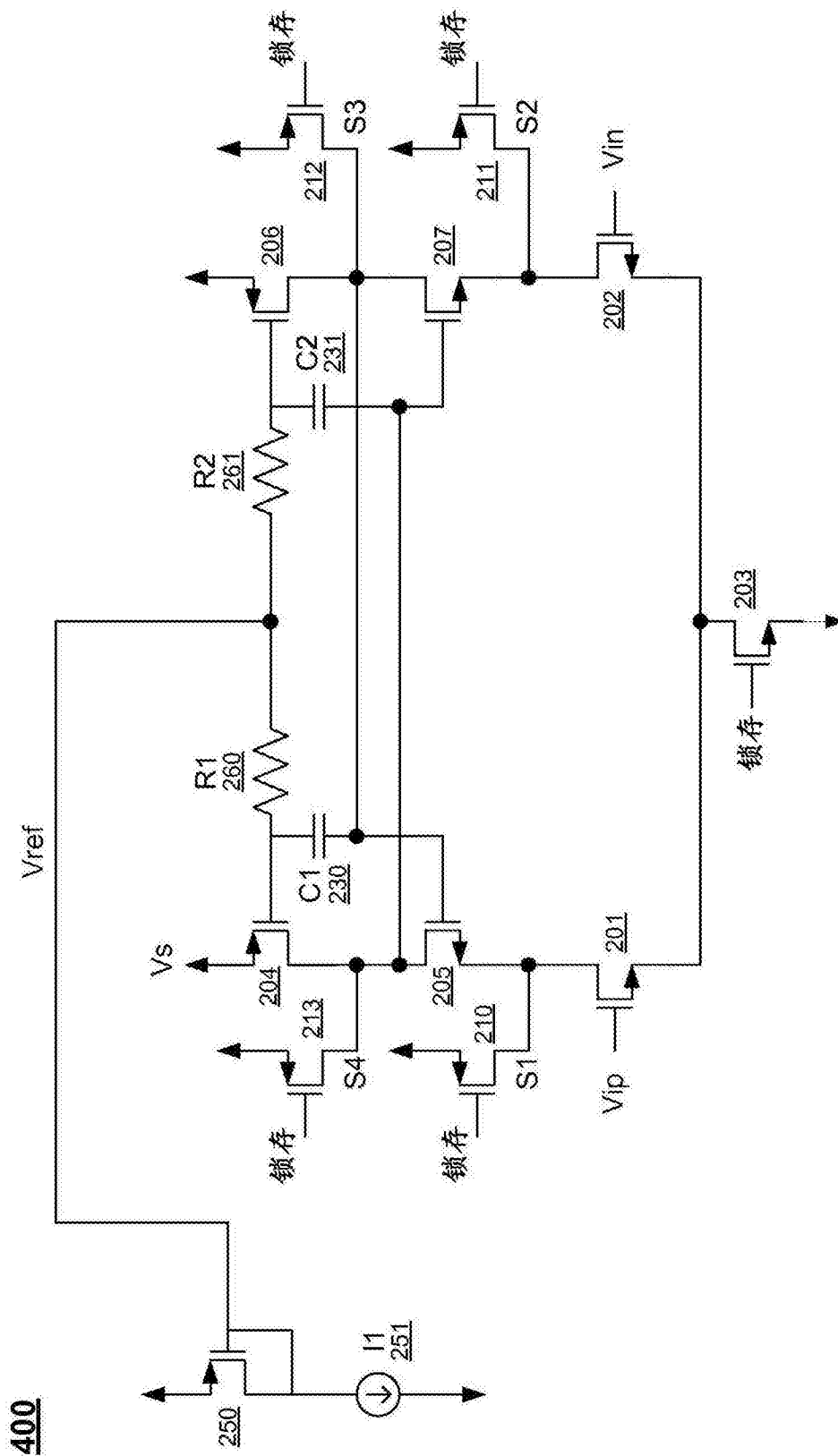


图4