



(12)发明专利

(10)授权公告号 CN 105452986 B

(45)授权公告日 2018.06.12

(21)申请号 201480043948.3

(22)申请日 2014.08.07

(65)同一申请的已公布的文献号

申请公布号 CN 105452986 A

(43)申请公布日 2016.03.30

(30)优先权数据

13/962,746 2013.08.08 US

(85)PCT国际申请进入国家阶段日

2016.02.03

(86)PCT国际申请的申请数据

PCT/US2014/050208 2014.08.07

(87)PCT国际申请的公布数据

W02015/021316 EN 2015.02.12

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚

(72)发明人 D·全 Y·李 A·杜 H-j·罗

(74)专利代理机构 永新专利商标代理有限公司
72002

代理人 张扬 王英

(51)Int.Cl.

G06F 1/32(2006.01)

G06F 12/06(2006.01)

(56)对比文件

JP 特开2008-152687 A, 2008.07.03,

US 2005/0140685 A1, 2005.06.30,

CN 102822766 A, 2012.12.12,

审查员 任洪潮

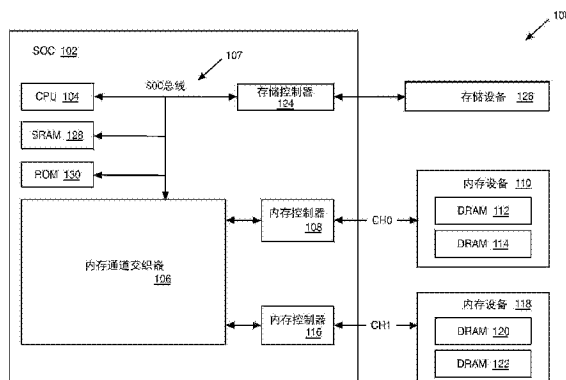
权利要求书3页 说明书7页 附图7页

(54)发明名称

用于具有选择性功率或性能优化的内存通道交织的系统和方法

(57)摘要

公开了用于提供具有选择性功率或性能优化的内存通道交织的系统和方法。一种这样的方法涉及将针对经由两个或更多个相应的内存通道访问的两个或更多个内存设备的内存地址映射配置为具有交织区域和线性区域。所述交织区域包括用于相对较高的性能使用情况的交织地址空间。所述线性区域包括用于相对较低的功率使用情况的线性地址空间。从一个或多个客户端接收内存请求。所述内存请求包括对节电或性能的偏好。根据所述对节电或性能的偏好来向所述线性区域或所述交织区域分配接收到的内存请求。



1. 一种具有选择性功率或性能优化的内存通道交织方法,所述方法包括:

配置针对至少第一内存设备和第二内存设备的内存地址映射,其中,所述第一内存设备唯一地与第一内存控制器和第一内存通道相关联,所述第二内存设备唯一地与第二内存控制器和第二内存通道相关联,其中,所述第一和第二内存设备中的每个内存设备包括交织区域的一部分和线性区域的一部分,所述交织区域包括用于相对较高的性能使用情况的交织地址空间,以及所述线性区域包括用于相对较低的功率使用情况的线性地址空间;

在内存通道交织器处从一个或多个客户端接收内存请求,所述内存请求包括对节电或性能的偏好;以及

由所述内存通道交织器向所述线性区域分配包括对节电的偏好的所述内存请求以及向所述交织区域分配包括对性能的偏好的所述内存请求,其中,向所述线性区域分配包括对节电的偏好的所述内存请求包括:指示所述第一内存控制器写入到与所述第一内存设备内的所述线性区域的所述一部分对应的第一地址范围,以及指示所述第二内存控制器将所述第二内存设备转换成节电模式。

2. 根据权利要求1所述的方法,还包括当达到与所述第一内存设备内的所述线性区域的所述一部分对应的所述第一地址范围中的最后一个内存地址时:

将所述第一内存设备置于所述节电模式;

激活所述第二内存设备;以及

向与所述第二内存设备内的所述线性区域的所述一部分对应的第二地址范围写入下一个接收到的包括对节电的偏好的内存请求。

3. 根据权利要求1所述的方法,其中,所述对节电或性能的偏好是经由向操作系统的系统调用来指定的。

4. 根据权利要求1所述的方法,其中,所述对节电或性能的偏好包括指定内存堆的类型的参数。

5. 根据权利要求1所述的方法,其中,所述内存设备包括动态随机存取内存 (DRAM) 设备。

6. 根据权利要求1所述的方法,其中,所述内存通道交织器经由片上系统 (SOC) 总线来接收所述内存请求。

7. 根据权利要求1所述的方法,还包括:

在所述内存通道交织器处对比包括内存带宽的历史记录的数据库来确认具有所述对性能的偏好的内存请求;以及

如果没有被确认,那么在所述内存通道交织器处忽略所述对性能的偏好以及向所述线性区域分配所述没有被确认的内存请求。

8. 根据权利要求1所述的方法,其中,所述向所述线性区域或所述交织区域分配所述内存请求包括动态的内存分配或预定的静态的内存分配。

9. 一种具有体现在其中的计算机可读程序代码的非暂时性计算机可用介质,所述计算机可读程序代码适于被执行以实现用于具有选择性功率或性能优化的内存通道交织的操作,所述操作包括:

配置针对至少第一内存设备和第二内存设备的内存地址映射,其中,所述第一内存设备唯一地与第一内存控制器和第一内存通道相关联,所述第二内存设备唯一地与第二内存

控制器和第二内存通道相关联,其中,所述第一和第二内存设备中的每个内存设备包括交织区域的一部分和线性区域的一部分,所述交织区域包括用于相对较高的性能使用情况的交织地址空间,以及所述线性区域包括用于相对较低的功率使用情况的线性地址空间;

从一个或多个客户端接收内存请求,所述内存请求包括对节电或性能的偏好;以及

向所述线性区域分配包括对节电的偏好的所述内存请求以及向所述交织区域分配包括对性能的偏好的所述内存请求,其中,向所述线性区域分配包括对节电的偏好的所述内存请求包括:指示所述第一内存控制器写入到与所述第一内存设备内的所述线性区域的所述一部分对应的第一地址范围,以及指示所述第二内存控制器将所述第二内存设备转换成节电模式。

10. 根据权利要求9所述的非暂时性计算机可用介质,其中,所述操作还包括当达到与所述第一内存设备内的所述线性区域的所述一部分对应的所述第一地址范围中的最后一个内存地址时:

将所述第一内存设备置于所述节电模式;

激活所述第二内存设备;以及

向与所述第二内存设备内的所述线性区域的所述一部分对应的第二地址范围写入下一个接收到的包括对节电的偏好的内存请求。

11. 根据权利要求9所述的非暂时性计算机可用介质,其中,所述对节电或性能的偏好是经由向操作系统的系统调用来指定的。

12. 根据权利要求9所述的非暂时性计算机可用介质,其中,所述对节电或性能的偏好包括指定内存堆的类型的参数。

13. 根据权利要求9所述的非暂时性计算机可用介质,其中,所述内存设备包括动态随机存取内存 (DRAM) 设备。

14. 根据权利要求9所述的非暂时性计算机可用介质,其中,通道交织器经由片上系统 (SOC) 总线来接收所述内存请求。

15. 根据权利要求9所述的非暂时性计算机可用介质,其中,所述操作还包括:

对比包括内存带宽的历史记录的数据库来确认具有所述对性能的偏好的内存请求;以及

如果没有被确认,那么忽略所述对性能的偏好以及向所述线性区域分配所述没有被确认的内存请求。

16. 根据权利要求9所述的非暂时性计算机可用介质,其中,所述向所述线性区域或所述交织区域分配所述内存请求包括动态内存分配或预定的静态内存分配。

17. 一种用于提供具有选择性功率或性能优化的内存通道交织的系统,所述系统包括:

片上系统 (SOC), 其包括一个或多个用于生成访问连接到所述SOC的至少第一内存设备和第二内存设备的内存请求的处理单元,所述第一内存设备唯一地与第一内存控制器和第一内存通道相关联,所述第二内存设备唯一地与第二内存控制器和第二内存通道相关联,其中:

所述第一和第二内存设备中的每个内存设备包括由内存地址映射定义的交织区域的一部分和线性区域的一部分,所述交织区域包括用于相对较高的性能使用情况的交织地址空间,以及所述线性区域包括用于相对较低的功率使用情况的线性地址空间;以及

内存通道交织器,其位于所述SOC上以及被配置为:

向所述线性区域分配包括对节电的偏好的所述内存请求以及向所述交织区域分配包括对性能的偏好的所述内存请求,其中,向所述线性区域分配包括对节电的偏好的所述内存请求包括:指示所述第一内存控制器写入到与所述第一内存设备内的所述线性区域的所述一部分对应的第一地址范围,以及指示所述第二内存控制器将所述第二内存设备转换成节电模式。

18.根据权利要求17所述的系统,其中,当达到与所述第一内存设备内的所述线性区域的所述一部分对应的所述第一地址范围中的最后一个内存地址时:

所述第一内存设备被置于所述节电模式;

所述第二内存设备被激活;以及

下一个接收到的包括对节电的偏好的内存请求被写入到与所述第二内存设备内的所述线性区域的所述一部分对应的第二地址范围。

19.根据权利要求17所述的系统,其中,所述对节电或性能的偏好是经由向操作系统的系统调用来指定的。

20.根据权利要求17所述的系统,其中,所述对节电或性能的偏好包括指定内存堆的类型的参数。

21.根据权利要求17所述的系统,其中,所述内存设备包括动态随机存取内存 (DRAM) 设备。

22.根据权利要求17所述的系统,其中,所述SOC位于便携式通信设备上。

23.根据权利要求17所述的系统,其中,所述内存通道交织器还被配置为:

对比包括内存带宽的历史记录的数据库来确认具有所述对性能的偏好的内存请求;以及

如果没有被确认,那么忽略所述对性能的偏好以及向所述线性区域分配所述没有被确认的内存请求。

24.根据权利要求17所述的系统,其中,所述内存通道交织器还被配置为使用动态内存分配或预定的静态内存分配来向所述线性区域或所述交织区域分配所述内存请求。

用于具有选择性功率或性能优化的内存通道交织的系统和方法

背景技术

[0001] 许多计算设备(包括诸如移动电话的便携式计算设备)包括片上系统(“SoC”)。SoC向内存设备(诸如,双数据速率(DDR)内存设备)要求不断增加的功率性能和容量。这些要求产生了更快的时钟速度和宽的总线,通常将宽的总线划分为多个较窄的内存通道,以便保持高效率。多个内存通道可以是地址交织在一起的,以在内存设备间均匀地分布内存业务和优化性能。通过向交替的内存通道分配地址来均匀地分布内存数据。这种技术通常被称为对称通道交织。

[0002] 现有的对称内存通道交织技术要求所有通道被激活。针对高性能使用情况,这是有意的并且是必要的以实现所期望的性能水平。但是,针对低性能使用情况,这导致浪费的功率和低效率。因此,本领域中仍然存在对用于提供内存通道交织的改进的系统和方法的需求。

发明内容

[0003] 公开了用于提供具有选择性功率或性能优化的内存通道交织的系统和方法。一个实施例是一种具有选择性功率或性能优化的内存通道交织方法。一种这样的方法包括:为经由两个或更多个相应的内存通道访问的两个或更多个内存设备配置内存地址映射使之具有交织区域和线性区域,,所述交织区域包括用于相对较高的性能使用情况的交织地址空间,以及所述线性区域包括用于相对较低的功率使用情况的线性地址空间;从一个或多个客户端接收内存请求,所述内存请求包括对节电或性能的偏好;以及根据所述对节电或性能的偏好来向所述线性区域或所述交织区域分配所述内存请求。

[0004] 另一个实施例是一种用于提供具有选择性功率或性能优化的内存通道交织的系统。一种这样的系统包括片上系统(SoC),内存地址映射和内存通道交织器。所述SoC包括一个或多个处理单元,其用于生成访问两个或更多个外部内存设备的内存请求,所述两个或更多个外部内存设备连接到所述SoC并且经由两个或更多个相应的内存通道来访问。所述内存请求包括对节电或性能的偏好。所述内存地址映射与所述外部内存设备相关联,以及包括交织区域和线性区域。所述交织区域包括用于相对较高的性能使用情况的交织地址空间。所述线性区域包括用于相对较低的功率使用情况的线性地址空间。所述内存通道交织器位于所述SoC上,以及被配置为根据所述对节电或性能的偏好来向所述线性区域或所述交织区域分配所述内存请求。

附图说明

[0005] 在附图中,除非另外指示,否则遍及各个视图,相似的附图标记指代相似的部分。对于具有诸如“102A”或“102B”的字母字符标记的附图标记,字母字符标记可以区分出现在同一附图中的两个相似的部分或元素。当旨在使附图标记涵盖在所有附图中具有相同附图标记的所有部分时,可以省略附图标记的字母字符标记。

[0006] 图1是用于提供具有选择性功率或性能优化的内存通道交织的系统的实施例的框图。

[0007] 图2是示出了在图1的系统中实现的用于提供具有选择性功率或性能优化的内存通道交织的方法的实施例的流程图。

[0008] 图3是示出了在图1的系统中的示例性的内存地址映射的结构和操作的数据/流程图。

[0009] 图4是示出了图1的内存通道交织器的实施例的数据/流图。

[0010] 图5是示出了用于确认或忽略高性能内存请求的方法的实施例的流程图。

[0011] 图6示出了使用四个内存通道和两个等级的具有线性区域和交织区域的内存地址映射的另一个实施例。

[0012] 图7是包括图1的系统的便携式计算机设备的实施例的框图。

具体实施方式

[0013] 本文使用的词语“示例性”意味着“作为例子、实例或说明”。本文中描述为“示例性”的任何方面不必被解释为优选于其它方面或者比其它方面有优势。

[0014] 在本描述中,术语“应用”还可以包括具有可执行内容(诸如:对象代码、脚本、字节代码、标记语言文件以及补丁)的文件。另外,本文中所引用的“应用”还可以包括本质上不可执行的文件(诸如可能需要被打开的文档或需要被访问的其它数据文件)。

[0015] 术语“内容”还可以包括具有可执行内容(诸如:对象代码、脚本、字节代码、标记语言文件以及补丁)的文件。另外,本文中所引用的“内容”还可以包括本质上不可执行的文件(诸如可能需要被打开的文档或需要被访问的其它数据文件)。

[0016] 如在本描述中使用的,术语“组件”、“数据库”、“模块”、“系统”等旨在指代计算机相关的实体,要么是硬件、固件、硬件和软件的组合、软件,要么是执行中的软件。例如,组件可以是,但不限于是:在处理器上运行的过程、处理器、对象、可执行文件、执行的线程、程序和/或计算机。通过说明的方式,在计算设备运行上的应用和计算设备二者可以是组件。一个或多个组件可以存在于过程和/或执行的线程中,以及组件可以位于一个计算机中和/或分布在两个或更多个计算机之间。此外,这些组件能够从具有在其上存储的各种数据结构的各种计算机可读介质中执行。组件可以诸如根据具有一个或多个数据分组(例如,来自与本地系统、分布式系统中的另一个组件进行交互,和/或跨诸如互联网的网络通过信号的方式与其它系统进行交互的一个组件的数据)的信号通过本地和/或远程过程的方式进行通信。

[0017] 在本描述中,术语“通信设备”、“无线设备”、“无线电话”、“无线通信设备”和“无线手持机”被可互换地使用。随着第三代(“3G”)无线技术和第四代(“4G”)的诞生,更大的带宽可用性使具有更多的多种多样的无线能力的更加便携的计算设备成为可能。因此,便携式计算设备可以包括蜂窝电话、寻呼机、PDA、智能电话、导航设备或具有无线连接或链路的手持计算机。

[0018] 图1示出了用于提供具有选择性功率或性能优化的内存通道交织的系统100。系统100可以在任何计算设备中实现,包括个人计算机、工作站、服务器、便携式计算设备(PCD)(诸如蜂窝电话、便携式数字助理(PDA)、便携式游戏控制台、掌上型计算机或平板计算机

等)。

[0019] 如图1的实施例所示,系统100包括片上系统 (SoC) 102,其包括多个片上组件和连接到SoC 102的多个外部组件。SoC 102包括通过SoC总线107互连的一个或多个处理单元、内存通道交织器106、存储控制器124和板上内存 (例如,静态随机存取存储器 (SRAM) 128、只读存储器 (ROM) 130等)。存储控制器124电气地连接到外部存储设备126并且与其进行通信。如本领域已知的,内存通道交织器106接收与CPU 104 (或其它内存客户端) 相关联的读取/写入内存请求,以及在两个或更多个内存控制器之间分布内存数据,所述两个或更多个内存控制器经由专用内存通道连接到相应的外部内存设备。在图1的示例中,系统100包括两个内存设备110和118。内存设备110连接到内存控制器108以及经由第一内存通道 (CH0) 进行通信。内存设备118连接到内存控制器116以及经由第二内存通道 (CH1) 进行通信。

[0020] 应当认识到的是,在具有任何期望的类型、大小和配置的内存 (例如,双数据速率 (DDR) 内存) 的系统100中可以使用任意数量的内存设备、内存控制器和内存通道。在图1的实施例中,经由通道CH0所支持的内存设备110包括两个动态随机存取内存 (DRAM) 设备: DRAM 112和DRAM114。经由通道CH1所支持的内存设备118也包括两个DRAM设备: DRAM120和DRAM 122。

[0021] 内存通道交织器106包括经特殊配置的用于选择性地提供性能和节电优化的内存通道交织器。内存通道交织器106被配置为选择性地提供高性能 (交织的) 和低性能 (线性的) 内存区域。图3示出了由内存通道交织器106控制的示例性的内存地址映射300。将描述内存地址映射300以说明系统100和内存通道交织器106的一般操作、架构和功能。内存地址映射300对应于在图1中示出的具有包括DRAM 112和114 (经由内存通道CH0来存取) 的内存设备110和包括DRAM 120和122 (经由内存通道CH1来存取) 的内存设备118的示例性的系统100。

[0022] 内存地址映射300包括线性区域302和交织区域304。线性区域302可以用于相对低的功率使用情况和/或任务,以及交织区域304可以用于相对高的性能使用情况和/或任务。每个区域包括具有在两个内存通道CH0和CH1之间划分的相应的地址范围的单独分配的内存地址空间。交织区域304包括交织地址空间,以及线性区域302包括线性地址空间。

[0023] 参照图3的示例以及考虑交织地址空间,可以将第一地址 (地址0) 分配给与DRAM 114和内存通道CH0相关联的较低地址。可以将交织地址范围中的下一个地址 (地址32) 分配给与DRAM 122和内存通道CH1相关联的较低地址。以这种方式,可以在内存通道CH0和CH1间“成带状形成”或交织成交替地址的模式,其上升到与DRAM 112和DRAM 112相关联的顶部的或最后的地址,该地址限定了交织区域304和线性区域302之间的边界。在交织区域304中,通道CH0和CH1之间的水平虚线箭头示出了地址如何在内存通道之间“往复” (“ping-pong”)。请求用于向内存设备读取/写入数据的内存资源的客户端 (例如,CPU 104) 可以由内存通道CH0和CH1二者来服务,这是因为,数据地址可以被假设为是随机的从而可以在通道CH0和CH1间均匀地分布。

[0024] 线性区域302包括在相同的通道内的单独的连续的内存地址范围。如图3的实施例所示,在CH0中,可以将连续的内存地址的第一范围分配给DRAM 112,以及在CH1中,可以将连续地址的第二范围分配给DRAM 120。可以将线性地址空间中的第一地址 $(2N-3) * 64$ 分配给DRAM 112中在交织/线性边界之上的下一个地址。垂直箭头示出的是在CH0内分配连续的

地址,直到达到DRAM 112中的顶部的或最后的地址(地址 $(2N-2)*64$)。当达到CH0中的最后一个可用的地址时,可以将线性地址空间中的下一个地址分配给DRAM 120中在交织/线性边界之上的下一个可用的地址(地址 $(2N-2)*64+32$)。然后,在CH1中,分配方案按照连续的内存地址进行,直到达到顶部地址(地址 $(2N-1)*64+32$)。

[0025] 以这种方式,应当认识到的是,低性能使用情况数据可以完全地包含在通道CH0或通道CH1中。在操作中,通道CH0和CH1中的仅一个通道可以是活动的,而另一个通道被置于不活动或“自刷新”模式以节约内存功率。这可以扩展到任意数量的N个内存通道。

[0026] 图2示出了可以由系统100(图1)实现的用于提供具有选择性功率或性能优化的内存通道交织的方法200。在块202处,为经由两个或更多个内存通道(例如,内存通道CH0和CH1)访问的可用的内存设备(例如,DRAM112、114、120和122)配置内存地址映射300使之具有交织区域304和线性区域302。可以基于所期望的内存占用或大小高和低性能使用情况来配置内存地址映射300。在引导时,基于平台简档,内存通道交织器106可以提供预定量的交织和线性内存空间。在运行时,操作系统可以针对高性能客户端请求(诸如,图形处理单元(GPU)、显示器、多媒体资源、照相机等)来分配交织区域304。操作系统可以针对相对较低的性能和/或所有其它客户端请求来分配线性内存。例如,线性区域302可以被分配用于操作系统资源、一般的低性能应用、服务等。应当认识到的是,可以向交织区域304动态地分配用于GPU的内存。在其它实施例中,GPU可以使用例如在引导时已经被预定为使用交织区域304的内存,以便实现高性能,这被称为静态分配。

[0027] 在实施例中,可以基于期望的使用情况来配置线性区域302和交织区域304的内存分配。可以基于使用情况来分组对不同线性区域的内存分配。例如,可以允许第一“节电”使用情况访问与CH0相关联的第一线性地址空间,以及可以允许第二“节电”使用情况访问与CH1相关联的第二线性地址空间。以这种方式,可以在一个内存通道上实现内存节电,同时另一个内存通道是活动的。

[0028] 再次参照图2,在块204处,内存通道交织器106可以从一个或多个请求内存资源的客户端(例如,CPU 104)接收内存请求。内存请求可以包括指示对节电或性能的偏好的“提示”、参数或其它数据。在实施例中,可以经由对操作系统的系统调用来指定功率/性能偏好。在这点上,系统100可以包括提供对内存分配的支持的操作系统(未示出)。操作系统可以具有根据调用程序的指示从特定的堆来分配内存的能力。内存通道交织器106和系统100提供根据例如节电相对于性能的偏好程度来指定内存类型(即,交织对线性)的能力,以及因此,实现内存节电和/或高带宽吞吐量。

[0029] 例如,在多重处理中使用的非均匀内存存取(NUMA)可以基于相对于处理器(例如,CPU 104)的内存节点来执行内存分配。在NUMA中,处理器具有不同内存节点的性能差别的信息,以及能够从优选的节点智能地分配内存。系统100可以实现这个机制以从可用节点的列表智能地分配内存,以从产生最优性能的节点或基于功耗特性来分配内存。此外,在一些操作系统(例如,Linux Android®)中,内存分配器可以具有输入参数以指示从其进行分配的一个或多个内存堆,以及回退是根据在引导期间哪个内存堆是首先经由调用添加的来排序的。内存通道交织器106可以支持这样的机制以基于客户端所请求的性能或功耗来从特定的堆类型分配内存。

[0030] 在块206处,内存通道交织器106根据在内存请求中指定的偏好(或其它方式)和内

存地址映射300来向线性区域302和交织区域304分配所接收的内存请求。

[0031] 如图5的方法500所示,内存通道交织器106还可以提供用于对比数据库来确认高性能内存请求的机制,所述数据库包括用于特定类型的任务、进程等的内存带宽使用的历史记录。在块502处,内存通道交织器106可以接收与新进程相关联的高性能内存请求。在块504处,可以访问历史记录以确定该进程先前所使用的内存带宽。

[0032] 以这种方式,可以根据针对每个运行任务的带宽需求的历史跟踪来分配内存请求。在实施例中,事务计数器可以用于记录针对系统100上的运行任务中的每个运行任务的需求带宽,以及累积针对每个进程名称的历史,可以将所述历史存储在文件系统或其它存储器中。内存管理器可以在向新任务分配内存时访问数据库。如上所述,任务可以提供其为高性能或低性能的提示。任务还可以指定缓冲器是否是可共享的。内存管理器可以访问数据库以确认请求。如果高性能没有被根据经验来记录或验证,那么内存分配器可以拒绝该提示以及仅分配低性能内存以节电。内存分配器还可以查看缓冲器是否被声明为可共享的,以及如果其是可共享的,那么遵循最初的提示,这是因为使用相同的共享缓冲器的不同的任务可能需要高带宽。

[0033] 再次参照图5,在决策块506处,内存通道交织器106确定高性能内存请求是否被确认。如果先前的带宽不满足用于向交织区域304分配的预定门限,那么可以拒绝内存请求以及替代地将其分配给线性区域302(块508)。但是,如果高性能内存请求被确认,那么可以将内存请求分配给交织区域(块510)。

[0034] 图4是示出了内存通道交织器106的实施例的架构、操作和/或功能的示意/流程图。内存通道交织器106在SoC总线107上接收输入,以及将输出经由单独的内存控制器总线提供给内存控制器108和116(分别为内存通道CH0和CH1)。内存控制器总线可以以SoC总线107的速率一半的速率运行,以匹配净数据吞吐量。地址映射模块450可以经由SoC总线107被编程。地址映射模块450可以配置和访问具有线性区域302和交织区域304的地址内存映射300,如上所述。进入SoC总线107的数据业务路由至数据选择器470,数据选择器470基于由地址映射模块450提供的选择信号464来将数据分别地经由合并组件472和474转发至内存控制器108和116。针对每个业务分组,高地址456进入地址映射模块450。地址映射模块450将高地址456与预编程的线性和交织区域地址进行比较,执行地址位位置重新排序,以及随后基于交织参数来将其输出到CH0高地址460或CH1高地址462。选择信号464指定CH0还是CH1被选择。合并组件472和474可以包括高地址460和462、低地址405以及CH0数据466和CH1数据468的重新结合。

[0035] 图6示出了适合于四个内存通道以及使用多个等级的内存地址映射600的另一个实施例。与上文论述的内存地址映射300(图3)相比,内存地址映射600增加了两个额外的内存通道CH2和CH3。内存通道CH2与额外的DRAM 602和604相关联。内存通道CH3与额外的DRAM 606和608相关联。如图6所示,内存地址映射600提供等级方案(等级1和等级0),每个等级具有定制的交织设置以提供性能和功耗之间的期望平衡。线性区域302可以在等级1中,以及使用例如存储体-行-列(BRC) DRAM交织机制用于提供节电。交织区域304的第一部分610(其位于DRAM 112、120、602和606上)也可以在等级1中,以及使用针对性能的行-存储体-列(RBC) DRAM交织机制。交织区域304的第二部分612(其包含在DRAM114、122、604和608上可用的全部内存)可以在不同的等级(即,等级0)中。DRAM 114、122、604和608可以使用针对性能

的RBC DRAM交织机制来进入到等级0中。

[0036] 如上所述,系统100可以并入到任何期望的计算系统中。图7示出了系统100并入到示例性的便携式计算设备(PCD) 700中。系统100可以被包括在SoC 322上,该SoC 322可以包括多内核CPU 402A。多内核CPU402A可以包括第零内核410、第一内核412和第N内核414。内核中的一个内核可以包括例如图形处理单元(GPU),以及其它内核中的一个或多个内核包括CPU 104(图1)。根据替代的示例性的实施例,CPU 402a还可以包括那些具有单个内核的类型,而不具有多个内核,在这样的情况下,CPU 104和GPU可以是专用处理器,如系统100所示。

[0037] 显示器控制器328和触摸屏控制器330可以耦合到CPU 402a。继而,在片上系统322外部的触摸屏显示器108可以耦合到显示器控制器328和触摸屏控制器330。

[0038] 图7还示出了视频编码器334(例如,相交替行(PAL)编码器、顺序存储彩色(SECAM)编码器或国家电视系统委员会(NTSC)编码器)耦合到多内核CPU 402A。此外,视频放大器336耦合到视频编码器334和触摸屏显示器108。此外,视频端口338耦合到视频放大器336。如图7所示,通用串行总线(USB)控制器340耦合到多内核CPU 402A。此外,USB端口342耦合到USB控制器340。内存404A和用户标识模块(SIM)卡346也可以耦合到多内核CPU 402A。内存404A可以包括存储器设备110和118(图1),如上所述。系统100(图1)可以耦合到CPU 402A。

[0039] 进一步地,如图7所示,数字相机348可以耦合到多内核CPU 402A。在一个示例性的方面中,数字相机348是电荷耦合器件(CCD)相机或互补金属氧化物半导体(CMOS)相机。

[0040] 如图7进一步所示的,立体声音频编解码器(CODEC) 350可以耦合到多内核CPU 402A。此外,音频放大器352可以耦合到立体声音频CODEC350。在一个示例性的方面中,第一立体声扬声器354和第二立体声扬声器356耦合到音频放大器352。图7示出麦克风放大器358也可以耦合到立体声音频CODEC 350。另外,麦克风360可以耦合到麦克风放大器358。在一个特定的方面中,调频(FM)无线电调谐器362可以耦合到立体声音频CODEC 350。此外,FM天线364耦合到FM无线电调谐器362。此外,立体声耳机366可以耦合到立体声音频CODEC 350。

[0041] 图7还示出射频(RF)收发器368可以耦合到多内核CPU 402A。RF开关370可以耦合到RF收发器368和RF天线372。如图7所示,键盘204可以耦合到多内核CPU 402A。此外,具有麦克风的单声道耳麦376可以耦合到多内核CPU 402A。此外,振动器设备378可以耦合到多内核CPU 402A。

[0042] 图7还示出电源380可以耦合到片上系统322。在一个特定的方面中,电源380是向PCD 700的需要电力的各个组件提供电力的直流(DC)电源。此外,在一个特定的方面中,电源是可再充电DC电池或者是从连接到交流(AC)电源的AC到DC变压器得到的DC电源。

[0043] 图7还示出PCD 700还可以包括网卡388,其可以用于接入数据网,例如,局域网、个人区域网或任何其它网络。网卡388可以是蓝牙网卡、WiFi网卡、个人区域网(PAN)卡、个人区域网超低功率技术(PeANUT)网卡、电视/电缆/卫星调谐器、或本领域公知的任何其它网卡。此外,网卡388可以并入到芯片中,即网卡388可以是芯片中的完全解决方案,以及可以不是单独的网卡388。

[0044] 如图7中描绘的,触摸屏显示器108、视频端口338、USB端口342、相机348、,第一立

体声扬声器354、第二立体声扬声器356、麦克风360、FM天线364、立体声耳机366、RF开关370、RF天线372、键盘374、单声道耳麦376、振动器378以及电源380在片上系统322外部。

[0045] 应当认识到的是,本文描述的方法步骤中的一个或多个方法步骤可以作为计算机程序指令(诸如上述模块)存储在存储器中。这些指令可以由任何适当的处理器结合或与相应的模块一起来执行,以执行本文描述的方法。

[0046] 在本说明书中描述的过程或处理流程中的某些步骤自然地先于其它步骤,以使本发明如所描述的运作。但是,本发明不限于所描述的步骤的次序,如果这样的次序或顺序不改变本发明的功能的话。即,认识到的是,在不脱离本发明的范围和本质的情况下,某些步骤可以在其它步骤之前、之后或与其它步骤并行地(大体同时地)执行。在一些实例中,可以在不脱离本发明的情况下省略或不执行某些步骤。此外,诸如“其后”、“随后”、“接下来”等的词语不旨在限制步骤的次序。这些词语仅用于引导读者完成示例性的方法的描述。

[0047] 另外,编程领域的普通技术人员能够基于例如在本说明书中的流程图和相关联的描述,在没有困难的情况下编写计算机代码或识别适当的硬件和/或电路以实现所公开的发明。

[0048] 因此,对程序代码指令的特定集合或详细的硬件设备的公开不被认为是获得对如何实现以及使用本发明的足够的理解所必须的。在上文描述中并且结合附图更加详细地解释了所要求保护的计算机实现的过程的发明性功能,所述附图可以说明各个处理过程。

[0049] 在一个或多个示例性的方面中,所描述的功能可以在硬件、软件、固件或其任意组合中实现。如果在软件中实现,则所述功能可以作为一个或多个指令或代码存储在计算机可读介质中或者通过其进行传输。计算机可读介质包括计算机存储介质和通信介质二者,所述通信介质包括促进计算机程序从一个地方传送到另一个地方的任何介质。存储介质可以是可由计算机存取的任何可用的介质。通过举例而非限制性的方式,这样的计算机可读介质可以包括RAM、ROM、EEPROM、NAND闪存、NOR闪存、M-RAM、P-RAM、R-RAM、CD-ROM或其它光盘存储、磁盘存储或其它磁存储设备、或者可以用于以指令或数据结构的形式携带或存储期望的程序代码以及可以由计算机来存取的任何其它介质。

[0050] 此外,任何连接被适当地称为计算机可读介质。例如,如果使用同轴电缆、光纤光缆、双绞线、数字用户线(“DSL”)或无线技术(例如红外、无线和微波)从网站、服务器或其它远程源发送软件,那么同轴电缆、光纤光缆、双绞线、DSL或无线技术(例如红外、无线和微波)包括在介质的定义中。

[0051] 如本文所使用的,磁盘和光盘包括压缩光盘(“CD”)、激光光盘、光盘、数字多功能光盘(“DVD”)、软盘和蓝光光盘,其中磁盘通常磁性地复制数据,而光盘则利用激光来光学地复制数据。上述的组合也应当包括在计算机可读介质的范围内。

[0052] 在不脱离本发明的本质和范围的情况下,替代的实施例对于与本发明相关的领域的技术人员将是显而易见的。因此,尽管详细地说明和描述了所选择的方面,但是将理解的是,如下面的权利要求书所限定的,可以在不脱离本发明的本质和范围的情况下在其中做出各种替代和改变。

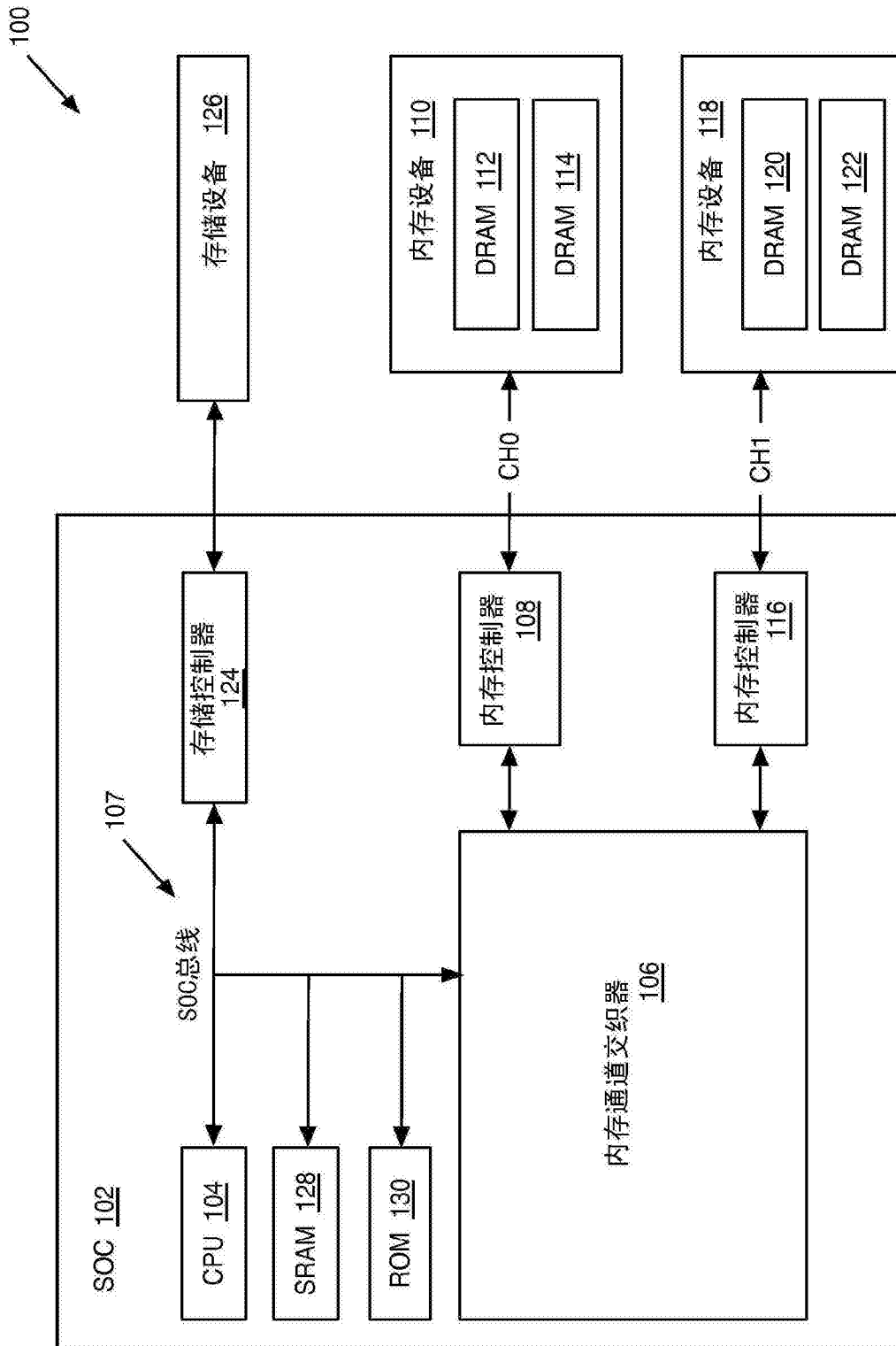


图1

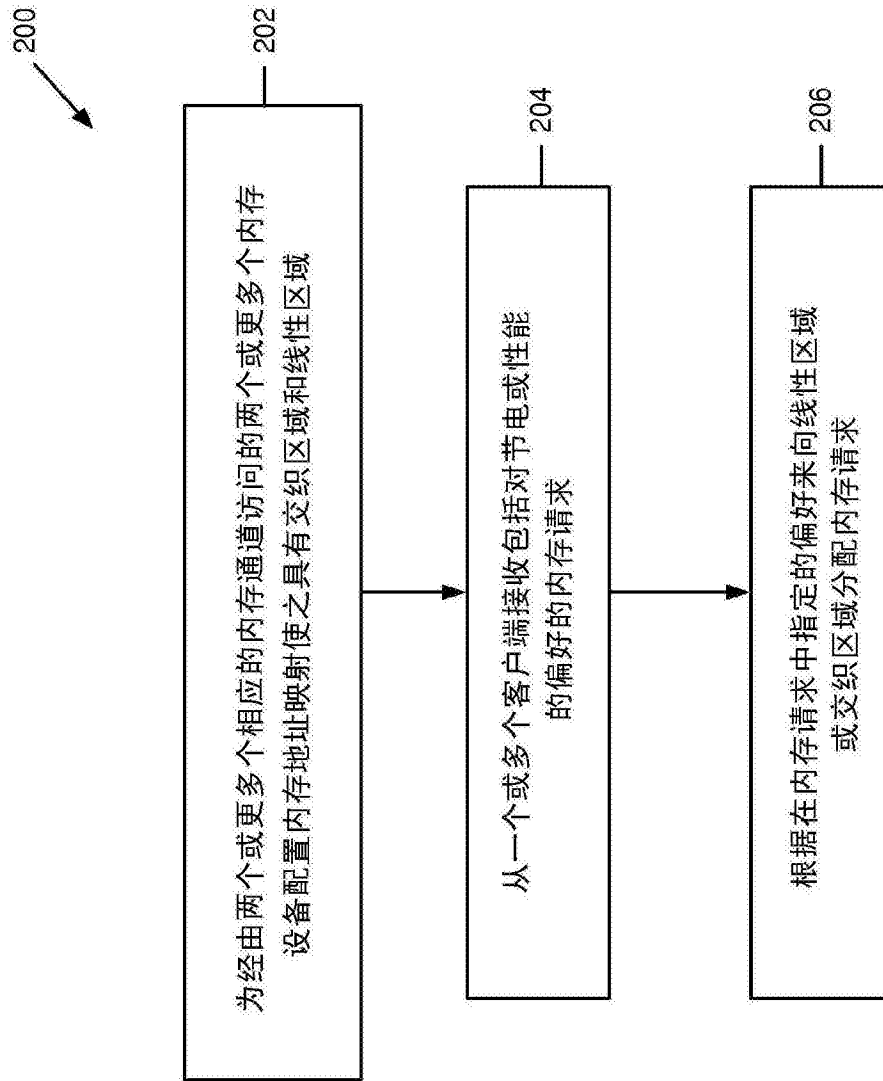


图2

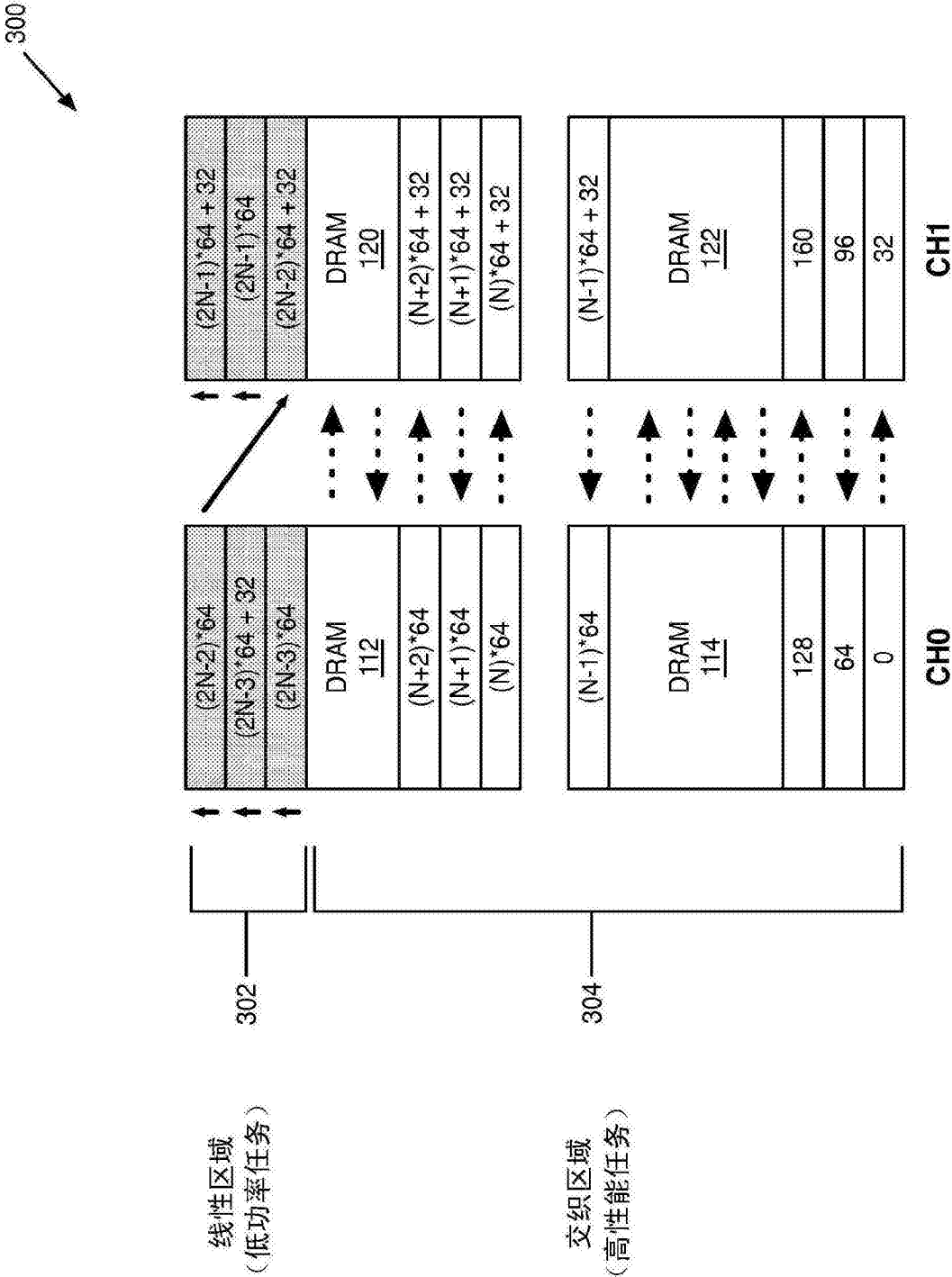


图3

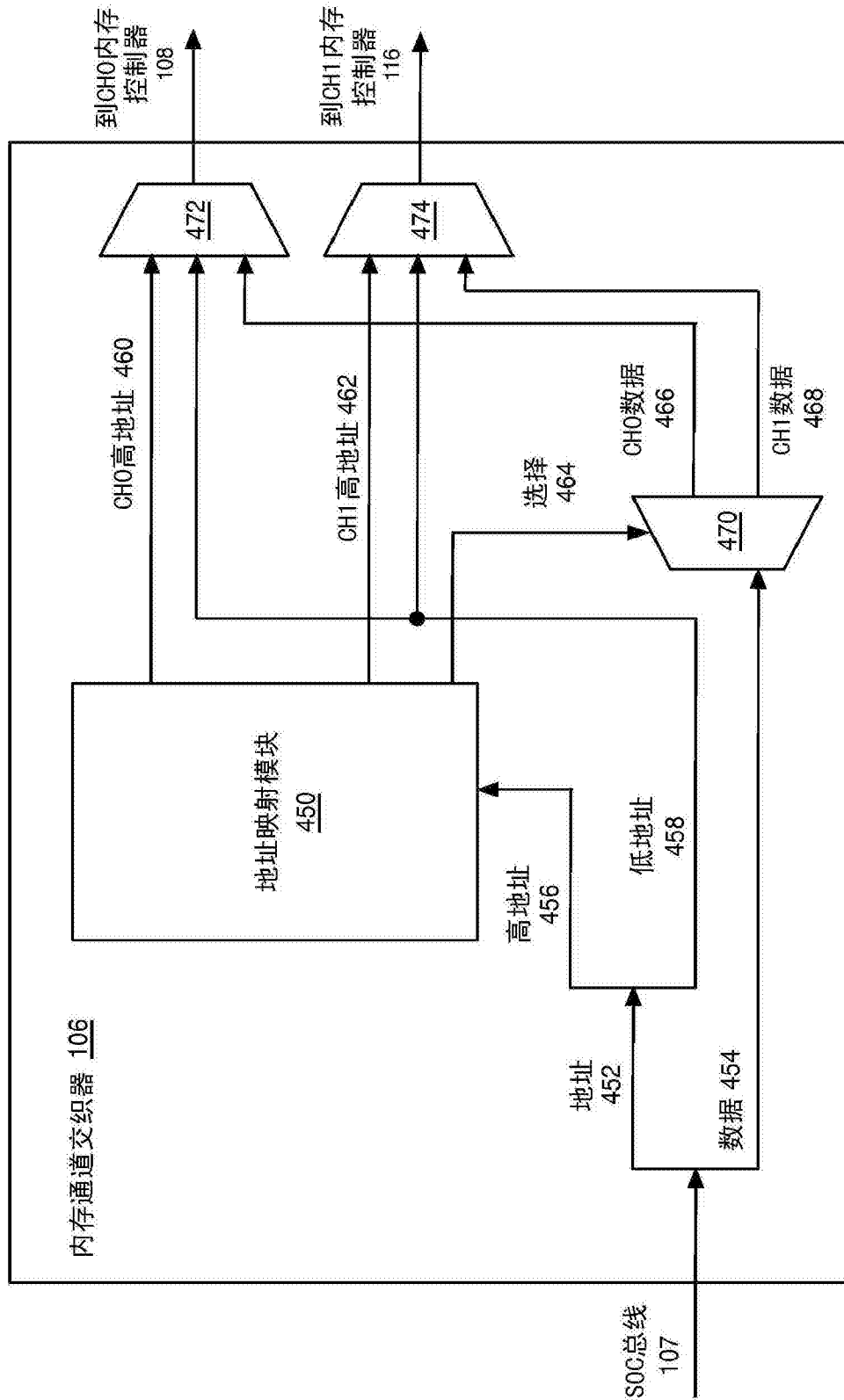


图4

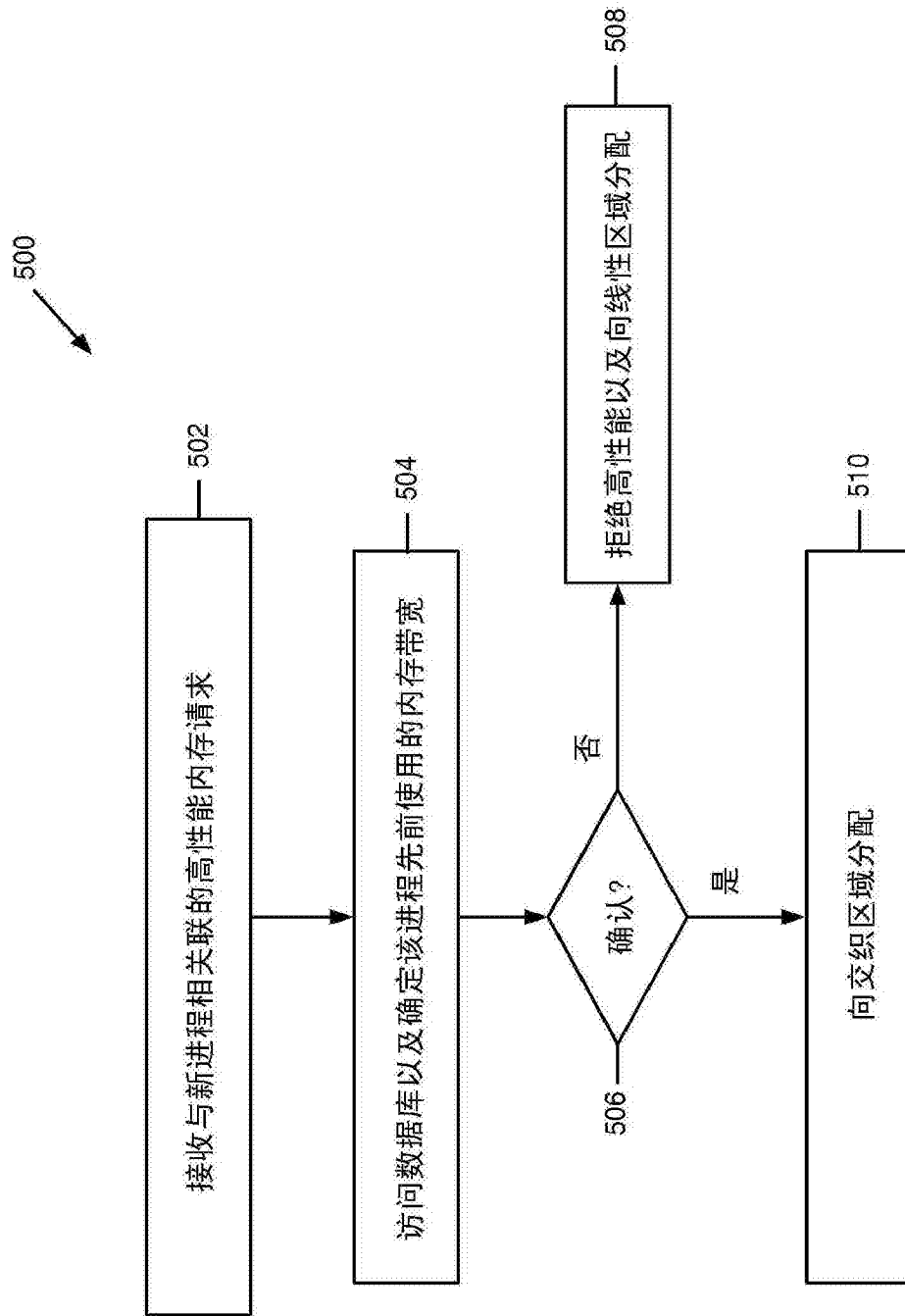


图5

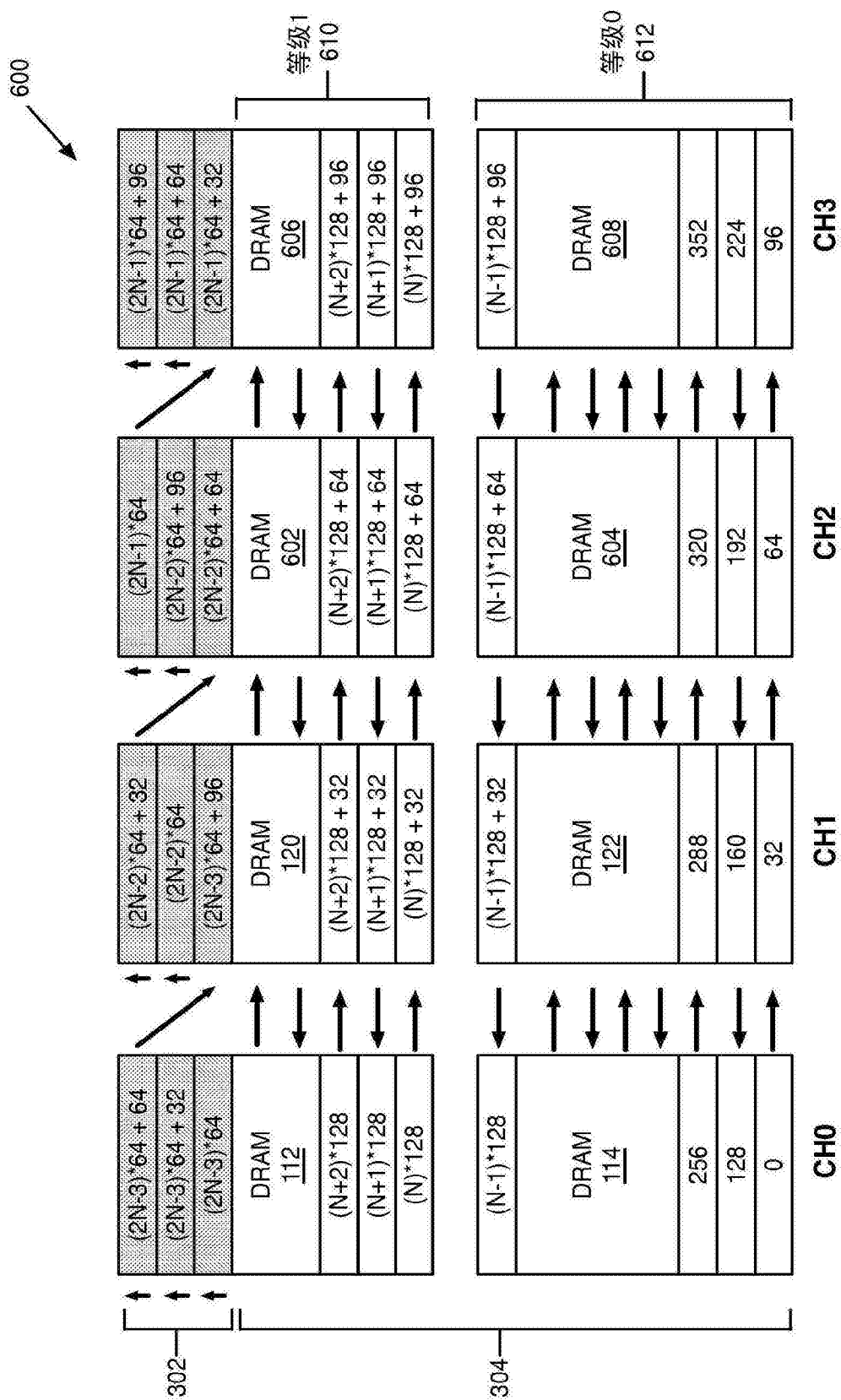


图6

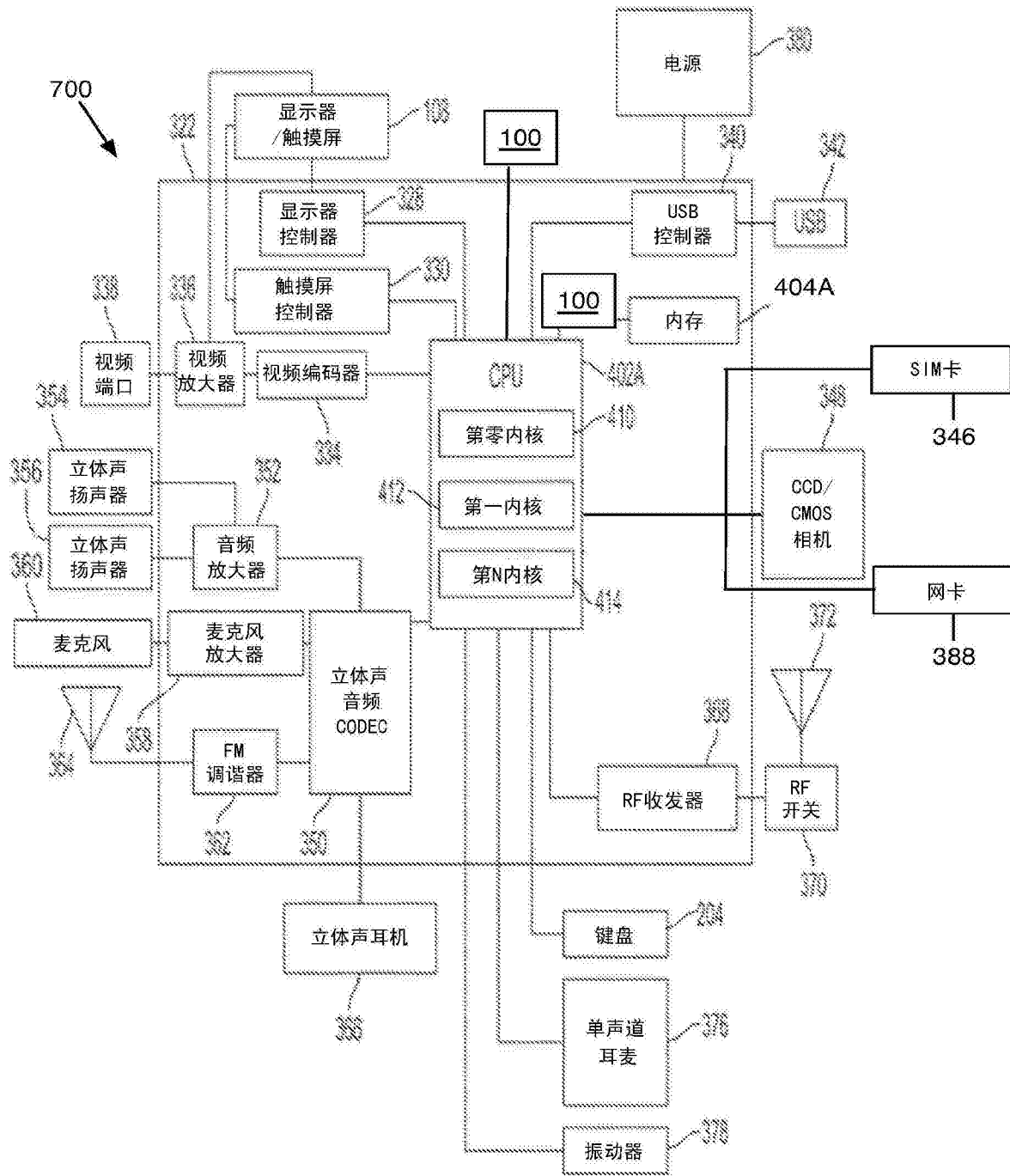


图7