

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 3 年 9 月 9 日 (2021.9.9)

【公表番号】特表 2020-530175 (P2020-530175A)

【公表日】令和 2 年 10 月 15 日 (2020.10.15)

【年通号数】公開・登録公報 2020-042

【出願番号】特願 2020-529105 (P2020-529105)

【国際特許分類】

G 0 6 F 15/80 (2006.01)

G 0 6 F 8/65 (2018.01)

H 0 1 L 21/82 (2006.01)

H 0 3 K 19/17756 (2020.01)

【F I】

G 0 6 F 15/80

G 0 6 F 8/65

H 0 1 L 21/82 A

H 0 3 K 19/17756

【手続補正書】

【提出日】令和 3 年 7 月 29 日 (2021.7.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

少なくとも 1 つの計算装置によって、プログラムコードの複数の部分を含むソフトウェアプログラムを実行するためのシステムであって、

少なくとも 1 つの計算デバイスに接続された計算グリッドであって、データ入力メッシュネットワーク、複数の論理要素、および複数のマルチプレクサ、を有し、前記複数の論理要素および前記複数のマルチプレクサは、複数の計算グループを形成し、前記論理要素の少なくとも 1 つおよび複数のマルチプレクサの少なくとも 1 つは、複数の計算グループのそれぞれを形成する、前記計算グリッドと、

複数の構成反復のそれぞれにおいて、

プログラムコードの前記複数の部分のうち、プログラムコードの 2 つ以上の部分を含むプログラムコードパターンであって、各パターンは、前記ソフトウェアプログラムを実行するときにプログラムコードの前記 2 つ以上の部分のそれぞれの出現における関連性を示している少なくとも 1 つの前記プログラムコードパターンにアクセスし、

前記少なくとも 1 つのプログラムコードパターンのそれぞれに対し、前記少なくとも 1 つのプログラムコードに従って、プログラムコードの前記 2 つ以上の部分のそれぞれのうち、1 つの少なくとも一部をそれぞれ実行するように、前記複数の計算グループの少なくともいくつかを構成し、

少なくとも 1 つの計算装置の代わりに、前記計算グリッドによって少なくとも 1 つのプログラムコードパターンを計算する、

ことにより、前記プログラムコードの複数の部分の少なくともいくつかを実行するように前記計算グリッドを構成するために適合された少なくとも 1 つの処理回路と、

を備える、システム。

【請求項 2】

前記少なくとも1つの計算装置によって前記ソフトウェアプログラムを実行することは、前記計算グリッドがプログラムコードの前記複数の部分から選択されたプログラムコードの部分の第2のセットを実行する間に前記プログラムコードの複数の部分から選択されたプログラムコードの部分の第1のセットをそれによって実行することを含む、

請求項1に記載のシステム。

【請求項3】

前記少なくとも1つの処理回路は、

前記複数の構成反復の少なくとも1つにおいて、少なくとも1つの他の処理回路から前記少なくとも1つのプログラムコードパターンを受信すること、および、

前記複数の構成反復の他の少なくとも1つにおいて、

プログラムコードの前記複数の部分のうちの1つをそれぞれが実行するための複数の呼び出しを受信し、

前記複数の呼び出しにおいて、前記少なくとも1つのプログラムコードパターンを識別する、

ことにより、前記少なくとも1つのプログラムコードパターンを計算すること、の少なくとも1つのためにさらに適合されている、

請求項1に記載のシステム。

【請求項4】

前記少なくとも1つのプログラムコードパターンは、

プログラムコードの前記2つ以上の部分のそれぞれのうちのコードの第1の部分およびコードの2つ以上の部分のそれぞれのうちのコードの第2の部分であって、前記複数の呼び出しにおいて、プログラムコードの前記第1の部分およびプログラムコードの前記第2の部分が次々に出現する第1の頻度が所定のしきい値頻度を越えているような、前記第1の部分および前記第2部分を有している、第1のプログラムコードパターンと、

プログラムコードの前記2つ以上の部分のそれぞれのうちのコードの第3の部分およびコードの前記2つ以上の部分のそれぞれのうちのコードの第4の部分であって、前記複数の呼び出しにおいて、コードの前記第3の部分がコードの前記第4の部分の呼び出す第2の頻度が所定のしきい値頻度を越えているような、前記第3の部分および前記第4の部分を有している、第2のプログラムコードパターンと、

プログラムコードの前記2つ以上の部分のそれぞれのうちのコードの第5の部分をそれぞれ有している、第3のコードパターンおよび第4のコードパターンと、

の少なくとも1つを備える、

請求項3に記載のシステム。

【請求項5】

前記複数の計算グループの少なくともいくつかを構成することは、前記第1のプログラムコードパターンのために、プログラムコードの前記第1の部分を実行するように、前記複数の計算グループのうちの少なくとも1つの第1の計算グループを構成することを含んでおり、

前記少なくとも1つの第1の計算グループは、プログラムコードの前記第2の部分を実行するように構成された前記少なくとも1つの第2の計算グループに位相的に近接している前記少なくとも1つの計算グリッド内に配置されている、

請求項4に記載のシステム。

【請求項6】

前記複数の計算グループの少なくともいくつかを構成することは、前記第2のプログラムコードパターンのために、プログラムコードの前記第3の部分を実行するように、前記複数の計算グループのうちの少なくとも1つの第3の計算グループを構成することを含んでおり、

前記少なくとも1つの第3の計算グループは、プログラムコードの前記第4の部分を実行するように構成された前記少なくとも1つの第4の計算グループに位相的に近接している前記少なくとも1つの計算グリッド内に配置されている、

請求項 4 に記載のシステム。

【請求項 7】

前記複数の計算グループの少なくともいくつかを構成することは、プログラムコードの前記第 5 の部分を実行するように、前記複数の計算グループのうちの少なくとも 2 つの計算グループを構成することを含む、

請求項 4 のシステム。

【請求項 8】

前記複数の計算グループの少なくともいくつかを構成することは、前記少なくとも 1 つのプログラムコードパターンの少なくとも 1 つに対して、

プログラムコードの前記 2 つ以上の部分のそれぞれのうちの 1 つの少なくとも一部を実行するようにそれぞれ構成された前記複数の計算グループの少なくとも 2 つを識別すること、

少なくとも 2 つの他の計算グループが互いに位相的に近接した状態で前記計算グリッド内に配置されるように、前記複数の計算グループの少なくとも 2 つの他の計算グループを選択すること、および、

前記少なくとも 2 つの計算グループが実行されたプログラムコードの前記 2 つ以上の部分のそれぞれのうちの 1 つの少なくとも一部を実行するように、前記少なくとも 2 つの他の計算グループのそれぞれを構成すること、

を含む、請求項 1 に記載のシステム。

【請求項 9】

前記複数の計算グループの少なくともいくつかを構成することは、前記少なくとも 1 つのプログラムコードパターンの少なくとも 1 つのために、

プログラムコードの前記 2 つ以上の部分のそれぞれのプログラムコードの第 1 の部分を実行するように構成された前記複数の計算グループのうちの少なくとも 1 つの第 1 の計算グループを識別すること、および、

プログラムコードの前記 2 つ以上の部分のそれぞれのプログラムコードの第 2 の部分を実行するように、前記複数の計算グループのうちの少なくとも 1 つの第 2 の計算グループであって、前記少なくとも 1 つの計算グループに位相的に近接している前記計算グループ内に配置されている前記第 2 の計算グループを構成すること、

を含む、請求項 1 に記載のシステム。

【請求項 10】

前記複数の計算グループの少なくともいくつかを構成することは、

前記複数の計算グループのいずれにもアクセスされておらず、かつ前記計算装置にもアクセスされていない前記複数の計算グループのうちの少なくとも 1 つの計算グループを解放すること、

をさらに含む、請求項 1 に記載のシステム。

【請求項 11】

前記少なくとも 1 つの処理回路は、前記ソフトウェアプログラムが前記少なくとも 1 つの計算装置および前記計算グリッドによって実行されている間、前記計算グリッドを構成するために適合される、

請求項 1 に記載のシステム。

【請求項 12】

前記少なくとも 1 つの計算装置は、

マルチコア中央処理装置 (CPU)、フィールドプログラマブルゲートアレイ (FPGA)、グラフィック処理装置 (GPU)、粗粒度再構成可能アーキテクチャ (CGRA)、ニューラルネットワークアクセラレータ、インテリジェンス処理ユニット (IPU)、特定用途向け集積回路 (ASIC)、量子コンピュータ、

のいずれか 1 つである、

請求項 1 に記載のシステム。

【請求項 13】

少なくとも1つの計算装置によって、プログラムコードの複数の部分を含むソフトウェアプログラムを実行するための方法であって、

プログラムコードの前記複数の部分のうちの少なくともいくつかを実行するように、データ入力メッシュネットワーク、複数の論理要素、および複数のマルチプレクサを有する計算グリッドの少なくとも一部分を構成するステップを備え、

前記複数の論理要素および前記複数のマルチプレクサは、複数の計算グループを形成しており、

前記論理要素の少なくとも1つおよび複数のマルチプレクサの少なくとも1つは、複数の計算グループのそれぞれを形成しており、

前記計算グリッドの前記少なくとも一部分を構成するステップは、複数の構成反復のそれぞれにおいて、

プログラムコードの前記複数の部分のうち、2つ以上を有するプログラムコードパターンであって、各パターンは、前記ソフトウェアプログラムを実行するときにプログラムコードの前記2つ以上の部分のそれぞれの出現における関連性を示している少なくとも1つの前記プログラムコードパターンにアクセスするステップと、

前記少なくとも1つのプログラムコードパターンのそれぞれについて、前記少なくとも1つのプログラムコードに従って、プログラムコードの前記2つ以上の部分のそれぞれのうち、1つの少なくとも一部をそれぞれ実行するように、複数の計算グループの少なくともいくつかを構成するステップと、

前記少なくとも1つの計算装置の代わりに、前記計算グリッドによって少なくとも1つのプログラムコードパターンを計算するステップと、

を含む、

方法。

【請求項14】

プログラムコードの複数の部分を有するソフトウェアプログラムを少なくとも1つの計算装置によって実行するプロセスを処理ユニットに実行させる命令を格納している非一過性のコンピュータ可読媒体であって、前記プロセスは、

プログラムコードの前記複数の部分のうちの少なくともいくつかを実行するように、データ入力メッシュネットワーク、複数の論理要素、および複数のマルチプレクサを有する計算グリッドの少なくとも一部分を構成するステップを備え、

前記複数の論理要素および前記複数のマルチプレクサは、複数の計算グループを形成しており、

前記論理要素の少なくとも1つおよび複数のマルチプレクサの少なくとも1つは、複数の計算グループのそれぞれを形成しており、

前記計算グリッドの前記少なくとも一部分を構成するステップは、複数の構成反復のそれぞれにおいて、

プログラムコードの前記複数の部分のうち、2つ以上を有するプログラムコードパターンであって、各パターンは、前記ソフトウェアプログラムを実行するときにプログラムコードの前記2つ以上の部分のそれぞれの出現における関連性を示している少なくとも1つの前記プログラムコードパターンにアクセスするステップと、

前記少なくとも1つのプログラムコードパターンのそれぞれについて、前記少なくとも1つのプログラムコードに従って、プログラムコードの前記2つ以上の部分のそれぞれのうち、1つの少なくとも一部をそれぞれ実行するように、複数の計算グループの少なくともいくつかを構成するステップと、

前記少なくとも1つの計算装置の代わりに、前記計算グリッドによって少なくとも1つのプログラムコードパターンを計算するステップと、

を含む、

非一過性のコンピュータ可読媒体。

【請求項15】

計算装置の動作を加速させる装置であって、

プログラムを記憶しているメモリと、  
複数の論理素子、および複数のマルチプレクサを有し、前記プログラムを実行する計算要素と、

を備え、

前記計算要素は、前記計算装置において実行される演算のための複数の呼出しの間で少なくとも１つのパターンが識別された場合、識別されたパターンに基づいて、前記複数の論理素子の少なくとも１つと前記複数のマルチプレクサの少なくとも１つの組み合わせを最適化する、

装置。

**【請求項 １６】**

前記計算要素は、前記パターンが前記演算の実行に用いられる少なくとも１つの関数の再出現を示している場合、当該関数に対応付けられている前記組み合わせを複製する、

請求項 １５に記載の装置。

**【請求項 １７】**

前記計算要素は、前記パターンが、第１の関数を用いた演算と、前記第１の関数を呼び出す第２の関数を用いた演算との実行を示している場合、前記第１の関数に対応付けられている第１の組み合わせと前記第２の関数に対応付けられている第２の組み合わせとを、前記パターンに基づいて再配置する、

請求項 １５または １６に記載の装置。