



# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 9219147

※申請日期： 92-7-14

※IPC 分類： H41 27/35

## 壹、發明名稱：(中文/日文)

半導體裝置

半導体装置

## 貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

安藤 國威

KUNITAKE ANDO

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番 35 號

7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO,  
JAPAN

國 籍：(中文/英文)

日本 JAPAN

## 參、發明人：(共 1 人)

姓 名：(中文/英文)

長谷 伊知郎

ICHIRO HASE

住居所地址：(中文/英文)

日本東京都品川區北品川六丁目七番 35 號

7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO,  
JAPAN

國 籍：(中文/英文)

日本 JAPAN

肆、聲明事項：

本案係符合專利法第二十條第一項  第一款但書或  第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 日本；2002 年 7 月 19 日；特願 2002-210597

2.

3.

4.

5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002 年 7 月 19 日；特願 2002-210597

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種應用於功率放大器等中的半導體裝置。

### 【先前技術】

對於移動體通訊用可攜式終端之發送用功率放大器之最近的要求事項中，有低失真高效率動作與單一正電源動作。在此，所謂高效率動作，係指提高以輸出功率 $P_{out}$ 及輸入功率 $P_{in}$ 之差與直流投入功率 $P_{dc}$ 之比來定義之功率附加效率(Power Added Efficiency；以下稱為PAE)的動作之意。由於PAE越大可攜式終端之消耗功率就越少，所以PAE成為重要的性能指標。又，在最近利用CDMA(Code Division Multiple Access；分碼多重擷取系統)或WCDMA(Wideband CDMA；寬頻式分碼多重擷取系統)等數位無線通訊方式的可攜式終端中，由於對功率放大器之失真亦課以嚴格的規格所以低失真化亦變成很重要。但是，失真與效率一般係處於折衷選擇(trade-off)之關係，且在一定低失真條件下有必要增大PAE。此係低失真高效率動作之意。

另一方面，單一正電源動作，係不需要在依習知空乏型(Depletion Mode)FET(Field Effect Transistor；場效電晶體)而構成功率放大器之情況所需的負電源產生電路、汲極開關，並有助於終端之小型化、低成本化。

作為可滿足該等要求之功率放大器用裝置較為人所周

知者有HBT(Heterojunction Bipolar Transistor; 異質接面雙極性電晶體)。但是，在HBT中，雖然為了提高功率放大器特性而必須提高電流密度，但是亦會發生因發熱而限制功率放大器特性之提高，或為了確保可靠度而需要高度散熱之設計等的問題。因此，依HFET(Heterojunction Field Effect Transistor; 異質接面場效電晶體)進行之單一正電源動作亦受到注目。在此，HFET，係HEMT(High Electron Mobility Transistor; 高電子遷移率電晶體)或HIGFET(Heterostructure Insulated-Gate FET; 異質結構絕緣閘場效電晶體)等利用異質接面的FET之總稱。在HFET中亦可實現高性能開關，且產生可使功率放大器與開關一體化的優點。

然而，為了利用HFET來實現單一正電源動作，且不需要負電源產生電路、汲極開關，就有必要實現全增強型(Enhancement mode)之HFET。在此，所謂全增強，係指在截止時之汲極漏電流十分小，即，將閘極與源極間之電壓保持於0的狀態下，直接對源極與汲極間施加電壓的情況，由於流至源極與汲極間之電流十分小，所以可不需要汲極開關之位準的增強型動作之意，一般而言需要0.5V左右以上之高臨限電壓 $V_{th}$ 。

在利用具有習知凹陷閘極(recess gate)構造之肖特基接面閘極型HFET來實現該種增強型之HFET的情況，會造成問題者在於，第一、因表面空乏化之影響而增大源極電阻、導通電阻 $R_{on}$ ，第二、 $V_{th}$ 變高的結果，會縮小閘極與源

極間之順向電流上升電壓 $V_f$ 與 $V_{th}$ 之差，結果，要獲得低失真高效率特性變得非常困難。

作為容易實現全增強型動作的HFET，例如有如已揭示於日本專利特願平10-258989號公報中的JPHEMT(Junction Pseudomorphic HEMT)構造。

圖7係顯示該種習知型JPHEMT之一構成例。該半導體裝置，例如係在半絕緣性之單晶GaAs構成的基板1之一面上，例如介以意圖不添加雜質之u-GaAs(u-係表示意圖不添加雜質者，以下相同)構成的緩衝層2，依次層疊鋁(Al)組成比20%左右之AlGaAs構成的第二障壁層3、銦(In)組成比20%左右之InGaAs構成的通道層4及Al組成比20%左右之AlGaAs構成的第一障壁層5。

第一障壁層5，係具有添加高濃度之n型雜質的區域5a、意圖不添加雜質的區域5b、及包含高濃度之p型雜質且對應閘極9而設的p型導電區域5c。第二障壁層3，係具有添加高濃度之n型雜質的區域3a、及意圖不添加雜質的區域3b。p型導電區域5c，一般係依鋅(Zn)之擴散而形成。

在與第一障壁層5之基板1相反側之面上形成有絕緣膜6。在該絕緣膜6上設有複數個開口，且在該等開口之第一障壁層5上形成有源極電極7、汲極電極8、及閘極9。在源極電極7、汲極電極8之下部，例如存在有依該等電極與基底之半導體層的合金化所產生的低電阻層10，且汲極電極8與第一障壁層5形成n型之歐姆接觸。又，閘極9係與第一障壁層5形成p型之歐姆接觸。通道層4，係成為源極電極7與

汲極電極8間之電流通路。另外，雖然在圖7中未顯示，但是亦有在源極電極7或汲極電極8與第一障壁層5之間介有添加高濃度之n型雜質的蓋層之情況。

在如圖7所示之JPHEMT構造中，由於使用pn接面閘極，所以可獲得內建(built-in)電壓，且與通常的肖特基閘極型HFET相較，可將更高的電壓施加在閘極上。換句話說，可提高閘極與源極間之順向上升電壓 $V_f$ 。以下， $V_f$ 係定義為閘極與源極間之順向電流顯示指定值的電壓者。

更且，在上述JPHEMT中，由於係成為包含高濃度之p型雜質的p型導電區域5c埋入第一障壁層5內的形式，所以即使在 $V_{th}$ 為正的增強型中亦有不易因表面空乏化而產生源極電阻之增大的良好情況。

如此，圖7所示的JPHEMT，雖然為了進行增強型動作而具有非常有利的構造，但是有為了實現前面所述之全增強型動作而還不夠充分之處。亦即，圖7之JPHEMT，係 $V_f$ 為1.2V左右，且大於通常的肖特基型HFET或JFET之值，雖然只要使之進行增強型動作就沒有問題，但是當變成全增強型動作時，就需要0.5V左右以上的 $V_{th}$ ，且當進而考慮製造不均時，即使是更高的 $V_{th}$ 亦必須獲得滿足的特性。但是，如此當 $V_{th}$ 變大時，即使是pn接面閘極由於亦會縮小 $V_{th}$ 與 $V_f$ 之差，所以低失真條件下的PAE特性就會惡化起來。

本發明，係有鑑於該種問題點而開發完成者，其目的在於提供一種可進行全增強型動作，且低失真高效率特性優的半導體裝置以作為功率電晶體。

之至少一個作為V族元素的III-V族化合物半導體之各種組合者。例如可在第一障壁層上使用GaAs或Al組成比50%以上之AlGaAs或InGaP。又，在第三障壁層12上除了InGaP或Al組成比50%以上之AlGaAs，亦可使用AlInGaP或GaInAsP等4元化合物。又，可在通道層使用InGaAs或GaAs。然後，第三障壁層之厚度，為了獲得對應增強型動作之所期望臨限電壓 $V_{th}$ ，較佳者為20 nm以下。又，尤其是在依p型雜質之擴散而形成第一障壁層內之p型導電區域的情況，從擴散控制性之觀點來看較佳者係儘量使p型雜質不侵入第三障壁層內。為了保持該特性，較佳者係在第一障壁層內之第三障壁層附近部分，存在有例如5 nm以上厚度的半導體層，而該半導體層只含有p型導電區域中之最大雜質濃度的十分之一以下的雜質。

本發明(2)，係在上述本發明(1)之半導體裝置中，在第三障壁層與通道層之間，具備有由電子親和力小於通道層之半導體所構成的第四障壁層。

在本發明(2)中，即使在與第一障壁層間具有式(1)之關係的第三障壁層與通道層無法形成良好界面的情況，藉由在第四障壁層上使用能與通道層形成良好界面之半導體材料，即可迴避該問題。

在本發明(2)之構成中，作為第四障壁層之半導體材料，例如可使用AlGaAs或GaAs。又，從 $V_{th}$ 之關係中，較佳者係形成第四障壁層與第三障壁層之厚度和為20 nm以下。

本發明(3)，係在上述本發明(1)之半導體裝置中，在第一

障壁層與閘極之間，具備有其能帶隙小於第一障壁層，且具有添加高濃度之p型雜質之p型導電區域的半導體所構成的第五障壁層。

在本發明(3)中，可減少閘極金屬與閘極金屬相接之半導體之肖特基障壁的高度，且可減低歐姆接觸電阻。

在本發明(3)中，作為第五障壁層之半導體材料，例如可使用GaAs。

本發明(4)，係在上述本發明(1)之半導體裝置中，在第一障壁層與第三障壁層之間，具備有由Zn之擴散速度慢於第一障壁層之半導體所構成的第六障壁層。

在本發明(4)中，在依Zn之擴散而形成第一障壁層之p型導電區域的情況，可利用第六障壁層阻止添加於第一障壁層內的Zn之擴散，且容易控制Zn擴散。

在本發明(4)之構成中，作為第六障壁層之半導體材料，例如可使用GaAs或AlGaAs。又，從 $V_{th}$ 之關係中，較佳者係形成第六障壁層與第三障壁層之厚度和為25 nm以下。

#### 【實施方式】

以下，係根據圖式說明本發明之實施形態。

(第一實施形態)

為了解決圖7所示之習知型JPHEMT之課題，首先就閘極漏電流之機制進行要因分析。圖8係沿著圖7之 $\eta$ 軸的能帶圖，且顯示未施加電壓至閘極的狀態。 $E_c$ 為導電帶之底部的能量， $E_v$ 為價電帶之頂端的能量， $E_f$ 為費米能階， $\phi_e$ 為對電子之障壁高度， $\phi_h$ 為對電洞之障壁高度。圖8係根



據對某特定參數之計算結果者，雖然對不同的參數會成為不同的能帶圖，但是在抓住以下定性之傾向時即已足夠。

首先，從該圖中，可知  $\phi_e$  大致等於第一障壁層5之能帶隙  $E_{g1}$  ( $\phi_e \sim E_{g1}$ )。另一方面， $\phi_h$  係十分小於  $E_{g1}$ 。其主要原因，在於 AlGaAs 層 (第一障壁層5) 與 InGaAs 層 (通道層4) 之導電帶端能量差  $\Delta E_c$  相當大，且變成  $\phi_h < E_{g1} - \Delta E_c$  之故。如前面在圖7所說明般，在 Al 組成比 20% 左右、In 組成比 20% 左右之情況， $\Delta E_c$  會變成 360meV 左右。 $E_{g1}$ ，由於係為 1.7eV 左右，所以結果  $\phi_e$  大約變成 1.7eV，而  $\phi_h$  大約變成 1.3eV。換句話說，由於變成  $\phi_h < \phi_e$ ，所以可明白閘極之順向電流會支配電洞注入。因而，為了要提高閘極順向之上升電壓  $V_f$ ，首先必須加大  $\phi_h$ 。

作為加大  $\phi_h$  用之一個方法，可考慮增加第一障壁層之 Al 組成比並加大能帶隙。然而，例如在將 Al 組成比從 20% 左右加大至 30~40% 左右的情況，電子親和力變小的部分，一般會使源極接觸電阻變高。又，在增大 Al 組成的情況，由於 Zn 之擴散速度會變快，所以在擴散之控制性方面亦會產生問題。

因此作為不會產生上述問題下可加大  $\phi_h$  的構成，可考慮圖1所示之第一實施形態。圖2係沿著圖1之  $\eta$  軸的能帶圖。與圖7、圖8之差異，係在於在包含 p 型導電區域 11c 之半導體所構成的第一障壁層 11 與通道層 4 之間，插入半導體構成的第三障壁層 12，如圖2所示，該第三障壁層 12 之能帶隙係大於第一障壁層 11，且價電帶端能量差  $\Delta E_{V13}$  大於第一

障壁層 11 與第三障壁層 12 之導電帶端能量差  $\Delta E_{c13}$ 。因而， $\phi_h$  變大的結果，雖然  $V_f$  亦可變大，但是因第三障壁層 12 之電子親和力並無法如此地變小，且第一與第三障壁層 12 之導電帶端能量差  $\Delta E_{c13}$  亦無法變得如此大，故可防止源極之歐姆接觸電阻增大。又，在該構造中，由於可形成 p 型導電區域 11c 之 Zn 的擴散層不到達第三障壁層 12 之構造，所以 Zn 之擴散速度不會造成問題。

如上所述，第一障壁層 11 與第三障壁層 12 之關係，係當第一障壁層 11 之電子親和力為  $x_1$ 、其能帶隙為  $E_{g1}$ ，第三障壁層 12 之電子親和力為  $x_3$ 、其能帶隙為  $E_{g3}$  之情況，就以下式表示。

$$x_1 - x_3 \leq 0.5 \times (E_{g3} - E_{g1}) \quad \dots (1)$$

以下，係根據圖 1 舉具體例詳細說明本發明半導體裝置之第一實施形態。圖 1 所示之半導體裝置，例如係在半絕緣性之單晶 GaAs 構成的基板 1 之一面上，例如介以意圖不添加雜質之 u-GaAs、u-AlGaAs 或是該等多層膜所構成的緩衝層 2，依次層疊 Al 組成比 20% 左右之 AlGaAs 構成的第二障壁層 3、In 組成比 20% 左右之 InGaAs 構成的通道層 4、InGaP 構成的第三障壁層 12 及 Al 組成比 20% 左右之 AlGaAs 構成的第一障壁層 11。

另外，在此，雖係在第一障壁層 11 上使用 Al 組成比為 20% 左右的 AlGaAs，在第三障壁層 12 上使用 InGaP，但是作為滿足如式 (1) 之關係的材料組合，可考慮在第一障壁層 11 與第三障壁層 12 上，包含 Ga、Al、In 中之至少一個作為 III 族

元素，包含As、P中之至少一個作為V族元素的III-V族化合物半導體的各種組合。例如可在第一障壁層11上使用GaAs或Al組成比50%以下之AlGaAs或InGaP。又，在第三障壁層12除了使用InGaP或Al組成比為50%以上之AlGaAs，亦可使用AlInGaP或GaInAsP等4元化合物。在Al組成比為50%以上之AlGaAs中，由於對導電帶之X能帶的電子親和力會變大，所以容易滿足式(1)之關係。又，在通道層上，除了InGaAs以外亦可使用GaAs。

第一障壁層11，係包含高濃度之p型雜質且具有對應閘極9而設的p型導電區域11c，而除此以外的區域，係成為低雜質濃度區域11b。在此，可使用Zn作為p型雜質，且可依Zn之擴散而形成p型導電區域11c。又，第一障壁層11之厚度係形成100 nm。雖與比此厚或薄無關，但是因若太厚就難以減低源極接觸電阻，而太薄則難以控制Zn擴散，故較佳者為70~100 nm左右。其中，p型導電區域11c之厚度，在依Zn擴散而進行p型雜質之添加的情況，雖然難以正確做出定義，但是若將低雜質濃度區域11b之雜質濃度設為p型導電區域11c中所含之p型雜質之最大濃度的十分之一以下的话，在此則為90 nm左右。該情況，在第三障壁層12與p型導電區域11c之間存在有10 nm左右之低雜質濃度區域11b。由於該低雜質濃度區域11b與第三障壁層12之厚度和決定為 $V_{th}$ ，所以雖然必須按照所期望之 $V_{th}$ 來適當地調整p型導電區域11c之厚度，但是較佳者係將低雜質濃度區域11b之厚度設在5 nm以上。

第三障壁層12，係包含有例如添加高濃度之矽(Si)構成之n型雜質的n型雜質高濃度添加區域12a、及意圖不添加雜質之低雜質濃度區域12b。在此，將n型雜質高濃度添加區域12a之厚度設在4 nm，將存在於n型雜質高濃度添加區域12a與第一障壁層11之間的低雜質濃度區域12b之厚度設在3 nm，將存在於n型雜質高濃度添加區域12a與通道層4之間的低雜質濃度區域12b之厚度設在3 nm，將第三障壁層12之厚度合計設在10 nm。第三障壁層12，雖然至少可稍微加厚或減薄，但是在加太厚的情況，為了獲得對應增強型動作之所期望的 $V_{th}$ ，產生亦將p型導電區域製作在第三障壁層12內的必要，且由於有難以控制擴散的可能性，所以較佳者為20 nm左右以下。n型雜質高濃度添加區域12a之厚度，可獲得所期望值以作為n型雜質之薄片濃度，且在不伴隨重現性等製造上之困難的範圍內較佳者係儘量少。因而，較佳者為數nm以下，亦可為1原子層。此係因在源極與汲極間之通道層中，由於可使遷移率與載子濃度之積最大化所以可減低源極電阻，且在閘極區域中，不會使遷移率劣化，而亦可抑制載子流至障壁層的並行傳導。在通道層4側之低雜質濃度區域12b的厚度較佳者為2 nm以上。此係為了抑制通道層4之電子遷移率的劣化。

n型雜質高濃度添加區域12a之薄片雜質濃度，在此係設為 $2 \times 10^{12}$ 個/cm<sup>-2</sup>。當太少時則由於源極電阻會變高，所以較佳者為 $1 \times 10^{12}$ 個/cm<sup>-2</sup>台。

第二障壁層3，亦包含有例如添加高濃度之Si構成之n型

雜質的n型雜質高濃度添加區域3a、及意圖不添加雜質之低雜質濃度區域3b。n型雜質高濃度添加區域3a之薄片雜質濃度，在此係設為 $1 \times 10^{12}$ 個/cm<sup>-2</sup>。

通道層4之膜厚，雖相對於In組成比20%左右之InGaAs設為15 nm左右，但是在將膜厚設在臨界膜厚以下的條件下，In組成比、膜厚係可自由改變的。

關於絕緣膜6、源極電極7、汲極電極8、閘極9，係形成與圖7所示之構成同樣。在絕緣膜6上例如可使用Si<sub>3</sub>N<sub>4</sub>。在源極電極7、汲極電極8、閘極9上，例如可使用Ti/Pt/Au。

在具有上述JPHEMT構造之第一實施形態中，除了圖7所示之習知型JPHEMT之優點，由於可更提高V<sub>f</sub>，所以容易進行全增強動作，且在構成功率放大器時不需要負電源產生電路或汲極開關，且可使功率放大器小型化、低價格化。又，可提高V<sub>f</sub>之結果，可提高在一定低失真條件下的功率附加效率。

另外，第一實施形態係本發明之基本型，其可在第三障壁層與通道層之間、第一障壁層與閘極9之間、第一障壁層與第三障壁層之間，插入其他的層，且亦可藉此而附加新的效果。

例如，在第一實施形態中，雖然在第三障壁層12上具有添加高濃度之n型雜質的n型雜質高濃度添加區域12a，但是亦有依使用於第三障壁層12之材料的種類，而無法添加高濃度之n型雜質的情況、或不易在第三障壁層12與通道層4之間形成良好界面的情況。該種的情況，當在第三障壁層

與通道層4之間插入第四障壁層時則情況佳。圖3係顯示在第三障壁層上添加高濃度之n型雜質的情況(第二實施形態);圖4係顯示在第四障壁層上添加高濃度之n型雜質的情況(第三實施形態)。在第三障壁層上不易添加高濃度之n型雜質的情況,就需要以如圖4所示之方式進行,在只有第三障壁層與通道層4之介面會造成問題的情況,亦可為圖3、圖4之其中一個形態。

(第二實施形態)

根據圖3,說明本發明半導體裝置之第二實施形態。在本實施形態中,與第一實施形態相較,在第三障壁層13與通道層4之間,設有意圖不添加雜質的第四障壁層14。

第三障壁層13,係與第一實施形態之第三障壁12同樣,使用與第一障壁層11滿足式(1)之關係的材料,且包含有例如添加高濃度之Si構成之n型雜質的n型雜質高濃度添加區域13a、及意圖不添加雜質之低雜質濃度區域13b。

第四障壁層14,係採用可與通道層4形成良好介面的材料,且可使用意圖不添加雜質,例如Al組成比為20%左右或其以下的AlGaAs或GaAs。該情況,當n型雜質高濃度添加區域13a太離開通道層4時,在源極與閘極間之通道層4,會減少載子濃度並提高源極電阻,而在閘極區域上,由於會發生容易產生載子流至障壁層之並行傳導等的問題,所以第四障壁層14之厚度較佳者為5 nm左右或其以下。又,第三障壁層13與第四障壁層14之厚度和,較佳者為20 nm以下。有關上述以外的部分,係形成與第一實施形態同樣。

如上所述，在第二實施形態中，即使在第三障壁層13與通道層4之間不易形成良好介面的情況，亦可藉由設置第四障壁層14，來解除該問題。

(第三實施形態)

根據圖4，說明本發明半導體裝置之第三實施形態。在該實施形態中，與第一實施形態相較，在第三障壁層15上不具有添加高濃度之n型雜質的區域，在該第三障壁層15與通道層4之間，設置具有n型雜質高濃度添加區域16a的第四障壁層16。

第三障壁層15，係與第一實施形態之第三障壁層12同樣，雖採用與第一障壁層11滿足式(1)之關係的材料，但是在此並未意圖添加n型雜質。

另一方面，在第四障壁層16上，與第二實施形態之情況同樣，採用可與通道層4形成良好介面的材料，例如雖可採用Al組成比為20%左右或其以下之AlGaAs或GaAs，但是亦可由例如添加高濃度之Si的n型雜質高濃度添加區域16a、及意圖不添加雜質的低雜質濃度區域16b所構成。關於n型雜質高濃度添加區域16a之厚度、n型雜質之薄片濃度、通道層4側之低雜質濃度區域16b之厚度，雖適用與第一實施形態之第三障壁層12同樣的說明，但是第三障壁層15與第四障壁層16之和較佳者為20 nm左右以下。有關上述以外的部分，係形成與第一實施形態同樣。

如上所述，在第三實施形態中，藉由設置第四障壁層16，只要第三障壁層15，係與第一障壁層11滿足式(1)之關係的

半導體材料的話，則即使在與通道層4之間不易形成良好界面的材料，或難以添加高濃度之n型雜質的材料亦可適用。

(第四實施形態)

又，在第一實施形態中，會有第一障壁層11與閘極9之間的歐姆接觸造成問題的情形。在該種情況，如圖5所示，只要在閘極9側設置由電子親和力與能帶隙之和小於第一障壁層17之半導體所構成的第五障壁層18即可。

根據圖5，說明本發明半導體裝置之第四實施形態。在該實施形態中，與第一實施形態相較，第一障壁層11係變更成第一障壁層17與第五障壁層18之二層構成，且在第一障壁層17與閘極9之間，設有由電子親和力與能帶隙之和小於第一障壁層17之半導體所構成的第五障壁層18。

作為第五障壁層18，例如可採用GaAs，且與第一障壁層17同樣，具有對應閘極9添加高濃度之p型雜質(在此為Zn)的p型導電區域18a，除此以外的區域係成為意圖不添加p型雜質的低雜質濃度區域18b。作為第五障壁層18之厚度例如可形成50nm左右。其他的部分與第一實施形態同樣。

如上所述，在第四實施形態中，藉由在閘極與第一障壁層之間，設置電子親和力與能帶隙之和小於第一障壁層的第五障壁層，即可減少閘極金屬與閘極金屬相接之半導體之間的肖特基障壁高度，且可謀求歐姆接觸電阻之減低。

(第五實施形態)

根據圖6，說明本發明半導體裝置之第五實施形態。在該實施形態中，與第一實施形態相較，係將提高Zn擴散之



控制性用的第一障壁層11變更成第六障壁層19與第一障壁層20之二層構成，且在第一障壁層20與第三障壁層12之間，設置由Zn之擴散速度慢於第一障壁層20之半導體所構成的第六障壁層19。

在該構成中，例如可在第一障壁層20上使用AlGaAs或InGaP，在第六障壁層19上使用GaAs或AlGaAs。另外，從提高 $V_{th}$ 之目的來看，第六障壁層19與第三障壁層12之厚度和較佳者係為25 nm左右以下。又，第六障壁層之厚度較佳者為5 nm左右以上，俾使Zn不會突穿第六障壁層19。其他部分與第一實施形態同樣。

如上所述，在第五實施形態中，在依Zn之擴散而形成對應閘極9而設之第一障壁層20的p型導電區域20c的情況，可利用第六障壁層19來阻止添加於第一障壁層20之Zn的擴散，且可容易控制Zn擴散層的厚度。

本發明之半導體裝置，並未被限定於上述實施形態，其可考慮混合上述實施形態之各種的構成。例如，第四至第六障壁層，亦可只存在有其中之一個，或存在有其中之二個，或存在全部。

如上所述，若依據本發明(1)，則藉由在第一障壁層與通道層之間，設置具有式(1)之關係的第三障壁層，即可有效提高閘極順向之上升電壓 $V_f$ ，可進行全增強型動作，且實現低失真高效率特性優的功率電晶體。結果，使用該電晶體所構成的功率放大器由於不需要負電源電路或汲極開關，所以可成為小型、低價格，且低失真高效率特性方面亦

優者。

若依據本發明(2)，則藉由在第三障壁層與通道層之間設置第四障壁層，則可無須考慮與通道層之介面下選擇第三障壁層之材料。

若依據本發明(3)，則藉由在第一障壁層與閘極之間，設置能帶隙小於第一障壁層的第五障壁層，即可謀求歐姆接觸電阻之減低。

若依據本發明(4)，則藉由第一障壁層與第三障壁層之間，設置Zn之擴散速度慢於第一障壁層的第六障壁層，即可提高形成p型導電區域之Zn擴散的控制性。

#### 圖式簡單說明

圖1係顯示本發明半導體裝置之第一實施形態的剖面圖。

圖2係沿著圖1之 $\eta$ 軸的能帶圖。

圖3係顯示本發明半導體裝置之第二實施形態的剖面圖。

圖4係顯示本發明半導體裝置之第三實施形態的剖面圖。

圖5係顯示本發明半導體裝置之第四實施形態的剖面圖。

圖6係顯示本發明半導體裝置之第五實施形態的剖面圖。

圖7係顯示作為先前技術之半導體裝置之習知型JPHEMT的剖面圖。

圖8係沿著圖7之 $\eta$ 軸的能帶圖。

#### 圖式代表符號說明

- 1 基板
- 2 緩衝層
- 3 第二障壁層

- 3a、5a、12a、13a、16a n型雜質高濃度添加區域
- 3b、5b、11b、12b、13b、16b、18b 低雜質濃度區域
- 4 通道層
- 5、11、17、20 第一障壁層
- 5c、11c、18a、20c p型導電區域
- 6 絕緣層
- 7 源極電極
- 8 汲極電極
- 9 閘極
- 10 低電阻層
- 12、13、15 第三障壁層
- 14、16 第四障壁層
- 18 第五障壁層
- 19 第六障壁層

### 伍、中文發明摘要：

本發明之半導體裝置，係可進行全增強動作，且可實現低失真高效率特性優之功率電晶體者。其在單晶GaAs構成的基板(1)之一面上，隔著緩衝層(2)，依次層積有AlGaAs構成的第二障壁層(3)、InGaAs構成的通道層(4)、InGaP構成的第三障壁層(12)、及AlGaAs構成的第一障壁層(11)。在第一障壁層(11)與第三障壁層(12)之間，當第一障壁層(11)之電子親和力為 $\chi_1$ 、其能帶隙為 $E_{g1}$ ，第三障壁層(12)之電子親和力為 $\chi_3$ 、其能帶隙為 $E_{g3}$ 時，就成立 $\chi_1 - \chi_3 \leq 0.5 \times (E_{g3} - E_{g1})$ 之關係。

### 陸、日文發明摘要：

完全エンハンスメント動作が可能で、低歪み高效率特性に優れたパワーランジスタを実現できる半導体装置である。単結晶GaAsよりなる基板(1)の一面に、バッファ層(2)を介して、AlGaAsよりなる第2の障壁層(3)、InGaAsよりなるチャネル層(4)、InGaPよりなる第3の障壁層(12)、およびAlGaAsよりなる第1の障壁層(11)が順次積層される。第1の障壁層(11)と第3の障壁層(12)の間には、第1の障壁層(11)の電子親和力を $\chi_1$ 、バンドギャップを $E_{g1}$ 、第3の障壁層(12)の電子親和力を $\chi_3$ 、バンドギャップを $E_{g3}$ としたとき、 $\chi_1 - \chi_3 \leq 0.5 * (E_{g3} - E_{g1})$ の関係が成立する。

拾壹、圖式：

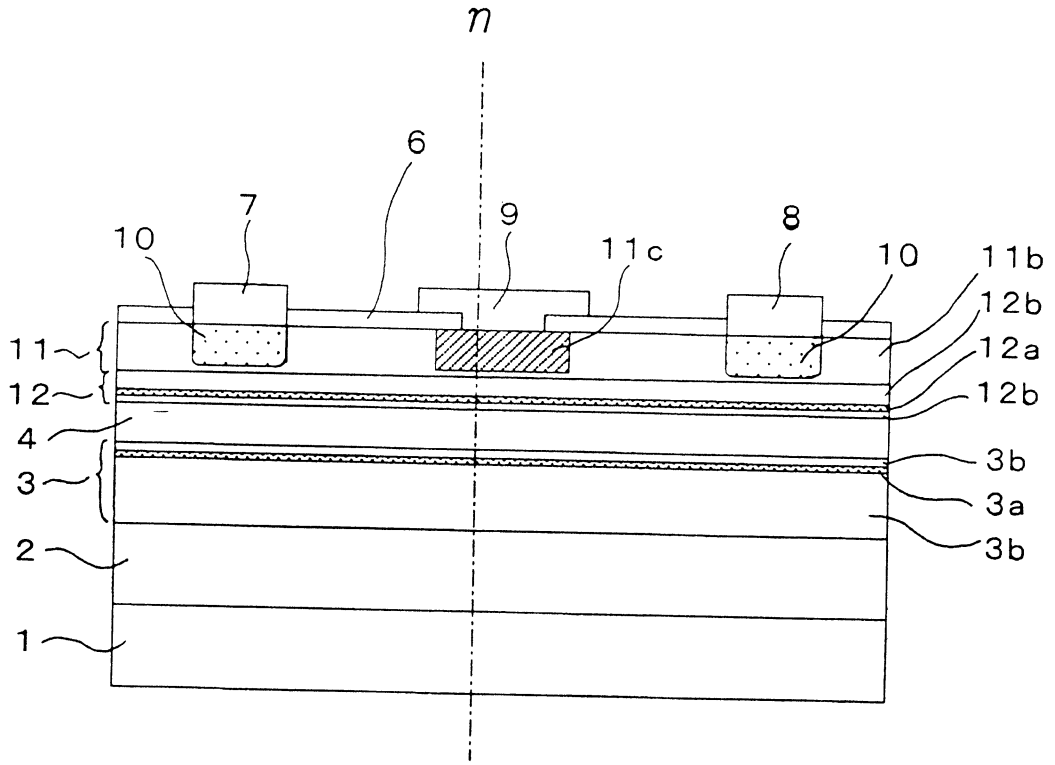


圖 1

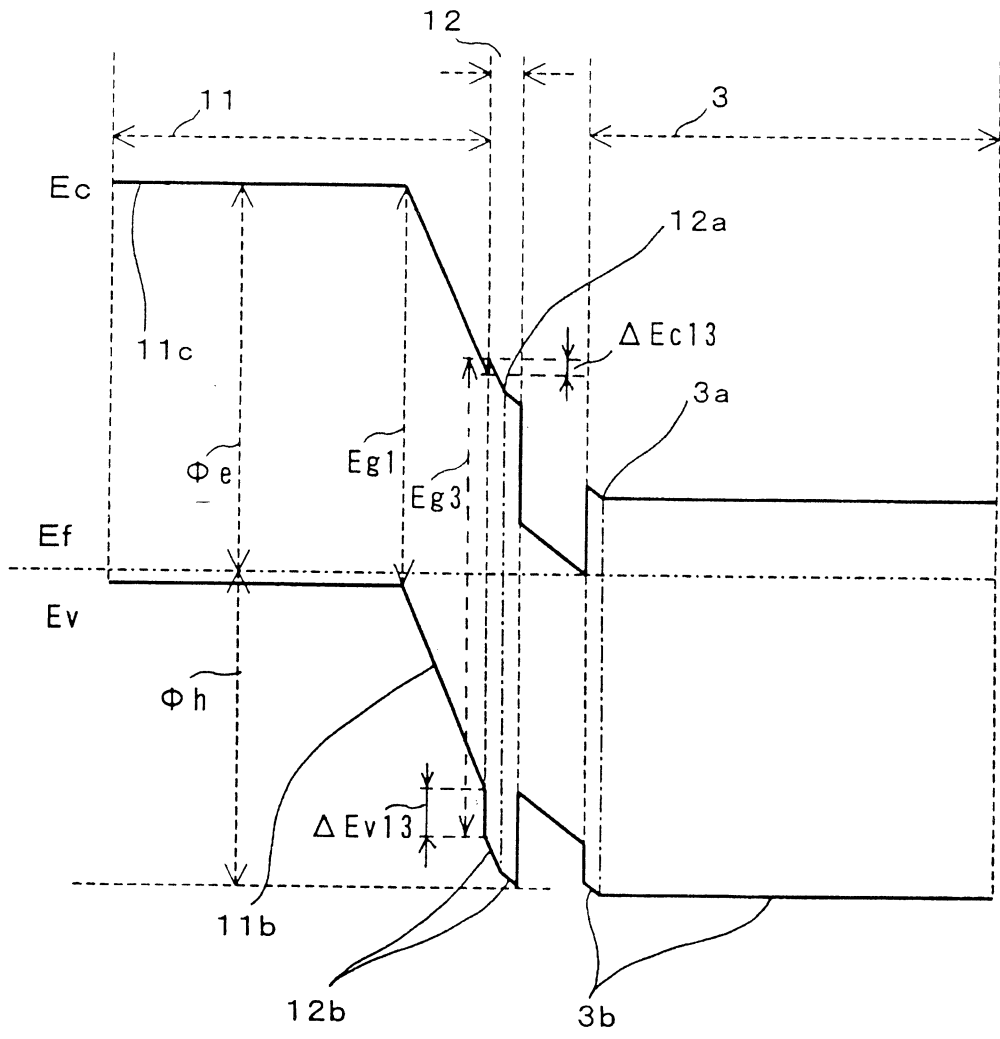


圖 2

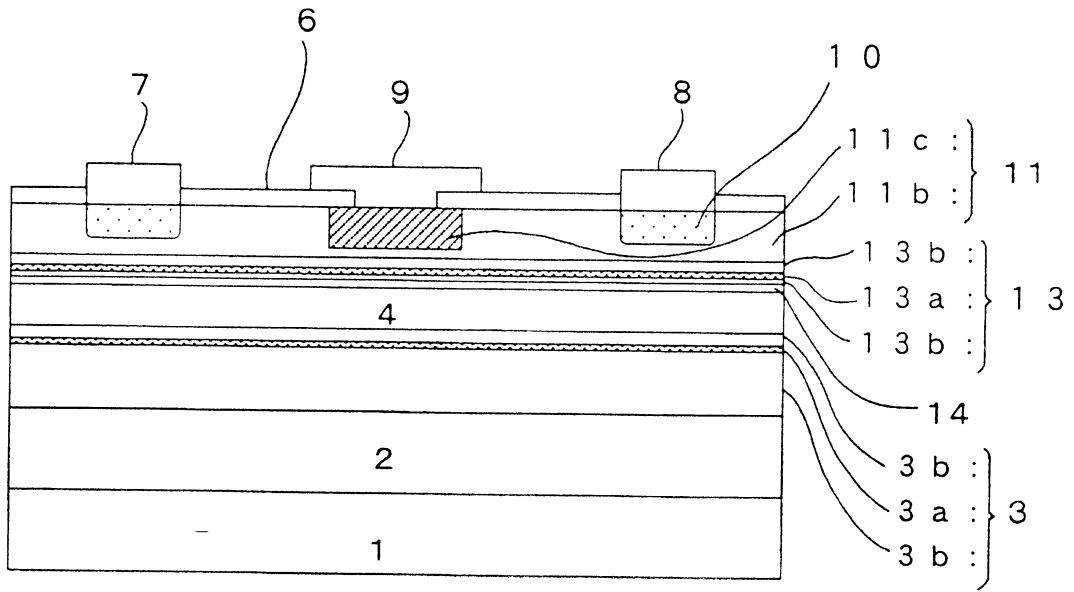


圖 3

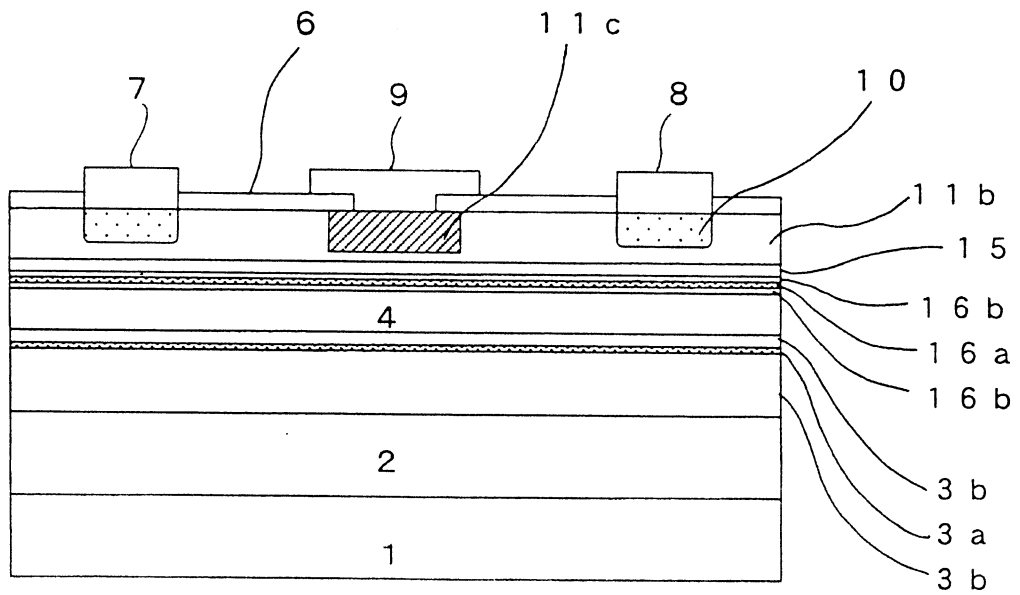


圖 4

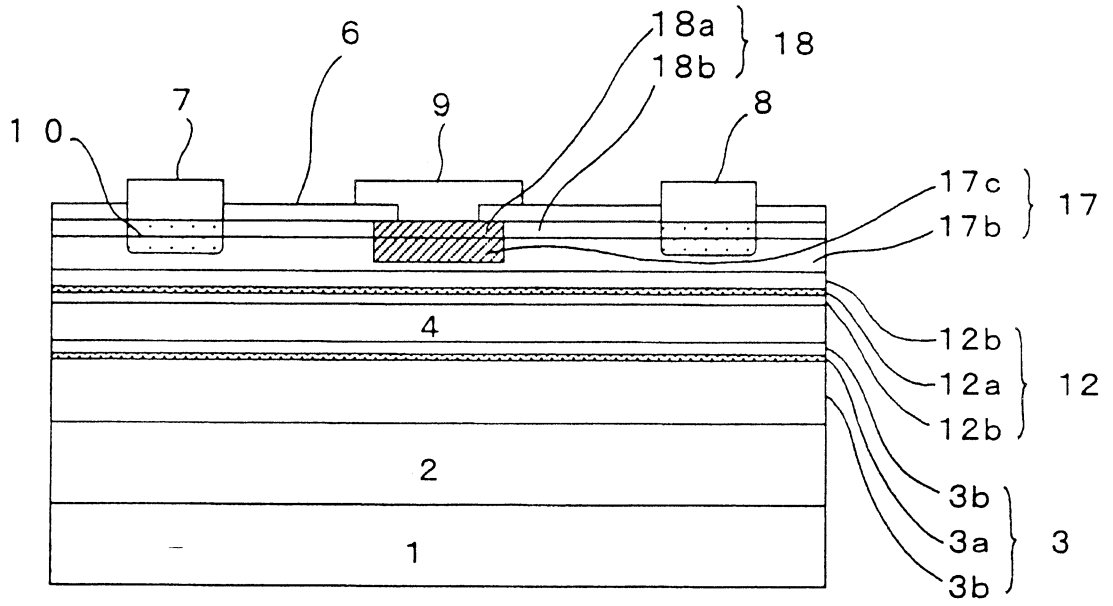


圖 5

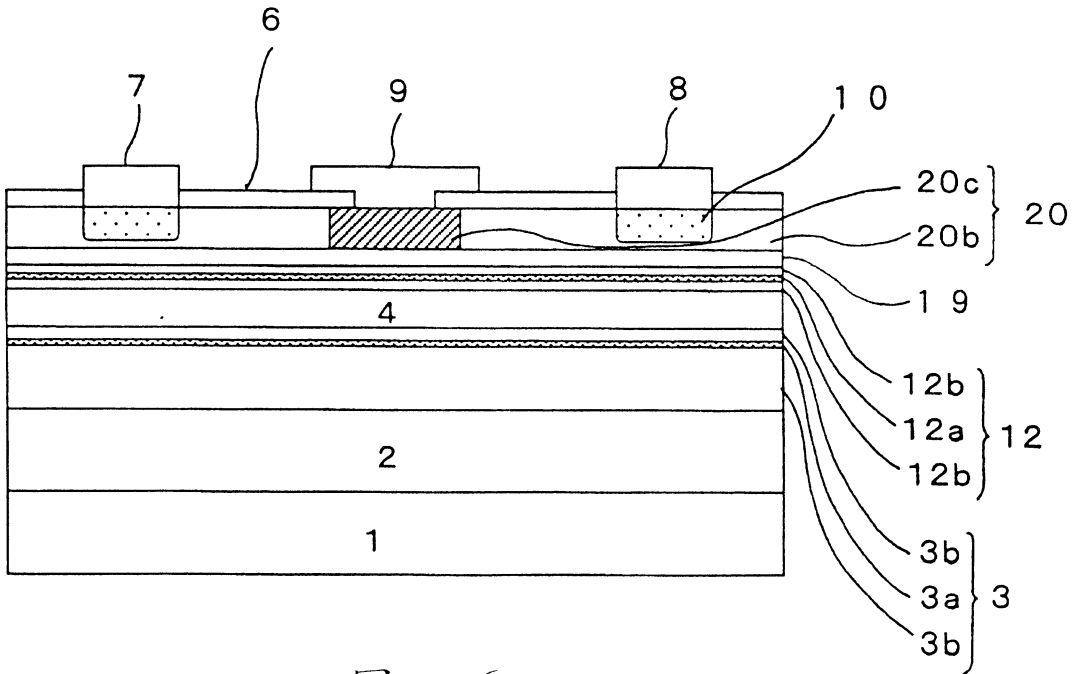


圖 6



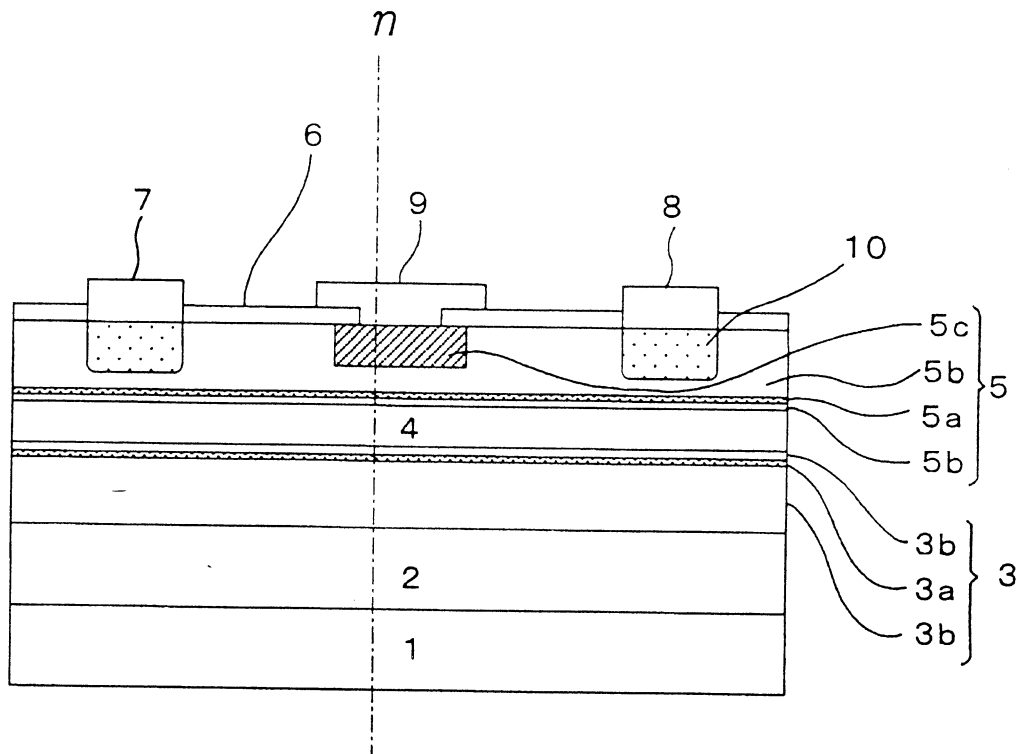


圖 7

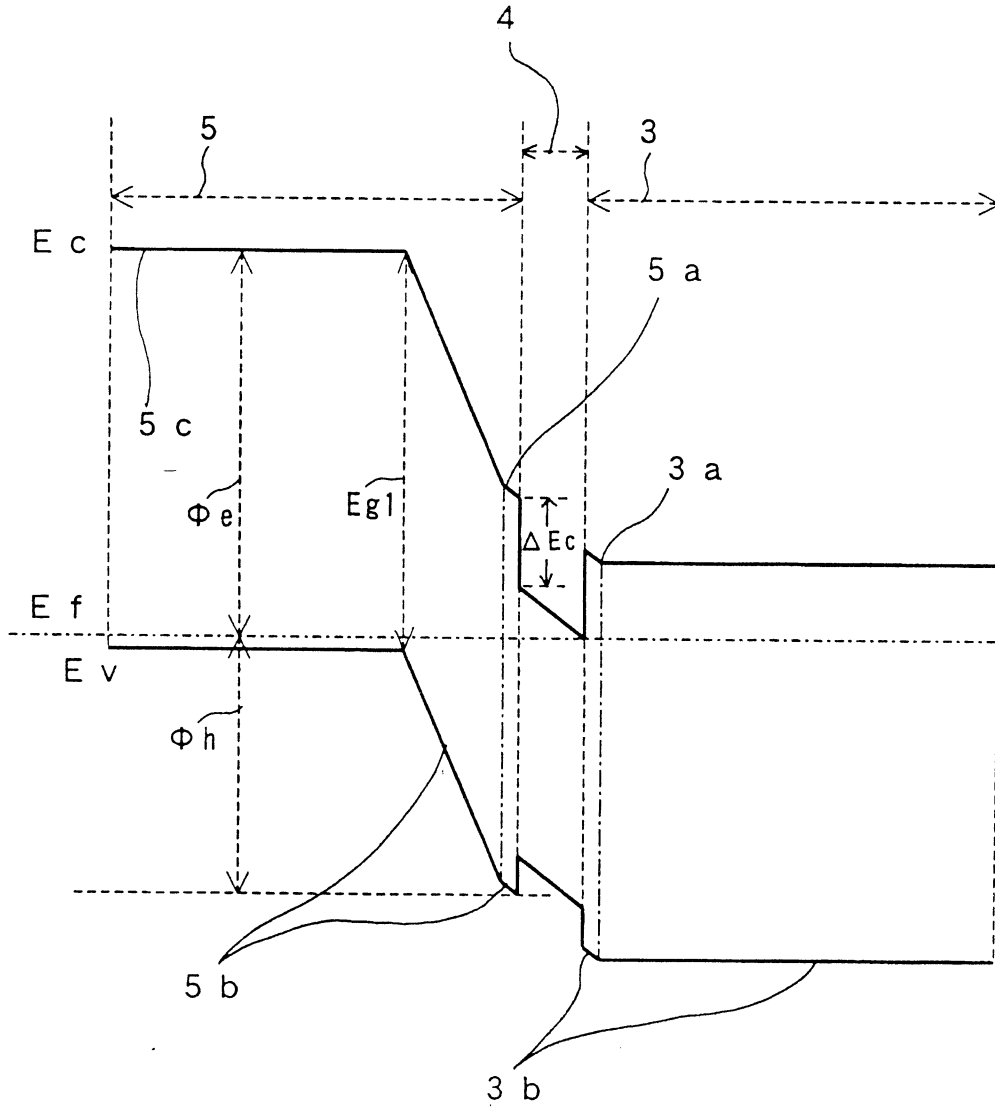


圖 8

柒、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件代表符號簡單說明：

1	基板
2	緩衝層
3	第二障壁層
3a、12a	n型雜質高濃度添加區域
3b、11b、12b	低雜質濃度區域
4	通道層
6	絕緣層
7	源極電極
8	汲極電極
9	閘極
10	低電阻層
11	第一障壁層
11c	p型導電區域
12	第三障壁層

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

94年11月25日修訂說明書替換頁

## 【發明內容】

亦即，本發明(1)，係在具有源極電極、汲極電極、設於源極電極與汲極電極之間的閘極、及由成為源極電極與汲極電極間之電流通路之半導體所構成的通道層之半導體裝置中，其特徵為包含有：第一障壁層，由具有對應閘極而添加高濃度之p型雜質之p型導電區域之半導體所構成；第二障壁層，隔著通道層而設於與第一障壁層之相反側，且由電子親和力小於通道層之半導體所構成；及第三障壁層，設於第一障壁層與通道層之間，且由電子親和力小於通道層之半導體所構成；其中當第一障壁層之電子親和力為 $x_1$ 、其能帶隙為 $E_{g1}$ ，第三障壁層之電子親和力為 $x_3$ 、其能帶隙為 $E_{g3}$ 時，就成立下式

$$x_1 - x_3 \leq 0.5 \times (E_{g3} - E_{g1}) \quad \dots (1)。$$

在本發明(1)中，藉由將對第一障壁層滿足上述式(1)之關係的第三障壁層設在第一障壁層與通道層之間，即可使對於與閘極順向電流之上升電壓 $V_f$ 相關聯的電洞之障壁高度 $\phi h$ 變大，且提高 $V_f$ 。藉此，可容易進行全增強動作，且在構成功率放大器時不需要負電源產生電路或汲極開關，故可使功率放大器小型化、低價格化。又，可在不會太增大源極電阻下提高 $V_f$ ，結果，可提高一定低失真條件下之功率附加效率。

在本發明(1)之構成中，第一障壁層11與第三障壁層12之半導體材料，例如可採用其使用包含鎵(Ga)、鋁(Al)及銦(In)中之至少一個作為III族元素，且包含砷(As)及磷(P)中

拾、申請專利範圍：

94年11月20日修(更)正本

1. 一種半導體裝置，其係包含源極電極、汲極電極、設於源極電極與汲極電極之間的閘極、及由成為源極電極與汲極電極間之電流通路之半導體所構成的通道層者，其特徵為包含有：

第一障壁層，由具有對應上述閘極而添加高濃度之p型雜質之p型導電區域的半導體所構成；

第二障壁層，隔著上述通道層而設於與上述第一障壁層之相反側，且由電子親和力小於上述通道層之半導體所構成；及

第三障壁層，設於上述第一障壁層與上述通道層之間，且由電子親和力小於上述通道層之半導體所構成；其中

當上述第一障壁層之電子親和力為 $x_1$ ，其能帶隙為 $E_{g1}$ ；上述第三障壁層之電子親和力為 $x_3$ ，其能帶隙為 $E_{g3}$ 時，就成立下式

$$x_1 - x_3 \leq 0.5 \times (E_{g3} - E_{g1}) \quad \dots (1)。$$

2. 如請求項1之半導體裝置，其中，形成上述第三障壁層之半導體係由包含鎵(Ga)、鋁(Al)及銦(In)中之至少一個作為III族元素，且包含砷(As)及磷(P)中之至少一個作為V族元素的III-V族化合物半導體所構成。
3. 如請求項1之半導體裝置，其中，形成上述第三障壁層之半導體係InGaP或AlGaInP或InGaAsP。
4. 如請求項1之半導體裝置，其中，形成上述第三障壁層之

半導體係Al組成比50%以上之AlGaAs或AlGaAsP或AlGaInAs。

5. 如請求項1之半導體裝置，其中上述第三障壁層之厚度為20nm以下。
6. 如請求項1之半導體裝置，其中，形成上述第一障壁層之半導體係AlGaAs或GaAs或InGaP。
7. 如請求項第1之半導體裝置，其中，在上述第三障壁層與上述通道層之間，具備有由電子親和力小於上述通道層之半導體所構成的第四障壁層。
8. 如請求項7之半導體裝置，其中，形成上述第四障壁層之半導體係AlGaAs或GaAs。
9. 如請求項7之半導體裝置，其中上述第三障壁層與上述第四障壁層之厚度和為20 nm以下。
10. 如請求項1之半導體裝置，其中，在上述第一障壁層與上述閘極之間，包括有其能帶隙小於上述第一障壁層，且包含添加有高濃度之p型雜質之p型導電區域的半導體所構成的第五障壁層。
11. 如請求項10之半導體裝置，其中，形成上述第五障壁層之半導體為GaAs。
12. 如請求項1之半導體裝置，其中，添加於上述第一障壁層中的p型雜質為鋅(Zn)。
13. 如請求項1之半導體裝置，其中，在上述第一障壁層與上述第三障壁層之間，包含有由Zn之擴散速度慢於第一障壁層之半導體所構成的第六障壁層。

14. 如請求項13之半導體裝置，其中，形成上述第六障壁層之半導體係GaAs或AlGaAs。
15. 如請求項13之半導體裝置，其中，上述第三障壁層與上述第六障壁層之厚度和為25 nm以下。
16. 如請求項1之半導體裝置，其中，在與上述第三障壁層相接之閘極側半導體層中，存在有5 nm以上之厚度的半導體層，而該半導體層只含有上述第一障壁層中所含之p型雜質之最大濃度的十分之一以下的雜質。
17. 如請求項1之半導體裝置，其中，於上述第一障壁層及第三障壁層中之至少一個層中添加高濃度之n型雜質。
18. 如請求項7之半導體裝置，其中，於上述第一障壁層、第三障壁層及第四障壁層中之至少一個層中添加高濃度之n型雜質。
19. 如請求項13之半導體裝置，其中，於上述第一障壁層、第三障壁層及第六障壁層中之至少一個層中添加高濃度之n型雜質。
20. 如請求項1之半導體裝置，其中，形成上述通道層之半導體係InGaAs或GaAs。