

發明專利說明書 200529337

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 93/33685

※申請日期： 93.11.08 ※IPC 分類：

一、發明名稱：(中文/英文)

H01L21/60

半導體裝置之製造方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩科技股份有限公司

RENESAS TECHNOLOGY CORP.

代表人：(中文/英文)

伊藤 達

ITO, SATORU

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸內二丁目4番1號

4-1, MARUNOUCHI 2-CHOME, CHIYODA-KU, TOKYO, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 和田 雄二

2. 清藤 彰

3. 難波 正昭

國 籍：(中文/英文)

1.-3.均日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年12月22日；特願2003-425616
- 2.

☐ 無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置之製造技術，特別是關於一種有效適用於包含半導體記憶體之半導體裝置中之測試技術的技術。

【先前技術】

關於老化測試裝置，例如存有日本專利特開平06-283657號公報(專利文獻1)，該老化測試裝置係於老化測試中實施作為被試驗裝置之半導體裝置的良否判定評估者。如該專利文獻1之揭示所示，老化測試裝置係以批量處理為前提。

又，至於老化測試裝置中之測試技術，存有下列之技術：將老化測試基板分為每個試驗組，供給信號至該每個試驗組，藉此實施老化測試的技術，日本專利特開2003-57292號公報(專利文獻2)；將半導體裝置分割為複數個組，以屬於其之半導體裝置單位實施良否判定的技術，日本專利特開2000-40390號公報(專利文獻3)；或於恆溫槽內，以連續施加有電壓之狀態搬送半導體裝置，並且於每個半導體裝置之測試站中實施電性測試的技術，日本專利特開平05-55328號公報(專利文獻4)等。

[專利文獻1]日本專利特開平06-283657號公報

[專利文獻2]日本專利特開2003-57292號公報

[專利文獻3]日本專利特開2000-40390號公報

[專利文獻4]日本專利特開平05-55328號公報

[發明所欲解決之問題]

藉由老化測試裝置所測試之半導體裝置，例如存有 SiP(System in Package，系統封裝)。該半導體裝置係藉由疊加疊加安裝微電腦等之邏輯或半導體記憶體等之複數個半導體晶片，從而可儲存於一個封包內的製品。

今後，可預測 SiP 存有較大幅度重要的發展，為提高生產效率而討論縮短半導體記憶體部分之測試時間後，可有望省略老化測試或縮短記憶體測試之時間等。

其結果為，可較大幅度地縮短測試時間。但是，批量方式中即使特意縮短測試時間，亦存有由於半導體裝置之裝卸或步驟時間之影響，造成生產能力幾乎無法得到提高的問題。

又，雖然可藉由準備多數個用以測試半導體裝置之測試基板，從而減少半導體裝置之裝卸或步驟時間帶來的影響，但該測試基板中高密度地安裝有裝著半導體裝置之插座、FPGA(Field Programmable Gate Array，場效可程式化閘極陣列)、SRAM(Static Random Access Memory，靜態隨機存取記憶體)以及緩衝器等周邊電路，且藉由準備大量測試基板，可存有測試成本非常高之可能性。

進而，作為批量方式以外實施 SiP 中之記憶體測試的方法，可考慮適用一般性記憶體檢測機以及處理器的方法，但該方法充其量僅以數分鐘左右之測試時間為前提，因此可同時測定數最大亦僅為 256 個左右，從而存有惡化效率的可能性。

本發明之一個目的在於縮短半導體裝置之測試時間。

本發明之一個目的在於大幅度降低半導體裝置之測試成本。

本發明之一個目的在於提供一種測試方法，其適合於測試時間為中間長度之半導體裝置測試。

本發明之一個目的在於提供一種測試技術，其可以低成本且有效率地實施包含半導體記憶體之半導體裝置中之記憶體測試。

本發明之上述以及其他目的與新穎特徵由本說明書之記述以及附圖當可明白。

【發明內容】

揭示於本申請案之發明中，若簡單說明具代表性發明之概要則如下所述。

藉由本發明之半導體裝置之製造方法係包含下述之步驟者：以將搭載有複數個半導體裝置之複數個測試基板導入至恆溫槽而實施測試之狀態，取出測試結束之一片測試基板的步驟；自該測試基板卸下複數個半導體裝置之步驟；於已經卸下半導體裝置之測試基板上，搭載實施測試之複數個半導體裝置的步驟；以及將搭載有複數個半導體裝置之測試基板導入至恆溫槽，實施測試的步驟。

又，簡單表示本申請案之其他發明概要。

藉由本發明之半導體裝置之製造方法係具有下述之步驟者：將包含SiP製品之半導體裝置搭載於複數個測試基板上的步驟，上述SiP製品係將邏輯或半導體記憶體等之複數個半導體晶片收納於一個封包內者；以及將複數個測試基板

投入至恆溫槽，一併實施記憶體測試的步驟。

又，藉由本發明之半導體裝置之製造方法具有下述之步驟，且恆溫槽之第一槽道與第二槽道之溫度不同：以將搭載有複數個半導體裝置之複數個測試基板導入至恆溫槽而實施測試之狀態，取出測試結束之一片測試基板的步驟；自該測試基板卸下複數個半導體裝置之步驟；於已經卸下半導體裝置之測試基板上，搭載實施測試之複數個半導體裝置的步驟；以及將搭載有複數個半導體裝置之測試基板導入恆溫槽，實施測試的步驟。

再者，藉由本發明之半導體裝置之製造方法含有下述之步驟，且恆溫槽之第一槽道與第二槽道之溫度不同：以將搭載有複數個半導體裝置之複數個測試基板導入至恆溫槽而實施測試之狀態，藉由處理器取出測試結束之一片測試基板的步驟；自所取出之測試基板，卸下複數個半導體裝置之步驟；藉由處理器，將根據測試結果所冷卻之半導體裝置實施分類、收納的步驟；於卸下半導體裝置之測試基板上，處理器搭載實施測試之複數個半導體裝置的步驟；以及處理器將搭載有複數個半導體裝置之測試基板導入至恆溫槽後實施測試的步驟。

又，藉由本發明之半導體裝置之製造方法係具有下述之步驟者：以將搭載有複數個半導體裝置之複數個測試基板導入至恆溫槽而實施記憶體測試之狀態，取出該記憶體測試結束之一片測試基板的步驟；自該測試基板，卸下複數個半導體裝置之步驟；於卸下半導體裝置之測試基板上，

搭載實施記憶體測試之複數個半導體裝置的步驟；以及將搭載有複數個半導體裝置之測試基板導入至恆溫槽，實施記憶體測試的步驟。

再者，藉由本發明之半導體裝置之製造方法係具有下述之步驟者：以將搭載有複數個半導體裝置之複數個測試基板導入至恆溫槽而實施測試之狀態，取出測試結束之二片測試基板的步驟；自該二片測試基板，卸下複數個半導體裝置之步驟；於卸下半導體裝置之二片測試基板上，搭載實施測試之複數個半導體裝置的步驟；以及將搭載有複數個半導體裝置之二片測試基板導入至恆溫槽，實施測試的步驟。

又，若將本申請案發明之其他概要分項揭示，則為如下。
即，

1.一種半導體裝置之製造方法，其包含下述之步驟；

(a)以將搭載有複數個半導體裝置之複數個測試基板收納於測試裝置之收納槽內而實施上述複數個半導體裝置之測試的狀態，取出測試結束之一片上述測試基板的步驟；

(b)自所取出之上述測試基板，卸下上述複數個半導體裝置的步驟；

(c)於卸下上述半導體裝置之上述測試基板上，搭載實施測試之複數個半導體裝置的步驟；

(d)將搭載有上述複數個半導體裝置之上述測試基板收納於上述收納槽內，測試上述所導入之測試基板的步驟。

[發明之效果]

揭示於本申請案之發明中，若簡單說明藉由代表性者所獲得之效果則如下所述。

藉由將複數片基板上之複數個裝置相關的測試以基板為單位，裝著、開始、結束、取出至測試裝置，藉此可降低測試成本。

【實施方式】

以下，根據圖式詳細說明本發明之實施形態。再者，用以說明實施形態之所有圖式中，作為原則，對於相同構件附有相同符號，且省略其重複說明。

以下實施例中，除特別必要之情形以外，原則上不重複說明同一或相同部分。

進而，下述之實施例中，為方便起見有必要說明時，可分割為複數個區域或實施例加以說明，但除特別明示之情形以外，該等並非相互之間毫無關係者，存有一方係他方之一部分或全部之變形例、詳細說明、補充說明等之關係。

又，於下述之實施例中，涉及要素數量等(包含個數、數值、範圍等)之情形時，除特別明示之情形以及原理上明確限定為特定數之情形等以外，並非限定於特定數，亦可係特定數以上或以下。

進而，於下述之實施例中，其構成要素(包含要素步驟等)係除特別明示之情形以外，並非限定於其特定數，亦可係特定數以上或以下。

同樣地於下述之實施例中，涉及構成要素等之形狀、位置關係等時，除特別明示之情形以及原理上可明確認為並

非如此之情形等以外，可設為包含實質上近似或類似於其形狀等者。該情形對於上述數值以及範圍亦相同。

圖1係本發明之一實施形態中所使用之老化測試裝置的方塊圖，圖2係本發明之一實施形態之處理器的說明圖，圖3係表示於圖1之老化測試裝置中實施測試之半導體裝置一例的平面圖，圖4、圖5係表示於圖1之老化測試裝置中實施測試之半導體裝置其他例的剖面圖，圖6係表示連接於圖1之老化測試裝置之測試基板之形狀一例的說明圖，圖7係表示圖6中之測試基板構成的方塊圖，圖8係表示設置於圖1之老化測試裝置之後基板以及電源基板之電路構成的方塊圖，圖9係分別表示圖1之老化測試裝置以及圖2之處理器中之規格概要的說明圖，圖10係表示圖1之老化測試裝置中測試器功能概要的說明圖，圖11係表示藉由圖1之老化測試裝置所實施之記憶體測試概要的說明圖，圖12係表示圖1之老化測試裝置中之測試順序的時序圖，圖13～20係使用有老化測試裝置以及處理器之記憶體測試之詳細流程圖，圖21係藉由圖1之老化測試裝置所實施之記憶體測試步驟的流程圖，圖22係藉由本發明者先前討論之批量處理所實施之記憶體測試步驟的流程圖，圖23係比較藉由圖1之老化測試裝置所實施之記憶體測試與藉由圖22之批量處理所實施之記憶體測試之處理比較說明圖，圖24係表示於各種測試系統中測試時間與測定數之關係圖，圖25係比較圖1之老化測試裝置與圖22之先前討論之批量處理之老化測試裝置中之效果的說明圖。

於本實施形態中，老化測試裝置(檢查裝置，測試系統)1具有普通老化測試功能，即，於測試基板儲存槽內儲存複數個測試基板，將其控制為特定溫度，將電源、輸入信號供給至各基板，自藉由其輸出之信號輸出搭載於基板之被測試元件之良否判定結果，並且根據程式，連續性或斷續性依次實行包含電壓、信號圖案、溫度(溫度有時單一)之組合的複數個測試，且將其結果儲存於記憶裝置的測試功能。例如，除由於具有固有缺陷之半導體裝置或製造上之不均一性而引起依存於時間與應力之故障的半導體裝置以外，具有下述功能之裝置：實施選別測試之老化測試功能，實施半導體裝置之記憶體部中之測試的功能，實施該半導體裝置之良否判定以及甚至根據測試結果實施分類的功能。

另一方面，作為類似概念之測試器·處理器係對於單一測試基板，可實行相同測試者。本發明並非限定於使用上述老化測試裝置者，當然亦可改造測試器·處理器等從而實行。又，並非必須具有原先之老化測試功能(加熱試驗)者。

圖1係表示老化測試裝置1之構成的方塊圖。如圖式所示，老化測試裝置1中設置有主板2。

於該主板2上例如設置有24個左右之槽道3。各槽道3分別連接有測試基板4。測試基板4係例如搭載有10個左右作為被測試裝置之半導體裝置。

於主板2中，以對應於各槽道3之方式，分別搭載有24個左右之後基板(測試控制部)5以及相同數量24個左右之電源

基板(電源部)6。主板2中搭載有固定DC電源7。電源基板6係自固定DC電源7所供給之電源，例如產生三種左右之電源電壓，且分別供給至測試基板4以及後基板5。

各後基板5係介以集線器8連接於控制終端(測試控制器)9。控制終端9例如包含個人電腦等且執行設置於半導體裝置之BIST(Built-In Self Test，內置式自我測試)中之測試器功能以及控制處理器(測試系統)10(圖2)。後基板5係根據控制終端9之控制，產生對於測試基板4之測試控制信號，處理來自測試基板4之判定結果。

圖2係說明處理器10之概要的構成圖。

於圖2右側之平面圖中，於下方設置有基板架11。於基板架11之上方設置有升降機12，於該升降機12之上方設置有加載器/卸載器13。

於加載器/卸載器13之上方設置有升降機14，於該加載器/卸載器13之左側，自上方至下方，分別設置有緩衝托盤15、加載托盤16、良品托盤17、不良品托盤18以及未檢品托盤19。

基板架11儲存測試前之複數個測試基板4。升降機12將儲存於基板架11之測試基板4升降至特定位置，並且於加載器/卸載器13中正在處理其他測試基板4時，成為直至該加載器/卸載器13清空為止而使測試基板4待機的緩衝器。

加載器/卸載器13將實施測試之半導體裝置搭載於測試基板4上，且卸下測試結束之半導體裝置。升降機14將搭載有半導體裝置20之T測試基板4升降至特定位置，並且於老

化測試裝置1之槽道充滿時，成為直至槽道清空為止而使測試基板4待機的緩衝器。

緩衝托盤15儲存有清空托盤。加載托盤16儲存有接受測試之半導體裝置。良品托盤17儲存有測試後判定為良品的半導體裝置，不良品托盤18儲存有判定為不良品之半導體裝置。未檢品托盤19儲存有未經檢查之半導體裝置。所謂未經檢查，係指取出由於與安裝於半導體裝置20與測試基板之測定用插座4b(圖6)的接觸不良等，造成無法實施記憶體測試之半導體裝置20的範疇，從而成為再檢查的對象。

圖3係表示藉由老化測試裝置1實施測試之半導體裝置20之一例的平面圖，圖4、圖5係藉由老化測試裝置1實施測試之半導體裝置20之其他例的剖面圖。

圖3所示之半導體裝置20包含所謂平置SiP，且其構成為：於印刷佈線基板21上，搭載有包含微電腦以及快閃記憶體或SDRAM(Synchronous Dynamic RAM，同步動態隨機存取記憶體)等複數個異種半導體記憶體等的半導體晶片22～25。

印刷佈線基板21之晶片搭載面上，形成有連接用電極以及佈線圖案，且該連接用電極與設置於半導體晶片22～25之電極部係介以凸塊等相互連接。

於印刷佈線基板21之背面，形成有凸塊用電極以及佈線圖案，且凸塊用電極與半導體晶片22～25之電極部係分別藉由佈線圖案以及通孔相互電性連接。

凸塊用電極係以特定間距形成為陣列狀，於該凸塊用電

極中，分別形成有包含成為外部連接端子之球形焊錫的焊錫凸塊。

又，圖4中之半導體裝置20包含疊層式SiP，該疊層式SiP係疊加安裝有兩個包含微電腦與快閃記憶體等之半導體記憶體的半導體晶片26、27。

該情形時，圖4之半導體裝置20包含作為表面安裝形CSP之一種的BGA(Ball Grid Array，球柵陣列封裝)。於印刷佈線基板28之晶片搭載面中央部，搭載有半導體晶片26。

於印刷佈線基板28之晶片搭載面中央部，形成有連接用電極29，該連接用電極29與設置於半導體晶片26背面的電極部係介以凸塊30等相互連接。

於該半導體晶片26中，積層有半導體晶片27且介以絕緣樹脂等之接著材加以接著固定。印刷佈線基板28之晶片搭載面中，於半導體晶片26對向之兩邊周邊部附近，形成有焊接電極以及佈線圖案。設置於印刷佈線基板28之焊接電極係介以焊接線31與形成於半導體晶片27主面之周邊部的電極部相互連接。

於印刷佈線基板28之背面，複數個凸塊用電極形成為陣列狀，於該凸塊用電極中分別形成有包含球形焊錫之焊錫凸塊32。

並且，該等半導體晶片26、27與印刷佈線基板28之焊接電極周邊以及焊接線31，該等係藉由密封樹脂33得以密封從而形成封包。

進而，圖5之半導體裝置20包含QFP(Quad Flat Package，

四方扁平封裝)型。該情形時，位於半導體裝置20中央部之晶粒座34、35中，例如搭載有兩個包含微電腦與快閃記憶體等之半導體晶片36、37。

於該等半導體晶片36、37之四個周邊部附近，存有複數個內部引線38，設置於半導體晶片36、37主面之電極部與內部引線38係介以焊接線39相互連接。

該等半導體晶片36、37與複數個內部引線38以及焊接線39，該等係藉由密封樹脂40得以密封從而形成封包。自該封包之四個側邊突出設置有延伸形成有內部引線38之大致L字狀的外部引線41。

圖6係表示測試基板4之形狀一例的說明圖。

如圖6所示，於測試基板4之下方邊部上，設置有基板邊緣連接器4a。該基板邊緣連接器4a係連接於設置於主板2上之槽道3的連接器。

於測試基板4中，例如安裝有10個左右用以搭載半導體裝置20之測定用插座4b，於各測定用插座4b下部，以對應於該測定用插座4b之方式，分別設置有周邊電路4c。

圖7係表示圖6中測試基板4之構成的方塊圖。

圖7中，表示裝著於測試基板4中某一個測定用插座4b的半導體裝置20，以及對應於該半導體裝置20之一個周邊電路4c。

於周邊電路4c中，介以基板邊緣連接器4a，可供給有自後基板5所輸出之測試用信號以及電源基板6所產生之各種電源電壓。電源基板6所產生之各種電源電壓，其亦可介以

基板邊緣連接器4a而供給至半導體裝置20。周邊電路4c保存電壓位準變換或測試指示以及測試結束時之結果等。

半導體裝置20包含作為微電腦之CPU20a、SDRAM20b以及快閃記憶體20c，根據介以周邊電路4c所輸出入之測試用信號等，且藉由該CPU20a之BIST，可測試SDRAM20b以及快閃記憶體20c。

圖8係表示後基板5以及電源基板6之電路構成的方塊圖。

於後基板5中，搭載有CPU模組5a以及FPGA5b。

CPU模組5a包含LAN介面42、SDRAM43、快閃記憶體44、CPU45、CF槽46以及匯流排介面47等。

該等LAN介面42、SDRAM43、快閃記憶體44、CPU45、CF槽46以及匯流排介面47，該等係分別藉由位址匯流排AB以及資料匯流排DB相互連接。

LAN介面42係與作為主機之控制終端9(圖1)的介面。SDRAM43係CPU45之工作區。

快閃記憶體44儲存有啟動程式等。CF槽46係用於CF(Compact Flash，緊湊式閃存)卡之槽道，且儲存有啟動快閃記憶體44之程式。

CPU45控制根據儲存於快閃記憶體44之程式所對應的測試基板4。匯流排介面47係與連接有FPGA5b之外部匯流排的介面。

FPGA5b包含連接於基板邊緣連接器4a之輸入引腳以及I/O引腳之驅動器48，連接於該驅動器之緩衝器49以及電源控制部50等。電源控制部50係根據來自控制終端之指示，

控制電源基板6所產生之電源電壓。

於電源基板6上設置有四個電源產生部51～54。電源產生部51產生供給至FPGA5b之驅動器的電源電壓。電源產生部52～54分別產生供給至半導體裝置20等之不同的三個電源電壓。

電源產生部51～54中，分別設置有D/A(Digital/Analog，數位/類比)變換器、調節器以及過電流檢測部。D/A變換器係將自電源控制部50所輸出之控制信號變換為類比值。調節器係根據自D/A變換器所輸出之類比值而產生任意之電源電壓。過電流檢測部係於檢測過電流時輸出檢測信號。

其次，就藉由本實施形態中老化測試裝置1所實施之測試技術加以說明。

首先，就圖2之處理器10之動作加以說明。

圖9係分別表示老化測試裝置1以及處理器10中之規格概要圖。

圖9中表示恆溫槽之設定溫度、溫度精度、溫度刻度、托盤分類、槽道間距、測試基板4之冷卻方法、恆溫槽構成、最小測試時間、未檢品之供給方法以及測試基板4之ID識別中的各種規格概要。

首先，半導體裝置20係放入托盤中後實施供給，該半導體裝置20係藉由加載器/卸載器13安裝於測試基板4。安裝有半導體裝置20之測試基板4，其係經由升降機14每一片供給至老化測試裝置1中之恆溫槽之清空部分。

重新裝著有半導體裝置20之測試基板4，其係由於其他測

試基板4出入至測試中，因此成為下述之構成：於老化測試裝置1中測試基板4之出入口，按照每個槽道打開門扇。又，亦可僅準備對應於一片測試基板4之恆溫槽所需之節流閥片數。

每一片測試結束之測試基板4係經由升降機實施冷卻、回收。接著，根據測試結果，藉由加載器/卸載器13分類各半導體裝置20，從而分類為良品、不良品以及未檢品，且儲存於良品托盤17、不良品托盤18或未檢品托盤19中之任一個。

該例中，雖然將加載器與卸載器設為相同者從而可提高空間效率，但亦可分別單獨構成加載器與卸載器。再者，於測試基板4中，例如根據條形碼設置有ID，藉此用以藉由加載器/卸載器13核對測試結果從而分類以外，亦可使用於裝置保有特定測試基板4之特定測定用插座為不良等之資訊，且於該測定用插座中未裝有製品等之目的中。

其次，就圖1所示之老化測試裝置1之構成加以說明。

作為老化測試裝置1之主要測試內容，存有下列之內容：藉由利用有搭載於半導體裝置20中之微電腦之半導體記憶體(SDRAM、快閃記憶體等)之BIST所實施的記憶體測試，向快閃記憶體寫入顧客資料，以及向微電腦、記憶體部實施老化測試等。

又，測試器功能係設為BIST專用，以各後基板5單位向測試基板4產生信號，處理來自該測試基板4之判定結果。進而，無需搭載有專用ALPG(Algorithmic Pattern Generator，

算法模式產生器)或TG(Timing Generator,計時產生器)以及位址打散器等,測試程式即可藉由C語言作成。

半導體裝置20實際動作之時脈信號(66 MHz左右)係藉由半導體裝置20之BIST實施,BIST測試器係僅根據程式轉送結果判定,以1 MHz左右而無需過問時序精度。

圖10係表示老化測試裝置1中測試器功能之概要的說明圖。

於圖10中,項目欄中之上段表示藉由搭載於後基板5之CPU模組5a所實現之各功能,項目欄中之下段表示藉由控制終端9所實現之各功能。

其次,就藉由老化測試裝置1所實施之記憶體測試技術加以說明。

圖11係表示藉由老化測試裝置1所實施之記憶體測試之概要的說明圖。

自安裝有半導體裝置20之測試基板4依次導入至恆溫槽,到達特定溫度後,開始記憶體測試。該記憶體測試之測試時間例如係十分鐘左右~數十分鐘左右。

結束記憶體測試後冷卻測試基板4,接著根據測試結果,且藉由處理器10分類為良品(PASS)、不良(FAIL)以及未檢後取出。恆溫槽之測試基板儲存片數例如係24片左右。測試基板4係以一片為單位出入至恆溫槽內。

該恆溫槽之溫度可設定為低溫~常溫~高溫為止。低溫之設定範圍例如係-50℃左右~0℃左右,更廣泛的是-55℃左右~10℃左右。於該低溫中,例如可測試使用於以汽車

為對象之電子系統等的半導體裝置等。

又，常溫下測試之溫度設定係於 25°C 左右之室溫下實施，較廣泛的是 15°C 左右 $\sim 40^{\circ}\text{C}$ 左右之設定範圍。高溫下之測試溫度設定係約 125°C 左右，較廣泛的是 90°C 左右 $\sim 150^{\circ}\text{C}$ 左右之設定範圍。

圖12係表示老化測試裝置1中之測試順序的時序圖。

首先，於第一片測試基板4之測定用插座4b中，例如裝著(插入)有10個左右半導體裝置20。若結束半導體裝置20之裝著，則測試基板4將會導入至恆溫槽。並且，恆溫槽到達至特定溫度後(溫度)，開始記憶體測試(選別)。

接著，若記憶體測試結束，則可冷卻該測試基板4，藉由處理器10，半導體裝置20係自測定用插座4b中拔出，再次可分別重新裝著藉由測試基板4之測定用插座4b所測試的半導體裝置20(插拔)。其後，測試基板4導入至恆溫槽，到達至特定溫度後(溫度)，實施記憶體測試(選別)。

又，於第二片測試基板4中，將半導體裝置20裝著至第一片測試基板4結束時，接著裝著(插入)半導體裝置20。若第二片測試基板4亦同樣地結束半導體裝置20之裝著後，則導入至恆溫槽且到達至特定溫度後(溫度)，開始記憶體測試(選別)。

若記憶體測試結束，則冷卻測試基板4後，藉由處理器10，自測定用插座拔出半導體裝置20，再次可裝著(插拔)藉由測試基板4所測試的半導體裝置20。以下，於第三片 $\sim$ 第二十四片為止之測試基板4中，可藉由相同循環實行記憶

體測試。

藉此，成為下述所謂單片處理之順序：24片測試基板4具有時間差依次實施處理，各測試基板4以一片為單位循環，自插入完半導體裝置20之測試基板4開始測試，自測試結束之測試基板4取出半導體裝置20。此處，所謂單片處理，其係指將每一片測試基板4分別實施記憶體測試的處理。但是，測試本身應留意可同時處理複數片之情形。即，以單片方式實施向測試裝置之導入、測試開始、結束、取出等。再者，該情形並非為裝置之方便起見，而排除兩片以上之同時導入等。

其次，使用圖13～圖20之流程圖，詳細說明老化測試裝置1中之測試步驟。此處，雖然著眼於老化測試裝置1中之某一個槽道加以說明，但於其他槽道中，亦單獨實施以下所說明之測試步驟。

圖13、圖14係表示老化測試裝置1之槽道與測試基板4之數量相同之情形時測試步驟之一例的流程圖。

首先，使用圖13加以說明。圖13係使用升降機12作為緩衝器，直至加載器/卸載器13清空為止而使測試基板4待機之情形的測試步驟。

首先，打開測試結束之槽道門扇(步驟S101)，自該槽道中拔出測試基板4(步驟S102)，關閉槽道門扇(步驟S103)。

接著，測試基板4係於升降機12中待機，等待加載器/卸載器13清空後(步驟S104)，處理器10自測試基板4卸下半導體裝置20，根據測試結果實施分類(步驟S105)。

卸下半導體裝置20後，於測試基板4上搭載有重新實施測試之半導體裝置20(步驟S106)，於加載器/卸載器13中成為待機狀態(步驟S107)。

其後，打開於步驟102之處理中所拔出之槽道門扇(步驟S108)，將測試基板4導入至該槽道後(步驟S109)，關閉槽道門扇(步驟S110)。

並且，待機直至於步驟S109之處理中所導入之測試基板4之溫度成為設定溫度為止(步驟S111)，成為設定溫度後實施記憶體測試(步驟S112)。

於記憶體測試中，測試1～測試N於每個搭載於測試基板4上之M個半導體裝置20中並列實行。並且，若測試全部結束，則自測試基板4可輸出表示測試結束的標誌。後基板5係根據標誌檢測出測試結束，從而告知控制終端9。其後，再次重複實施步驟S101～S112之處理。

又，於步驟S112之處理中記憶體測試時間係例如根據由於半導體裝置20之製造不均一性等所產生之記憶體部寫入/刪除時間不同或成為測試不良之半導體裝置數量等而有較大不同。

例如，只要存有一個寫入/刪除時間非常長之半導體裝置20，則測試時間就會受到該半導體裝置20之約束從而變為較長。又，搭載於測試基板4之所有半導體裝置20於最初測試1中判為不良之情形時，因於該時刻時結束測試，故而可大幅度減少測試時間。

如此，由於測試時間係根據導入至各槽道之測試基板4

而分別不同，因此上述步驟S101～S112之處理可於各槽道中單獨實施。

其次，就藉由圖14所示之測試步驟加以說明。圖14係使用升降機12作為緩衝器，直至加載器/卸載器13清空為止而使測試基板4待機，並且直至槽內之測試基板4溫度穩定為止期間，實施與溫度無關之測試之情形時的測試步驟例。

首先，打開測試結束之槽道門扇(步驟S201)，自該槽道拔出測試基板4後(步驟S202)，關閉槽道門扇(步驟S203)。接著，測試基板4係於升降機12中待機，等待加載器/卸載器13清空(步驟S204)，藉由處理器10，自測試基板4拔出半導體裝置20，根據測試結果實施分類(步驟S205)。

其後，於測試基板4中搭載有重新實施測試之半導體裝置20後(步驟S206)，於加載器/卸載器13中待機(步驟S207)。其後，打開於步驟202處理中之槽道門扇(步驟S208)，測試基板4導入至該槽道後(步驟S209)，關閉槽道門扇(步驟S210)。

並且，待機直至導入有測試基板4之槽道成為設定溫度為止後，實施記憶體測試(步驟S211)。於該步驟S211之處理中，開始溫度設定，直至設定溫度穩定為止之期間，實施與溫度無關之測試。藉此，可更有效率地實施測試。

並且，若記憶體測試結束，則自測試基板4可輸出表示測試結束的標誌。後基板5根據該標誌檢測出測試結束，從而告知控制終端9。其後，再次重複實施步驟S201～S211之處理。

圖 15～圖 20 係表示測試基板 4 之數量多於老化測試裝置 1 之槽道數一片或兩片左右之情形時測試步驟中之例示的流程圖。

首先，使用圖 15 加以說明。圖 15 係使用升降機 12 作為緩衝器 1，以及使用設置於加載器/卸載器 13 與升降機 14 間之待機部(未圖示)作為緩衝器 2，直至加載器/卸載器 13 清空為止而使測試基板 4 待機之情形的測試步驟。藉此，可有效率地準備重新實施測試之測試基板 4，且可進一步提高測試效率。

首先，打開測試結束之槽道門扇(步驟 S301)，自該槽道拔出測試基板 4 後(步驟 S302)，關閉槽道門扇(步驟 S303)。

接著，測試基板 4 係於升降機 12 中待機，等待加載器/卸載器 13 清空後(步驟 S304)，藉由處理器 10，自測試基板 4 拔出半導體裝置 20，根據測試結果實施分類(步驟 S305)。

其後，於測試基板 4 中搭載有重新實施測試之半導體裝置 20 後(步驟 S306)，於待機部中待機(步驟 S307)，等待清空槽道。

若槽道清空，則打開該槽道門扇(步驟 S308)，測試基板 4 導入至該槽道後(步驟 S309)，關閉槽道門扇(步驟 S310)。

並且，待機直至於步驟 S309 之處理中所導入之測試基板 4 之溫度成為設定溫度為止(步驟 S311)，成為設定溫度後實施記憶體測試(步驟 S312)。

其次，就圖 16 所示之測試步驟加以說明。圖 16 中，僅使用待機部作為緩衝器，直至加載器/卸載器 13 清空為止而使

測試基板4待機之情形時測試步驟之其他例。

首先，打開測試結束之槽道門扇(步驟S401)，自該槽道拔出測試基板4後(步驟S402)，關閉槽道門扇(步驟S403)。

接著，藉由處理器10，自測試基板4拔出半導體裝置20，根據測試結果實施分類(步驟S404)。其後，於測試基板4上搭載有重新實施測試之半導體裝置20後(步驟S405)，於待機部中待機(步驟S406)，等待清空槽道。

若槽道清空，則打開該槽道門扇(步驟S407)，測試基板4導入至該槽道後(步驟S408)，關閉槽道門扇(步驟S409)。

並且，待機直至於步驟S408之處理中所導入之測試基板4之溫度成為設定溫度為止(步驟S410)，成為設定溫度後實施記憶體測試(步驟S411)。

其次，就圖17所示之測試步驟加以說明。圖17係未使用升降機12、待機部作為緩衝器，加載器/卸載器13未清空之情形時，於槽內使測試基板4待機，槽道未清空之情形時，於加載器/卸載器13中使測試基板4待機之情形的測試步驟例。

首先，打開測試結束之槽道門扇(步驟S501)，自該槽道拔出測試基板4後(步驟S502)，關閉槽道門扇(步驟S503)。

接著，藉由處理器10，自測試基板4拔出半導體裝置20，根據測試結果實施分類(步驟S504)。接著，於測試基板4上搭載有重新實施測試之半導體裝置20(步驟S505)，於加載器/卸載器13中待機後(步驟S506)，打開槽道門扇(步驟S507)，將測試基板4導入至該槽道後(步驟S508)，關閉槽道

門扇(步驟S509)。

並且，待機直至於步驟S508之處理中所導入之測試基板4之溫度成為設定溫度為止(步驟S510)，成為設定溫度後實施記憶體測試(步驟S511)。

其次，就圖18所示之測試步驟加以說明。圖18係使用升降機12、待機部作為緩衝器，直至加載器/卸載器13清空為止而使測試基板4待機，並且直至槽內之測試基板4之溫度穩定為止之期間，實施與溫度無關之情形的測試步驟例。

首先，打開測試結束之槽道門扇(步驟S601)，自該槽道拔出測試基板4後(步驟S602)，關閉槽道門扇(步驟S603)。

其後，於升降機12中待機(步驟S604)，等待加載器/卸載器13清空後，藉由處理器10自測試基板4拔出半導體裝置20，根據測試結果實施分類(步驟S605)。

接著，於測試基板4上搭載有重新實施測試之半導體裝置20後(步驟S606)，於待機部中待機，等待清空槽道(步驟S607)。

若槽道清空，則打開該槽道門扇(步驟S608)，將測試基板4導入至該槽道後(步驟S609)，關閉槽道門扇(步驟S610)。

並且，開始設定於步驟S609之處理中所導入之測試基板4之溫度，成為設定溫度後實施記憶體測試(步驟S611)。此處，於步驟S611之處理中，開始設定溫度，直直至設定溫度穩定為止之期間，實施與溫度無關之測試。藉此，可更有效率地實施測試。

其次，就圖19所示之測試步驟加以說明。圖19係僅使用

待機部作為緩衝器，加載器/卸載器13未清空之情形時，於槽內使測試基板4待機，直至槽道清空為止於待機部中使測試基板4待機，並且直至槽內之測試基板4之溫度穩定為止之期間，實施與溫度無關之測試之情形的測試步驟例。

首先，打開測試結束之槽道門扇(步驟S701)，自該槽道拔出測試基板4後(步驟S702)，關閉槽道門扇(步驟S703)。

接著，藉由處理器10自測試基板4拔出半導體裝置20，根據測試結果實施分類後(步驟S704)，於測試基板4上搭載有重新實施測試之半導體裝置20(步驟S705)，於待機部中待機，等待清空槽道(步驟S706)。

若槽道清空，則打開該槽道門扇(步驟S707)，將測試基板4導入至該槽道後(步驟S708)，關閉槽道門扇(步驟S709)。

並且，開始設定於步驟S708之處理中所導入之測試基板4之溫度，成為設定溫度後實施記憶體測試，測試結束之測試基板4於該槽內待機(步驟S710)。

該情形時，亦可於步驟S710之處理中，開始設定溫度，直直至設定溫度穩定為止之期間，實施與溫度無關之測試。藉此，可更有效率地實施測試。

其次，就圖20所示之測試步驟加以說明。圖20係未使用升降機12、待機部作為緩衝器，加載器/卸載器13未清空之情形時，於槽內使測試基板4待機，槽道未清空之情形時，於加載器/卸載器13中使測試基板4待機，並且直至槽內之測試基板4之溫度穩定為止之期間，實施與溫度無關之測試之情形的測試步驟例。

首先，打開測試結束之槽道門扇(步驟S801)，自該槽道中拔出測試基板4後(步驟S802)，關閉槽道門扇(步驟S803)。

接著，藉由處理器10自測試基板4拔出半導體裝置20，根據測試結果實施分類(步驟S804)，於測試基板4上搭載有重新實施測試之半導體裝置20(步驟S805)，於加載器/卸載器13中待機(步驟S806)，等待清空槽道。

若槽道清空，則打開該槽道門扇(步驟S807)，將測試基板4導入至該槽道後(步驟S808)，關閉槽道門扇(步驟S809)。

並且，開始設定於步驟S808之處理中所導入之測試基板4之溫度，成為設定溫度後實施記憶體測試，測試結束之測試基板4於該槽內待機(步驟S810)。

該情形時，亦可於步驟S810之處理中，開始設定溫度，直至設定溫度穩定為止，實施與溫度無關之測試。藉此，可更有效率地實施測試。

以上，於圖14～圖20中表示之記憶體測試中，以與圖13相同之方式，測試1～測試N係於每個半導體裝置20中並列實行。並且，若測試全部結束，則自測試基板4可輸出表示測試結束的標誌。後基板5根據標誌檢測出測試結束，從而告知控制終端9。其後，自最初之步驟處理開始再次重複實施。

又，於圖14～圖20之記憶體測試中，記憶體測試之時間係例如根據由於半導體裝置20之製造不均一性等所產生之記憶體部寫入/刪除時間不同或成為測試不良之半導體裝置數量等而有較大不同。

進而，於圖13～圖20中，對於每一片測試基板4分別導入至槽道的情形有所揭示，但測試基板4亦可以所謂兩單片方式等，可同時將兩片(或三片以上)導入至槽道，且可自該槽道同時取出兩片(三片以上)。但是，片數越多則越可能減少基板成本削減效果，並且會增加用以搬送基板之處理器的負擔。故而，單片方式即一單片方式於處理器成本方面存有優勢。N片之上限可認為 $N=4$ 左右，但較好的是兩單片以下。

再者，基板之插入順序於初期亦可係自上(或自下)之順序，但當然不會僅限定於此。例如，亦可隨機插入。

該情形時，同時導入之測試基板4片數越多，則越會增加處理器10之負荷，又，將會產生造成測試等待時間增加等之缺點。

圖21係藉由老化測試裝置1所實施之記憶體測試的流程圖。

於圖21中，對於例如實施常溫記憶體測試(常溫選別)與高溫記憶體測試(高溫選別)之情形有所揭示。於該圖21中，實施老化測試之情形時，於其他步驟，例如下述之步驟S901之處理前等實施。

藉由老化測試裝置1實施常溫選別與高溫選別之情形時，首先實施藉由常溫之記憶體測試(步驟S901)。接著，實施藉由高溫之記憶體測試後(步驟S902)，藉由邏輯測試器可測定半導體裝置20之CPU20a中的邏輯功能以及電性特性等(步驟S903)。

此處，於步驟S901、S902之處理中，藉由步驟S901之處理中以圖12所說明之測試順序而結束記憶體測試後，再次於步驟S902之處理中，實施藉由圖12中說明之測試順序所實行的記憶體測試。即，以常溫選別與高溫選別分別單獨實施一次記憶體測試。

再者，關於快閃記憶體卡等之非揮發性記憶體中之測試技術，於日本專利申請案2002-141267號申請案說明書以及圖式中詳細揭示。

圖22係藉由本發明者先前討論之批量處理所實施之記憶體測試步驟的流程圖。

批量處理係準備多數個(例如72片左右)測試基板，同時實施多數個(例如1000個左右)半導體裝置的記憶體測試。

該情形時，於所有測試基板上裝著用以實施測試之半導體裝置(步驟S1001)，一併實施老化測試與記憶體測試(步驟S1002)。並且，若記憶體測試結束，則卸下裝著於測試基板上之所有半導體裝置(步驟S1003)，實施藉由邏輯測試器所實行之測試(步驟S1004)。

圖23係比較藉由老化測試裝置1所實施之記憶體測試與藉由先前本發明者討論之批量處理所實施之記憶體測試之處理比較說明圖。

於圖23中，上段中表示藉由批量處理所實施之記憶體測試之處理時間與基板片數的關係，下段中表示藉由老化測試裝置1之單片處理所實施之記憶體測試之處理時間與基板片數的關係。又，測試條件係測試時間為30分鐘，藉由

高溫選別，測試例如1000個左右之半導體裝置。

如圖式所示，於批量處理中，例如使用72片測試基板之情形時，於所有測試基板中裝著半導體裝置之插入步驟所需要的時間為一小時左右。其後，將72片測試基板導入至恆溫槽，直至結束溫度設定、記憶體測試以及測試基板冷卻為止，需要約1.2小時左右。

結束記憶體測試後，再次自每一片測試基板上卸下半導體裝置之步驟需要1小時左右，從而記憶體測試之合計處理時間約為3.2小時左右。

如此，於批量處理之插入步驟中，由於一片一片地於測試基板上裝著半導體裝置，因此其他71片測試基板處於等待狀態。又，於恆溫槽之溫度設定中，由於導入所有測試基板後一併加熱恆溫槽，因此升降溫時較為耗費時間。

另一方面，於藉由老化測試裝置1所實施之單片處理中，使用約24片左右之測試基板，以圖21中所說明之順序實行記憶體測試，藉此以約2.3小時左右可完成所有記憶體測試。

如此，單片處理中，可降低測試基板4之使用片數，並且可縮短測試時間。

圖24係表示一般性測試系統中測試時間與測定數之關係圖。

例如，邏輯測試器中，測定個數為一個～四個左右，測試時間為數秒鐘左右。又，於未具有老化測試功能之記憶體測試器中，測定個數為數個～128個左右，測試時間為十

秒～十分鐘左右。進而，於批量式之老化測試裝置中，測定個數為500個左右以上～10000個左右，測試時間為8小時左右～100小時左右。

如此，可以所謂十分鐘左右～數十分鐘左右之測試時間有效率地測試128個～512個左右之半導體裝置的測試系統並未存在(圖中影線區域)，作為可合理地對應於如此之測試時間且以較少之測試基板獲得與批量處理之老化測試裝置同等以上之生產能力的測試系統，較好的是老化測試裝置1(或僅為老化測試裝置)。

圖25係比較單片處理之老化測試裝置1與先前討論之批量處理之老化測試裝置中之效果的說明圖。

於該圖25中，比較每月以特定數量實施半導體裝置之記憶體測試之情形時必需的測試基板片數與記憶體測試之成本，關於該記憶體測試之成本計算，設為假設成本模式(測試基板所需費用、裝置投資償還費用、作業者費用、電氣等之公用事業費用、記憶體測試良率)的相對比較。

圖中，以影線表示之棒狀曲線係表示批量處理中每種測試條件所需要的測試基板片數(相對值)，以白色部分表示之棒狀曲線係表示單片處理中每種測試條件所需要的測試基板片數(相對值)。

又，以實線表示之折線曲線係表示批量處理中每種測試條件的測試成本(相對值)，以虛線表示之折線曲線係表示單片處理中每種測試條件的測試成本(相對值)。

該情形時，如圖25所示，以較少之測試時間(包含老化測

試)，特別是無老化測試且高溫或常溫之任一測試條件下，可大幅度削減測試成本。

另一方面，於含有老化測試且常溫選別與高溫選別雙方共存之測試條件下，與測試基板數量增加無關，藉由批量處理所實施之記憶體測試成本亦可小於單片處理。

根據該結果所知，以半導體裝置之記憶體測試時間較短之情形時使用單片式，反之記憶體測試時間較長(特別是實施老化測試之情形時)之情形時實施藉由批量處理所實行之記憶體測試的方式靈活運用，藉此可進一步大幅度地提高測試效率。

藉此，根據本實施形態，可減少測試基板4之使用數，並且可大幅度縮短記憶體測試時間，可降低半導體裝置20之製造成本。

以上，根據實施形態已經具體說明了本發明者所完成之發明，但本發明並非僅限定於上述實施形態，當然亦可於不脫離其要旨之範圍內作出各種變更。

上述實施形態中，對於SiP製品之半導體裝置中之記憶體測試有所揭示，但該記憶體測試若係可藉由測試基板實施記憶體測試之製品，則亦可係SiP以外的半導體裝置。

例如，其可係未包含MCP(Multi Chip Package，多晶片模組)等之微電腦(CPU)，而是包含快閃記憶體、SRAM、DRAM等之複數個半導體記憶體之製品，將微處理器、晶片組、視訊晶片等之主要功能集成至一個半導體晶片上的SoC(System on Chip，系統單晶片)製品，或此外以導入有

BIST從而可多數個同時實施記憶體測試之大容量快閃記憶體等之記憶體製品等的記憶體測試器或處理器實施測試時所需測試時間較長的半導體裝置等。

又，不僅上述半導體裝置，例如對於以多媒體卡等之記憶體測試器/處理器實施測試時所需測試時間較長之記憶體卡製品或記憶體模組製品等亦較為有效。

[產業上之可利用性]

本發明之半導體裝置之測試方法，其係適用於有效率且以低成本實施包含半導體記憶體之半導體裝置中的記憶體測試。

【圖式簡單說明】

圖1係藉由本發明之一實施形態之老化測試裝置的方塊圖。

圖2係藉由本發明之一實施形態之處理器的說明圖。

圖3係表示圖1之老化測試裝置中用以實施測試之半導體裝置一例的平面圖。

圖4係表示圖1之老化測試裝置中用以實施測試之半導體裝置其他例的剖面圖。

圖5係表示圖1之老化測試裝置中用以實施測試之半導體裝置一例的剖面圖。

圖6係表示連接於圖1之老化測試裝置之測試基板形狀之一例的說明圖。

圖7係表示圖6之測試基板構成的方塊圖。

圖8係表示設置於圖1之老化測試裝置中之後基板以及電

源基板電路構成的方塊圖。

圖9係分別表示圖1之老化測試裝置以及圖2之處理器中之規格概要的說明圖。

圖10係表示圖1之老化測試裝置中之測試器功能之概要說明圖。

圖11係表示藉由圖1之老化測試裝置所實施之記憶體測試之概要說明圖。

圖12係表示圖1之老化測試裝置中之測試順序的時序圖。

圖13係表示使用有老化測試裝置以及處理器之記憶體測試一例的詳細流程圖。

圖14係表示使用有老化測試裝置以及處理器之記憶體測試其他例的詳細流程圖。

圖15係表示使用有老化測試裝置以及處理器之記憶體測試一例的詳細流程圖。

圖16係表示使用有老化測試裝置以及處理器之記憶體測試其他例的詳細流程圖。

圖17係表示使用有老化測試裝置以及處理器之記憶體測試一例的詳細流程圖。

圖18係表示使用有老化測試裝置以及處理器之記憶體測試其他例的詳細流程圖。

圖19係表示使用有老化測試裝置以及處理器之記憶體測試一例的詳細流程圖。

圖20係表示使用有老化測試裝置以及處理器之記憶體測試其他例的詳細流程圖。

圖 21 係藉由圖 1 之老化測試裝置所實施之記憶體測試的流程圖。

圖 22 係藉由本發明者先前討論之批量處理所實施之記憶體測試步驟的流程圖。

圖 23 係比較藉由圖 1 之老化測試裝置所實施之記憶體測試與藉由圖 22 之批量處理所實施之記憶體測試的處理比較說明圖。

圖 24 係表示於各種測試系統中測試時間與測定數之關係圖。

圖 25 係比較圖 1 之老化測試裝置與圖 22 之本發明者先前討論之批量處理之老化測試裝置的效果比較說明圖。

【主要元件符號說明】

1	老化測試裝置(檢查裝置、測試系統)
2	主板
3	槽道
4	測試基板
4a	基板邊緣連接器
4b	測定用插座
4c	周邊電路
5	後基板(測試控制部)
5a	CPU 模組
5b	FPGA
6	電源基板(電源部)
7	固定 DC 電源

8	集線器
9	控制終端(測試控制器)
10	處理器(測試系統)
11	基板架
12	升降機
13	加載器/卸載器
14	升降機
15	緩衝托盤
16	加載托盤
17	良品托盤
18	不良品托盤
19	未檢品托盤
20	半導體裝置
20a	CPU
20b	SDRAM
20c	快閃記憶體
21	印刷佈線基板
22～25	半導體晶片
26，27	半導體晶片
28	印刷佈線基板
29	連接用電極
30	凸塊
31	焊接線
32	焊錫凸塊

33	密封樹脂
34，35	晶粒座
36，37	半導體晶片
38	內部引線
39	焊接線
40	密封樹脂
41	外部引線
42	LAN介面
43	SDRAM
44	快閃記憶體
45	CPU
46	CF槽
47	匯流排介面
48	驅動器
49	緩衝器
50	電源控制部
51～54	電源產生部
AB	位址匯流排
DB	資料匯流排

五、中文發明摘要：

本發明係以低成本且有效率地實施包含半導體記憶體之半導體裝置中之記憶體測試。於老化測試裝置中，24片測試基板係具有時間差而依次加以處理，各測試基板係以一片單位循環。該情形時，可藉由單片處理之順序而實行記憶體測試，上述單片處理係自裝好半導體裝置之測試基板開始測試，自結束測試之測試基板中取出半導體裝置。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置之製造方法，其包含下述之步驟：

(a)以將搭載有複數個半導體裝置之複數個測試基板導入至恆溫槽而實施測試之狀態，取出測試結束之一片上述測試基板的步驟；

(b)自所取出之上述測試基板，卸下上述複數個半導體裝置的步驟；

(c)於已經卸下上述半導體裝置之上述測試基板上，搭載實施測試之複數個半導體裝置的步驟；

(d)將搭載有上述複數個半導體裝置之上述測試基板導入至上述恆溫槽，測試上述所導入之測試基板的步驟。

2. 如請求項1之半導體裝置之製造方法，其中包含下述之步驟：

以將上述複數個測試基板導入至上述恆溫槽而實施上述複數個半導體裝置測試之狀態，將新實施測試之複數個半導體裝置搭載於上述測試基板的步驟；及

自上述恆溫槽取出測試結束之上述測試基板時，將搭載有上述新實施測試之半導體裝置之測試基板導入至上述恆溫槽，實施測試的步驟。

3. 如請求項2之半導體裝置之製造方法，其中

上述恆溫槽之第一槽道與第二槽道之溫度不同。

4. 如請求項1之半導體裝置之製造方法，其中包含下述之步驟：

於設定有第一溫度之上述恆溫槽中，實施搭載於上述

測試基板上之半導體裝置測試的步驟；及

藉由上述第一溫度所實施之測試結束後，於設定有第二溫度之上述恆溫槽中，實施搭載於上述測試基板上之半導體裝置測試的步驟。

5. 如請求項4之半導體裝置之製造方法，其中包含下述之步驟：

將上述恆溫槽設定為第一溫度，測試上述半導體裝置的步驟；及

若藉由上述第一溫度所實施之測試結束，則將上述恆溫槽設定為第二溫度，測試上述半導體裝置的步驟。

6. 如請求項5之半導體裝置之製造方法，其中

藉由不同恆溫槽，實施藉由第一溫度所實施之上述半導體裝置之測試與藉由第二溫度所實施之上述半導體裝置之測試。

7. 如請求項1之半導體裝置之製造方法，其中包含下述之步驟：

藉由處理器，將半導體裝置搭載於上述測試基板的步驟；

藉由上述處理器，將每一片搭載有上述半導體裝置之測試基板供給至上述檢查裝置之恆溫槽的步驟；及

測試結束後，藉由上述處理器將根據測試結果所冷卻之上述半導體裝置實施分類、收納的步驟。

8. 如請求項7之半導體裝置之製造方法，其中

藉由上述處理器搭載於上述測試基板之半導體裝置，

於第一測試基板與第二測試基板種類不同。

9. 如請求項1之半導體裝置之製造方法，其中

上述半導體裝置包含將邏輯或半導體記憶體等之複數個半導體晶片收納於一個封包內的SiP製品。

10. 一種半導體裝置之製造方法，其包含下述之步驟：

將複數個半導體裝置搭載於複數個測試基板的步驟，
上述半導體裝置係將包含邏輯電路裝置或CPU以及記憶體電路裝置之複數個半導體晶片收納於一個封包內者；

以將上述複數個測試基板收納於恆溫槽之狀態，對於上述複數個半導體裝置之各記憶體電路裝置，實施記憶體測試的步驟。

11. 一種半導體裝置之製造方法，其包含下述之步驟：

(a)以將搭載有複數個半導體裝置之複數個測試基板導入至恆溫槽而實施測試之狀態，取出測試結束之一片上述測試基板的步驟；

(b)自所取出之上述測試基板，卸下上述複數個半導體裝置的步驟；

(c)於已經卸下上述半導體裝置之上述測試基板上，搭載實施測試之複數個半導體裝置的步驟；

(d)將搭載有上述複數個半導體裝置之上述測試基板導入至上述恆溫槽，測試上述所導入之測試基板的步驟；

上述恆溫槽之第一槽道與第二槽道之溫度不同。

12. 一種半導體裝置之製造方法，其包含下述之步驟：

(a)以將搭載有複數個半導體裝置之複數個測試基板導

入至恆溫槽而實施測試之狀態，藉由處理器而取出測試結束之一片上述測試基板的步驟；

(b)自藉由上述處理器所取出之上述測試基板，卸下上述複數個半導體裝置的步驟；

(c)藉由上述處理器，將根據測試結果所冷卻之上述半導體裝置實施分類、收納的步驟；

(d)於已經卸下上述半導體裝置之上述測試基板上，由上述處理器搭載實施測試之複數個半導體裝置的步驟；

(e)上述處理器將搭載有上述複數個半導體裝置之上述測試基板導入至上述恆溫槽，測試上述所導入之測試基板的步驟；

上述恆溫槽之第一槽道與第二槽道之溫度不同。

十一、圖式：

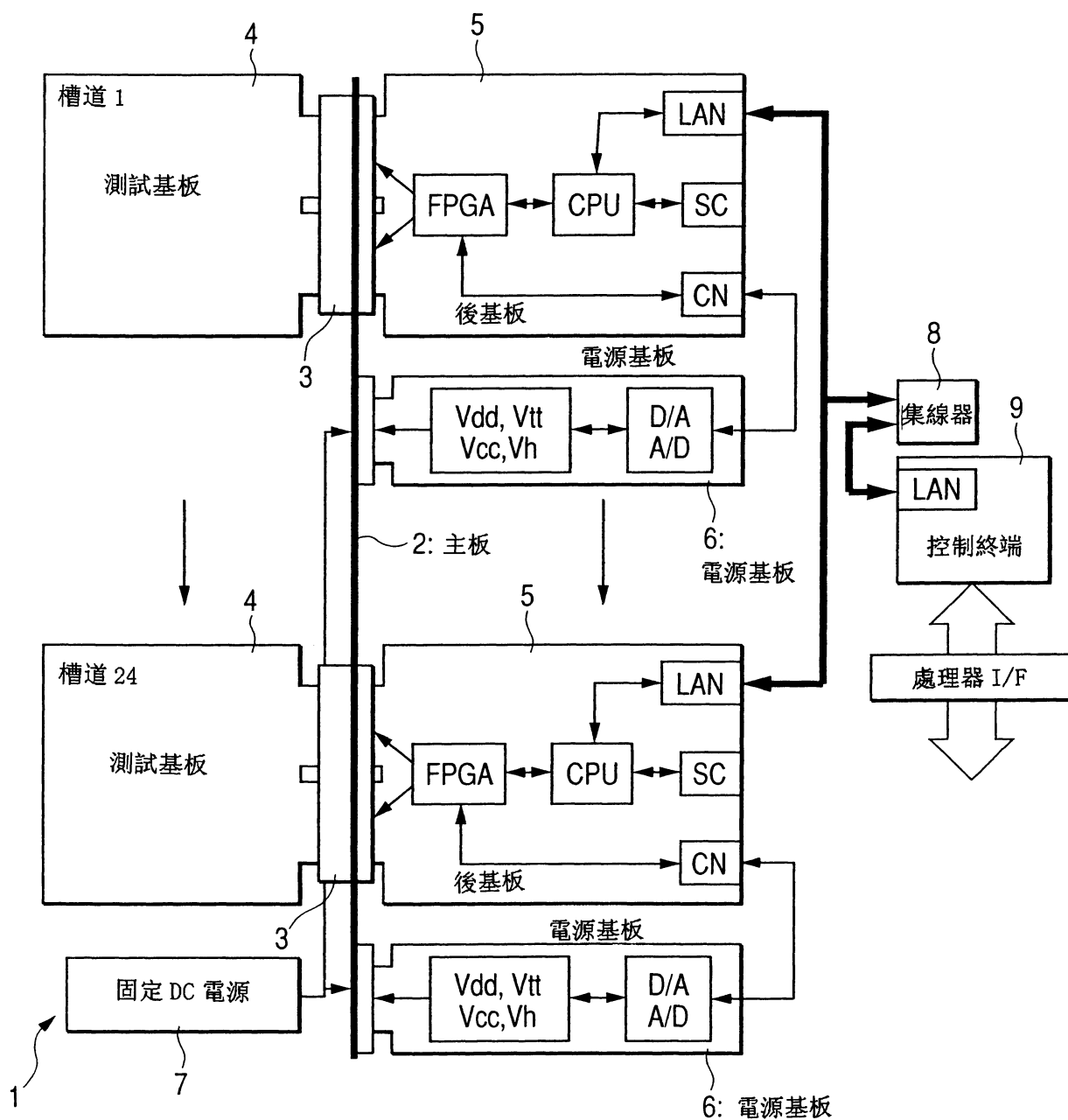


圖 1

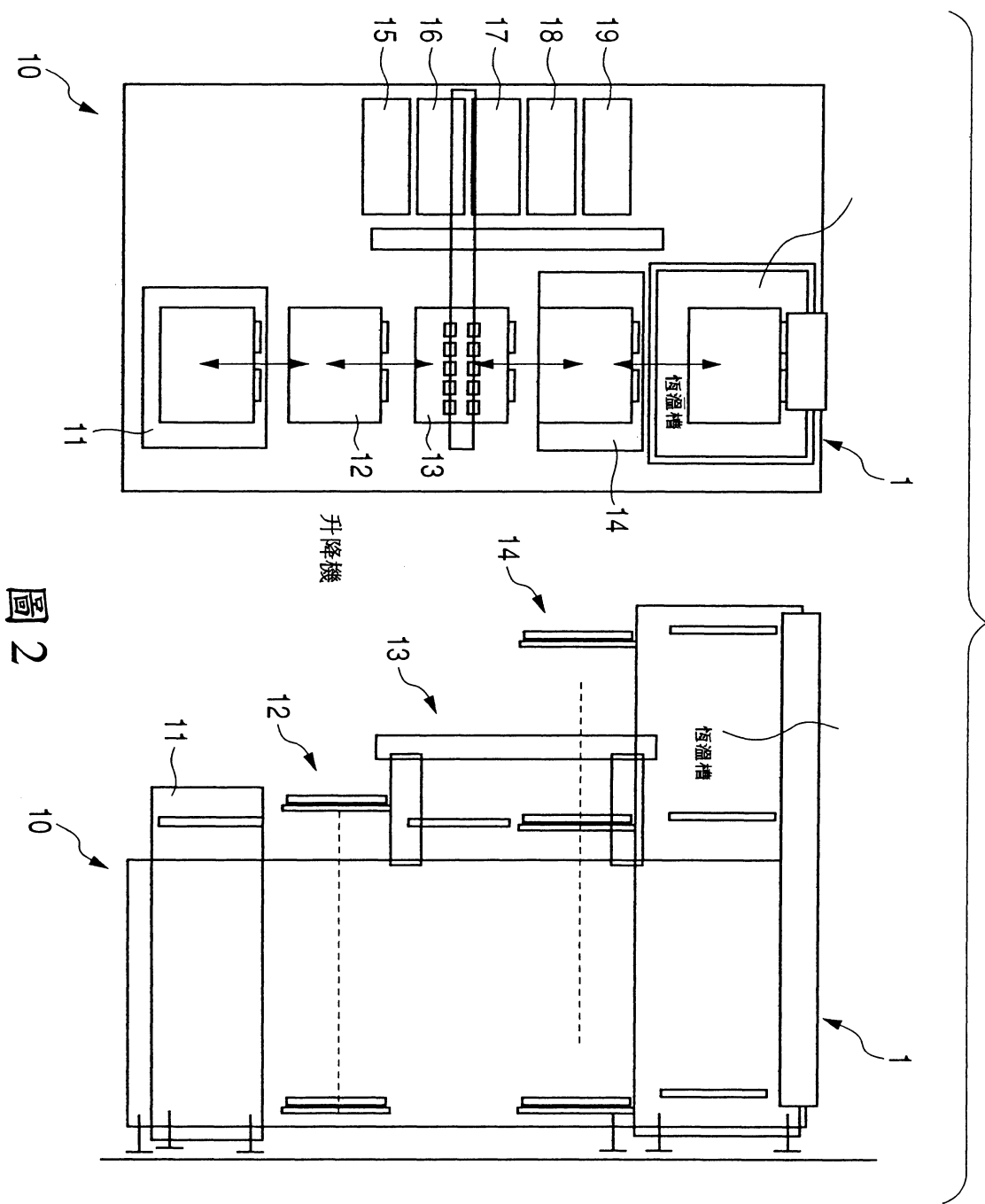


圖 2

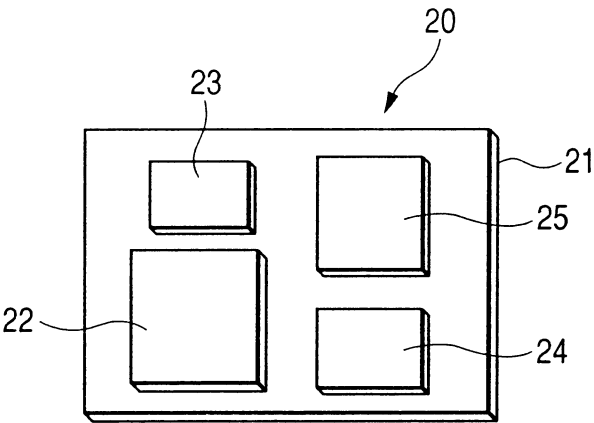


圖 3

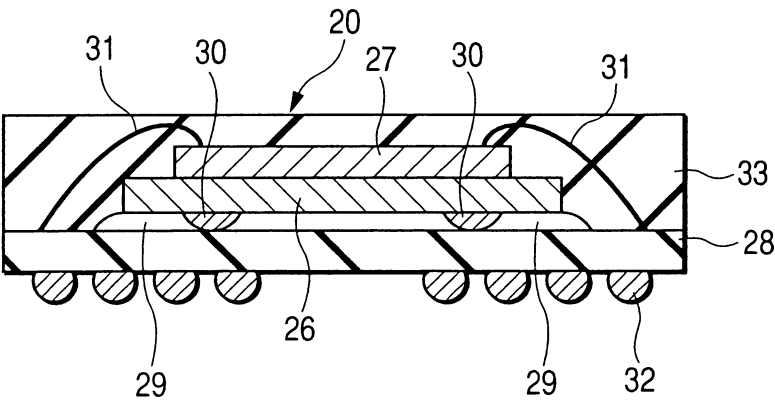


圖 4

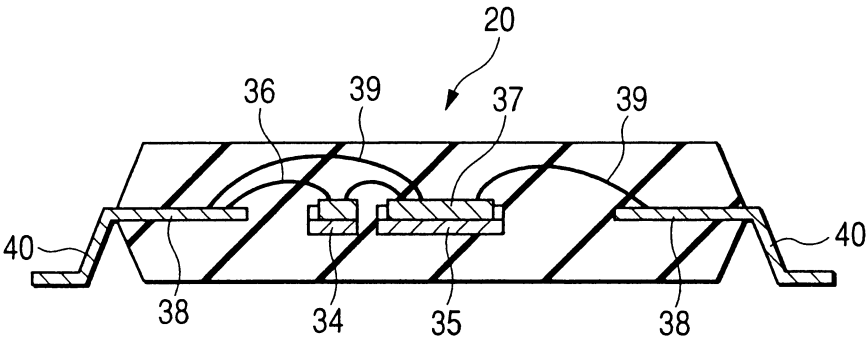


圖 5

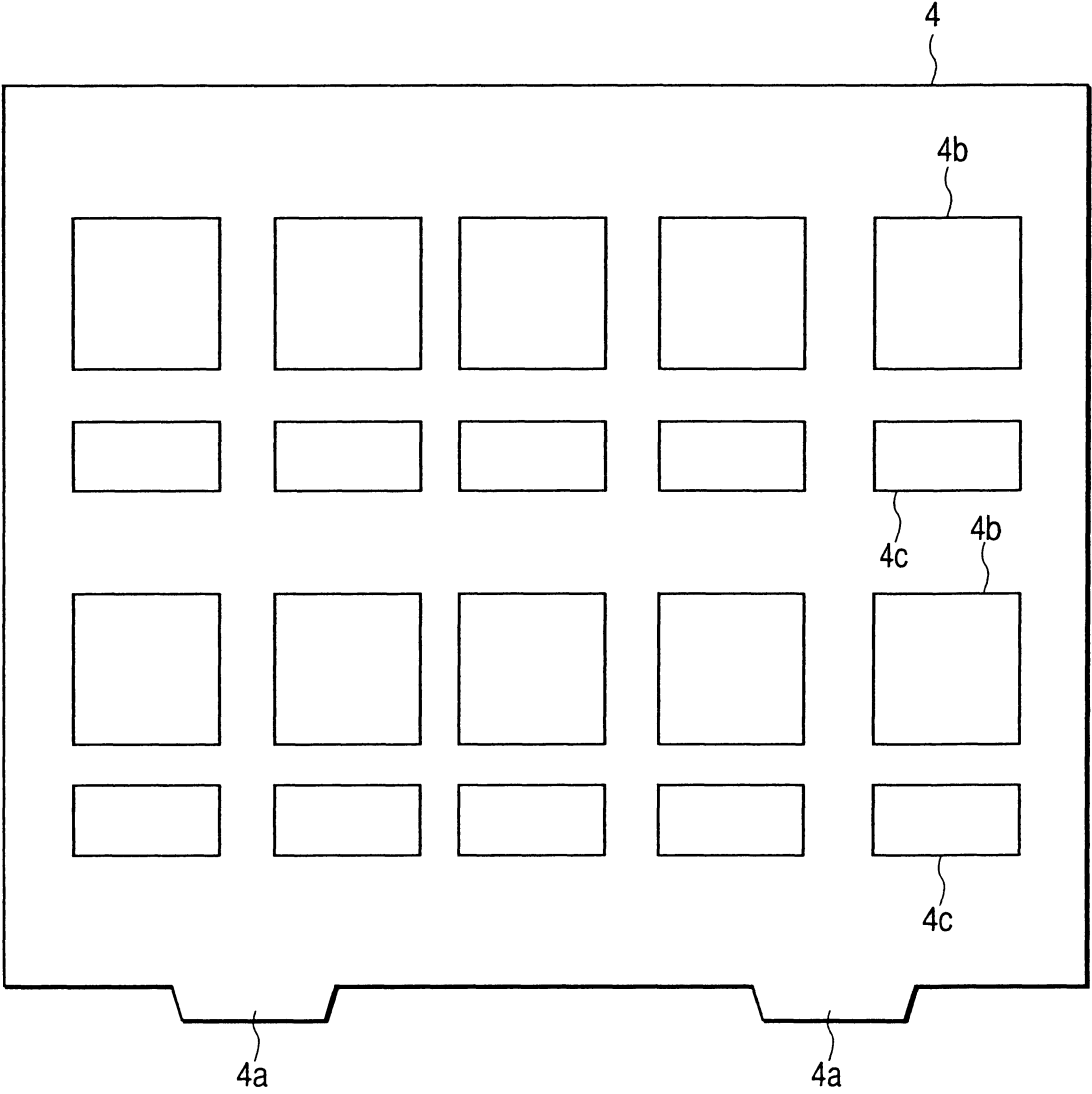


圖 6

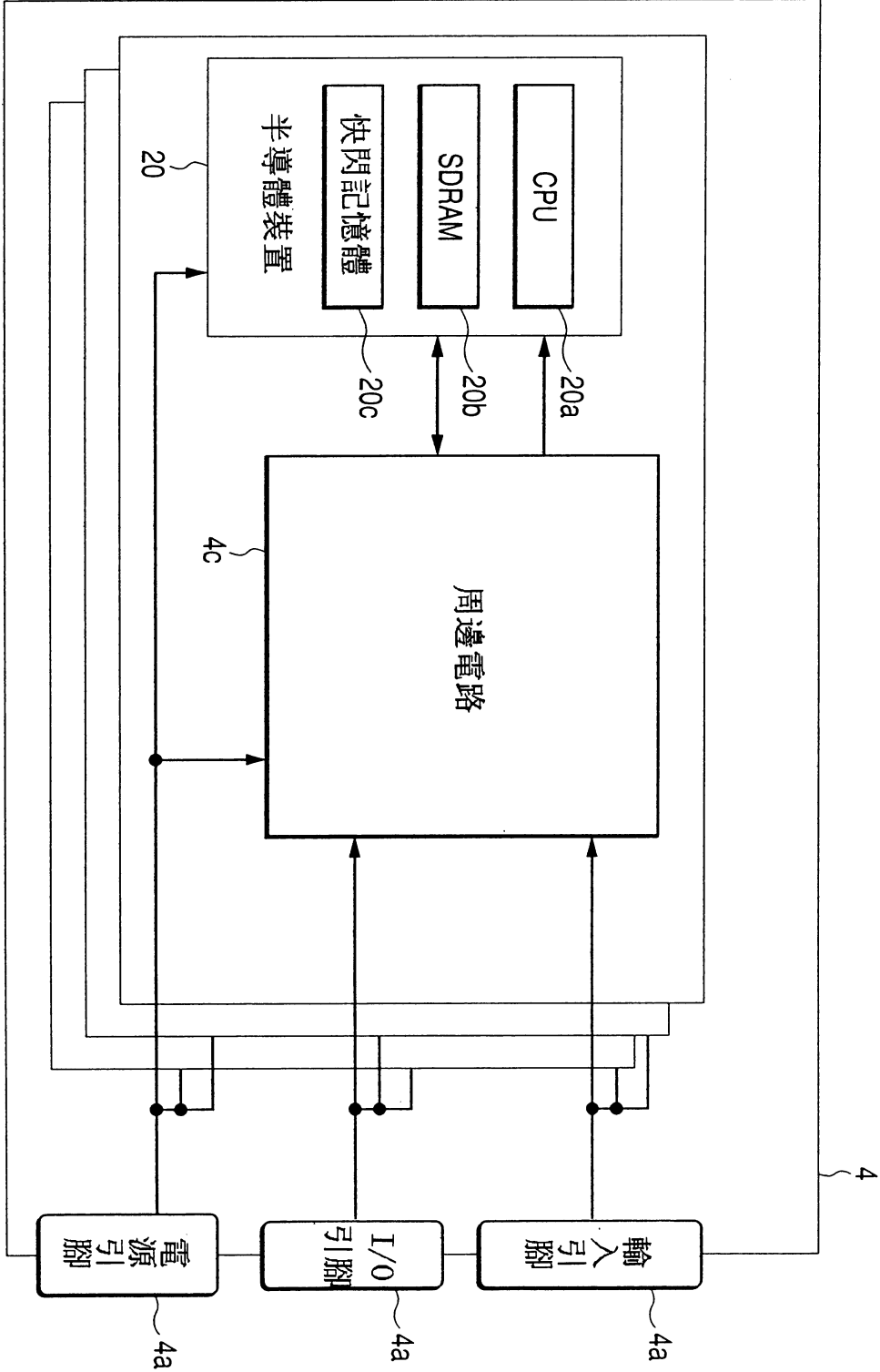


圖 7

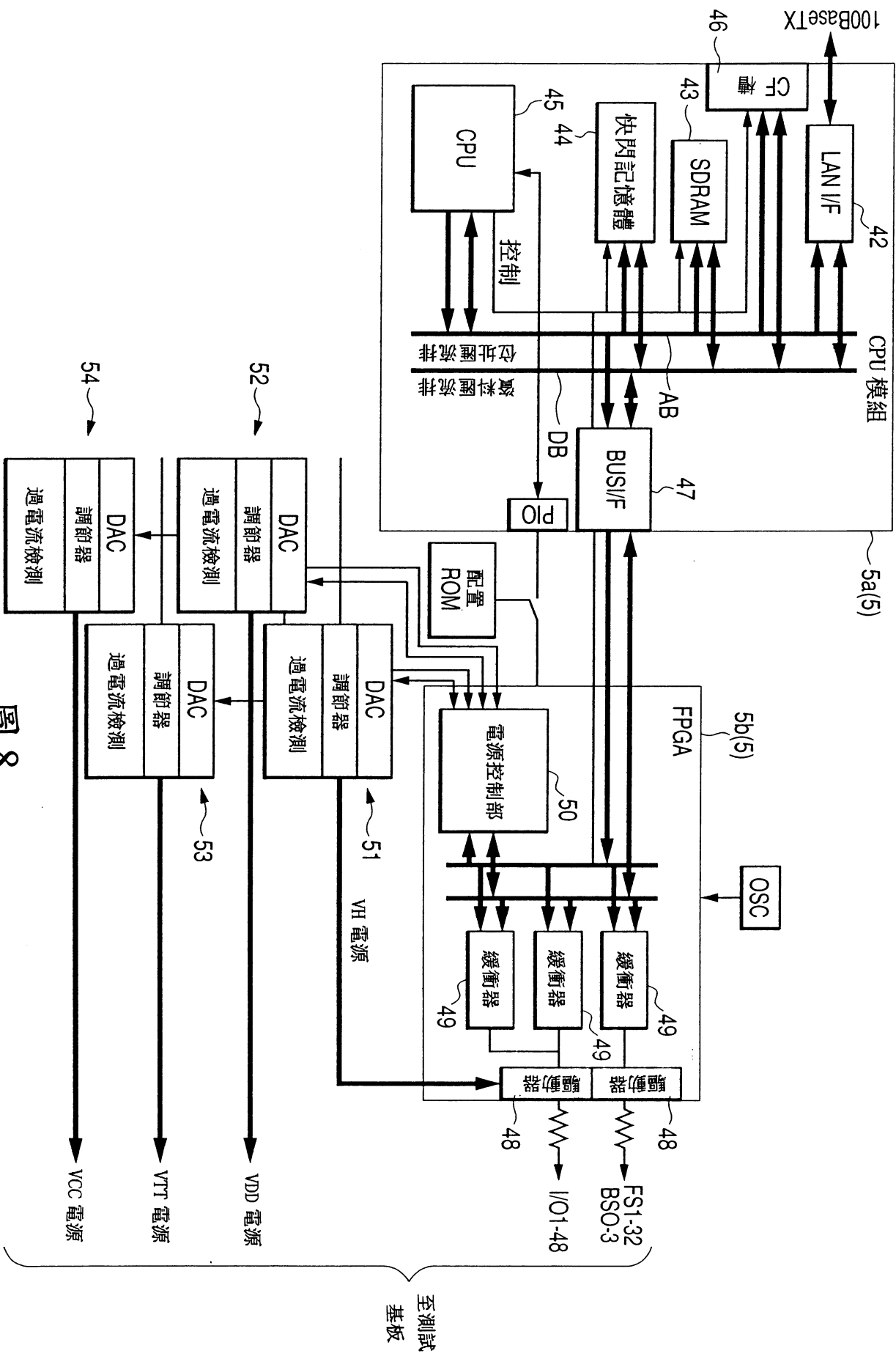


圖 8

至測試
基板

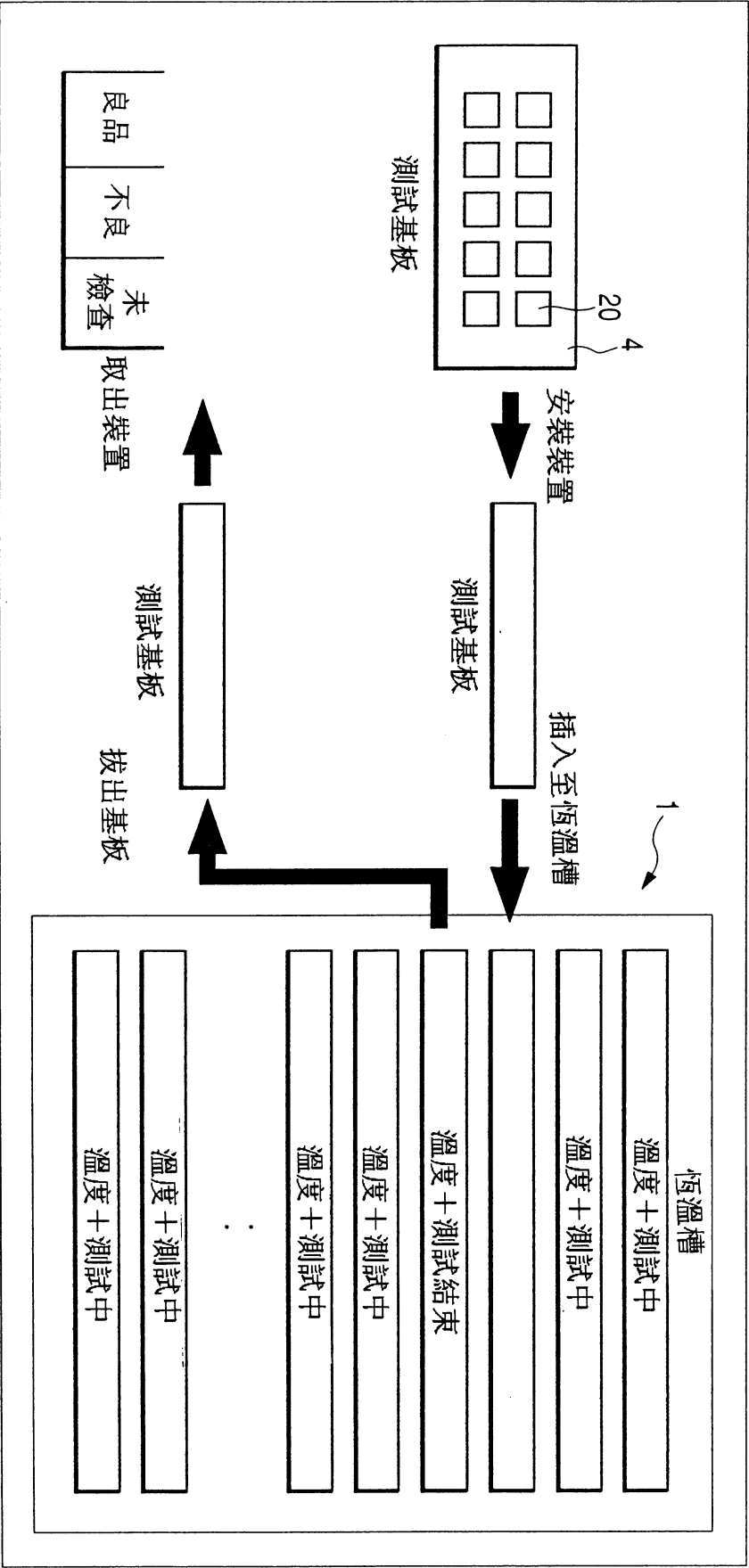
規格概要

溫度設定	可設定為 55 ~ 130℃
溫度精度	±3.0℃ (55 ~ 90℃)、±5℃ (90 ~ 130℃)
溫度刻度	1℃以下
分類數	分類為三種（不良品、良品、原始不良品）
槽道間距	50 mm
基板冷卻	考慮藉由風扇實施強制冷卻（室溫）等
恆溫槽	可對應於先前之測試基板
最小 測試時間	15 分鐘以下
未檢品	放入托盤後供給
基板 ID 識別	條形碼（由於基板管理係於裝卸機側實施，因此具有該功能）

圖 9

項目		功能
CPU 模組之功能	測試基板用 信號相關	• 控制 FPGA，於測試基板上產生信號 • 以 FPGA 之比較器鎖定測試基板之 I/O 信號，實施 PASS/FAIL 判定處理
	測試基板用 電源相關	• 設定可變電源之電壓 • 監控可變電源之電壓 • 監控可變電源之電壓 ← 刪除 • 藉由可變電源之過電流檢測產生報警信號
	輸出入相關	• 控制與控制終端之乙太網路通信 • 控制 CF 卡之讀出與寫入
	其他	• FPGA 之配置 (通常使用配置 ROM)
	程式之 加載方法	• 自控制終端經由 LAN 加載至記憶體實行。 • 自 CF 卡讀入實行。
	輸出測試結果	• 經由 LAN 輸出測試結果至主機 PC • 輸出結果檔案至 CF 卡
控制終端之 功能 (DOS/V PC)	程式作成	• 藉由控制終端上之交叉編譯程式，以 C 語言作成單獨 CPU 程式
	通信相關	• 至 CPU 模組之程式下載 (LANi/f) • 至 CPU 模組之 ROM 資料下載 (LANi/f) • 至 CPU 模組之測試開始處理 • 來自 CPU 模組之測試結果處理 • 與處理器之測試開始・測試結束通信 • 經由 CPU 模組控制 FPGA，以手動方式於測試基板上產生信號
	輸出測試 結果	• 顯示器上顯示結果 • 文檔中輸出測試結果運行記錄 • 於處理器中輸出測試結果以及分類資料
	其他	• 至 CPU 模組之重置處理

圖 10



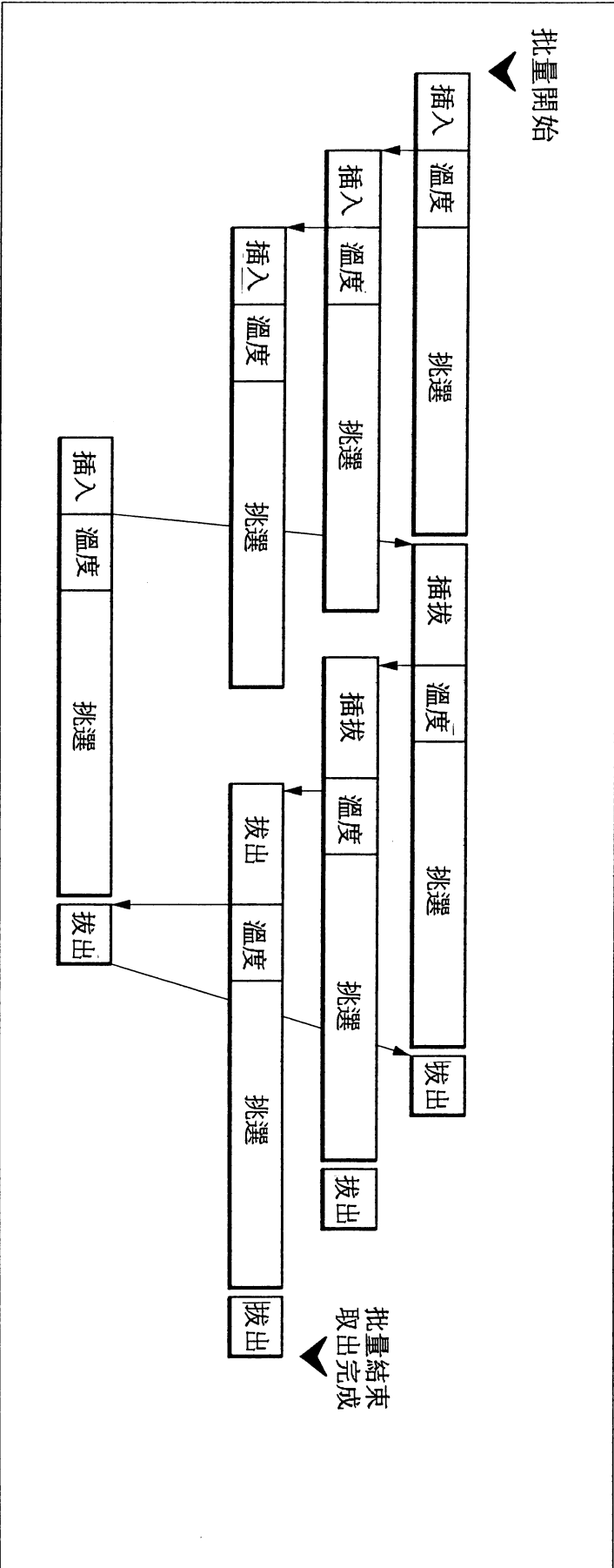


圖 12

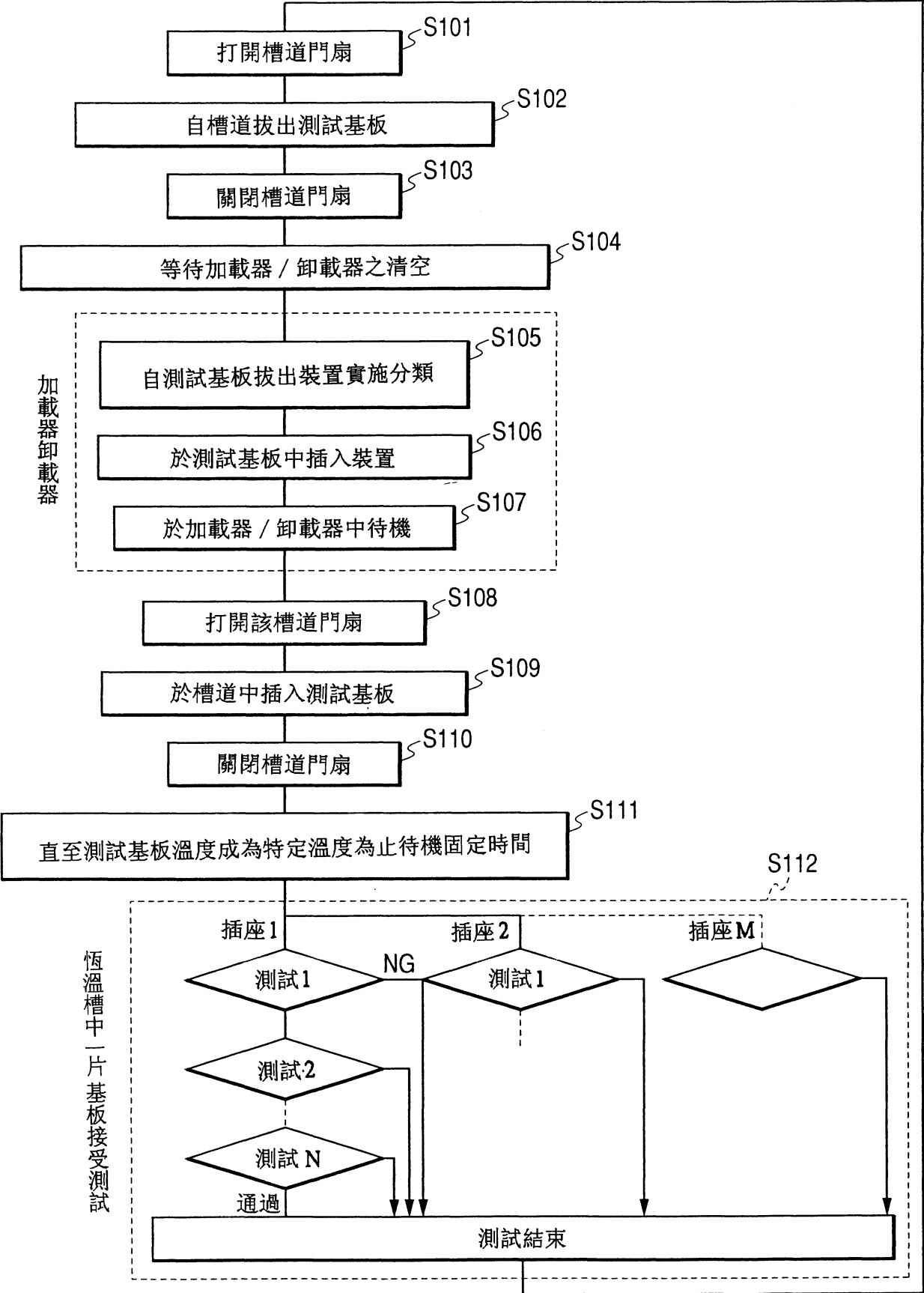


圖 13

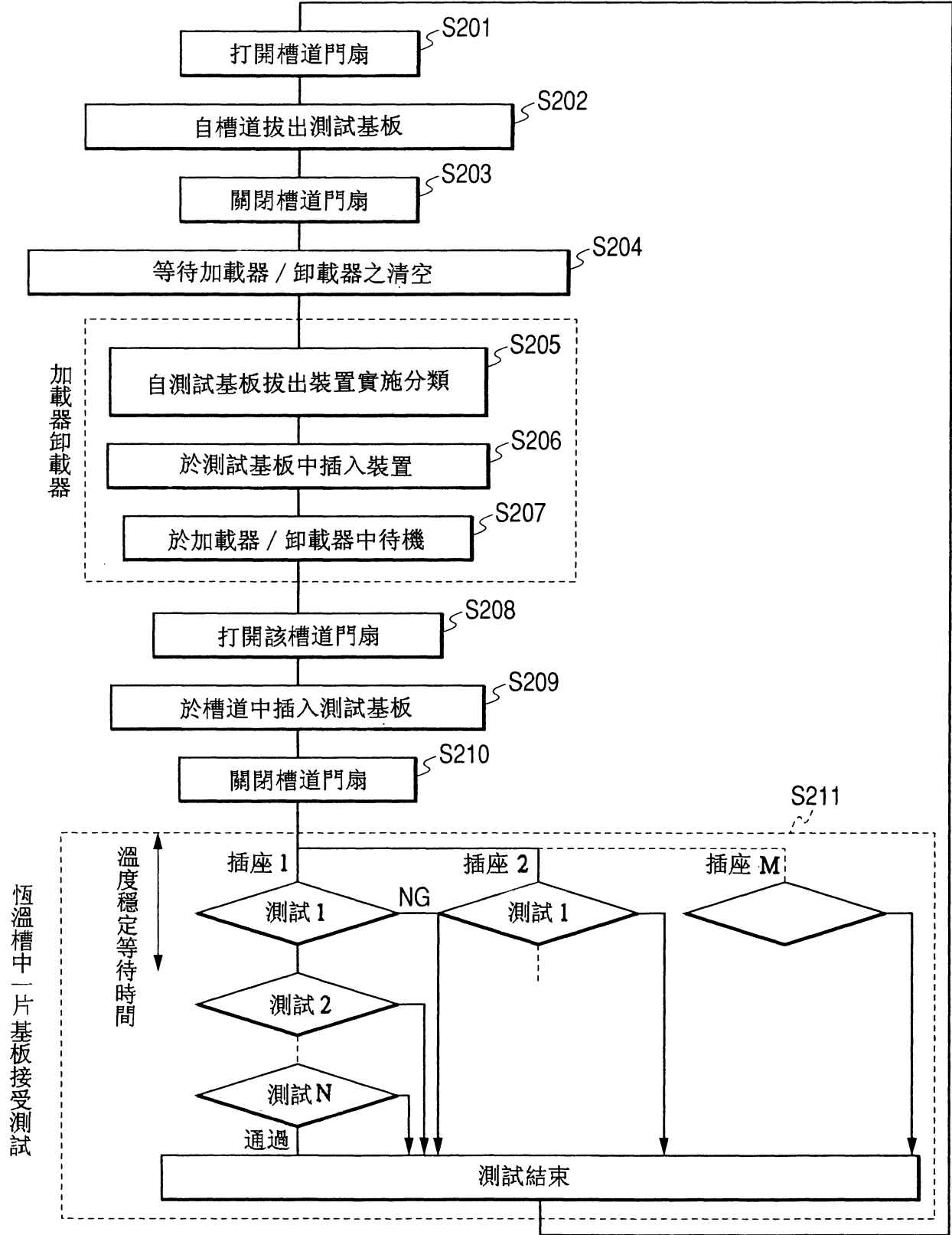


圖 14

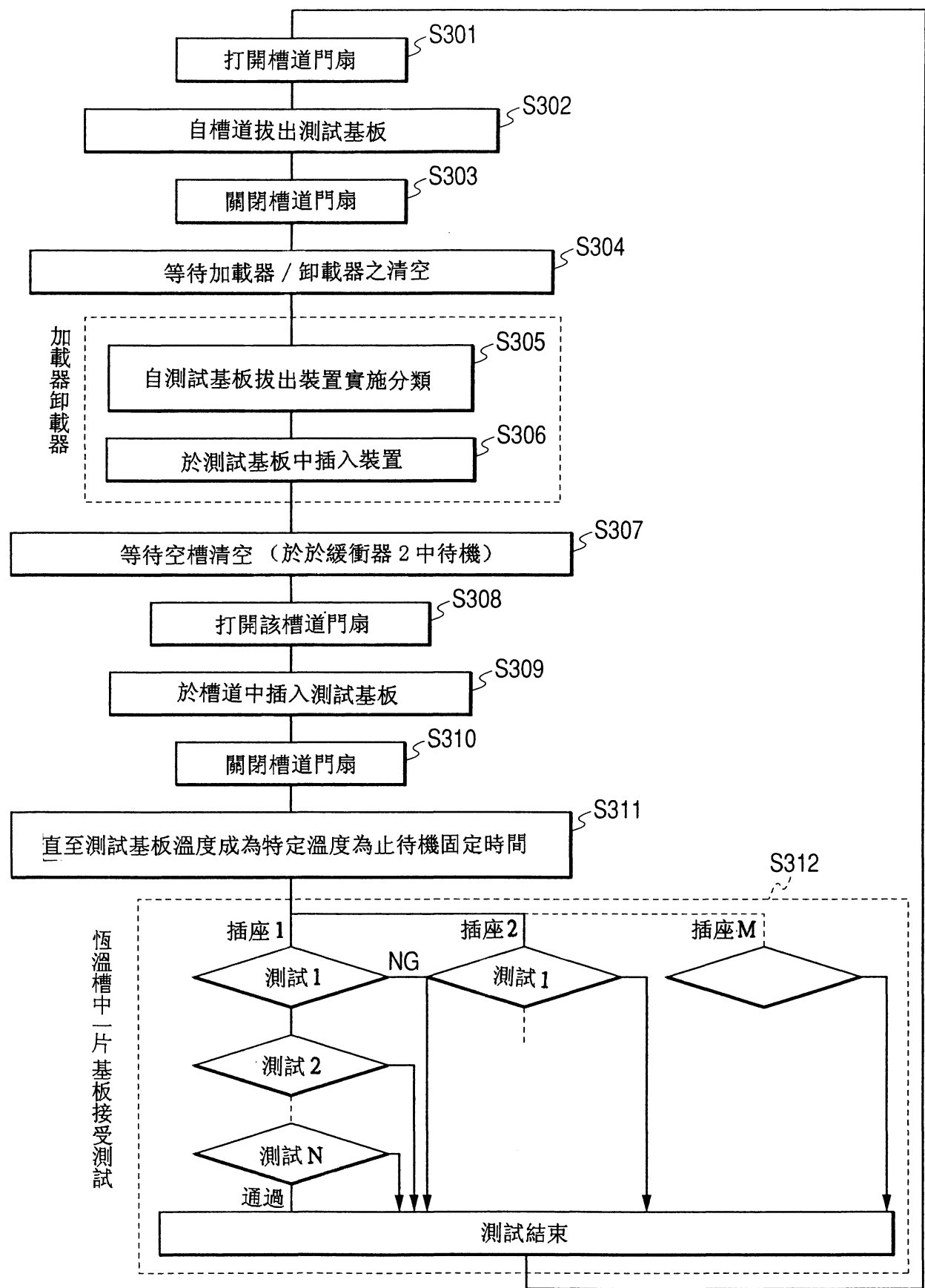


圖 15

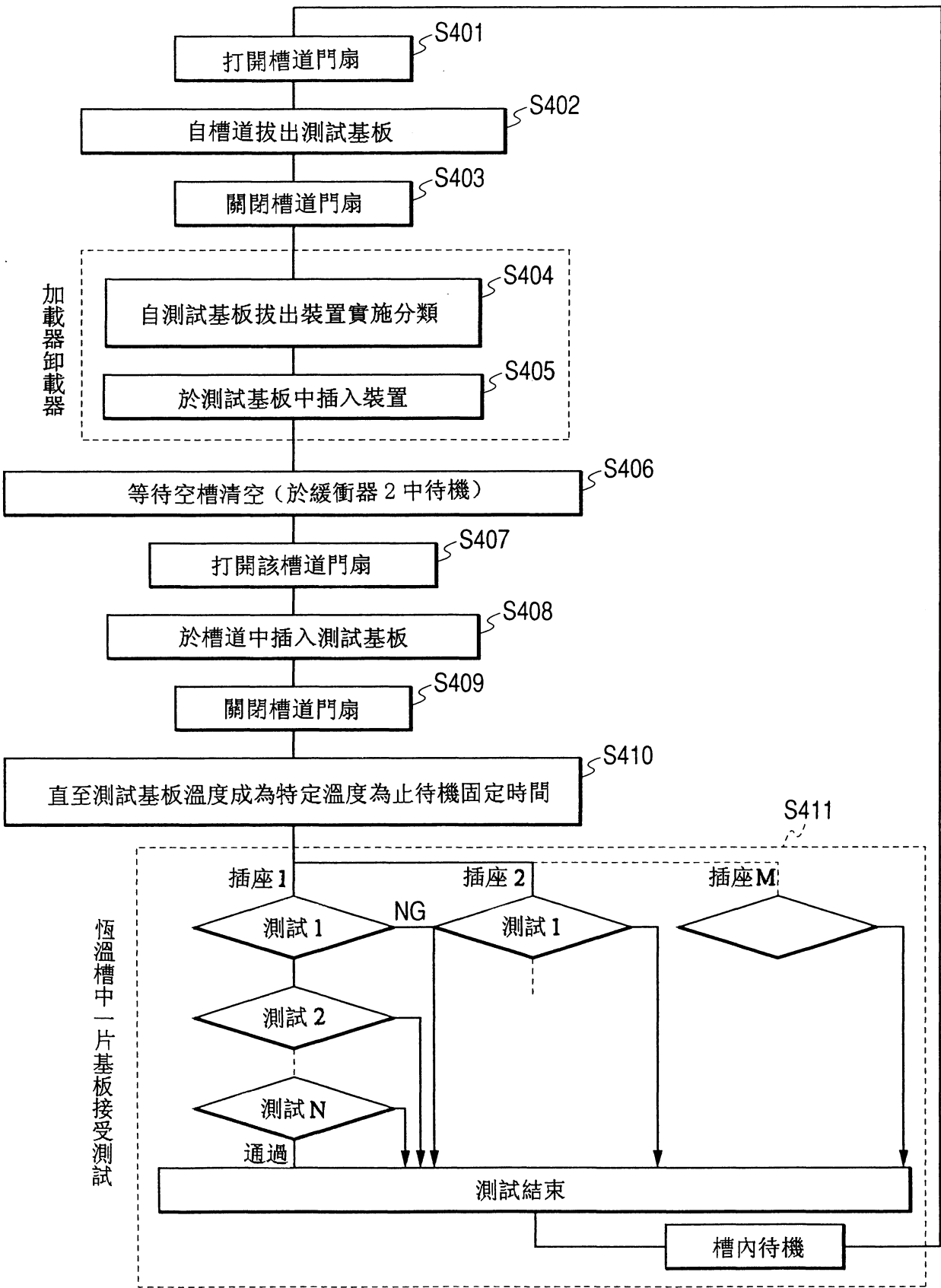


圖 16

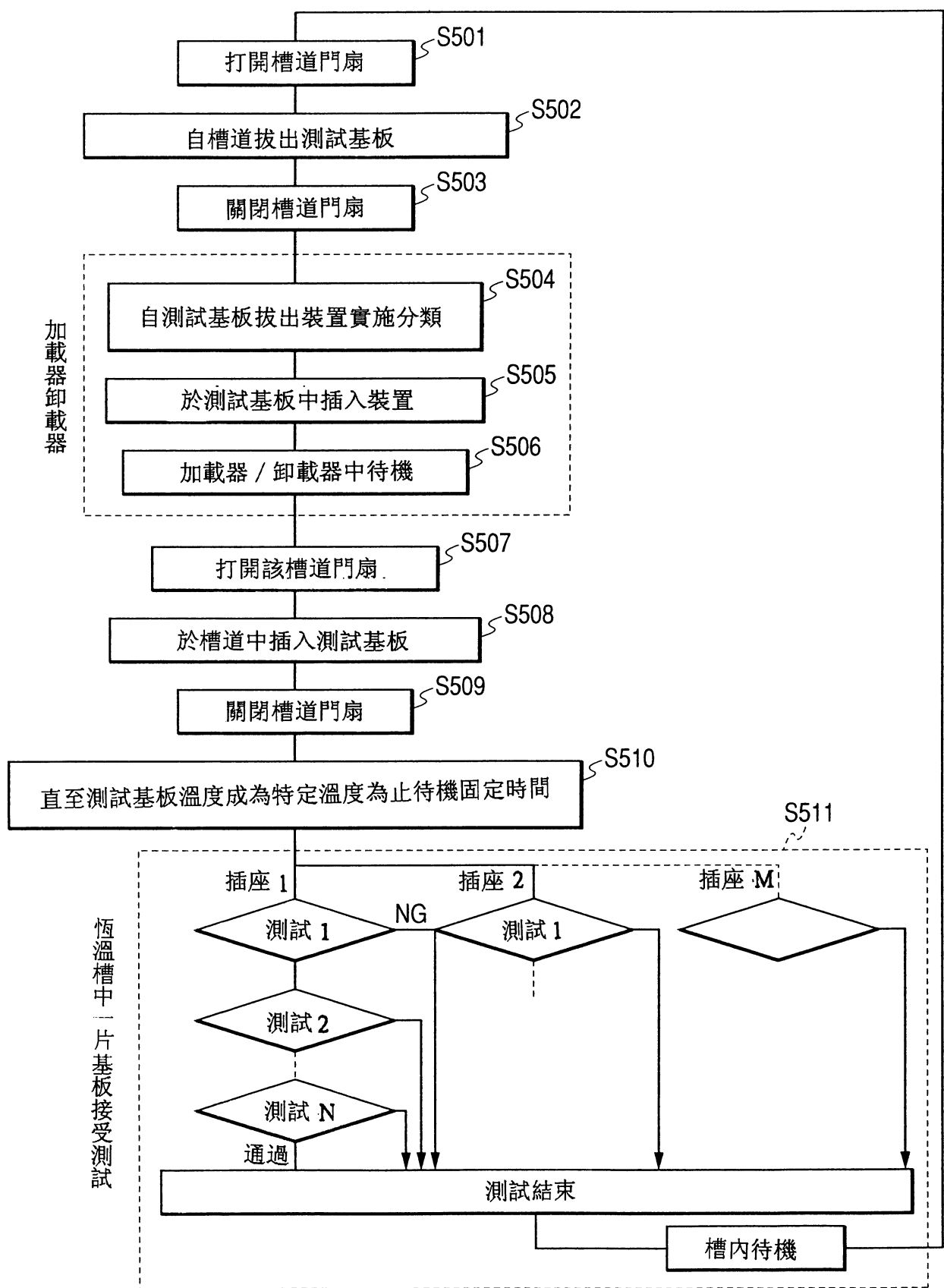


圖 17

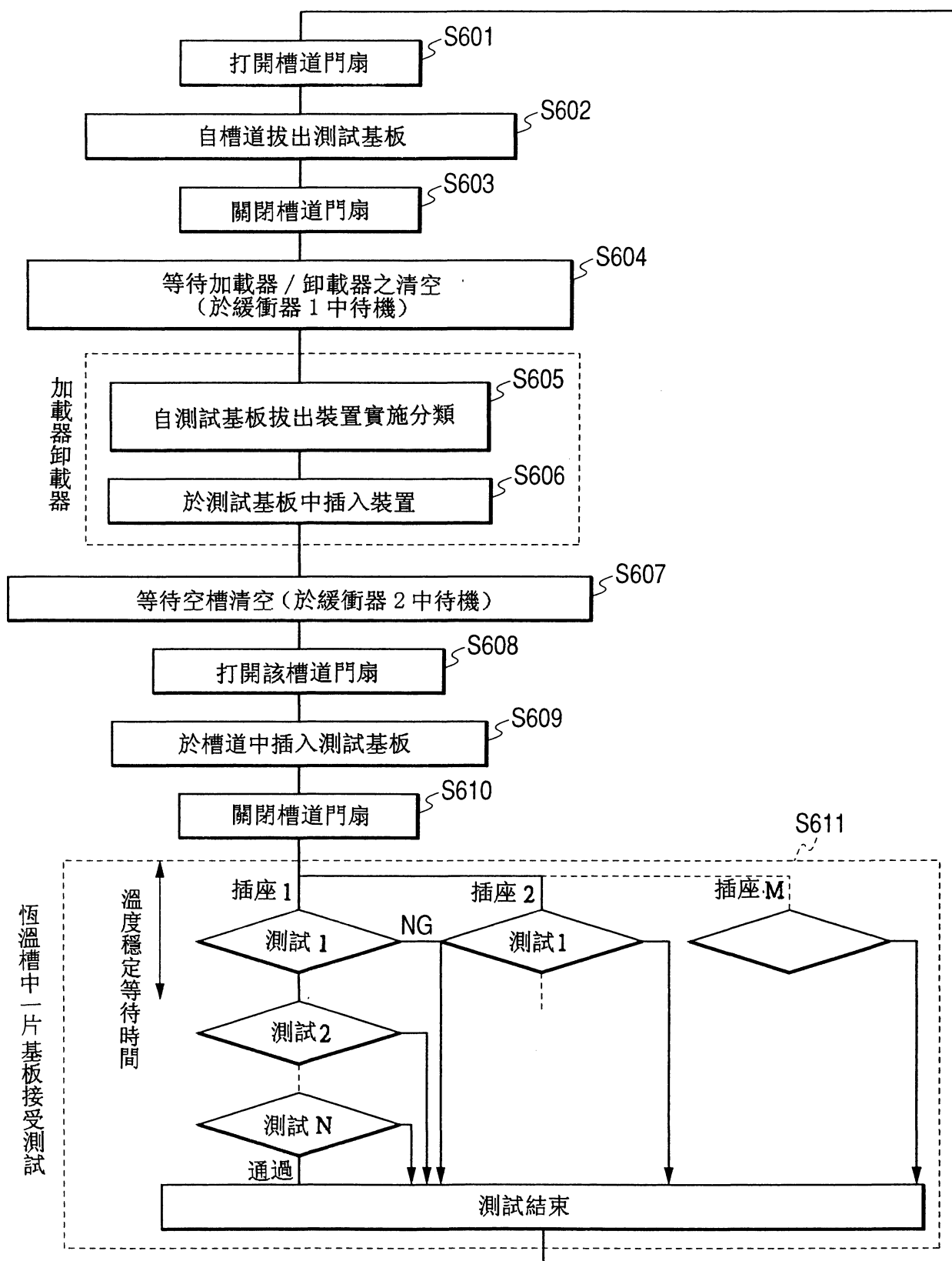


圖 18

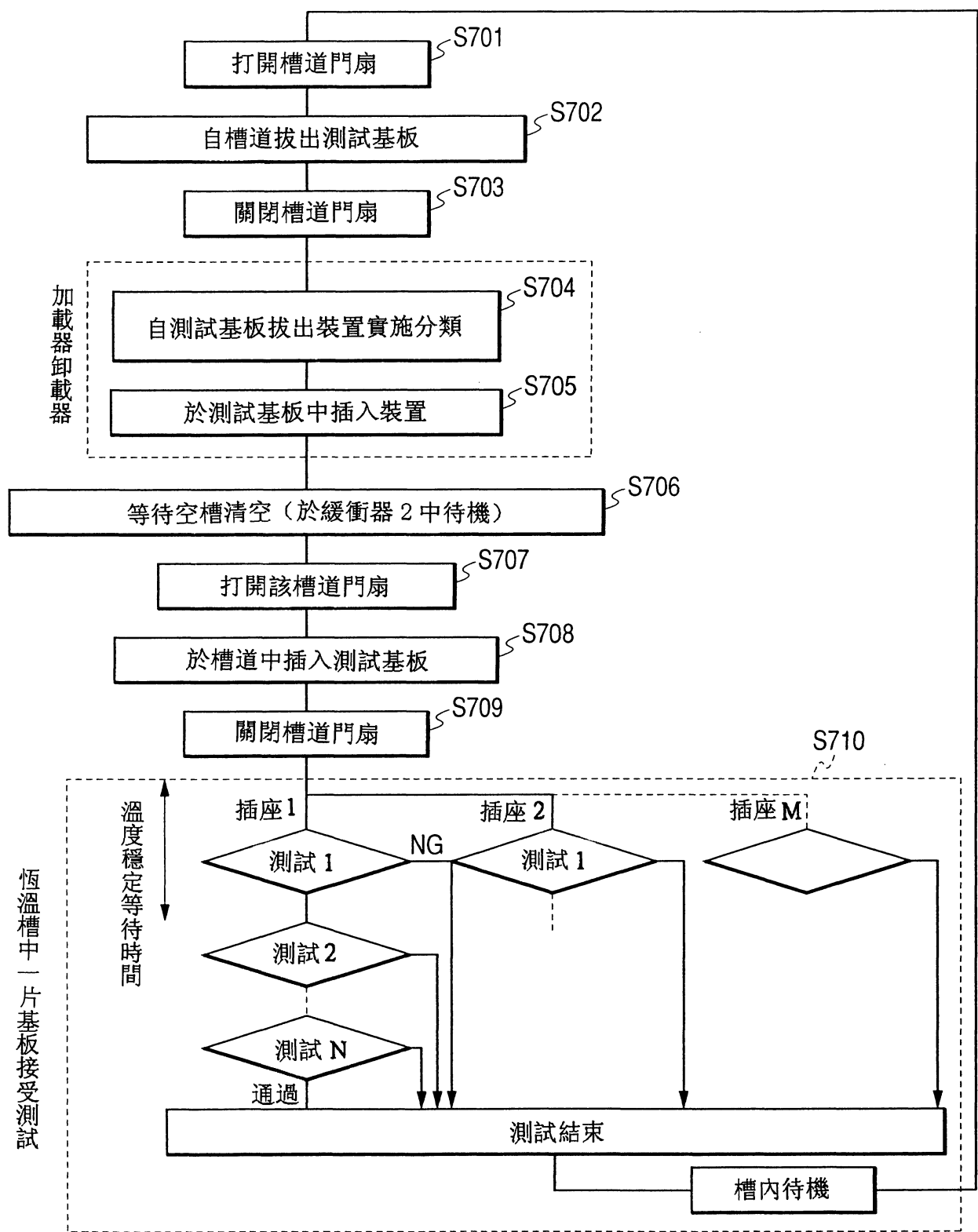


圖 19

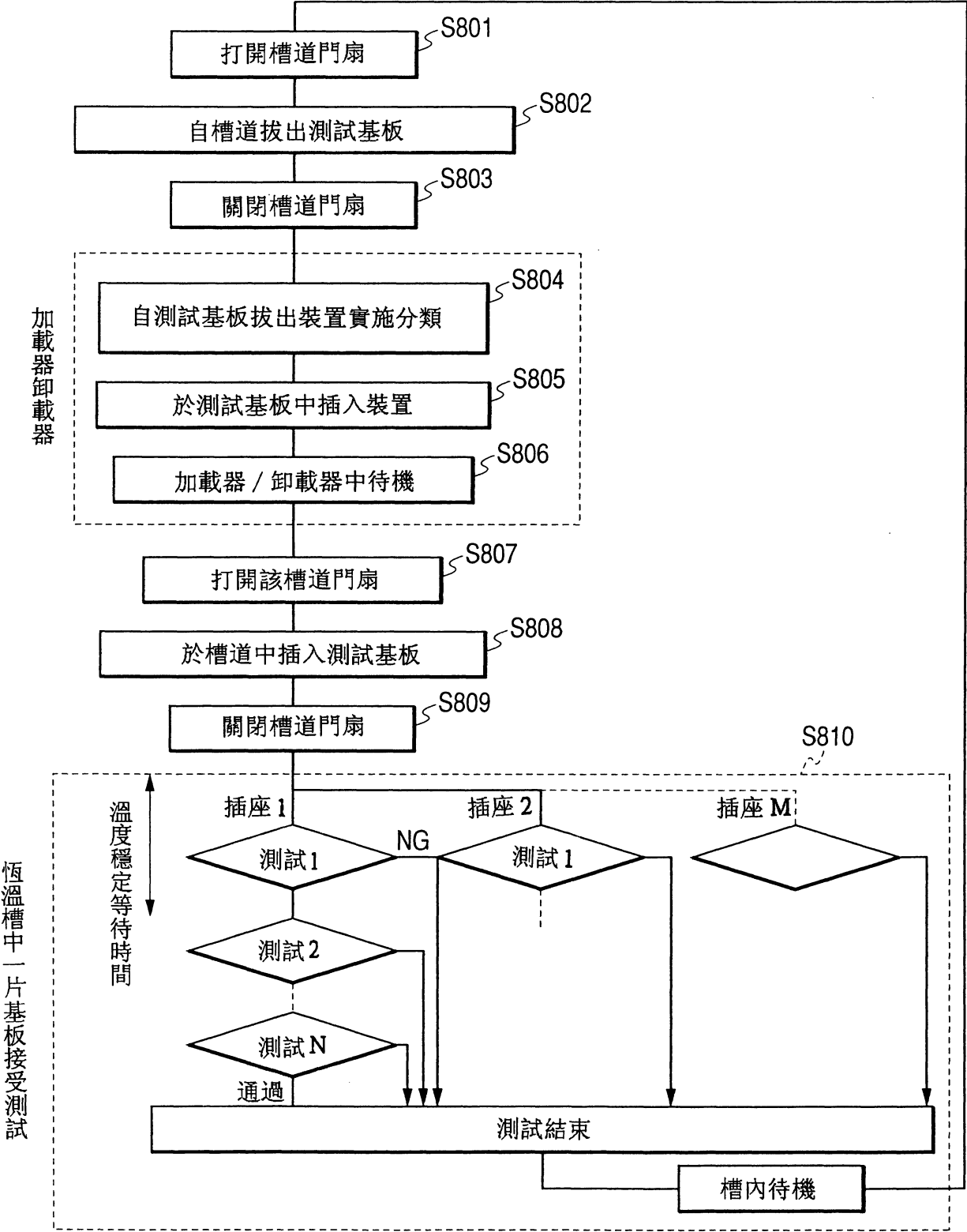


圖 20

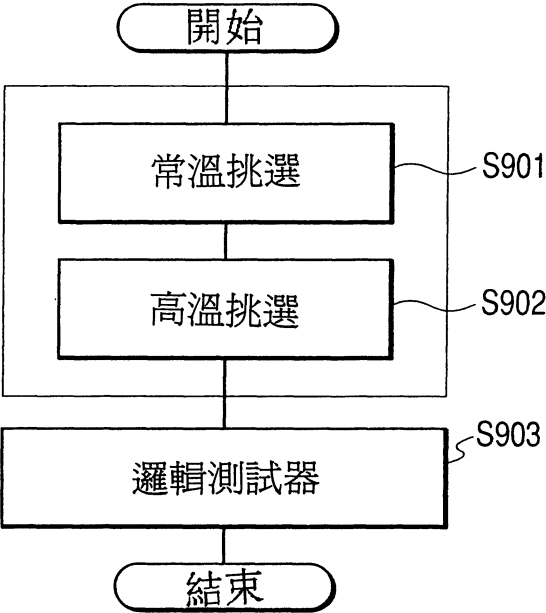


圖 21

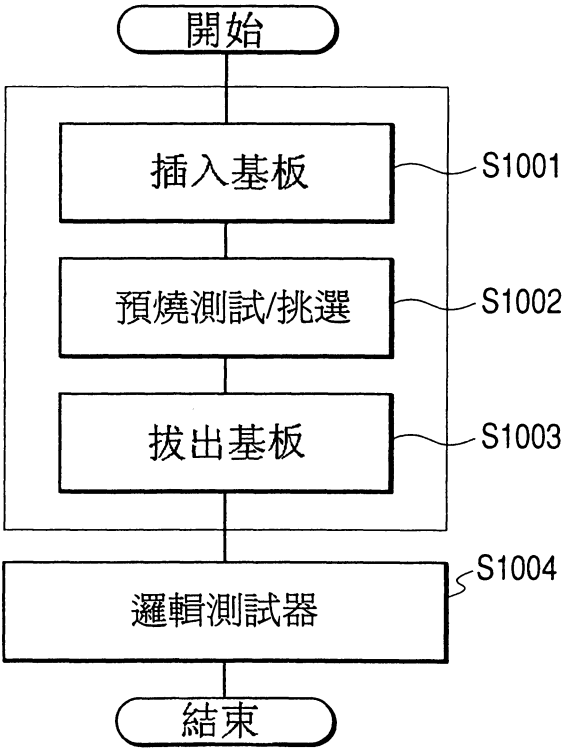


圖 22

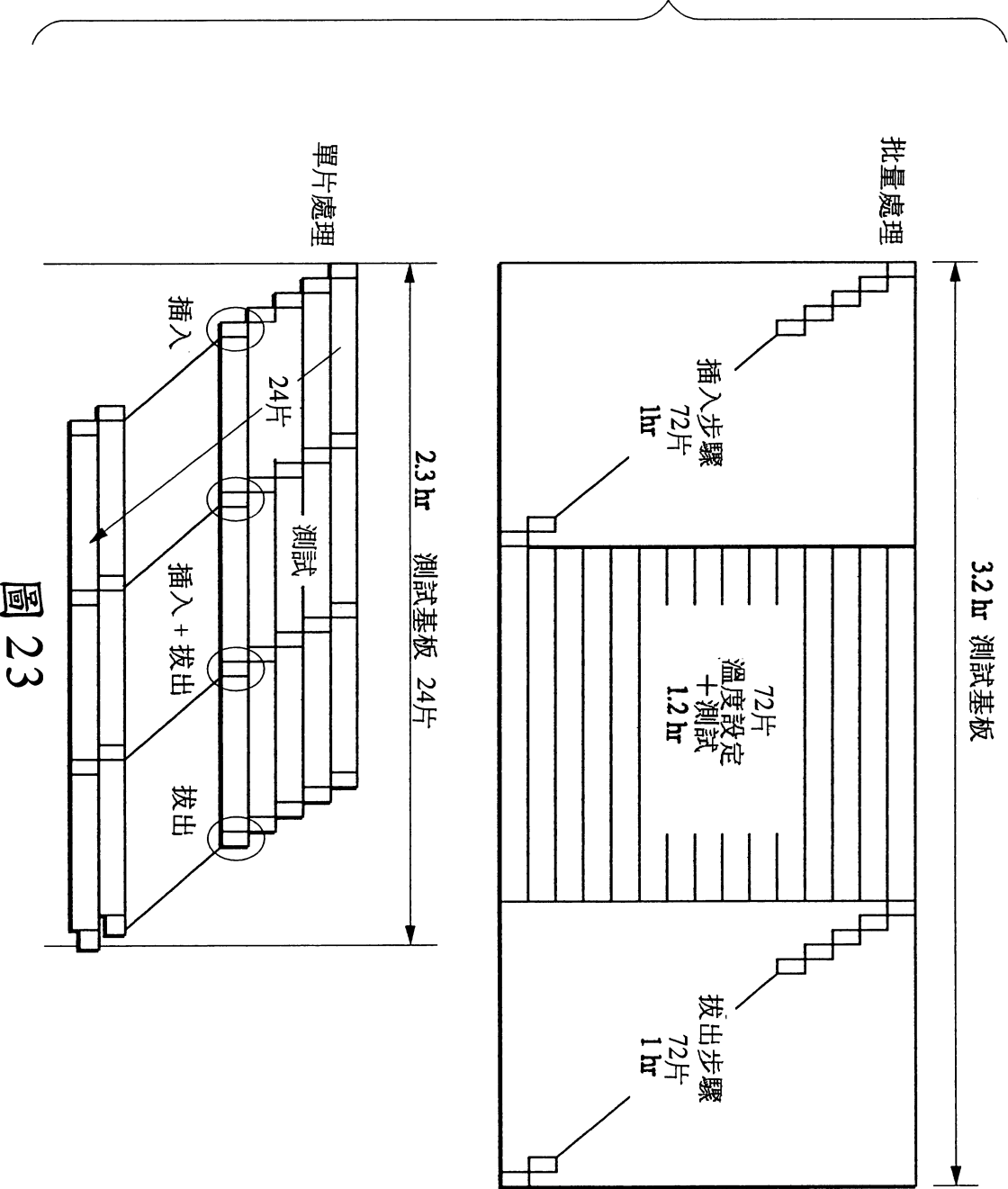


圖 23

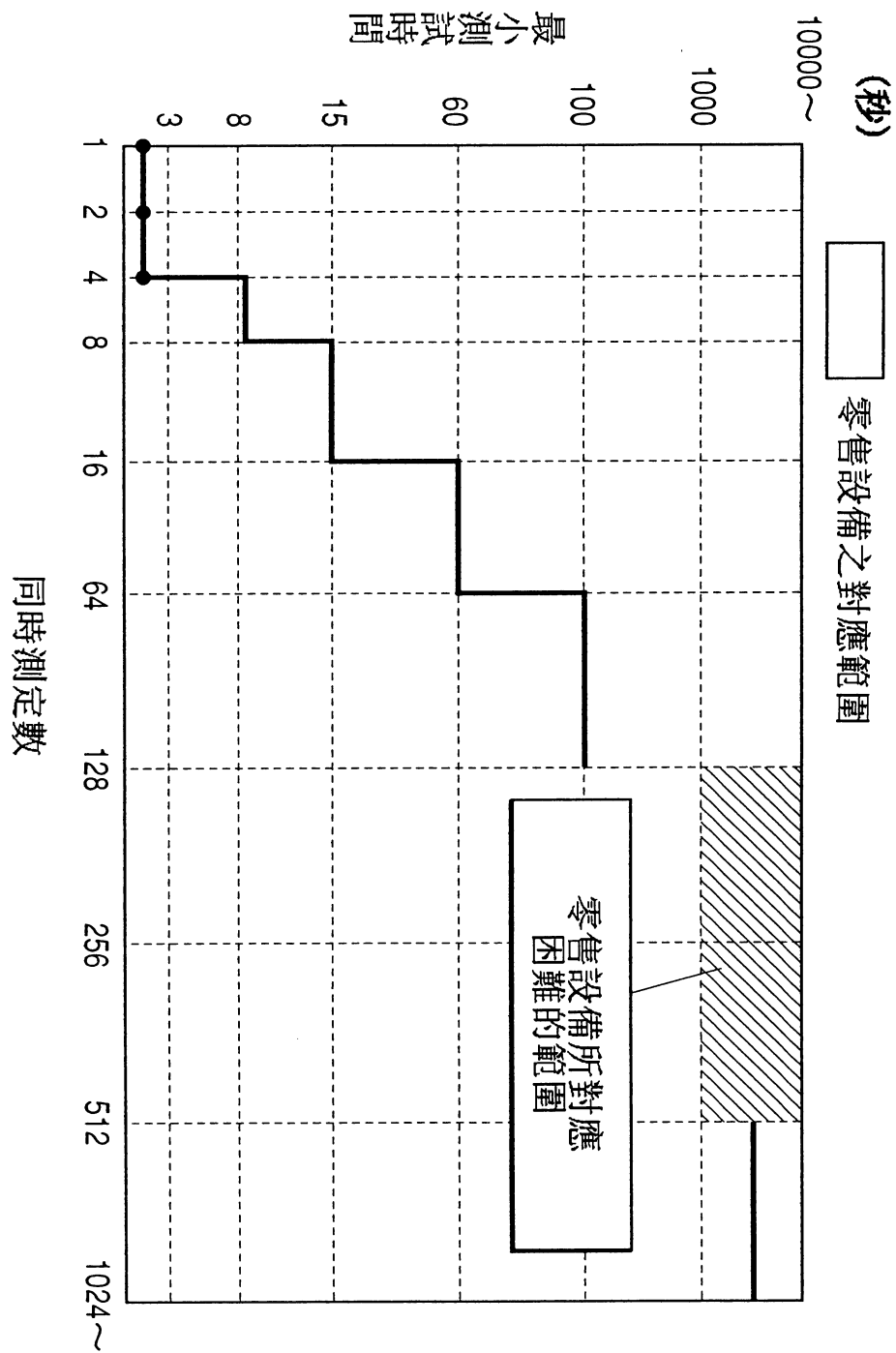
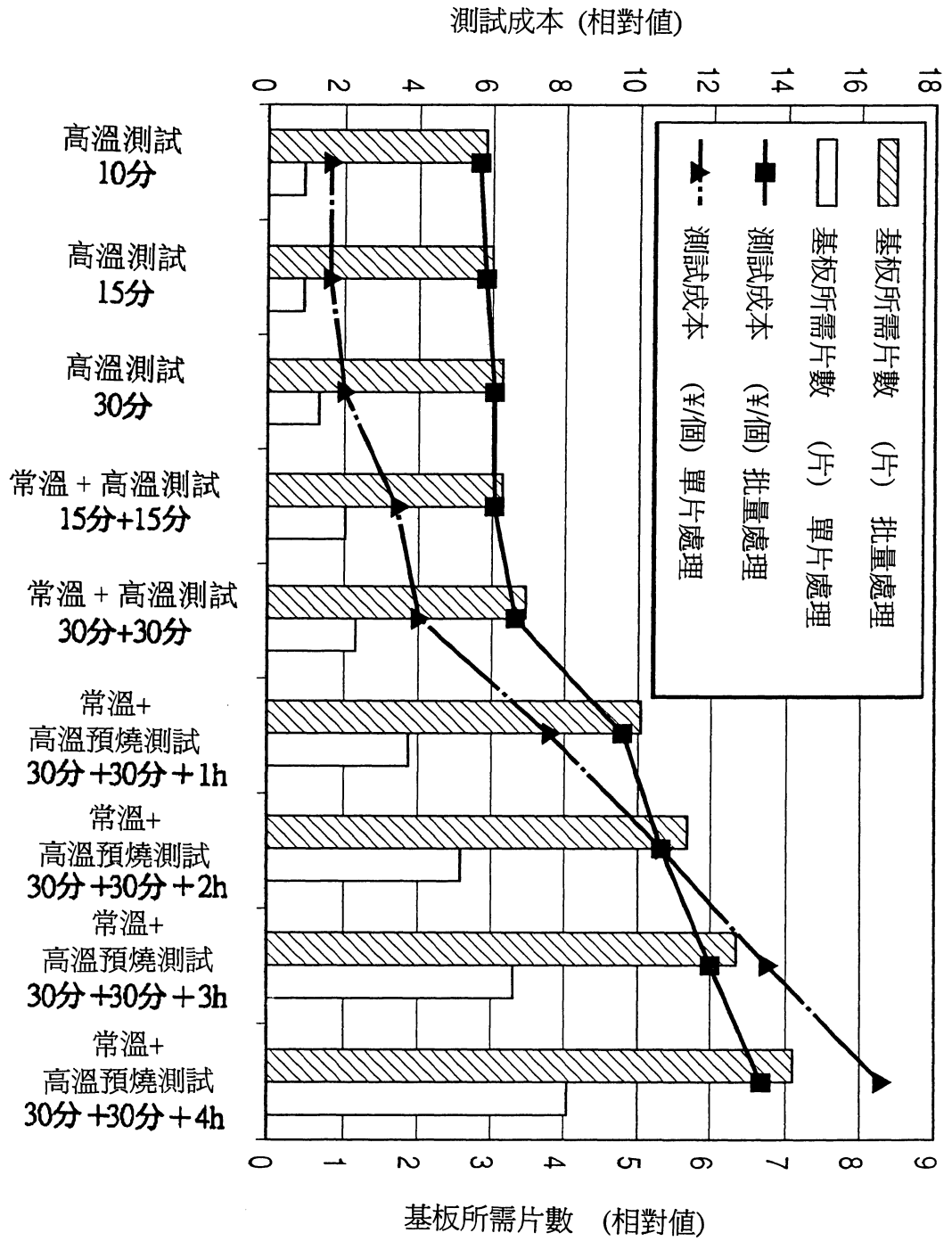


圖 24

圖 25



七、指定代表圖：

(一)本案指定代表圖為：第 (12) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)