

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5016811号
(P5016811)

(45) 発行日 平成24年9月5日(2012.9.5)

(24) 登録日 平成24年6月15日(2012.6.15)

(51) Int.Cl.

F I

HO 1 L 25/065 (2006.01)

HO 1 L 25/08 Z

HO 1 L 25/07 (2006.01)

HO 1 L 25/18 (2006.01)

請求項の数 7 (全 21 頁)

(21) 出願番号	特願2005-345410 (P2005-345410)	(73) 特許権者	302062931
(22) 出願日	平成17年11月30日(2005.11.30)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2007-150154 (P2007-150154A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成19年6月14日(2007.6.14)	(74) 代理人	100080001
審査請求日	平成20年11月27日(2008.11.27)		弁理士 筒井 大和
		(72) 発明者	秋葉 俊彦
			東京都千代田区丸の内二丁目4番1号 株
			式会社ルネサステクノロジ内
		(72) 発明者	内藤 孝洋
			東京都千代田区丸の内二丁目4番1号 株
			式会社ルネサステクノロジ内
		審査官	坂本 薫昭
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 上面、及び前記第 1 上面とは反対側の第 1 下面を有する第 1 ベース基板と、
第 1 主面、前記第 1 主面に形成された第 1 パッド、及び前記第 1 主面とは反対側の第 1 裏面を有し、前記第 1 ベース基板上に配置された第 1 半導体チップと、
前記第 1 半導体チップを封止する第 1 ビルドアップ材と、
前記第 1 パッドと電氣的に接続された第 1 パターンと、
第 2 上面、及び前記第 2 上面とは反対側の第 2 下面を有し、前記第 1 半導体チップ上に配置された第 2 ベース基板と、
第 2 主面、前記第 2 主面に形成された第 2 パッド、及び前記第 2 主面とは反対側の第 2 裏面を有し、前記第 2 主面が前記第 1 半導体チップの前記第 1 主面と同一方向を向くように、前記第 2 ベース基板上に配置された第 2 半導体チップと、
前記第 2 半導体チップを封止する第 2 ビルドアップ材と、
前記第 2 パッドと電氣的に接続された第 2 パターンと、
前記第 2 半導体チップ上に配置されたレジスト膜と、
前記第 1 パターン及び前記第 2 パターンと電氣的に接続された第 3 パターンと、
前記第 3 パターンと電氣的に接続され、前記第 1 ベース基板の前記第 1 下面側に配置された複数の外部端子と、
を含み、
前記第 1 半導体チップは、前記第 1 裏面が前記第 1 ベース基板の前記上面と対向するよ

10

20

うに、前記第 1 ベース基板上に配置され、

前記第 1 ビルドアップ材は、前記第 1 半導体チップの前記第 1 パッドが露出するように、前記第 1 半導体チップを封止しており、

前記第 1 パターンは、前記第 1 ビルドアップ材上に配置され、

前記第 2 ベース基板は、前記第 1 パターン上に配置され、

前記第 2 半導体チップは、前記第 2 裏面が前記第 2 ベース基板の前記第 2 上面と対向するように、前記第 2 ベース基板上に配置され、

前記第 2 ビルドアップ材は、前記第 2 半導体チップの前記第 2 パッドが露出するように、前記第 2 半導体チップを封止しており、

前記第 2 パターンは、前記第 2 ビルドアップ材上に配置され、

前記レジスト膜は、前記第 2 パターン上に配置され、

前記第 2 パターン上には、ビルドアップ材を介してビアランドが配置されており、

前記ビアランドは、前記第 3 パターンと電氣的に接続されており、

前記ビアランドの一部は、前記レジスト膜から露出されており、

前記レジスト膜上には、複数の第 3 パッドを有する第 3 半導体チップが配置され、

前記第 1 ビルドアップ材内、前記第 2 ベース基板内及び前記第 2 ビルドアップ材内には、第 4 パターンが形成されており、

前記第 3 半導体チップの前記複数の第 3 パッドのうちの一つは、前記ビアランドの前記一部と電氣的に接続され、

前記第 3 半導体チップの前記複数の第 3 パッドのうちの一つは、前記第 4 パターンを介して前記複数の外部端子と電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 1 半導体チップ及び前記第 2 半導体チップは、メモリ回路を有しており、

前記第 3 半導体チップは、演算処理機能を有しており、

前記複数の外部端子の一つは、前記第 4 パターン、前記第 3 半導体チップ及び前記第 3 パターンを介して、前記第 1 半導体チップ及び前記第 2 半導体チップと電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記第 3 パターンは、前記第 2 ベース基板内に形成され、前記第 1 パターンと電氣的に接続された第 1 スルーホール配線と、前記第 2 ビルドアップ材内に形成され、前記第 2 パターンと電氣的に接続された第 2 スルーホール配線とを有し、

前記第 2 ベース基板の厚さは、前記第 2 ビルドアップ材の厚さとほぼ同じ厚さであることを特徴とする半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、

前記第 1 半導体チップ及び前記第 2 半導体チップは、ダブル・データ・レート・シンクロナス D R A Mであることを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、

前記第 1 半導体チップと前記第 2 半導体チップとの間には、プレーン層が配置されていることを特徴とする半導体装置。

【請求項 6】

請求項 5 記載の半導体装置において、

前記プレーン層は、G N D 層であることを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、

前記第 3 半導体チップは、前記複数の第 3 パッドが形成された第 3 主面と、前記第 3 主面とは反対側の第 4 主面とを有し、

10

20

30

40

50

前記第3半導体チップは、前記第3主面が前記レジスト膜と対向するように、前記レジスト膜上に配置されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、複数の半導体チップを有する半導体装置の小型化に適用して有効な技術に関する。

【背景技術】

【0002】

半導体装置において、上層配線及び下層配線を有するベース板の上面には半導体構成体が設けられ、その周囲には矩形枠状の絶縁層が設けられ、それらの上には第1、第2の上層再配線が設けられ、第2の上層再配線の接続パッド部上には半田ボールが設けられ、ベース板下にはベアチップ等からなる半導体構成体が設けられている技術がある（例えば、特許文献1参照）。

【0003】

半導体装置において、ベース板上には半導体構成体が搭載され、その周囲には絶縁層が設けられ、それらの上には第1、第2の上層再配線が設けられ、第2の上層再配線の接続パッド部上には半田ボールが設けられ、ベース板下にはベアチップからなる2つの外部半導体構成体が積層されてワイヤボンディングにより搭載されている技術がある（例えば、特許文献2参照）。

【特許文献1】特開2005-150344号公報（図1）

【特許文献2】特開2005-158999号公報（図1）

【発明の開示】

【発明が解決しようとする課題】

【0004】

複数の半導体チップを有する半導体装置の一例として、演算処理機能を有する半導体チップ（以降、マイコンチップともいう）と、メモリ回路を有する半導体チップ（以降、メモリチップともいう）とが配線基板上に搭載されたSIP（System In Package）と呼ばれる半導体装置が知られている。

【0005】

なお、半導体装置の高機能化に伴い、SIPでも更なる小型化、薄型化が要求されている。SIPでは、メモリチップは、複数個搭載されている場合が多く、したがって、チップ積層型の構造を採用する場合が多い。例えば、配線基板上に半導体チップを多段積層し、各半導体チップと配線基板がワイヤボンディングによって電氣的に接続されている。

【0006】

しかしながら、配線基板上でのワイヤボンディングを用いた多段積層技術にも限界がある。

【0007】

そこで、基板内に半導体チップ（マイコンチップ）を埋め込んでチップによる実装面積を減らして半導体装置の小型化を図る技術が前記特許文献1（特開2005-150344号公報）及び前記特許文献2（特開2005-158999号公報）に開示されている。

【0008】

SIPでは、マイコンチップに対して複数のメモリチップが搭載されている。近年では、システムの高速化に伴い、搭載されるメモリチップは高速対応のSDRAM（Synchronous Dynamic Random Access Memory）が使用される。処理動作としては、データ信号がマイコンチップからのそれぞれのメモリチップに送信される。そして、再びメモリチップから戻ってくる信号のタイミングが、ほぼ同時にマイコンチップに戻ってくれば、実行されたことになる。そのため、1つのマイコンチップと複数のメモリチップとをそれぞれ電氣的に接続する配線の等長化が要求される。

【 0 0 0 9 】

前記特許文献 1 に示すように、配線基板上に複数のメモリチップを平置きすると、それぞれのメモリチップと接続される配線の等長化は実現できたとしても、基板の面積が大きくなって S I P の更なる小型化が図れないことが問題である。さらに、実装基板を小さくすると、クロストークノイズが発生する。詳細に説明すると、実装基板上にマイコンチップと複数のメモリチップを搭載した場合、マイコンチップと複数のメモリチップのそれぞれと電氣的に接続するための配線が、メモリチップの数だけ必要となるため、配線基板上で引き回される配線が混在してしまう。この状態で、実装基板を小さくすると、配線間距離が狭くなり、クロストークノイズが発生し易い。

【 0 0 1 0 】

また、前記特許文献 2 に示す構造では、基板上にメモリチップを積層しており、ワイヤを介して各メモリチップと基板を接続しているため、チップごとにワイヤが異なった長さとなる。簡略すると、下段のチップと基板を接続するワイヤと、上段のチップと基板を接続するワイヤの長さが異なる。

【 0 0 1 1 】

したがって、前記特許文献 2 に示す構造では、配線の等長化が困難なことが問題である。

【 0 0 1 2 】

本発明の目的は、複数の半導体チップを有する半導体装置の小型化を図ることができる技術を提供することにある。

【 0 0 1 3 】

本発明の他の目的は、複数の半導体チップを有する半導体装置の薄型化を図ることができる技術を提供することにある。

【 0 0 1 4 】

本発明の他の目的は、複数のメモリチップを有する半導体装置において、小型化・薄型化を実現しつつ複数のメモリチップの等長配線接続を可能にすることができる技術を提供することにある。

【 0 0 1 5 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 6 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【 0 0 1 7 】

すなわち、本発明は、第 1 上面、及び前記第 1 上面とは反対側の第 1 下面を有する第 1 ベース基板と、第 1 主面、前記第 1 主面に形成された第 1 パッド、及び前記第 1 主面とは反対側の第 1 裏面を有し、前記第 1 ベース基板上に配置された第 1 半導体チップと、前記第 1 半導体チップを封止する第 1 ビルドアップ材と、前記第 1 パッドと電氣的に接続された第 1 パターンと、第 2 上面、及び前記第 2 上面とは反対側の第 2 下面を有し、前記第 1 半導体チップ上に配置された第 2 ベース基板と、第 2 主面、前記第 2 主面に形成された第 2 パッド、及び前記第 2 主面とは反対側の第 2 裏面を有し、前記第 2 主面が前記第 1 半導体チップの前記第 1 主面と同一方向を向くように、前記第 2 ベース基板上に配置された第 2 半導体チップと、前記第 2 半導体チップを封止する第 2 ビルドアップ材と、前記第 2 パッドと電氣的に接続された第 2 パターンと、前記第 2 半導体チップ上に配置されたレジスト膜と、前記第 1 パターン及び前記第 2 パターンと電氣的に接続された第 3 パターンと、前記第 3 パターンと電氣的に接続され、前記第 1 ベース基板の前記第 1 下面側に配置された複数の外部端子と、を含み、前記第 1 半導体チップは、前記第 1 裏面が前記第 1 ベース基板の前記上面と対向するように、前記第 1 ベース基板上に配置され、前記第 1 ビルドアップ材は、前記第 1 半導体チップの前記第 1 パッドが露出するように、前記第 1 半導体チ

10

20

30

40

50

ップを封止しており、前記第 1 パターンは、前記第 1 ビルドアップ材上に配置され、前記第 2 ベース基板は、前記第 1 パターン上に配置され、前記第 2 半導体チップは、前記第 2 裏面が前記第 2 ベース基板の前記第 2 上面と対向するように、前記第 2 ベース基板上に配置され、前記第 2 ビルドアップ材は、前記第 2 半導体チップの前記第 2 パッドが露出するように、前記第 2 半導体チップを封止しており、前記第 2 パターンは、前記第 2 ビルドアップ材上に配置され、前記レジスト膜は、前記第 2 パターン上に配置され、前記第 2 パターン上には、ビルドアップ材を介してビアランドが配置されており、前記ビアランドは、前記第 3 パターンと電氣的に接続されており、前記ビアランドの一部は、前記レジスト膜から露出されており、前記レジスト膜上には、複数の第 3 パッドを有する第 3 半導体チップが配置され、前記第 1 ビルドアップ材内、前記第 2 ベース基板内及び前記第 2 ビルドアップ材内には、第 4 パターンが形成されており、前記第 3 半導体チップの前記複数の第 3 パッドのうちの一つは、前記ビアランドの前記一部と電氣的に接続され、前記第 3 半導体チップの前記複数の第 3 パッドのうちの一つは、前記第 4 パターンを介して前記複数の外部端子と電氣的に接続されているものである。

10

【発明の効果】

【0019】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0020】

複数のメモリチップが配線基板に内蔵されていることにより、配線基板上でチップ実装のために必要となる面積を低減することができる。これにより、複数の半導体チップを有する半導体装置の小型化を図ることができる。また、複数のメモリチップが配線基板に積層された状態で内蔵されていることにより、配線基板上でチップ実装のために必要となる面積をさらに低減することができる。これにより、複数の半導体チップを有する半導体装置の小型化をさらに図ることができる。また、配線基板には半導体チップを積層しないため、配線基板上に複数のメモリチップを積層するのに比較して半導体装置の薄型化を図ることができる。

20

【0021】

また、配線基板に内蔵された複数のメモリチップは、それぞれの主面が同じ方向を向いて積層されていることにより、等長配線をより容易に形成することができる。その結果、複数のメモリチップを有する半導体装置において、小型化・薄型化を実現しつつ複数のメモリチップの等長配線接続を可能にすることができる。

30

【発明を実施するための最良の形態】

【0022】

以下の実施の形態では特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0023】

さらに、以下の実施の形態では便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

40

【0024】

また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良いものとする。

【0025】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

50

【 0 0 2 6 】

(実施の形態 1)

図 1 は本発明の実施の形態 1 の半導体装置の構造の一例を模式的に示す断面図、図 2 は図 1 に示す半導体装置の外部端子の詳細配列の一例を示す裏面図、図 3 は図 1 に示す半導体装置の詳細構造を示す拡大部分断面図、図 4 は図 1 に示す半導体装置の配線基板に内蔵されるキャパシタの構造の一例を示す平面図、図 5 は図 1 に示す半導体装置の配線基板に内蔵される他のキャパシタの構造の一例を示す平面図である。また、図 6 は図 1 に示す半導体装置の配線基板に内蔵されるインダクタの構造の一例を示す平面図、図 7 は図 1 に示す半導体装置の配線基板の主面のフリップチップ接続用の端子配列の一例を示す平面図、図 8 は図 1 に示す半導体装置の変形例の外部端子の配列を示す裏面図、図 9 ~ 図 1 3 は図 1 に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す部分断面図である。さらに、図 1 4 ~ 図 1 8 は図 1 に示す半導体装置の組み立てにおけるチップ埋め込み方法の一例を示す部分断面図、図 1 9 ~ 図 2 2 は図 1 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図、図 2 3 は本発明の実施の形態 1 の変形例の半導体装置の構造を模式的に示す断面図である。

10

【 0 0 2 7 】

図 1 ~ 図 3 に示す本実施の形態 1 の半導体装置は、複数の半導体チップを有するものであり、基板に複数の半導体チップが内蔵された半導体パッケージである。本実施の形態 1 では、前記半導体装置の一例として、S I P 1 を取り上げて説明する。

【 0 0 2 8 】

S I P 1 の構成について説明すると、主面 5 a 及びこれに対向する裏面 5 b を有する配線基板 5 と、それぞれにメモリ回路を有した複数の第 1 半導体チップであるメモリチップ 2 と、演算処理機能を備えた第 2 半導体チップであるマイコンチップ 3 と、配線基板 5 の裏面 5 b に設けられた複数の外部端子である半田ボール 6 とを有しており、複数（ここでは 2 つ）のメモリチップ 2 は、配線基板 5 に積層された状態で内蔵されている。

20

【 0 0 2 9 】

このように複数のメモリチップ 2 が配線基板 5 に内蔵されていることにより、配線基板 5 上でチップ実装のために必要となる面積を低減することができ、S I P 1 の小型化を図ることができる。

【 0 0 3 0 】

さらに、配線基板 5 上に半導体チップを積層したとしても、複数のメモリチップ 2 を配線基板 5 に内蔵している分、配線基板 5 上に積層する半導体チップの数を低減することが可能であるため、配線基板 5 上に複数のメモリチップを積層する構成に比較して S I P 1 の薄型化を図ることができる。

30

【 0 0 3 1 】

なお、マイコンチップ 3 は、配線基板 5 の主面 5 a 上に、バンプ電極 3 1 を介してフリップチップ接続で実装されている。すなわち、その主面 3 a を配線基板 5 の主面 5 a と対向させた状態でフリップチップ接続されており、このフリップチップ接続部には、図 3 に示すように、例えばアンダーフィル 4 が充填されている。一方、マイコンチップ 3 の裏面 3 b は、上方を向いて露出している。

40

【 0 0 3 2 】

また、S I P 1 の外部端子である複数の半田ボール 6 は、図 2 に示すように、配線基板 5 の裏面 5 b に設けられており、格子状に配置されている。したがって、S I P 1 は、B G A (Ball Grid Array) 型の半導体装置である。

【 0 0 3 3 】

また、配線基板 5 に積層された状態で内蔵された複数のメモリチップ 2 は、例えば、ダブル・データ・レート・シンクロナス D R A M、不揮発性メモリまたはシンクロナス D R A M 等である。

【 0 0 3 4 】

ここで、シンクロナス D R A M (Dynamic Random Access Memory) は、S D R A M とも

50

呼ばれ、外部バスインターフェースが一定周期のクロック信号に同期して動作するようにしたＤＲＡＭである。

【００３５】

また、ダブル・データ・レート・シンクロナスＤＲＡＭ（Double Data Rate SDRAM）は、ＳＤＲＡＭの同期タイミングを強化し、転送レートが２倍となるようにした高速対応のＳＤＲＡＭである。

【００３６】

なお、ＳＩＰ１においては、マイコンチップ３は、システムの外部と、システムの内部に設けられたメモリチップ２との間を仲介してデータの入出力を制御している。すなわち、アドレス、コマンド、クロック等の情報を複数のメモリチップ２との間でやり取りしている。

10

【００３７】

ＳＩＰ１の配線基板５の主面５ａ上には、図３及び図７に示すように、マイコンチップ３とフリップチップ接続するための電極である複数のピアランド２９ａが周縁部に沿って並んで設けられている。さらに、主面５ａの中央付近には、電源／ＧＮＤ用のピアランド２９ｂが設けられている。

【００３８】

一方、配線基板５の裏面５ｂには、外部端子である半田ボール６と接続する複数の電極であるランド５ｃが設けられている。

【００３９】

20

また、配線基板５は、図３に示すように３層構造となっており、第２ベース基板２１を間に介在してその上層と下層にそれぞれ第１半導体チップであるメモリチップ２が埋め込まれている。すなわち、間に第２ベース基板２１を介在させた状態でその上層の樹脂層１７に上側のメモリチップ２が配置され、かつ下層の樹脂層１７に下側のメモリチップ２が配置されており、基板内に２つのメモリチップ２が積層されている。その際、各層間は、配線基板５の厚さ方向に平行に設けられたスルーホール配線２３によって電氣的に接続されている。また、各層において、複数の内部配線５ｄが基板の面方向に沿って設けられている。

【００４０】

なお、第２ベース基板２１と、その上層の樹脂層１７（第１ベース基板１５も含む）と、下層の樹脂層１７（第１ベース基板１５も含む）は、それぞれほぼ同じ厚さに形成されている。言い換えると、第２ベース基板２１に設けられたスルーホール配線２３の長さ、その上層の樹脂層１７に設けられたスルーホール配線２３の長さ、下層の樹脂層１７に設けられたスルーホール配線２３の長さは、それぞれほぼ同じ長さに形成されている。これにより、上層の樹脂層１７に設けられたメモリチップ２から引き回される配線経路と、下層の樹脂層１７に設けられたメモリチップ２から引き回される配線経路が配線基板５の内部で等長化される。そして、２つの配線経路が共通化された後、配線基板５の主面５ａに形成されたマイコンチップ３と電氣的に接続されるため、マイコンチップ３と複数のメモリチップ２との動作タイミングを合わせることが可能である。

30

【００４１】

40

また、本実施の形態１のＳＩＰ１では、メモリチップ２と電氣的に接続された複数の半田ボール６は、マイコンチップ３と電氣的に接続された複数の半田ボール６の内側に配置されている。すなわち、図３に示すように、スルーホール配線２３を介してマイコンチップ３と直接電氣的に接続された半田ボール６は、裏面５ｂの最外周に配列されている。また、スルーホール配線２３を介してメモリチップ２と直接電氣的に接続された半田ボール６は、外側から２列目に配置されている。ただし、前記外側から２列目の一部には、ＮＣ（ノンコネクト）ピンが配置されていてもよい。

【００４２】

また、配線基板５には、必要に応じて、図４～図６に示すようなキャパシタ５ｅ、インダクタ５ｆまたはアンテナ等のチップ部品が内蔵されていてもよい。その際、キャパシタ

50

5 e、インダクタ 5 f あるいはアンテナが、配線基板 5 の配線の一部によって形成されていることにより、基板に内蔵が可能となる。配線基板 5 に内蔵されたチップ部品は、配線基板 5 内に形成された配線やスルーホール配線 2 3 を介して、主に配線基板 5 上に搭載されたマイコンチップ 3 と電氣的に接続されている。

【 0 0 4 3 】

例えば、図 4 に示すキャパシタ 5 e は、2 層の配線を用いたものであり、ガードリング 5 k に接続された上層配線層の上部電極 5 h と、下層配線層の下部電極 5 i とをビア 5 j によって接続したキャパシタ 5 e である。また、図 5 に示す他のキャパシタ 5 g は、くし型電極と印刷誘電体とからなるものであり、レジスト開口 5 q に形成され、かつ第 1 配線 5 m に接続されたくし型電極 5 r と第 2 配線 5 n に接続されたくし型電極 5 r とが高誘電体 5 p 上に形成されたものである。さらに、図 6 は配線によって形成されたスパイラル状のインダクタ 5 f を示すものである。

【 0 0 4 4 】

このようなチップ部品を、図 3 に示すように、1 層もしくは 2 層の配線を用いて形成する。さらに、S I P 1 において、キャパシタ 5 e やインダクタ 5 f 等と電氣的に接続された半田ボール 6 は、配線基板 5 上に配置されたマイコンチップ 3 を介さずにメモリチップ 2 と電氣的に接続された半田ボール列（外側から 2 列目の半田ボール列）より内側に配置されている。すなわち、配線基板 5 において外周部付近には層間を接続するスルーホール配線 2 3 が形成されているため、キャパシタ 5 e、インダクタ 5 f またはアンテナ等のチップ部品はチップ下部に形成され、したがって、これらのチップ部品と接続される半田ボール 6 も配線基板 5 の裏面 5 b の中央付近（チップ下部）に配置される。

【 0 0 4 5 】

例えば、図 2 に示す半田ボール 6 の配列において、最外周の半田ボール列は、スルーホール配線 2 3 を介して直接マイコンチップ 3 に繋がる半田ボール 6 であり、また、外側から 2 列目の半田ボール列は、スルーホール配線 2 3 を介して直接メモリチップ 2 に繋がる半田ボール 6 である。さらに、外側から 3 列目の半田ボール列は、G N D や電源用の端子であり、外側から 4 列目以降の内側（図 2 に示す領域 P）の半田ボール列を、キャパシタ 5 e、インダクタ 5 f またはアンテナ等のチップ部品用の端子として配置する。

【 0 0 4 6 】

また、スルーホール配線 2 3 を介してメモリチップ 2 のみと接続する半田ボール 6 を外側から 2 列目または 3 列目に配置してこれをテスト用端子としてもよい。

【 0 0 4 7 】

このように、半田ボール 6 の配列を、最外周と 2 列目以降の内側とで、マイコンチップ 3 に繋がる半田ボール 6 と、メモリチップ 2 に繋がる半田ボール 6 とを切り分けておくことにより、マイコンチップ 3 搭載前に内蔵の積層メモリチップ 2 のみのテスト（動作確認）を行うことができ、メモリチップ 2 のみの段階で不良品を除外することができる。また、テスト時も、それぞれの半田ボール 6 が纏まって配置されているため、テストも容易に行うことができる。

【 0 0 4 8 】

また、メモリチップ 2 のみの段階で不良品を除外できるため、後から良品に対してマイコンチップ 3 を選択・搭載することができる。さらに、K G D（Known Good Die）の使用が可能になる。

【 0 0 4 9 】

また、本実施の形態 1 の S I P 1 では、図 1 に示すように、複数のメモリチップ 2 は、それぞれの主面 2 a が同じ方向を向いて積層され、かつ配線基板 5 に内蔵されている。すなわち、積層されたメモリチップ 2 それぞれの主面 2 a が上方を向いている。

【 0 0 5 0 】

さらに、図 3 に示すように、第 2 ベース基板 2 1 の上層側の樹脂層 1 7（第 1 ベース基板 1 5 も含む）の厚さと、第 2 ベース基板 2 1 の厚さとを等しくすることにより、樹脂層 1 7 に形成されたスルーホール配線 2 3 と、第 2 ベース基板 2 1 に形成されたスルーホー

10

20

30

40

50

ル配線 2 3 とを等しい長さ、すなわち等長化することができる。

【 0 0 5 1 】

例えば、図 3 に示す構造では、それぞれのメモリチップ 2 のパッド 2 c から Q 点までの配線の距離が、同じになる。

【 0 0 5 2 】

したがって、それぞれのメモリチップ 2 のパッド 2 c からマイコンチップ 3 までの配線の距離も同じになり、マイコンチップ 3 - メモリチップ 2 間の配線の等長化を図ることができる。

【 0 0 5 3 】

さらに、複数のメモリチップ 2 とそれぞれのメモリチップ 2 に対応する半田ボール 6 とを接続するそれぞれの配線を等長化することができる。

10

【 0 0 5 4 】

これにより、メモリチップ 2 が高速対応の S D R A M であるダブル・データ・レート・シンクロナス D R A M の場合であっても、動作のタイミングを合わせることが可能になり、S I P 1 の性能を十分に発揮することができる。

【 0 0 5 5 】

また、配線基板 5 上にマイコンチップ 3 と複数のメモリチップ 2 を搭載していた場合は、メモリチップ 2 の数だけマイコンチップ 3 と電気的に接続するための配線が必要であったため、クロストークノイズの発生を考慮して、配線基板 5 を小型化することが困難であった。これに対し、本実施の形態 1 では、複数のメモリチップ 2 から引き回される配線が、配線基板 5 の内部で（共通の端子から引き回される配線のみ）共通化され、配線基板 5 の主面 5 a 上にスルーホール配線 2 3 を介して引き回されるため、マイコンチップ 3 と電気的に接続するための配線の数が増減できる。これにより、配線の混在を緩和することができるため、配線基板 5 を小型化が可能となる。

20

【 0 0 5 6 】

なお、図 8 は、変形例の外部端子の配列を示すものであり、例えば、配線基板内に、配線によって形成されるインダクタ 5 f 等のチップ部品が形成されていない場合には、配線基板 5 の裏面 5 b の中央付近のチップ部品用の外部端子は設けられていなくてもよく、その場合の外部端子の配列は、2 列であっても、また 3 列であってもよい。

【 0 0 5 7 】

30

本実施の形態 1 の S I P 1 によれば、複数のメモリチップ 2 が配線基板 5 に内蔵されていることにより、配線基板 5 上でチップ実装のために必要となる面積を低減することができる。その結果、複数の半導体チップを有する S I P 1 の小型化を図ることができる。

【 0 0 5 8 】

また、複数のメモリチップ 2 が配線基板 5 に積層された状態で内蔵されていることにより、配線基板 5 上でチップ実装のために必要となる面積をさらに低減することができる。これにより、S I P 1 の小型化をさらに図ることができる。

【 0 0 5 9 】

また、配線基板 5 上には半導体チップを積層しないため、配線基板上に複数の半導体チップを積層する半導体装置に比較して S I P 1 の薄型化を図ることができる。

40

【 0 0 6 0 】

また、配線基板 5 に内蔵された複数のメモリチップ 2 は、それぞれの主面 2 a が同じ方向を向いて積層されていることにより、それぞれのメモリチップ 2 から同じパターンで配線を引き出すことができ、さらに、第 2 ベース基板 2 1 と樹脂層 1 7（第 1 ベース基板 1 5 を含む）とを同じ厚さにすることにより、等長配線を容易に形成することができる。

【 0 0 6 1 】

その結果、複数のメモリチップ 2 を有する S I P 1 において、小型化・薄型化を実現しつつ複数のメモリチップ 2 の等長配線接続を可能にすることができる。

【 0 0 6 2 】

次に、本実施の形態 1 の S I P 1 の組み立てについて説明する。

50

【 0 0 6 3 】

まず、図 9 に示すように、S i ベース 7 上にデバイス層 8 が形成され、さらにデバイス層 8 上にパッド 2 c と第 1 パッシベーション膜 1 0 が形成され、かつ第 1 パッシベーション膜 1 0 上に第 2 パッシベーション膜 1 1 が形成されたデバイスにおいて、プローブ検査とヒューズ 9 の切断を行って良品のデバイスを取得する。

【 0 0 6 4 】

その後、図 1 0 に示すように、パッド 2 c 及び第 2 パッシベーション膜 1 1 上に電極層であるシード層 1 2 を形成する。

【 0 0 6 5 】

その後、図 1 1 に示すように、シード層 1 2 上にレジスト膜 1 3 を形成し、その後、パッド 2 c 上のレジスト膜 1 3 を所定形状で除去した後、パッド 2 c 上のシード層 1 2 上に C u 電極 1 4 を形成する。

【 0 0 6 6 】

その後、図 1 2 に示すように、C u 電極 1 4 の周囲のレジスト膜 1 3 及びシード層 1 2 を除去し、パッド 2 c 上の C u 電極 1 4 を完成させる。なお、C u 電極 1 4 の形成についてはスパッタ法等の他の方法で形成してもよい。

【 0 0 6 7 】

その後、図 1 3 に示すように、S i ベース裏面を研磨して薄膜化デバイス 3 3 を形成する。

【 0 0 6 8 】

その後、図 1 4 (a) に示すように、多連の第 1 ベース基板 1 5 を準備する。第 1 ベース基板 1 5 上には、キャパシタ 5 e やインダクタ 5 f やアンテナや電源層や G N D 層等が第 1 パターン 1 6 (配線) によって形成されていてもよい。

【 0 0 6 9 】

その後、図 1 4 (b) に示すように、第 1 ベース基板 1 5 上に樹脂層 1 7 と、凹部であるキャビティ 1 7 a を形成する。

【 0 0 7 0 】

その後、図 1 3 で形成した薄膜化デバイス 3 3 をダイシングによって個片化してメモリチップ 2 とし、図 1 5 に示すように、メモリチップ 2 を第 1 ベース基板 1 5 上に形成したキャビティ 1 7 a 内に配置し、ダイボンド材 1 8 で固着する。

【 0 0 7 1 】

その後、キャビティ 1 7 a 内において、図 1 6 に示すようにメモリチップ 2 上にエポキシ樹脂等からなるビルドアップ材 1 9 を充填し、その後、メモリチップ 2 のパッド 2 c 上の C u 電極 1 4 の上部を開口する。

【 0 0 7 2 】

その後、図 1 7 に示すように、レーザ加工等によって樹脂層 1 7 の所定箇所にスルーホール 2 2 を形成する。

【 0 0 7 3 】

その後、図 1 8 に示すように、めっきによってスルーホール 2 2 内にスルーホール配線 2 3 を形成するとともに、C u 電極 1 4 に接続する配線パターンである第 2 パターン 2 0 を形成する。

【 0 0 7 4 】

その後、図 1 9 に示すように、第 2 ベース基板 2 1 を準備する。ここで、第 2 ベース基板 2 1 は、樹脂層 1 7 (第 1 ベース基板 1 5 を含む) とほぼ同じ厚さであり、第 2 ベース基板 2 1 の所定箇所にスルーホール配線 2 3 と、このスルーホール配線 2 3 に接続されるビアパッド 2 4 及び配線パターン 2 5 を形成する。

【 0 0 7 5 】

その後、図 2 0 に示すように、第 2 ベース基板 2 1 の表裏両面に、それぞれメモリチップ 2 が埋め込まれた樹脂層 1 7 (第 1 ベース基板 1 5 を含む) を配置し、加熱プレス等によって第 2 ベース基板 2 1 と表裏両面の樹脂層 1 7 とをそれぞれ接着する。その際、第 2

10

20

30

40

50

ベース基板 2 1 の表裏両面のメモリチップ 2 の主面 2 a が同じ方向を向くように樹脂層 1 7 と第 2 ベース基板 2 1 とを接着する。

【 0 0 7 6 】

これにより、第 2 ベース基板 2 1 を間に介在させた状態でメモリチップ 2 が積層されるとともに、上下のメモリチップ 2 の等長配線を行うことができる。

【 0 0 7 7 】

その後、図 2 1 に示すように、ビルドアップ材 2 6 , 2 8 によって絶縁層及びパターン層を形成して、フリップチップ接続用のビアランド 2 7 , 2 9 a , 2 9 b と、半田ボール 6 接続用のランド 5 c を形成する。

【 0 0 7 8 】

その後、図 2 2 に示すように、レジスト膜 3 0 を形成した後、マイコンチップ 3 をフリップチップ接続し、さらに半田ボール 6 の接続、マイコンチップ 3 の下部へのアンダーフィル 4 の充填等を行って S I P 1 の組み立て完了となる。

【 0 0 7 9 】

次に、図 2 3 は、変形例の S I P 1 を示すものであり、内蔵されたメモリチップ 2 の裏面 2 b に G N D 層または電源層等のプレーン層 3 2 (放熱板) が形成されているものである。メモリチップ 2 の裏面 2 b に G N D 層または電源層等のプレーン層 3 2 が形成されていることにより、S I P 1 の放熱性の向上を図ることができる。

【 0 0 8 0 】

なお、G N D 層や電源層等のプレーン層 3 2 の形成については、図 1 4 (a) に示す第 1 ベース基板 1 5 の表面に予め形成しておくことが好ましい。

【 0 0 8 1 】

(実施の形態 2)

図 2 4 は本発明の実施の形態 2 の半導体装置の構造の一例を模式的に示す断面図、図 2 5 ~ 図 3 1 は図 2 4 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図、図 3 2 は本発明の実施の形態 2 の変形例の半導体装置の構造を模式的に示す断面図である。

【 0 0 8 2 】

図 2 4 に示す本実施の形態 2 の半導体装置は、実施の形態 1 の S I P 1 と同様に、複数 (ここでは 2 つ) のメモリチップ 2 が配線基板 5 に内蔵され、かつ積層された S I P 3 4 であり、配線基板 5 上にはマイコンチップ 3 がフリップチップ接続によって搭載されている。

【 0 0 8 3 】

なお、S I P 3 4 では、内蔵されたメモリチップ 2 それぞれの裏面 2 b が向かい合って積層されている。

【 0 0 8 4 】

したがって、図 3 2 の変形例に示すように、2 つのメモリチップ 2 の間に G N D 層または電源層等のプレーン層 3 2 (放熱板) を配置することも可能であり、このようにプレーン層 3 2 を配置することにより、S I P 3 4 の放熱性を向上できる。

【 0 0 8 5 】

ここで、プレーン層 3 2 が設けられた S I P 3 4 の例を取り上げてその組み立て方法を説明する。

【 0 0 8 6 】

まず、図 2 5 に示すように、内部に前記プレーン層 3 2 に相当する第 1 パターン 1 6 が埋め込まれた第 1 ベース基板 1 5 を準備する。

【 0 0 8 7 】

その後、図 2 6 に示すように、第 1 ベース基板 1 5 の表裏両面に樹脂層 1 7 及びキャビティ 1 7 a を形成する。

【 0 0 8 8 】

その後、図 2 7 に示すように、表裏両面のキャビティ 1 7 a にそれぞれメモリチップ 2

10

20

30

40

50

をダイボンド材 1 8 を介して固着する。その際、それぞれのメモリチップ 2 の裏面 2 b を第 1 ベース基板 1 5 に固着することにより、メモリチップ 2 それぞれの裏面 2 b を向かい合わせて積層することができる。

【 0 0 8 9 】

その後、表裏両面のキャビティ 1 7 a 内で、図 2 8 に示すようにそれぞれメモリチップ 2 上にビルドアップ材 1 9 を充填して絶縁層を形成、その後、パッド 2 c 上の C u 電極 1 4 の上方を開口する。

【 0 0 9 0 】

その後、図 2 9 に示すように、樹脂層 1 7 の所定箇所にスルーホール 2 2 を形成し、その後、図 3 0 に示すように、めっきによってスルーホール 2 2 内にスルーホール配線 2 3 を形成するとともに、表裏両面の C u 電極 1 4 に対してこれに接続する配線パターンである第 2 パターン 2 0 を形成する。

10

【 0 0 9 1 】

その後、図 3 1 に示すように、ビルドアップ材 2 6 , 2 8 によって絶縁層及びパターン層を形成して、フリップチップ接続用のビアランド 2 7 , 2 9 a , 2 9 b と、半田ボール 6 接続用のランド 5 c を形成する。その後、レジスト膜 3 0 を形成した後、マイコンチップ 3 をフリップチップ接続し、さらに半田ボール 6 の接続、マイコンチップ 3 の下部へのアンダーフィル 4 の充填等を行って S I P 3 4 の組み立て完了となる。

【 0 0 9 2 】

S I P 3 4 では、上層の樹脂層 1 7 のメモリチップ 2 のパッド 2 c に繋がるスルーホール配線 2 3 と、下層の樹脂層 1 7 のメモリチップ 2 のパッド 2 c に繋がるスルーホール配線 2 3 とが、図 3 1 に示す R 部で接続されており、両方のスルーホール配線 2 3 の長さが等しいことにより、等長配線を実現している。

20

【 0 0 9 3 】

本実施の形態 2 の S I P 3 4 では、積層される 2 つのメモリチップ 2 間に、実施の形態 1 の S I P 1 に示すような第 2 ベース基板 2 1 が介在されないため、S I P 3 4 をさらに薄く形成することができる。

【 0 0 9 4 】

また、S I P 3 4 の組み立てにおいて、第 2 ベース基板 2 1 を用いないため工程数を削減することができ、その結果、S I P 3 4 の組み立てを容易にすることができる。

30

【 0 0 9 5 】

本実施の形態 2 の S I P 3 4 のその他の構成と、S I P 3 4 によって得られるその他の効果については、前記実施の形態 1 の S I P 1 と同様であるため、その重複説明は省略する。

【 0 0 9 6 】

(実施の形態 3)

図 3 3 は本発明の実施の形態 3 の半導体装置の構造の一例を示す拡大部分断面図である。

【 0 0 9 7 】

本実施の形態 3 の S I P 3 5 は、配線基板 5 の内部で複数（ここでは 2 つ）のメモリチップ 2 が積層されたものであり、メモリチップ 2 それぞれは、主面 2 a と裏面 2 b に開口する貫通孔 2 d を有するとともに、貫通孔 2 d に導体 2 e が埋め込まれているものである。

40

【 0 0 9 8 】

S I P 3 5 のメモリチップ 2 は、その裏面 2 b 側が研磨（バックグラインディング）されて形成された厚さ 3 0 ~ 4 0 μ m 程度の薄型のものである。

【 0 0 9 9 】

したがって、2 つのメモリチップ 2 を同じ方向に向けて積層して接続しただけであるが、これにより、上層のメモリチップ 2 のパッド 2 c と、下層のメモリチップ 2 のパッド 2 c とを導体 2 f を介して電氣的に接続することができ、等長配線を行うことが可能になる

50

。

【0100】

また、複数のメモリチップ2が内蔵され、かつ積層されていることにより、SIP35の小型化・薄型化を図ることができる。

【0101】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0102】

例えば、前記実施の形態1～3では、半導体装置の配線基板5内に2つのメモリチップ2が積層されている場合を説明したが、メモリチップ2の積層数は、2つ以上であれば何層であってもよい。

【0103】

また、配線基板5に内蔵される複数のメモリチップ2は、必ずしも積層されていなくてもよく、複数のメモリチップ2が平置きで内蔵されていてもよい。

【0104】

また、マイコンチップ3は、必ずしも配線基板5上に搭載されていなくてもよく、複数のメモリチップ2といっしょに配線基板5に内蔵されていてもよい。

【0105】

また、システムの高速化に伴い、マイコンチップ3における発熱量が大きくなるため、マイコンチップ3の裏面には放熱板、放熱フィン、またはファンを搭載してもよい。これにより、半導体装置の放熱性を向上することが可能である。

【0106】

また、マイコンチップ3は、フリップチップ接続で実装されていなくてもよく、マイコンチップ3の裏面3bを配線基板5の主面5aと対向させた状態で実装し、ボンディングワイヤを介して配線基板5上の電極と電氣的に接続してもよい。

【産業上の利用可能性】

【0107】

本発明は、複数の半導体チップを有する半導体装置に好適である。

【図面の簡単な説明】

【0108】

【図1】本発明の実施の形態1の半導体装置の構造の一例を模式的に示す断面図である。

【図2】図1に示す半導体装置の外部端子の詳細配列の一例を示す裏面図である。

【図3】図1に示す半導体装置の詳細構造を示す拡大部分断面図である。

【図4】図1に示す半導体装置の配線基板に内蔵されるキャパシタの構造の一例を示す平面図である。

【図5】図1に示す半導体装置の配線基板に内蔵される他のキャパシタの構造の一例を示す平面図である。

【図6】図1に示す半導体装置の配線基板に内蔵されるインダクタの構造の一例を示す平面図である。

【図7】図1に示す半導体装置の配線基板の主面のフリップチップ接続用の端子配列の一例を示す平面図である。

【図8】図1に示す半導体装置の変形例の外部端子の配列を示す裏面図である。

【図9】図1に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す部分断面図である。

【図10】図1に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す部分断面図である。

【図11】図1に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す部分断面図である。

【図12】図1に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す

10

20

30

40

50

部分断面図である。

【図 1 3】図 1 に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す部分断面図である。

【図 1 4】(a), (b) は図 1 に示す半導体装置の組み立てにおけるチップ埋め込み方法の一例を示す部分断面図である。

【図 1 5】図 1 に示す半導体装置の組み立てにおけるチップ埋め込み方法の一例を示す部分断面図である。

【図 1 6】図 1 に示す半導体装置の組み立てにおけるチップ埋め込み方法の一例を示す部分断面図である。

【図 1 7】図 1 に示す半導体装置の組み立てにおけるチップ埋め込み方法の一例を示す部分断面図である。

10

【図 1 8】図 1 に示す半導体装置の組み立てにおけるチップ埋め込み方法の一例を示す部分断面図である。

【図 1 9】図 1 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図である。

【図 2 0】図 1 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図である。

【図 2 1】図 1 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図である。

【図 2 2】図 1 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図である。

20

【図 2 3】本発明の実施の形態 1 の変形例の半導体装置の構造を模式的に示す断面図である。

【図 2 4】本発明の実施の形態 2 の半導体装置の構造の一例を模式的に示す断面図である。

【図 2 5】図 2 4 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図である。

【図 2 6】図 2 4 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図である。

【図 2 7】図 2 4 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図である。

30

【図 2 8】図 2 4 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図である。

【図 2 9】図 2 4 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図である。

【図 3 0】図 2 4 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図である。

【図 3 1】図 2 4 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図である。

【図 3 2】本発明の実施の形態 2 の変形例の半導体装置の構造を模式的に示す断面図である。

40

【図 3 3】本発明の実施の形態 3 の半導体装置の構造の一例を示す拡大部分断面図である。

【符号の説明】

【 0 1 0 9 】

1 S I P (半導体装置)

2 メモリチップ (第 1 半導体チップ)

2 a 主面

2 b 裏面

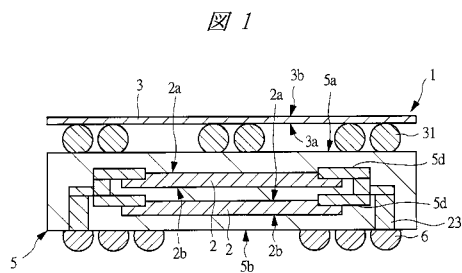
2 c パッド

50

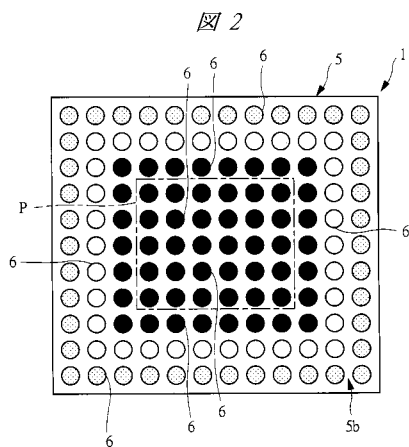
2 d	貫通孔	
2 e , 2 f	導体	
3	マイコンチップ (第 2 半導体チップ)	
3 a	主面	
3 b	裏面	
4	アンダーフィル	
5	配線基板	
5 a	主面	
5 b	裏面	
5 c	ランド	10
5 d	内部配線	
5 e	キャパシタ	
5 f	インダクタ	
5 g	他のキャパシタ	
5 h	上部電極	
5 i	下部電極	
5 j	ビア	
5 k	ガードリング	
5 m	第 1 配線	
5 n	第 2 配線	20
5 p	高誘電体	
5 q	レジスト開口	
5 r	くし型電極	
6	半田ボール (外部端子)	
7	S i ベース	
8	デバイス層	
9	ヒューズ	
1 0	第 1 パッシベーション膜	
1 1	第 2 パッシベーション膜	
1 2	シード層	30
1 3	レジスト膜	
1 4	C u 電極	
1 5	第 1 ベース基板	
1 6	第 1 パターン	
1 7	樹脂層	
1 7 a	キャビティ	
1 8	ダイボンド材	
1 9	ビルドアップ材	
2 0	第 2 パターン	
2 1	第 2 ベース基板	40
2 2	スルーホール	
2 3	スルーホール配線	
2 4	ビアパッド	
2 5	配線パターン	
2 6 , 2 8	ビルドアップ材	
2 7 , 2 9 a , 2 9 b	ビアランド	
3 0	レジスト膜	
3 1	バンプ電極	
3 2	プレーン層	
3 3	薄膜化デバイス	50

3 4 , 3 5 S I P (半 導 体 装 置)

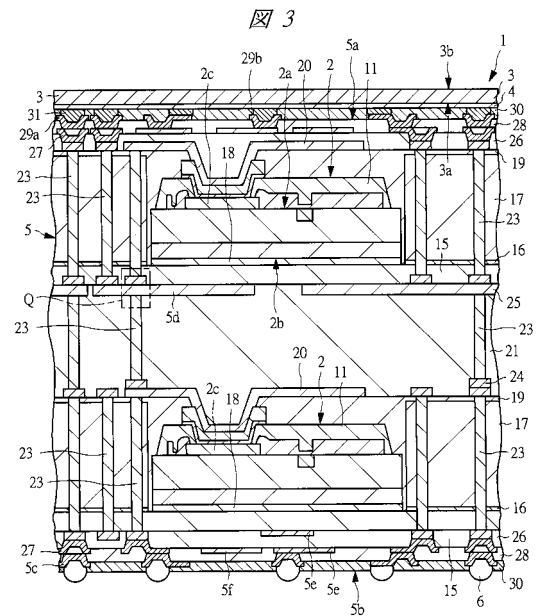
【 図 1 】



【圖 2】

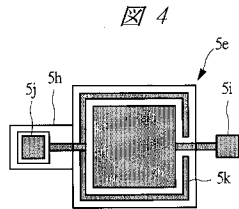


【 図 3 】

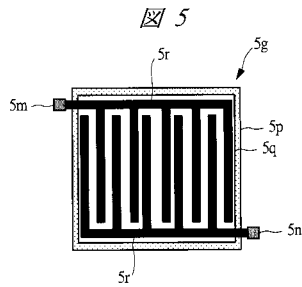


- | | |
|-----------------------|----------------|
| 1: SIP(半導体装置) | 5: 配線基板 |
| 2: メモリチップ(第1半導体チップ) | 5a: 主面 |
| 2a: 主面 | 5b: 裏面 |
| 2b: 裏面 | 5e: キャパシタ |
| 3: マイクコンチップ(第2半導体チップ) | 5f: インダクタ |
| | 6: 半田ボール(外部端子) |

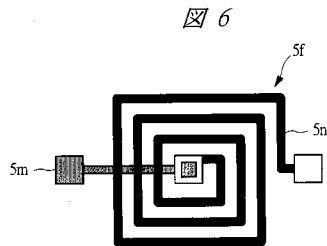
【図 4】



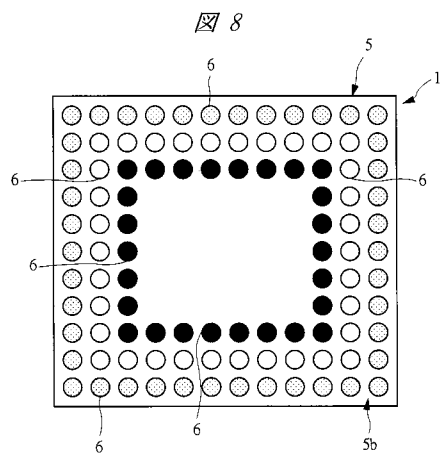
【図 5】



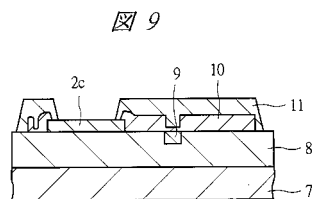
【図 6】



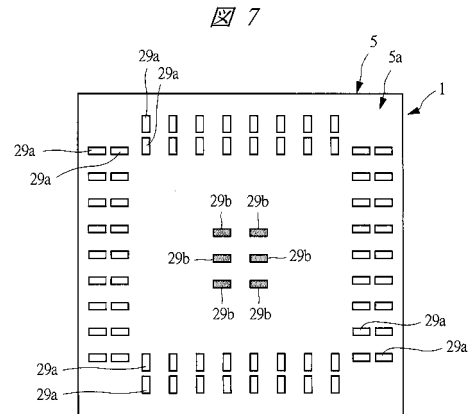
【図 8】



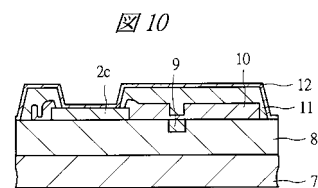
【図 9】



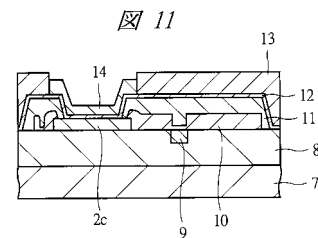
【図 7】



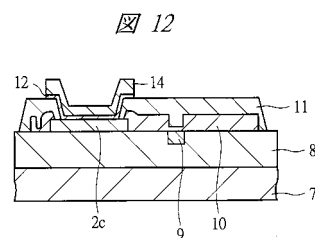
【図 10】



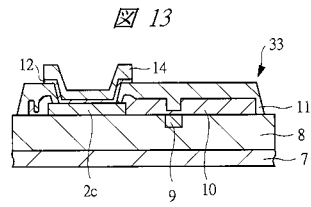
【図 11】



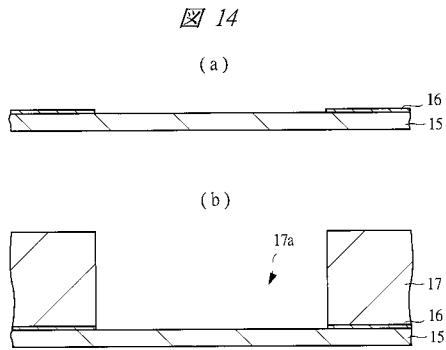
【図 12】



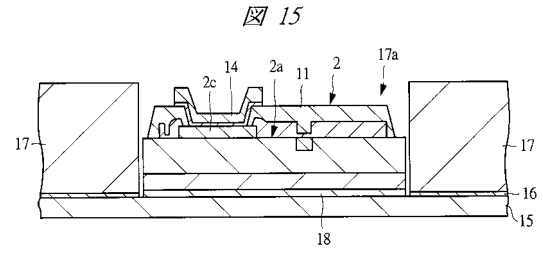
【図 13】



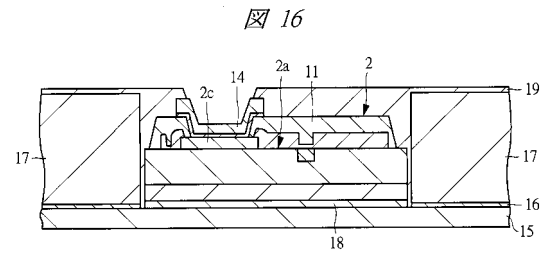
【図 14】



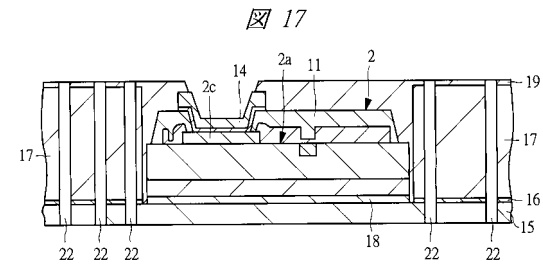
【図 15】



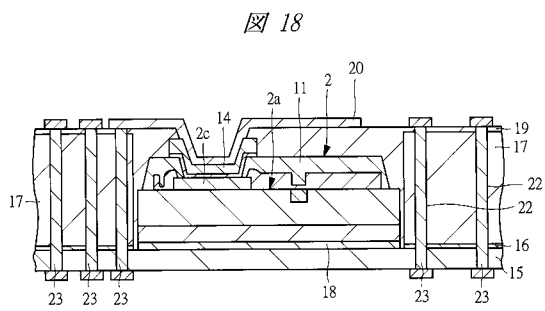
【図 16】



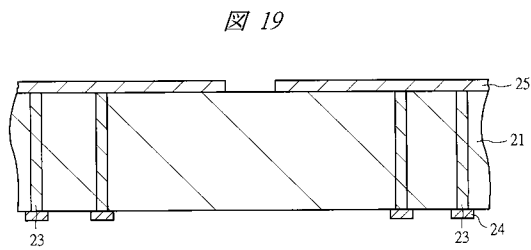
【図 17】



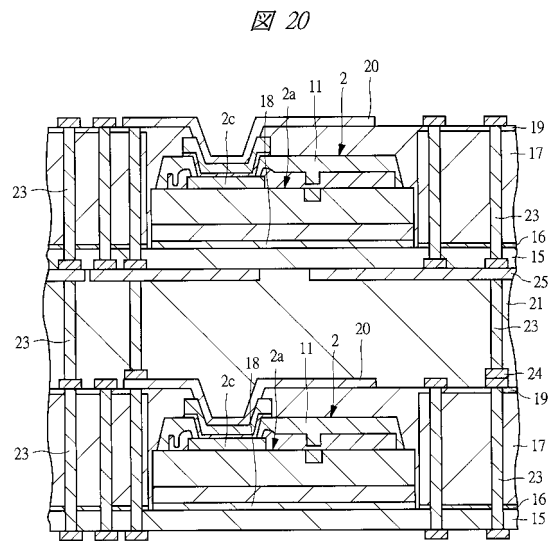
【図 18】



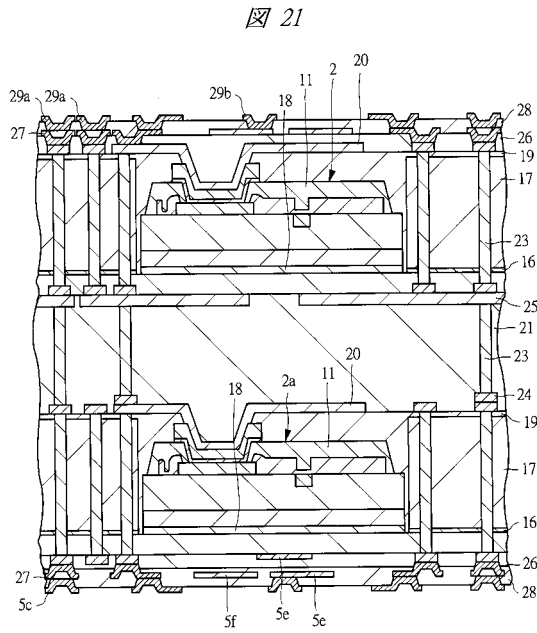
【図 19】



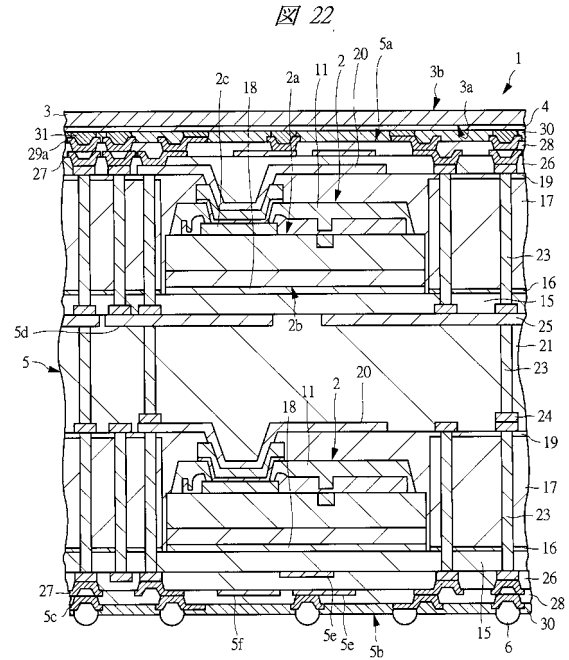
【図 20】



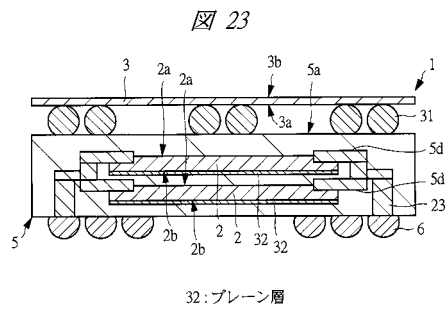
【図 2 1】



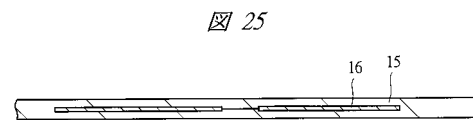
【図 2 2】



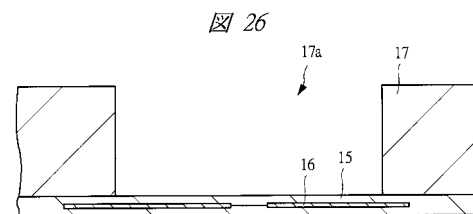
【図 2 3】



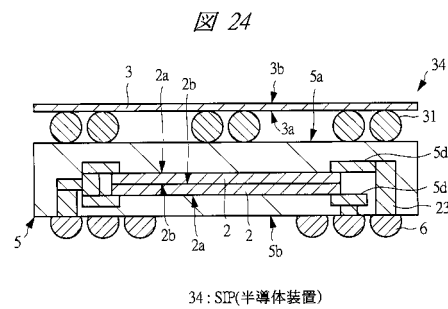
【図 2 5】



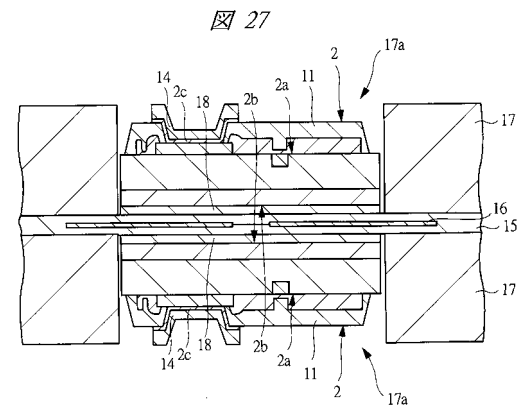
【図 2 6】



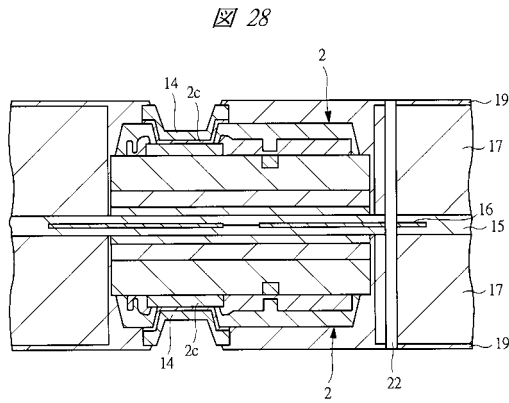
【図 2 4】



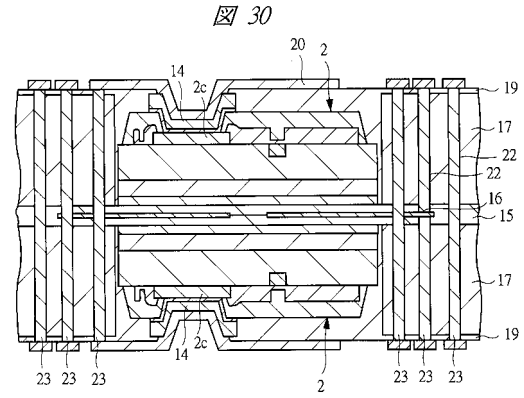
【図 2 7】



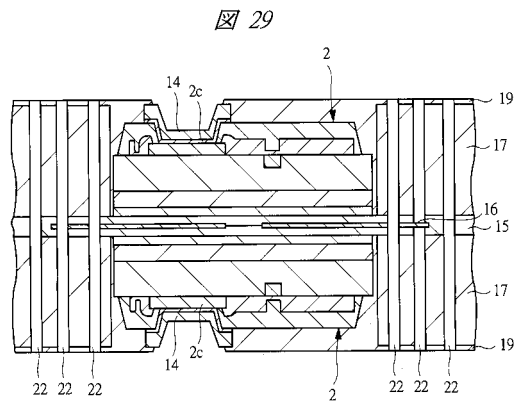
【図 28】



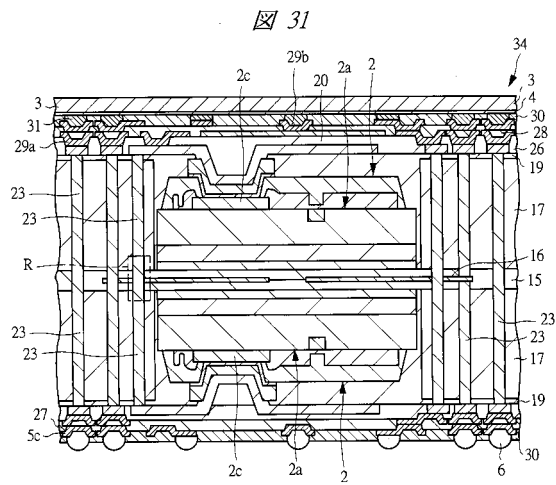
【図 30】



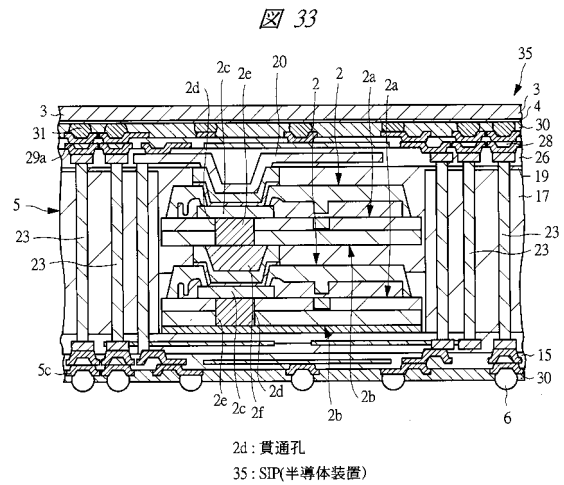
【図 29】



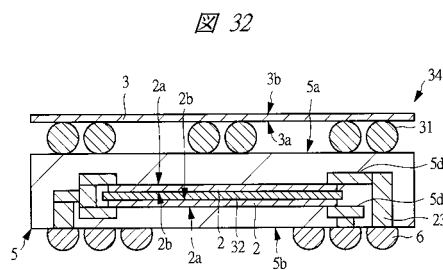
【図 31】



【図 33】



【図 32】



フロントページの続き

(56)参考文献 特開2005-019938(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00-18