

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年10月11日(11.10.2012)



(10) 国際公開番号
WO 2012/137386 A1

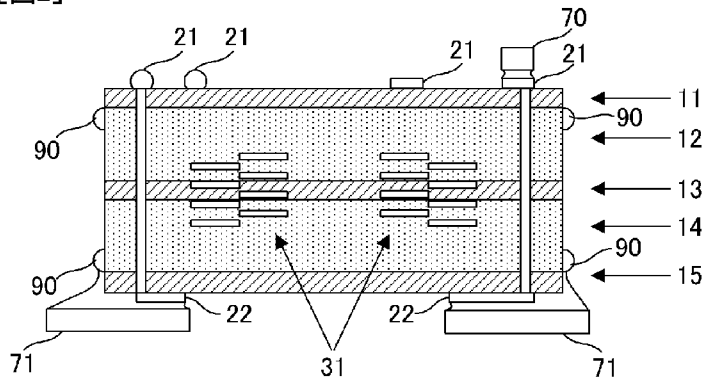
- (51) 国際特許分類:
H01F 17/00 (2006.01) H01F 41/04 (2006.01)
H01F 27/00 (2006.01)
- (21) 国際出願番号: PCT/JP2011/076986
- (22) 国際出願日: 2011年11月24日(24.11.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-084212 2011年4月6日(06.04.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社村田製作所(Murata Manufacturing Co., Ltd.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 佐藤貴子(SATO Takako) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社 村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所(Kaede Patent Attorneys' Office); 〒5400011 大阪府大阪市中央区農人橋1丁目4番34号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: LAMINATED-TYPE INDUCTOR ELEMENT AND METHOD OF MANUFACTURING THEREOF

(54) 発明の名称: 積層型インダクタ素子およびその製造方法

[図2]



(57) Abstract: A laminated-type inductor element reduces the possibility of metal constituents diffusing from a magnetic ferrite layer (14) coming in electrical contact with land electrodes at the mounting substrate side, by making the thickness of a lower-face side nonmagnetic ferrite layer (15) thicker than an upper-face side nonmagnetic ferrite layer (11), while lowering the height of the element as a whole by making the thickness of the upper-face side nonmagnetic ferrite layer (11) thinner. The laminated type inductor element is also configured such that warping of the element as a whole is inhibited, by making the structure of the laminated type inductor element such that inductors (31) are arranged to be offset towards the lower-face side with respect to a nonmagnetic ferrite layer (13).

(57) 要約: 積層型インダクタ素子は、上面側の非磁性体フェライト層(11)の厚みを薄くして素子全体としての低背化を実現しつつ、下面側の非磁性体フェライト層(15)の厚みを非磁性体フェライト層(11)よりも厚くして磁性体フェライト層(14)から拡散する金属成分が実装基板側のランド電極と電氣的に接触する可能性を低くし、なおかつ、インダクタ(31)が非磁性体フェライト層(13)を挟んで下面側に偏って配置されるような構造とすることで、素子全体としての反りを抑える構成としている。



WO 2012/137386 A1

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：積層型インダクタ素子およびその製造方法

技術分野

[0001] この発明は、磁性体を含む複数の基板にコイルパターンが形成され、当該複数の基板が積層されてなる積層型インダクタ素子およびその製造方法に関するものである。

背景技術

[0002] 従来、複数の基板を積層した積層型素子が知られている。積層型素子では、各層の熱収縮率の違いにより、焼成によって素子全体に反りが生じるという課題点がある。

[0003] そこで、例えば特許文献1では、種類の異なる材料を交互に積層することにより平坦性を向上させた積層型素子が記載されている。

[0004] また、特許文献2では、実装面側の最外層に非常に薄い低誘電体層（ガラス）を配置することで反りを抑えることが記載されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2004-235374号公報

特許文献2：特開2009-152489号公報

発明の概要

発明が解決しようとする課題

[0006] しかし、磁性体にコイルパターンを形成して積層する積層型インダクタ素子においては、種類の異なる材料（例えば磁性体層と非磁性体層）を交互に積層することができない。また、最外層に磁性体層とは異なる材料からなる薄い層を配置すると、積層型インダクタ素子の端面において、コイルパターンを形成している金属成分が、磁性体に拡散し、実装基板との間で意図しない短絡が発生するおそれがあった。

[0007] そこで、この発明は、基板の平坦性を向上しつつも、磁性体からの拡散金

属成分と実装基板との接触を防止し、意図しない短絡を防止する積層型インダクタ素子およびその製造方法を提供することを目的とする。

課題を解決するための手段

- [0008] 本発明の積層型インダクタ素子は、複数の磁性体基板が積層されてなる磁性体層と、複数の非磁性体基板が積層されてなる非磁性体層と、積層される基板間に設けられたコイルを、積層方向に接続したインダクタと、を備えている。そして、非磁性体層は、素子本体の最外層および中間層に配置され、最外層の非磁性体層は、一方の面側の厚さと、他方の面側の厚さとが異なり、インダクタは、積層方向において、中間層に設けられた非磁性体層を挟んで、いずれかの面側に偏って配置されていることを特徴とする。
- [0009] このように、素子本体（積層体）の最外層の非磁性体層のうち、いずれか一方の面側の厚さが薄くなっていることで素子全体としての低背化を実現しつつ、他方の面側の厚さが厚くなっていることで、磁性体に拡散する金属成分が実装基板との間で、意図しない電気的接触を起こす可能性を低くし、短絡を防止することができる。また、インダクタは、中間層である非磁性体層を挟んでいずれかの面側に偏って配置されているため、熱収縮率の違いにより発生する反りを防止することができる。例えば、非磁性体層の熱収縮率が磁性体層の熱収縮率より低い場合において、非磁性体層の厚さが厚くなっている面側に、熱収縮率のより低いインダクタが偏って配置されていると、素子全体としての反りを抑えることができる。
- [0010] また、本発明において、一方の面側に電子部品モジュールとしての電子部品が実装され、他方の面側に電子機器の実装基板側のランド電極等と接続するための端子電極が設けられる場合、一方の面側の非磁性体層の厚さが他方の面側の非磁性体層の厚さよりも薄いことが好ましい。
- [0011] 積層型インダクタ素子にICやコンデンサ等の電子部品を実装し、電子部品モジュールとする場合、これらICやコンデンサの実装を考慮して積層型インダクタ素子の上面に電極を配置するため、ICやコンデンサの電極が素子正面の電極をより大きくなることはなく、素子上面からはみ出すことはな

い。しかし、積層型インダクタ素子が電子部品モジュールとして出荷された後、電子機器の製品製造工程において、電子部品モジュールが実装される実装基板側のランド電極には様々な大きさのものが存在するため、電子部品モジュールの端子電極の大きさよりも、実装基板側のランド電極が大きくなる場合がある。この場合、実装基板側のランド電極に塗布されたはんだが濡れ上がり、積層型インダクタ素子の側面側に拡散した金属成分と実装基板側のランド電極とが電氣的に接続され、意図しない短絡が発生する可能性がある。そこで、電子機器の実装基板と接続される端子電極が設けられる面側の厚みを厚くし、できるだけ拡散した金属成分と実装基板側のランド電極とが接触しないようにすることが好ましい。

[0012] なお、上記発明において、インダクタが積層方向において中間層に設けられた非磁性体層を挟んでいずれかの面側に偏って配置されるためには、例えば、インダクタが前記積層方向において、前記中間層に設けられた非磁性体層を挟んで、前記他方の面側に偏って配置されている態様が考えられる。また、中間層に設けられた非磁性体層が前記積層方向において、いずれかの面側に偏って配置されている態様も可能である。また、インダクタが前記積層方向において、前記中間層に設けられた非磁性体層を挟んで、前記他方の面側に偏って配置され、かつ中間層に設けられた非磁性体層が前記積層方向において、いずれかの面側に偏って配置されている態様も可能である。

[0013] また、上記発明において、最外層の非磁性体層のうち厚い側の非磁性体層の厚さは、ブレイク用溝の深さよりも厚いことが好ましい。ブレイク用溝の深さよりも非磁性体層の厚さが厚ければ、ブレイク前には磁性体層は表面に露出することがなく、焼成によって拡散した金属成分も表面に露出しない。

[0014] また、ブレイク用溝が、互いに直交する2方向に沿って設けられ、かつ、これら2方向で深さが異なる場合、厚い側の非磁性体層の厚さが、前記ブレイク用溝のうち、浅い方の溝の深さよりも厚くすればよい。

[0015] 通常、めっき時には、ブレイク前のマザー積層体のある一定の方向に揺動させる。この揺動する方向と同じ方向に設けられた溝には、めっき液の滞留

がないため、拡散した金属成分がめっき成長することがない。しかし、揺動する方向に直交する方向には、めっき液が滞留しやすいため、拡散した金属成分がめっき成長しやすい。そのため、非磁性体層の厚みは、揺動する方向に直交する方向の溝よりも厚ければよい。ここで、揺動する方向と同じ方向に設けられた溝を深く、直交する方向に設けられた溝を浅くすれば、非磁性体層の厚みをできるだけ薄くすることが可能となる。

[0016] なお、本発明の積層型インダクタ素子は、磁性体層として、鉄、ニッケル、亜鉛、および銅を含むフェライトを用い、非磁性体層は、鉄、亜鉛、および銅を含むフェライトを用い、インダクタは、銀材料を用いる例を示している。この場合、磁性体層の熱収縮率が非磁性体層の熱収縮率より高く、かつインダクタが最も低い熱収縮率となっているため、インダクタが非磁性体層を挟んで下面側に偏って配置する態様とすれば素子全体としての反りを抑えることができるが、材料の違い（熱収縮率の違い）によっては、逆にインダクタが非磁性体層を挟んで上面側に偏って配置する態様も考えられる。

発明の効果

[0017] この発明によれば、基板の平坦性を向上しつつも、磁性体からの拡散金属成分と実装基板との意図しない電気的接触を防止し、短絡を防止することができる。

図面の簡単な説明

[0018] [図1]積層型インダクタ素子の断面図である。

[図2]従来の積層体の断面図である。

[図3]ブレイク前の積層型インダクタ素子の断面図である。

[図4]ブレイク前の積層型インダクタ素子の下面図である。

[図5]ブレイク前の積層型インダクタ素子のA-A断面図およびB-B断面図である。

[図6]複数の中間層を配置する場合の積層型インダクタの断面図である。

[図7]応用例に係る積層型インダクタ素子の断面図である。

発明を実施するための形態

- [0019] 図1(A)は、本発明の実施形態に係る積層型インダクタ素子の断面図である。積層型インダクタ素子は、磁性体および非磁性体のセラミックグリーンシートが積層されてなる。本実施形態に示す断面図は、紙面上側を積層型インダクタ素子の上面側とし、紙面下側を積層型インダクタ素子の下面側とする。
- [0020] 図1(A)の例における積層型インダクタ素子では、最外層のうち上面側から下面側に向かって順に、非磁性体フェライト層11、磁性体フェライト層12、非磁性体フェライト層13、磁性体フェライト層14、および非磁性体フェライト層15が配置された積層体からなる。
- [0021] 積層体を構成する一部のセラミックグリーンシート上には、コイルパターンを含む内部電極が形成されている。コイルパターンは、積層方向に接続され、インダクタ31を構成する。図1(A)の例におけるインダクタ31は、上面側の磁性体フェライト層12、中間層である非磁性体フェライト層13、および下面側の磁性体フェライト層14にわたって配置されている。
- [0022] 非磁性体フェライト層11の上面（素子最上面）には、外部電極21が形成されている。外部電極21は、ICやコンデンサ等が実装される。これにより、積層型インダクタ素子は、電子部品モジュール（例えばDC-DCコンバータ等）となる。
- [0023] また、非磁性体フェライト層15の下面（素子最下面）には、端子電極22が形成される。この端子電極22は、積層型インダクタ素子が電子部品モジュールとして出荷された後、電子機器の製品製造工程において、電子部品モジュールが実装される、実装基板側のランド電極等と接続されるための端子電極となる。外部電極21と端子電極22は、貫通ビアで電氣的に接続される。
- [0024] 中間層である非磁性体フェライト層13は、磁性体フェライト層12および磁性体フェライト層14間の空隙として機能し、インダクタ31の直流重畳特性を向上させるものである。図1(A)の例における非磁性体フェライト層13は、積層方向において、積層型インダクタ素子の中央に配置されて

いる。

[0025] 最外層である非磁性体フェライト層 1 1 および非磁性体フェライト層 1 5 は、磁性体フェライト層 1 2 および磁性体フェライト層 1 4 の上面側および下面側をそれぞれ被覆し、後述する拡散金属成分による、意図しない短絡を防止するものである。

[0026] また、本実施形態における非磁性体フェライト層 1 1 および非磁性体フェライト層 1 5 は、磁性体フェライト層 1 2 および磁性体フェライト層 1 4 よりも熱収縮率が低くなっている。そのため、相対的に熱収縮率の高い磁性体フェライト層 1 2 および磁性体フェライト層 1 4 を、相対的に熱収縮率の低い非磁性体フェライト層 1 1 および非磁性体フェライト層 1 5 で挟みこむことで、焼成により素子全体を圧縮して強度を向上させることができる。

[0027] ただし、熱収縮率の違う材料を積層して焼成すると、積層方向に応力が生じて素子全体として反りが生じるおそれがある。従来は、図 2 に例示するように、積層方向の中央に非磁性体フェライト層を配置し、積層方向において対称に磁性体フェライト層および非磁性体フェライト層を配置することで素子全体としての応力のバランスをとり、反りを抑えていた。しかし、図 2 に示すように、素子全体として低背化を実現するために最外層の非磁性体フェライト層を薄くすると、焼成時に金属成分 9 0 が磁性体フェライト層 1 2 および磁性体フェライト層 1 4 から拡散し、めっき時にこの拡散した金属成分が成長して、実装基板側のランド電極 7 1 とはんだを介して接触することで意図しない短絡が発生する可能性がある。特に、IC やコンデンサ等の出荷前に実装する電子部品については、これら電子部品の実装を考慮して積層型インダクタ素子の上面電極を形成するため、IC やコンデンサ等の電極 7 0 の面積が外部電極 2 1 の面積より大きくなることはなく、電極 7 0 が素子上面からはみ出すことはない。しかし、積層型インダクタ素子が電子部品モジュールとして出荷された後、電子機器の製品製造工程において実装基板側のランド電極には、様々な大きさのものがああり、当該実装基板側のランド電極 7 1 は、端子電極 2 2 よりも面積が大きくなる場合がある。この場合、ラン

ド電極 7 1 上のはんだが濡れ上がり、積層型インダクタ素子の側面側に拡散した金属成分 9 0 と電氣的に接触し、意図しない短絡が生じる可能性が高くなる。

[0028] そこで、本実施形態の積層型インダクタ素子は、上面側の非磁性体フェライト層 1 1 の厚みを薄くして素子全体としての低背化を実現しつつ、下面側の非磁性体フェライト層 1 5 の厚みを非磁性体フェライト層 1 1 よりも厚くして磁性体フェライト層 1 4 から拡散する金属成分が実装基板側のランド電極と接触する可能性を低くし、なおかつ、インダクタ 3 1 が非磁性体フェライト層 1 3 を挟んで下面側に偏って配置されるような構造とすることで、素子全体としての反りを抑える構成としている。

[0029] 各層の厚みを変更するには、例えば積層するセラミックグリーンシートの枚数を変更する、あるいはセラミックグリーンシート自体の厚みが異なるものを用いる。

[0030] なお、本実施形態では、磁性体フェライト層として、鉄、ニッケル、亜鉛、および銅を含むフェライトを用い、非磁性体フェライト層として、鉄、亜鉛、および銅を含むフェライトを用い、インダクタ 3 1 を含む内部配線として銀材料を用いる例を示している。この場合、磁性体フェライト層の熱収縮率が非磁性体フェライト層の熱収縮率より高く、かつインダクタ 3 1 が最も低い熱収縮率となっているため、インダクタ 3 1 が非磁性体フェライト層 1 3 を挟んで下面側に偏って配置する態様とすれば素子全体としての反りを抑えることができるが、材料の違い（熱収縮率の違い）によっては、逆にインダクタ 3 1 が非磁性体フェライト層 1 3 を挟んで上面側に偏って配置する態様も考えられる。いずれにしても、最外層の非磁性体フェライト層の一方の面側の厚さと他方の面側の厚さとが異なり、インダクタ 3 1 が積層方向において、非磁性体フェライト層 1 3 を挟んでいずれかの面側に偏って配置されている態様であれば、素子全体としての反りを抑えることができる。

[0031] ここで、インダクタ 3 1 が非磁性体フェライト層 1 3 を挟んで下面側に偏って配置されるためには、例えば、図 1 (A) に示すように、非磁性体フェ

ライト層 1 3 が中央に配置され、インダクタ 3 1 が下面側に偏って配置されている態様とする。この場合、インダクタ 3 1 は、非磁性体フェライト層 1 3 を挟んで相対的に下面側に偏って配置されることになり、素子全体としての反りを抑えることができる。

[0032] 一方、図 1 (B) に示す積層型インダクタ素子は、図 1 (A) に示した積層型インダクタ素子と同様の構成であるが、インダクタ 3 1 が積層方向において対称に配置され、非磁性体フェライト層 1 3 が上面側に偏って配置されている態様である。この場合も、インダクタ 3 1 は、非磁性体フェライト層 1 3 を挟んで相対的に下面側に偏って配置されることになり、素子全体としての反りを抑えることができる。

[0033] また、図 3 (C) に示す積層型インダクタ素子についても、図 1 (A) に示した積層型インダクタ素子と同様の構成であるが、インダクタ 3 1 が下面側に偏って配置され、かつ非磁性体フェライト層 1 3 も上面側に偏って配置されている態様である。この場合も、インダクタ 3 1 は、非磁性体フェライト層 1 3 を挟んで相対的に下面側に偏って配置されることになり、素子全体としての反りを抑えることができる。

[0034] 次に、ブレイク前の積層型インダクタ素子について説明する。図 3 は、ブレイク前の積層型インダクタ素子（マザー積層体）の断面図である。なお、同図においては、説明のために隣接する 2 つのチップについてブレイク前の断面図を示すが、実際にはさらに多数のチップが並んでいる。

[0035] 図 3 に示すように、ブレイク前のマザー積層体は、出荷先で所定寸法のチップにブレイク可能となるように、ダイシング加工により上面および下面に溝 5 1 が形成されている。溝 5 1 は、上面側が V 字溝、下面側が矩形溝となっており、V 字溝を外側に、矩形溝を内側にして曲げることでマザー積層体を各チップにブレイクすることができる。

[0036] ここで、最外層の非磁性体フェライト層のうち厚い側の非磁性体フェライト層 1 5 の厚さは、ブレイク用の溝 5 1 の深さよりも厚くなっている。このように、ブレイク用の溝 5 1 の深さよりも非磁性体フェライト層 1 5 層の厚

さが厚ければ、下面側に磁性体フェライト層 14 が露出することがなく、金属成分が拡散することがない。

[0037] さらに、図 4 の下面図に示すように、ブレイク用の溝は、互いに直交する 2 方向に沿って設けられている。すなわち、めっき時にマザー積層体を揺動させる方向と同じ方向の溝 51A と、揺動する方向に直交する方向の溝 51B が設けられている。

[0038] 溝 51A は、めっき時の揺動方向と同じ方向に設けられているため、揺動によりめっき液が溝から外れ、滞留することがないため、拡散した金属成分がめっき成長しにくい。しかし、溝 51B は、めっき液が滞留しやすいため、拡散した金属成分がめっき成長しやすい。

[0039] そこで、図 5 (A) の A-A 断面図、および図 5 (B) の B-B 断面図に示すように、揺動方向と同じ方向に設けられた溝 51A を深く、直交する方向に設けられた溝 51B を浅くする。溝 51A には、めっき液が滞留することがないため、溝 51A の深さより非磁性体フェライト層 15 の厚みが薄く、磁性体フェライト層 14 が露出したとしても拡散した金属成分はめっき成長しにくい。したがって、図 5 (B) に示すように、非磁性体フェライト層 15 の厚みは、溝 51B よりも厚ければよい。これにより、非磁性体フェライト層 15 の厚みをできるだけ薄くすることが可能となる。

[0040] 次に、積層型インダクタ素子の製造工程について説明する。積層型インダクタ素子は、以下の工程により製造される。

[0041] まず、磁性体フェライト層及び非磁性体層フェライト層となるべきセラミックグリーンシート上に、それぞれ Ag 等が含まれる合金（導電性ペースト）が塗布され、コイルパターン等の内部電極が形成される。

[0042] 次に、各セラミックグリーンシートが積層される。すなわち、下面側から順に、非磁性体フェライト層 15 となるべきセラミックグリーンシートが複数枚、磁性体フェライト層 14 となるべきセラミックグリーンシートが複数枚、非磁性体フェライト層 13 となるべきセラミックグリーンシートが複数枚、磁性体フェライト層 12 となるべきセラミックグリーンシートが複数枚

、および非磁性体フェライト層 1 1 となるべきセラミックグリーンシートが複数枚、それぞれ積層され、仮圧着を行われる。これにより、焼成前のマザー積層体が形成される。

[0043] このとき、各セラミックグリーンシートの枚数、またはシート毎の厚みを調整することにより、各層の厚みが調整される。非磁性体フェライト層 1 5 となるべきセラミックグリーンシートは、枚数が多く配置される、または厚いものが用いられる。また、非磁性体フェライト層 1 1 となるべきセラミックグリーンシートは、枚数が少なく配置される、または薄いものが用いられる。

[0044] ここで、非磁性体フェライト層 1 5 は、ブレイク用の溝の深さよりも厚くなるように調整される。特に、ブレイク用の溝は、後述の溝形成工程において、互いに直交する 2 方向に沿って設けられ、深さが異なるものとなっている。そこで、非磁性体フェライト層 1 5 の厚みは、浅い方のブレイク用の溝よりも厚くなるように調整される。

[0045] そして、図 1 (A) に示した構造の積層型インダクタ素子を製造する場合、コイルパターンを形成したセラミックグリーンシートが下面側に偏って配置される。これにより、素子全体としての低背化を実現しつつ、磁性体フェライト層 1 4 から拡散する金属成分が実装基板側のランド電極と接触する可能性を低くし、なおかつ、素子全体としての反りを抑えることができる。

[0046] また、図 1 (B) に示した構造の積層型インダクタ素子を製造する場合、コイルパターンを形成したセラミックグリーンシートが積層方向に対称に配置され、非磁性体フェライト層 1 3 となるべきセラミックグリーンシートが上面側に偏って配置される。図 1 (C) に示した構造の積層型インダクタ素子を製造する場合、コイルパターンを形成したセラミックグリーンシートが下面側に偏って配置され、かつ非磁性体フェライト層 1 3 となるべきセラミックグリーンシートが上面側に偏って配置される。

[0047] 次に、形成したマザー積層体の表面には、主成分が銀である電極ペーストが塗布され、外部電極 2 1 および端子電極 2 2 が形成される。

- [0048] その後、マザー積層体を所定の寸法でブレイク可能となるように、ダイシング加工によりブレイク用の溝が設けられる。ブレイク用の溝は、図4および図5に示したように、互いに直交する2方向に沿って設けられる。このとき、一方の溝の深さと、他方の溝の深さを異なるものとされる。これは、マザー積層体の最初のブレイク時に深い溝でブレイクを行うことで、意図しない方向に割れが生じないようにするためである。
- [0049] 次に、焼成がなされる。これにより、焼成されたマザー積層体（ブレイク前の積層型インダクタ素子）が得られる。
- [0050] そして、最後にマザー積層体の外部電極表面にめっきが施される。めっき処理は、マザー積層体をめっき液に浸漬させ、揺動させることによって行われる。このとき、深い溝が形成された方向にマザー積層体を揺動させる。図5（A）に示したように、非磁性体フェライト層15の厚みは、浅い方の溝よりも厚くなるように調整され、深い方の溝よりも薄くなっている場合もあるが、深い方の溝が形成された方向とマザー積層体の揺動方向とを一致させることで、めっき液が溝に滞留することがなくなり、拡散した金属成分がめっき成長することがなくなる。このようにして製造された積層型インダクタ素子は、ICやコンデンサ等の電子部品を実装すれば、電子部品モジュールとなる。
- [0051] なお、本実施形態では、中間層が非磁性体フェライト層13の1つである例を示したが、中間層は1つである必要はない。例えば図6に示すように、非磁性体フェライト層13Aおよび非磁性体フェライト層13Bの2つの中間層を配置する態様も可能であるし、さらに多数の中間層を配置することも可能である。
- [0052] 図6のように複数の中間層を設ける場合であっても、最外層の非磁性体フェライト層の一方の面側の厚さと他方の面側の厚さとが異なり、インダクタ31が積層方向において、中間層である非磁性体フェライト層を挟んでいずれかの面側に偏って配置されている態様であれば、素子全体としての反りを抑えることができる。

[0053] 例えば、上面側から順に磁性体フェライト層 1 2、非磁性体フェライト層 1 3、および磁性体フェライト層 1 7を参照した場合、非磁性体フェライト層 1 3 Aの下面側の磁性体フェライト層 1 7に配置されているコイルパターンは、非磁性体フェライト層 1 3 Aの上面側の磁性体フェライト層 1 2に配置されているコイルパターンよりも数が多くなっているため、中間層である非磁性体フェライト層を挟んでいずれかの面側に偏って配置されている状態となっている。同様に、上面側から順に磁性体フェライト層 1 7、非磁性体フェライト層 1 3 B、および磁性体フェライト層 1 4を参照した場合、非磁性体フェライト層 1 3 Bの下面側の磁性体フェライト層 1 4に配置されているコイルパターンは、非磁性体フェライト層 1 3 Bの上面側の磁性体フェライト層 1 7に配置されているコイルパターンよりも数が多くなっているため、中間層である非磁性体フェライト層を挟んでいずれかの面側に偏って配置されている状態となっている。

[0054] このように、インダクタが積層方向において、それぞれの間層（非磁性体フェライト層）を挟んでいずれかの面側に偏って配置されている状態であれば、素子全体としての反りを抑えることができる。

[0055] 無論、複数の中間層を配置する場合においても、各層の熱収縮率の違いによっては、インダクタが下面側に偏って配置される場合と、逆に上面側に偏って配置される場合とが考えられる。

[0056] なお、本実施形態の積層型インダクタ素子では、図 7 に示すように、非磁性フェライト層 1 1 内に内部電極 2 5 を形成し、コンデンサを内蔵させる応用例も可能である。すなわち、図 7 に示すように、非磁性体フェライト層 1 1 の各基板上に複数の内部電極 2 5 を形成し、これら複数の内部電極 2 5 が非磁性体フェライト層 1 1 内で対向するように配置されると、これらの対向した内部電極 2 5 によってコンデンサが形成されることになる。

[0057] 図 7 では、図 1 (A) に示した状態の素子において、コンデンサを内蔵させる例を示したが、図 1 (B) や図 1 (C) に示した状態の素子においてもコンデンサを内蔵させることも可能であるし、図 6 に示した状態の素子にお

いてもコンデンサを内蔵させることは可能である。

符号の説明

[0058] 1 1, 1 3, 1 5…非磁性体フェライト層

1 2, 1 4…磁性体フェライト層

2 1…外部電極

2 2…端子電極

3 1…インダクタ

請求の範囲

- [請求項1] 複数の磁性体基板が積層されてなる磁性体層と、
複数の非磁性体基板が積層されてなる非磁性体層と、
前記積層される基板間に設けられたコイルを、積層方向に接続した
インダクタと、
を備えた積層型インダクタ素子であって、
前記非磁性体層は、素子本体の最外層および中間層に配置され、
前記最外層の非磁性体層は、一方の面側の厚さと、他方の面側の厚
さが異なり、
前記インダクタは、前記積層方向において、前記中間層に設けられ
た非磁性体層を挟んで、いずれかの面側に偏って配置されていること
を特徴とする積層型インダクタ素子。
- [請求項2] 前記一方の面側は、電子部品モジュールとしての電子部品が実装さ
れ、前記他方の面側は、該電子部品モジュールが実装される実装基板
のランド電極と接続される端子電極が設けられ、
前記一方の面側の非磁性体層の厚さは、前記他方の面側の非磁性体
層の厚さよりも薄いことを特徴とする請求項1に記載の積層型インダ
クタ素子。
- [請求項3] 前記複数の非磁性体基板上に内部電極を有し、前記非磁性体層内で
コンデンサが形成されていることを特徴とする請求項1または2に記
載の積層型インダクタ素子。
- [請求項4] 前記インダクタは、前記積層方向において、前記中間層に設けられ
た非磁性体層を挟んで、前記他方の面側に偏って配置されていること
を特徴とする請求項1ないし請求項3のいずれかに記載の積層型イン
ダクタ素子。
- [請求項5] 前記中間層に設けられた非磁性体層は、前記積層方向において、い
ずれかの面側に偏って配置されていることを特徴とする請求項1ない
し請求項4のいずれかに記載の積層型インダクタ素子。

- [請求項6] 前記最外層の非磁性体層のうち厚い側の非磁性体層の厚さは、ブレイク用溝の深さよりも厚いことを特徴とする請求項1ないし請求項5のいずれかに記載の積層型インダクタ素子。
- [請求項7] 前記ブレイク用溝は、互いに直交する2方向に沿って設けられ、かつ、これら2方向で深さが異なり、
前記厚い側の非磁性体層の厚さは、前記ブレイク用溝のうち、浅い方の溝の深さよりも厚いことを特徴とする請求項6に記載の積層型インダクタ素子。
- [請求項8] 前記磁性体は、鉄、ニッケル、亜鉛、および銅を含むフェライトであり、前記非磁性体は、鉄、亜鉛、および銅を含むフェライトであり、前記インダクタは、銀材料であることを特徴とする請求項1ないし請求項7のいずれかに記載の積層型インダクタ素子。
- [請求項9] 磁性体基板を含む複数の基板にコイルパターンを形成する工程と、
前記基板を積層して積層体を形成するとともに、前記コイルパターンを積層方向に接続してインダクタを形成する工程と、
を有する積層型インダクタ素子の製造方法であって、
前記基板を積層する工程において、前記積層体の最外層および中間層に、非磁性体基板を積層してなる非磁性体層を配置し、
前記最外層の非磁性体層の一方の面側の厚さと、他方の面側の厚さとが異なるように前記積層体を形成し、
前記インダクタを、前記積層方向において、前記中間層に設けられた非磁性体層を挟んで、いずれかの面側に偏って配置することを特徴とする積層型インダクタ素子の製造方法。
- [請求項10] 前記一方の面側に、電子部品モジュールとしての電子部品を実装するための電極を設ける工程と、
前記他方の面側に、該電子部品モジュールが実装される実装基板のランド電極と接続される端子電極を設ける工程と、
を有し、

前記一方の面側の非磁性体層の厚さを、前記他方の面側の非磁性体層の厚さよりも薄くすることを特徴とする請求項 9 に記載の積層型インダクタ素子の製造方法。

[請求項11] 前記複数の非磁性体基板上に内部電極を形成する工程をさらに有し、

前記内部電極により前記非磁性体層内でコンデンサを形成することを特徴とする請求項 9 または 10 に記載の積層型インダクタ素子の製造方法。

[請求項12] 前記インダクタを、前記積層方向において、前記中間層に設けられた非磁性体層を挟んで、前記他方の面側に偏って配置することを特徴とする請求項 9 ないし請求項 11 のいずれかに記載の積層型インダクタ素子の製造方法。

[請求項13] 前記中間層に設けられた非磁性体層を、前記積層方向において、いずれかの面側に偏って配置することを特徴とする請求項 9 ないし請求項 12 のいずれかに記載の積層型インダクタ素子の製造方法。

[請求項14] 前記基板を積層する工程の後、前記一方の面側、および他方の面側にブレイク用溝を形成する工程を有し、

前記基板を積層する工程において、前記最外層の非磁性体層のうち薄い側の非磁性体層の厚さを、前記ブレイク用溝の深さよりも厚くすることを特徴とする請求項 9 ないし請求項 13 のいずれかに記載の積層型インダクタ素子の製造方法。

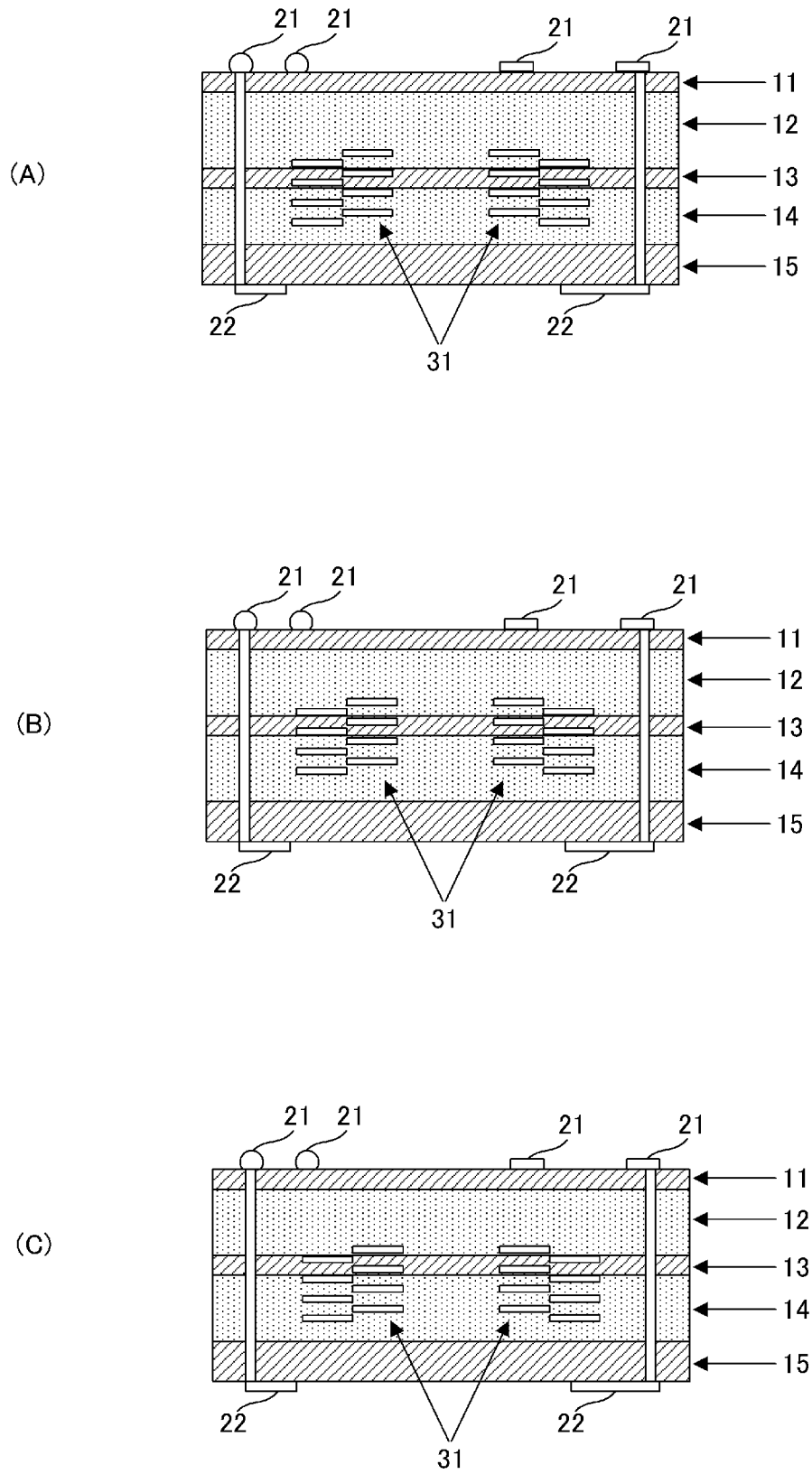
[請求項15] 前記ブレイク用溝を形成する工程の後、前記積層体を揺動させて外部電極をめっきする工程を有し、

前記ブレイク用溝を形成する工程において、前記ブレイク用溝を、互いに直交する 2 方向に沿って、かつ、これら 2 方向で深さが異なるように設け、

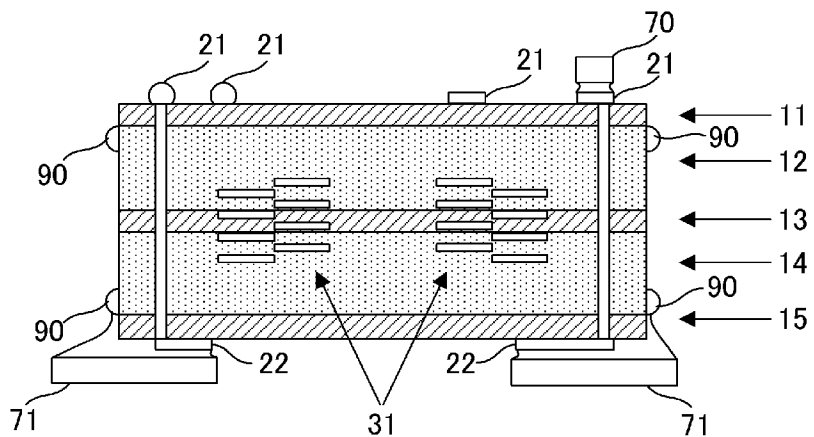
前記基板を積層する工程において、前記厚い側の非磁性体層の厚さを、前記ブレイク用溝のうち、浅い方の溝の深さよりも厚くし、

前記外部電極をめっきする工程において、前記ブレイク用溝のうち、深いほうの溝を前記積層体の揺動方向に一致させることを特徴とする請求項 1 4 に記載の積層型インダクタ素子の製造方法。

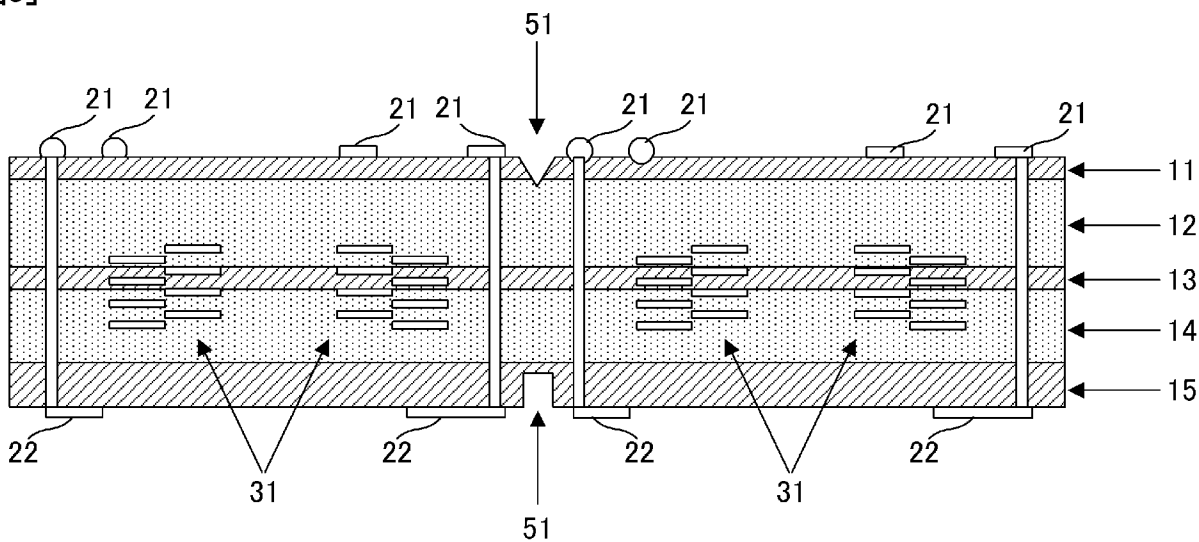
[図1]



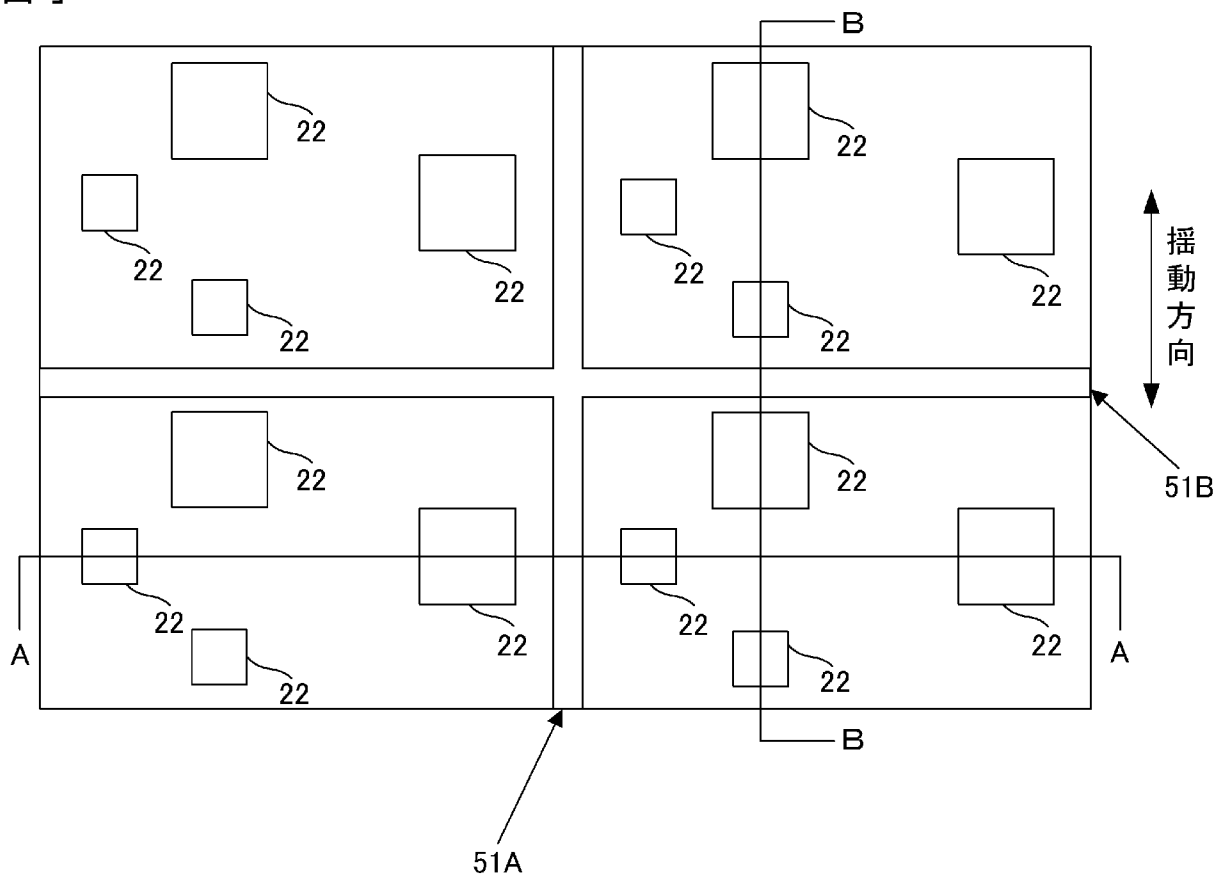
[図2]



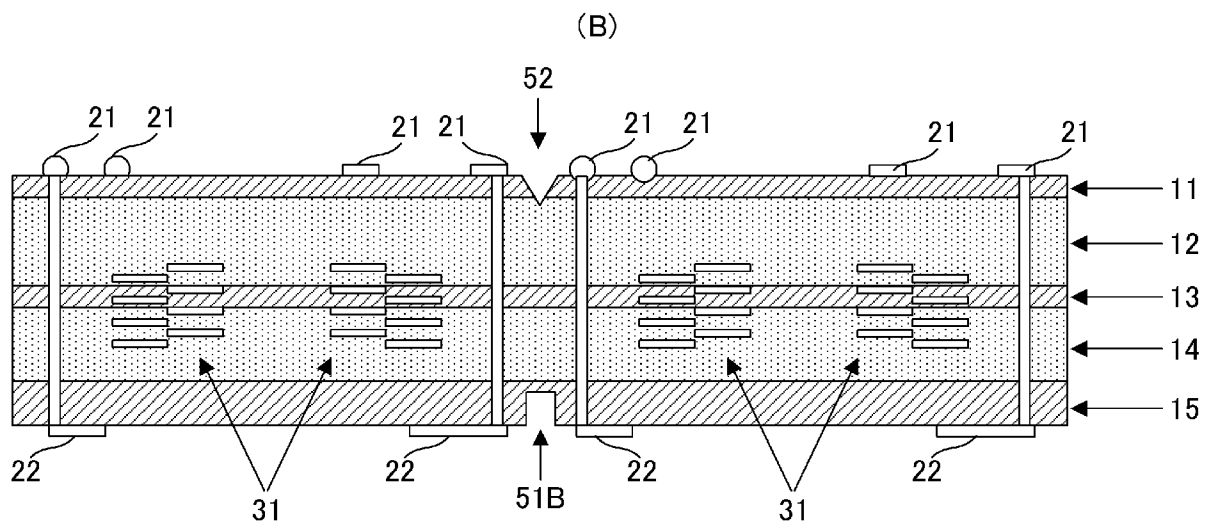
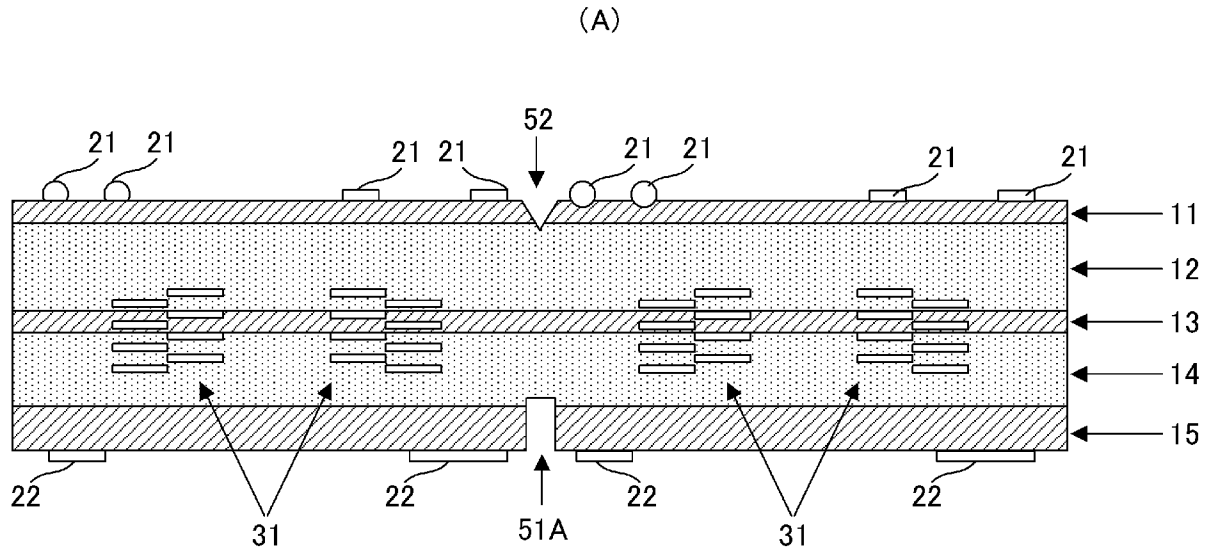
[図3]



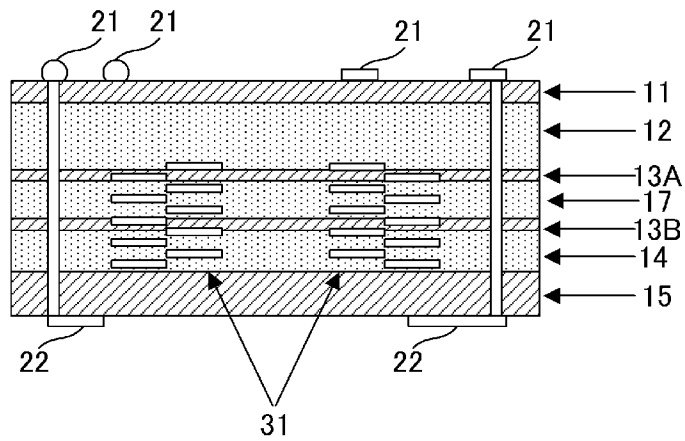
[図4]



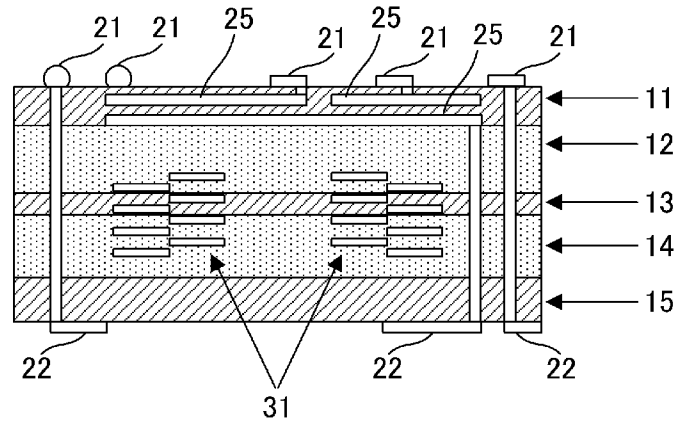
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/076986

A. CLASSIFICATION OF SUBJECT MATTER

H01F17/00 (2006.01) i, *H01F27/00* (2006.01) i, *H01F41/04* (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01F17/00, *H01F27/00*, *H01F27/28*, *H01F41/04*, *H05K1/16*, *H05K3/46*

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2005-183890 A (Taiyo Yuden Co., Ltd.), 07 July 2005 (07.07.2005), entire text; all drawings (Family: none)	1-2, 9-10 3-8, 11-14 15
Y	JP 7-86754 A (TDK Corp.), 31 March 1995 (31.03.1995), paragraph [0013]; fig. 3 (Family: none)	3-8, 11-14
Y	JP 2005-175159 A (Sumida Corp.), 30 June 2005 (30.06.2005), paragraphs [0014], [0026]; fig. 2, 7 to 8 (Family: none)	5-8, 13-14

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
16 February, 2012 (16.02.12)

Date of mailing of the international search report
28 February, 2012 (28.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/076986

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-109063 A (Kyocera Corp.), 08 May 2008 (08.05.2008), paragraphs [0018] to [0020]; fig. 1 (Family: none)	6-8, 14
Y	JP 10-270813 A (Murata Mfg. Co., Ltd.), 09 October 1998 (09.10.1998), paragraphs [0012] to [0014]; fig. 2 to 3 (Family: none)	6-8, 14
A	WO 2007/145189 A1 (Murata Mfg. Co., Ltd.), 21 December 2007 (21.12.2007), entire text; all drawings & US 2009/0068426 A1 & EP 2028664 A1 & KR 10-2008-0110899 A & CN 101467221 A	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01F17/00(2006.01)i, H01F27/00(2006.01)i, H01F41/04(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01F17/00, H01F27/00, H01F27/28, H01F41/04, H05K1/16, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2005-183890 A (太陽誘電株式会社) 2005.07.07, 全文, 全図 (ファミリーなし)	1-2, 9-10 3-8, 11-14 15
Y	JP 7-86754 A (ティーディーケイ株式会社) 1995.03.31, 段落【0013】, 図3 (ファミリーなし)	3-8, 11-14
Y	JP 2005-175159 A (スミダコーポレーション株式会社) 2005.06.30, 段落【0014】, 【0026】, 図2, 7-8 (ファミリーなし)	5-8, 13-14

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 16.02.2012	国際調査報告の発送日 28.02.2012
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 久保田 昌晴 電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-109063 A (京セラ株式会社) 2008.05.08, 段落【0018】 - 【0020】, 図1 (ファミリーなし)	6-8, 14
Y	JP 10-270813 A (株式会社村田製作所) 1998.10.09, 段落【0012】 - 【0014】, 図2-3 (ファミリーなし)	6-8, 14
A	WO 2007/145189 A1 (株式会社村田製作所) 2007.12.21, 全文, 全図 & US 2009/0068426 A1 & EP 2028664 A1 & KR 10-2008-0110899 A & CN 101467221 A	1-15