(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년07월07일
(11) 등록번호 10-1637789
(24) 등록일자 2016년07월01일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 29/417* (2006.01)
(21) 출원번호 10-2014-7002872(분할)
(22) 출원일자(국제) 2010년12월24일
심사청구일자 2014년08월12일
(85) 번역문제출일자 2014년02월04일
(65) 공개번호 10-2014-0027547
(43) 공개일자 2014년03월06일
(62) 원출원 특허 10-2012-7019408
원출원일자(국제) 2010년12월24일
(86) 국제출원번호 PCT/JP2010/073886
(87) 국제공개번호 WO 2011/089846
국제공개일자 2011년07월28일
(30) 우선권주장
JP-P-2010-012540 2010년01월22일 일본(JP)
(56) 선행기술조사문헌
JP2007123861 A*
KR1020000000907 A*
KR1020020032533 A*
KR1020070076149 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자끼 슌뻬이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
고도 히로미찌
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장수길, 박충범, 이중희

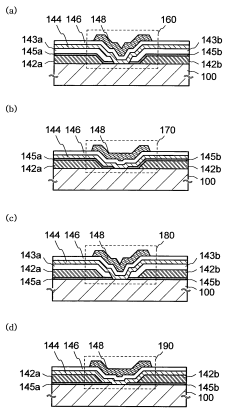
전체 청구항 수 : 총 13 항 심사관 : 최혜미

(54) 발명의 명칭 **반도체 장치**

(57) 요 약

양호한 특성을 유지하고 미세화를 달성하는, 산화물 반도체를 포함하는 반도체 장치를 제공하는 것이 목적이다. 반도체 장치는, 산화물 반도체층, 산화물 반도체층에 접하는 소스 전극 및 드레인 전극, 산화물 반도체층과 중첩하는 게이트 전극, 및 산화물 반도체층과 게이트 전극 사이에 제공된 게이트 절연층을 포함하고, 소스 전극 및 드레인 전극 각각은, 제1 도전층과, 제1 도전층의 단부로부터 채널 길이 방향으로 연장되는 영역을 갖는 제2 도전층을 포함한다.

대 표 도 - 도1



(72) 발명자

스자와 히데오미

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

사사가와 신야

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

구라따 모또무

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

미까미 마유미

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명 세 서

청구범위

청구항 1

반도체 장치로서,

산화물 반도체층;

제1 도전층, 및 상기 산화물 반도체층에 접하는 제2 도전층을 포함하는 소스 전극;

제3 도전층, 및 상기 산화물 반도체층에 접하는 제4 도전층을 포함하는 드레인 전극;

상기 제2 도전층 위의 제1 측벽 절연층;

상기 제4 도전층 위의 제2 측벽 절연층;

상기 산화물 반도체층에 인접한 게이트 전극; 및

상기 산화물 반도체층과 상기 게이트 전극 사이에 제공되는 게이트 절연층을 포함하고,

상기 게이트 전극과 상기 산화물 반도체층은 서로 중첩하고,

상기 제1 도전층은 상기 제2 도전층 위에 있고, 상기 제2 도전층은 상기 제1 도전층보다 높은 저항을 갖고,

상기 제3 도전층은 상기 제4 도전층 위에 있고, 상기 제4 도전층은 상기 제3 도전층보다 높은 저항을 갖고,

상기 제2 도전층은 상기 제1 도전층의 단부를 넘어 연장되는 제1 부분을 포함하고,

상기 제4 도전층은 상기 제3 도전층의 단부를 넘어 연장되는 제2 부분을 포함하고,

상기 제1 도전층의 상기 단부 및 상기 제3 도전층의 상기 단부는 서로 대향되고,

상기 제1 측벽 절연층은 상기 제2 도전층의 상기 제1 부분 위에 제공되고,

상기 제2 측벽 절연층은 상기 제4 도전층의 상기 제2 부분 위에 제공되고,

상기 산화물 반도체층은 상기 제1 측벽 절연층 및 상기 제2 측벽 절연층 위에 있고,

상기 산화물 반도체층의 재료는 인듐, 갈륨, 아연 및 산소를 포함하는, 반도체 장치.

청구항 2

반도체 장치로서,

산화물 반도체층;

제1 도전층, 및 상기 산화물 반도체층에 접하는 제2 도전층을 포함하는 소스 전극;

제3 도전층, 및 상기 산화물 반도체층에 접하는 제4 도전층을 포함하는 드레인 전극;

상기 제2 도전층 위의 제1 측벽 절연층;

상기 제4 도전층 위의 제2 측벽 절연층;

상기 소스 전극 및 상기 드레인 전극 위에 제공되는 절연막;

상기 산화물 반도체층에 인접한 게이트 전극; 및

상기 산화물 반도체층과 상기 게이트 전극 사이에 제공되는 게이트 절연층을 포함하고,

상기 게이트 전극과 상기 산화물 반도체층은 서로 중첩하고,

상기 제2 도전층은 상기 제1 도전층보다 높은 저항을 갖고,

상기 제4 도전층은 상기 제3 도전층보다 높은 저항을 갖고,

상기 제2 도전층은 상기 제1 도전층의 단부를 넘어 연장되는 제1 부분을 포함하고,

상기 제4 도전층은 상기 제3 도전층의 단부를 넘어 연장되는 제2 부분을 포함하고,

상기 제1 도전층의 상기 단부 및 상기 제3 도전층의 상기 단부는 서로 대향되고,

상기 제1 측벽 절연층은 상기 제2 도전층의 상기 제1 부분에 접하고,

상기 제2 측벽 절연층은 상기 제4 도전층의 상기 제2 부분에 접하고,

상기 산화물 반도체층은 상기 제1 측벽 절연층, 상기 제2 측벽 절연층 및 상기 절연막 위에 있고,

상기 산화물 반도체층의 재료는 인듐, 갈륨, 아연 및 산소를 포함하는, 반도체 장치.

청구항 3

제1항 또는 제2항에 있어서, 상기 제1 도전층, 상기 제2 도전층, 상기 제3 도전층 및 상기 제4 도전층 각각은 테이퍼링된 형상을 갖는, 반도체 장치.

청구항 4

제3항에 있어서, 상기 제1 도전층과 상기 제3 도전층의 상기 테이퍼링된 형상의 테이퍼링 각도는 30° 이상 60° 이하인, 반도체 장치.

청구항 5

제3항에 있어서, 상기 제2 도전층과 상기 제4 도전층의 상기 테이퍼링된 형상의 테이퍼링 각도는 30° 이상 60° 이하인, 반도체 장치.

청구항 6

제1항 또는 제2항에 있어서, 상기 제2 도전층의 두께 및 상기 제4 도전층의 두께는 3nm 내지 30nm인, 반도체 장치.

청구항 7

제1항 또는 제2항에 있어서, 상기 제1 도전층의 두께 및 상기 제3 도전층의 두께는 50nm 내지 500nm인, 반도체 장치.

청구항 8

제1항 또는 제2항에 있어서, 상기 제1 도전층 및 상기 제3 도전층은 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 원소, 또는 상기 원소의 질화물 또는 상기 원소를 포함하는 합금을 포함하는, 반도체 장치.

청구항 9

제1항 또는 제2항에 있어서, 상기 제2 도전층 및 상기 제4 도전층은 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 원소, 또는 상기 원소의 질화물 또는 상기 원소를 포함하는 합금을 포함하는, 반도체 장치.

청구항 10

제1항 또는 제2항에 있어서, 상기 산화물 반도체층은 상기 소스 전극 및 상기 드레인 전극 위에 제공되는, 반도체 장치.

청구항 11

제1항 또는 제2항에 있어서, 상기 게이트 전극은 상기 산화물 반도체층 위에 제공되는, 반도체 장치.

청구항 12

제1항 또는 제2항에 있어서,

상기 제1 측벽 절연층은 상기 제1 도전층의 상기 단부 및 상기 제2 도전층의 상기 제1 부분에 접하고,

상기 제2 측벽 절연층은 상기 제3 도전층의 상기 단부 및 상기 제4 도전층의 상기 제2 부분에 접하는, 반도체 장치.

청구항 13

제1항 또는 제2항에 있어서,

상기 제1 측벽 절연층과 상기 제2 측벽 절연층 각각은 만곡 형상(curved shape)을 갖는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 기술 분야는 반도체 장치에 관한 것이다. 여기서, 반도체 장치란, 반도체 특성을 이용함으로써 기능하는 소자 및 장치 전반을 말한다는 점에 유의한다.

배 경 기 술

[0002] 다양한 금속 산화물들이 존재하며, 이러한 금속 산화물들은 다양한 응용 분야들에 이용되고 있다. 산화 인듐은 잘 알려진 재료이며, 액정 표시 장치 등에 요구되는 투명 전극에 이용되어 왔다.

[0003] 일부 금속 산화물은 반도체 특성을 가진다. 이러한 반도체 특성을 갖는 금속 산화물의 예는, 예를 들어, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있다. 이러한 금속 산화물을 이용하여 채널 형성 영역이 형성되는 박막 트랜지스터가 이미 알려져 있다(예를 들어, 특허 문헌 1 내지 특허 문헌 4, 비특허 문헌 1 등 참조).

[0004] 금속 산화물로서, 일원계 산화물뿐만 아니라 다원계 산화물도 알려져 있다. 예를 들어, 동족상(homologous phase)을 갖는 $InGaO_3(ZnO)_m$(m : 자연수)는, In, Ga 및 Zn을 포함하는 다원계 산화물 반도체로서 알려져 있다(예를 들어, 비특허 문헌 2 내지 4 등 참조).

[0005] 또한, 이러한 In-Ga-Zn계 산화물을 포함하는 산화물 반도체는 박막 트랜지스터의 채널 형성 영역에 적용될 수 있다는 것이 확인되었다(예를 들어, 특허 문헌 5, 비특허 문헌 5 및 6 등 참조).

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 출원 공개 번호 제S60-198861호

(특허문헌 0002) 일본 특허 출원 공개 번호 제H8-264794호

(특허문헌 0003) PCT 국제 출원 번호 제H11-505377호의 일본어 번역문

(특허문헌 0004) 일본 특허 출원 공개 번호 제2000-150900호

(특허문헌 0005) 일본 특허 출원 공개 번호 제2004-103957호

비특허문헌

[비특허문헌 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor", *Appl. Phys. Lett.*, 17 June 1996, Vol.68 pp.3650-3652

[비특허문헌 2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3-Ga_2ZnO_4-ZnO System at 1350 °C", *J. Solid State Chem.*, 1991, Vol.93, pp.298-315

[비특허문헌 3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $In_2O_3(ZnO)_m$ (m = 3, 4, and 5), $InGaO_3(ZnO)_3$, and $Ga_2O_3(ZnO)_m$ (m = 7, 8, 9, and 16) in the In_2O_3-$ZnGa_2O_4$-ZnO System", *J. Solid State Chem.*, 1995, Vol.116, pp.170-178

[비특허문헌 4] M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($InFeO_3(ZnO)_m$) (m:natural number) and related compounds", *KOTAI BUTSURI (SOLID STATE PHYSICS)*, 1993, Vol. 28, No. 5, pp. 317-327

[비특허문헌 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", *SCIENCE*, 2003, Vol. 300, pp. 1269-1272

[비특허문헌 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", *NATURE*, 2004, Vol.432 pp.488-492

[0007]

발명의 내용

[0008] 트랜지스터의 고속 동작, 낮은 전력 소비, 비용 저감 등을 달성하기 위해서는, 트랜지스터를 미세화하는 것이 필요하다.

[0009] 트랜지스터가 미세화되는 경우에는, 제조 공정에서 발생하는 불량이 주요 문제가 된다. 예를 들어, 소스 전극 및 드레인 전극 각각과 채널 형성 영역은 전기적으로 접속된다; 그러나, 미세화에 의한 피복성의 저하로 인해, 단선, 접속 불량 등이 발생할 수도 있다.

[0010] 또한, 트랜지스터가 미세화되는 경우에는, 단채널 효과(short-channel effect)의 문제도 야기된다. 단채널 효과란, 트랜지스터의 미세화(채널 길이(L)의 감소)에 따라 분명해지는 전기 특성의 열화를 말한다. 단채널 효과는, 소스 전극에 미치는 드레인 전극의 전계의 효과로부터 발생한다. 단채널 효과의 구체적인 예로서는, 임계 전압의 감소, 임계이하 스윙(S값)의 증가, 리크 전류(leak current)의 증가 등이 있다. 특히, 산화물 반도체를 포함하는 트랜지스터는 실리콘을 포함하는 트랜지스터에 비해 실온에서 더 작은 오프 전류(off current)를 가진다는 것이 알려져 있다. 이것은 열적 여기(thermal excitation)에 의해 발생되는 캐리어가 적다는 것, 즉, 캐리어 밀도가 작다는 사실에 기인한 것이다. 전술된 바와 같이 캐리어 밀도가 작은 재료를 이용하는 트랜지스터에서는, 임계 전압의 감소 등의 단채널 효과가 야기되기 쉬운 경향이 있다.

[0011] 따라서, 개시된 발명의 실시형태에 따르면, 불량을 억제하면서 미세화를 달성하는 반도체 장치를 제공하는 것이 본 발명의 목적이다. 또한, 양호한 특성을 유지하면서 미세화를 달성하는 반도체 장치를 제공하는 것이 본 발명의 또 다른 목적이다.

[0012] 개시된 발명의 한 실시형태는, 산화물 반도체층, 산화물 반도체층에 접하는 소스 전극 및 드레인 전극, 산화물 반도체층과 중첩하는 게이트 전극, 및 산화물 반도체층과 게이트 전극 사이에 제공된 게이트 절연층을 포함하고, 소스 전극 및 드레인 전극 각각은, 제1 도전층과, 제1 도전층의 단부로부터 채널 길이 방향으로 연장되는 영역을 갖는 제2 도전층을 포함하는, 반도체 장치이다.

[0013] 상기의 반도체 장치에서, 제1 도전층 및 제2 도전층의 각각은 테이퍼링된 형상(tapered shape)을 갖는 것이 바람직하다.

[0014] 상기의 반도체 장치에서, 제2 도전층 각각의 영역 위에는 측벽 절연층이 제공되는 것이 바람직하다.

[0015] 개시된 발명의 또 다른 실시형태는, 산화물 반도체층, 산화물 반도체층에 접하는 소스 전극 및 드레인 전극, 산화물 반도체층과 중첩하는 게이트 전극, 및 산화물 반도체층과 게이트 전극 사이에 제공된 게이트 절연층을 포함하고, 소스 전극 및 드레인 전극 각각은, 제1 도전층과, 제1 도전층보다 높은 저항을 갖는 제2 도전층을 포함하고, 제2 도전층은 산화물 반도체층에 접하는, 반도체 장치이다.

[0016] 개시된 발명의 또 다른 실시형태는, 산화물 반도체층, 산화물 반도체층에 접하는 소스 전극 및 드레인 전극, 산화물 반도체층과 중첩하는 게이트 전극, 및 산화물 반도체층과 게이트 전극 사이에 제공된 게이트 절연층을 포함하고, 소스 전극 및 드레인 전극 각각은, 제1 도전층과, 제1 도전층보다 높은 저항을 갖는 제2 도전층을 포함하고, 제2 도전층과 제1 도전층은 산화물 반도체층에 접하는, 반도체 장치이다.

[0017] 상기 반도체 장치에서, 제2 도전층은 금속의 질화물인 것이 바람직하다.

[0018] 상기의 반도체 장치에서, 제2 도전층의 두께는 5 nm 내지 15 nm인 것이 바람직하다.

[0019] 개시된 발명의 또 다른 실시형태는, 채널 형성 영역을 포함하는 산화물 반도체층, 채널 형성 영역에 접하는 소스 전극 및 드레인 전극, 채널 형성 영역과 중첩하는 게이트 전극, 산화물 반도체층과 게이트 전극 사이에 제공된 게이트 절연층을 포함하고, 산화물 반도체층의 채널 형성 영역에 접하는 소스 전극과 드레인 전극 각각의 영역은 그 외의 영역보다 높은 저항을 갖는, 반도체 장치이다.

[0020] 상기 반도체 장치에서, 소스 전극 및 드레인 전극 각각은 그 단부에서 산화물 반도체층에 접하고, 소스 전극과 산화물 반도체층 사이에, 또는 드레인 전극과 산화물 반도체층 사이에 절연층이 제공된다.

[0021] 여기서, 반도체 장치란, 반도체 특성을 이용함으로써 기능하는 장치 전반을 말하는 것임에 유의한다. 예를 들어, 표시 장치, 메모리 장치, 집적 회로 등은 반도체 장치의 범주에 포함된다.

[0022] 본 명세서 등에서 용어 "위" 및 "아래"는, 구성요소들 간의 물리적 관계의 설명에서, 반드시, 각각 "바로 위" 및 "바로 아래"를 의미하는 것은 아니다. 예를 들어, "게이트 절연층 위의 게이트 전극"이라는 표현은, 게이트 절연층과 게이트 전극 사이에 추가의 구성요소가 있는 경우를 의미할 수 있다. 또한, "위" 및 "아래" 등의 용어는 설명의 편의를 위해서 이용되는 것일 뿐이며, 달리 명시하지 않는 한, 구성요소들의 관계가 역전되는 경우를 포함할 수 있다.

[0023] 또한, 본 명세서 등에서, "전극" 또는 "배선" 등의 용어는 구성요소의 기능을 제한하지 않는다. 예를 들어, "전극"은 때때로 "배선"의 일부로서 이용되며, 그 반대도 마찬가지다. 또한, 용어 "전극" 또는 "배선"은, 복수의 "전극"이나 "배선"이 일체로 형성되는 경우를 포함할 수 있다.

[0024] "소스 전극"과 "드레인 전극"의 기능은, 예를 들어, 반대 극성의 트랜지스터가 이용되는 경우나, 회로 동작시에 전류의 방향이 변하는 경우에는, 때때로 서로 뒤바뀐다. 따라서, 본 명세서에서 용어 "소스 전극"과 "드레인 전극"은 서로 뒤바뀔 수 있다.

[0025] 본 명세서 등에서, 용어 "전기적으로 접속된"은, 구성요소들이 임의의 전기적 기능을 갖는 물체를 통해 접속되는 경우를 포함한다는 점에 유의한다. 임의의 전기적 기능을 갖는 물체에 관해서는, 그 물체를 통해 서로 접속된 구성요소들 사이에 전기 신호가 전송되고 수신될 수 있는 한, 특별한 제한은 없다. "임의의 전기적 기능을 갖는 물체"의 예로서는, 전극 및 배선뿐만 아니라, 트랜지스터 등의 스위칭 소자, 저항, 인덕터, 용량 소자, 및 각종 기능을 갖는 소자 등이 있다.

[0026] 개시된 발명의 한 실시형태에 따르면, 다음과 같은 효과들 중 하나, 또는 양쪽 효과 모두를 얻을 수 있다.

[0027] 첫 번째, 소스 전극 및 드레인 전극 각각은 제1 도전층 및 제2 도전층을 포함하는 적층 구조를 갖도록 형성되고, 제1 도전층의 단부로부터 채널 길이 방향으로 연장되는 영역이 제공된다; 따라서, 소스 전극 및 드레인 전극 위에 반도체층을 형성할 때 피복성이 향상된다. 따라서, 불량 접속 등의 발생이 방지될 수 있다.

[0028] 두 번째, 소스 전극 또는 드레인 전극에서, 채널 형성 영역에 접하는 영역의 부근이 고저항 영역이 됨으로써, 소스 전극과 드레인 전극 사이의 전계가 경감될 수 있다. 따라서, 임계 전압 감소 등의 단채널 효과가 억제될 수 있다.

[0029] 이러한 효과에 의해, 미세화에 수반되는 문제점이 해결될 수 있다. 그 결과, 트랜지스터의 크기를 충분히 줄일 수 있다. 트랜지스터 크기를 충분히 줄임으로써, 트랜지스터를 포함하는 반도체 장치의 면적이 줄어들고, 하나의 기판으로부터 얻어지는 반도체 장치의 수가 증가된다. 따라서, 반도체 장치의 제조 비용이 저감될 수 있다. 또한, 반도체 장치가 소형화되기 때문에, 더욱 증가된 기능을 갖추면서 크기에서 실질적으로 동일한 반도체 장치를 실현할 수 있다. 또한, 채널 길이의 축소에 따라, 트랜지스터의 고속 동작, 낮은 전력 소비 등의 효과를 얻을 수 있다. 따라서, 개시된 발명의 실시형태에 따라 산화물 반도체를 포함하는 트랜지스터의 미세화가 달성될 수 있고, 미세화에 부수하는 다양한 효과를 얻을 수 있다.

[0030] 전술된 바와 같이, 개시된 발명의 실시형태에 따라, 불량을 억제하고 양호한 특성을 유지하면서 미세화를 달성하는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0031] 첨부된 도면에서:

도 1의 (a) 내지 (d)는 반도체 장치의 단면도이다;

도 2의 (a) 내지 (f)는 반도체 장치의 제조 공정을 나타내는 단면도이다;

도 3의 (a) 내지 (f)는 반도체 장치의 제조 공정을 나타내는 단면도이다;

도 4는 반도체 장치의 단면도이다;

도 5의 (a) 내지 (f)는 반도체 장치의 제조 공정을 나타내는 단면도이다;

도 6의 (a1), (a2), 및 (b)는 반도체 장치의 회로도의 예를 나타낸다;

도 7a 및 도 7b는 반도체 장치의 회로도의 예를 나타낸다;

도 8a 내지 도 8c는 반도체 장치의 회로도의 예를 나타낸다;

도 9a 내지 도 9f는 전자 장치의 예를 나타낸다;

도 10a와 도 10b는 각각 시뮬레이션에 이용되는 트랜지스터의 모델을 나타내는 단면도이다;

도 11a 및 도 11b 각각은 채널 길이(L)(nm)와 임계 전압의 이동량(ΔVth) (V) 사이의 관계를 도시하는 그래프이다;

도 12a 및 도 12b 각각은 채널 길이(L)(nm)와 임계 전압의 이동량(ΔVth) (V) 사이의 관계를 도시하는 그래프이다;

도 13은 채널 길이(L)(nm)와 임계 전압의 이동량(ΔVth) (V) 사이의 관계를 도시하는 그래프이다;

발명을 실시하기 위한 구체적인 내용

[0032] 이하에서부터, 도면을 참조하여 본 발명의 실시형태들을 설명한다. 본 발명은 이하의 설명으로 한정되는 것은 아니며, 당업자라면 본 명세서의 사상과 범위로부터 벗어나지 않고 형태 및 세부사항이 다양한 방식으로 수정될 수 있다는 것을 용이하게 이해할 것이라는 점에 유의한다. 따라서, 본 발명이 이하의 실시형태들의 설명으로 제한되는 것으로 해석되어서는 안 된다.

[0033] 도면 등에 나타낸 각 구조의, 위치, 크기, 범위 등은, 용이한 이해를 위해 일부 경우에는 정확하게 표현된 것은 아니라는 점에 유의한다. 따라서, 개시된 발명은 반드시 도면 등에 개시된 위치, 크기, 및 범위 등으로 한정되지 않는다.

[0034] 본 명세서 등에서, "제1", "제2", 및 "제3" 등의 서수는, 구성요소들 간의 혼동을 피하기 위하여 이용되며, 이 용어들이 구성요소들의 수에 대한 한정을 의미하는 것은 아니다.

[0035] (실시형태 1)

[0036] 본 실시형태에서는, 개시된 발명의 실시형태에 따른 반도체 장치의 구조 및 제조 공정의 예를 도 1의 (a) 내지 (d)와, 도 2의 (a) 내지 (f)와, 도 3의 (a) 내지 (f)를 참조하여 설명한다.

[0037] <반도체 장치의 구조예>

[0038] 도 1의 (a) 내지 (d)에서는, 반도체 장치의 예로서, 트랜지스터의 단면 구조를 나타낸다. 도 1의 (a) 내지 (d)에서, 개시된 발명의 한 실시형태에 따른 트랜지스터로서 톱-게이트형 트랜지스터가 도시되어 있다.

[0039] 도 1의 (a)에 나타낸 트랜지스터(160)는, 기판(100) 위에, 제1 도전층(142a) 및 제2 도전층(145a)이 이 순서로 적층된 소스 전극; 제1 도전층(142b) 및 제2 도전층(145b)이 이 순서로 적층된 드레인 전극; 소스 전극 위에 제공된 절연층(143a); 드레인 전극 위에 제공된 절연층(143b); 절연층(143a 및 143b) 위에 제공된 산화물 반도체층(144); 산화물 반도체층(144) 위에 제공된 게이트 절연층(146); 및 게이트 절연층(146) 위에 제공된 게이트 전극(148)을 포함한다.

[0040] 도 1의 (a)에 나타낸 트랜지스터(160)에서, 제2 도전층(145a)은, 제1 도전층(142a)의 단부로부터 채널 길이 방향(캐리어가 흐르는 방향)으로 연장된 영역을 가지며, 제2 도전층(145a)과 산화물 반도체층(144)의 적어도 채널 형성 영역은 서로 접한다. 또한, 제2 도전층(145b)은, 제1 도전층(142b)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가지며, 제2 도전층(145b)과 산화물 반도체층(144)의 적어도 채널 형성 영역은 서로 접한다.

[0041] 더 구체적으로는, 제2 도전층(145a)은 제1 도전층(142a)의 단부로부터 드레인 전극을 향하여 채널 길이 방향(캐리어가 흐르는 방향)으로 연장되는 영역을 가진다. 또한, 제2 도전층(145b)은 제1 도전층(142b)의 단부로부터 소스 전극을 향하여 채널 길이 방향으로 연장되는 영역을 가진다.

[0042] 도 1의 (b)에 나타낸 트랜지스터(170)가 도 1의 (a)에 나타낸 트랜지스터(160)와 상이한 점은, 절연층(143a 및 143b)의 존재이다. 도 1의 (b)에 나타낸 트랜지스터(170)에서, 산화물 반도체층(144)은 제2 도전층(145a 및 145b)의 상면 및 단부와 접하도록 제공된다.

[0043] 도 1의 (b)에 나타낸 트랜지스터(170)에서도, 트랜지스터(160)에서와 같이, 제2 도전층(145a)은 제1 도전층(142a)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가지며, 제2 도전층(145b)은 제1 도전층(142b)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가진다.

[0044] 도 1의 (c)에 나타낸 트랜지스터(180)가 도 1의 (a)에 나타낸 트랜지스터(160)와 상이한 점은, 제1 도전층(142a) 및 제2 도전층(145a)의 적층 순서와, 제1 도전층(142b) 및 제2 도전층(145b)의 적층 순서이다. 도 1의 (c)에 나타낸 트랜지스터(180)는, 제2 도전층(145a) 및 제1 도전층(142a)이 이 순서로 적층되어 있는 소스 전극과, 제2 도전층(145b) 및 제1 도전층(142b)이 이 순서로 적층되어 있는 드레인 전극을 가진다.

[0045] 또한, 도 1의 (c)에 나타낸 트랜지스터(180)에서, 제2 도전층(145a)은 제1 도전층(142a)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가지며, 제2 도전층(145b)은 제1 도전층(142b)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가진다. 따라서, 절연층(143a)은, 제1 도전층(142a), 및 제1 도전층(142a)의 단부로부터 채널 길이 방향으로 연장되는 제2 도전층(145a)의 영역에 접하도록 제공된다. 또한, 절연층(143b)은, 제1 도전층(142b), 및 제1 도전층(142b)의 단부로부터 채널 길이 방향으로 연장되는 제2 도전층(145b)의 영역에 접하도록 제공된다.

[0046] 도 1의 (d)에 나타낸 트랜지스터(190)가 도 1의 (c)에 나타낸 트랜지스터(180)와 상이한 점은, 절연층(143a 및 143b)의 존재이다. 도 1의 (d)에 나타낸 트랜지스터(190)에서는, 제1 도전층(142a 및 142b), 및 제1 도전층(142a)의 단부로부터 채널 길이 방향으로 연장되는 제2 도전층(145a)의 영역, 및 제1 도전층(142b)의 단부로부터 채널 길이 방향으로 연장되는 제2 도전층(145b)의 영역에 접하도록 산화물 반도체층(144)이 제공된다.

[0047] 도 1의 (d)에 나타낸 트랜지스터(190)에서, 제2 도전층(145a)은, 제1 도전층(142a)의 단부로부터 채널 길이 방향으로 연장된 영역을 가지며, 제2 도전층(145a)과 산화물 반도체층(144)의 적어도 채널 형성 영역은 서로 접한다. 또한, 제2 도전층(145b)은, 제1 도전층(142b)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가지며, 제2 도전층(145b)과 산화물 반도체층(144)의 적어도 채널 형성 영역은 서로 접한다.

[0048] <트랜지스터의 제조 공정의 예>

[0049] 도 1의 (a) 내지 (d)에 나타낸 트랜지스터의 제조 공정의 예를, 도 2의 (a) 내지 (f)와 도 3의 (a) 내지 (f)를 참조하여 이하에서 설명한다.

[0050] <트랜지스터(160) 및 트랜지스터(170)의 제조 공정>

[0051] 우선, 도 2의 (a) 내지 (f)를 참조하여, 도 1의 (a)에 나타낸 트랜지스터(160)의 제조 공정의 예를 설명한다. 도 1의 (b)에 나타낸 트랜지스터(170)에 대해서는, 절연층(143a 및 143b)이 제공되지 않는다는 점을 제외하고는 트랜지스터(160)의 제조 공정을 참조할 수 있다; 따라서, 상세한 설명은 생략한다는 점에 유의한다.

[0052] 우선, 절연면을 갖는 기판(100) 위에 제1 도전막이 형성되고, 제1 도전막에 대해 에칭을 선택적으로 실시하여, 제1 도전층(142a 및 142b)을 형성한다(도 2의 (a) 참조). 제1 도전막은, 예를 들어, 50 nm 내지 500 nm의 두께를 가진다.

[0053] 기판이 적어도 이후의 열 처리를 견딜 수 있는 내열성을 갖는 한, 기판(100)으로서 사용될 수 있는 기판에 관해서는 특별한 제한이 없다는 점에 유의한다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등의 기판을 이용될 수 있다. 기판(100)이 절연면을 갖는 한, 실리콘, 탄화 실리콘 등의 단결정 반도체 기판 또는 다결정 반도체 기판; 실리콘 게르마늄 등의 화합물 반도체 기판; SOI 기판 등이 기판(100)으로서 이용될 수 있으며, 이러한 기판 위에 반도체 소자가 제공될 수 있다. 또한, 기판(100) 위에 하지막(base film)이 제공될 수도 있다.

[0054] 제1 도전막은 스퍼터링법 등의 PVD법, 플라즈마 CVD법 등의 CVD법에 의해 형성될 수 있다. 제1 도전층의 재료로서, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 원소, 그 질화물, 전술된 원소들 중 임의의 원소를 성분으로서 포함하는 합금 등이 이용될 수 있다. 망간, 마그네슘, 지르코늄, 및 베릴륨 중 임의의 것이나, 이들 중 임의의 것을 조합하여 포함하는 재료가 이용될 수도 있다. 또한, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 원소와 조합된 알루미늄, 또는 이들 중 임의의 것을 조합하여 포함하는 재료가 이용될 수도 있다.

[0055] 제1 도전층은 단층 구조 또는 2층 이상의 적층 구조를 가질 수도 있다. 예를 들어, 제1 도전막은, 티타늄층의 단층 구조, 실리콘을 포함한 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층된 2층 구조, 또는 티타늄막과 알루미늄막과 티타늄막이 이 순서로 적층된 3층 구조를 가질 수도 있다. 제1 도전층이 단층 구조를 갖는 경우, 제1 도전층이 테이퍼링된 형상을 각각 갖는 소스 및 드레인 전극으로 용이하게 가공될 수 있다는 이점이 있다는 점에 유의한다.

[0056] 제1 도전막은 도전성 금속 산화물을 이용하여 형성될 수도 있다. 도전성 금속 산화물로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐 - 산화 주석 합금(일부 경우에는 ITO로 약기되는, In_2O_3-SnO_2), 산화 인듐 - 산화 아연 합금(In_2O_3-ZnO), 또는 실리콘이나 산화 실리콘이 포함된 이들 금속 산화물 재료들 중 임의의 재료가 이용될 수 있다.

[0057] 제1 도전막은, 제1 도전층(142a 및 142b)의 단부가 테이퍼링되도록 에칭되는 것이 바람직하다. 여기서, 테이퍼링 각도 α1은 기판 표면에 대한 제1 도전층(142a)의 단부의 측면의 각도이며, 테이퍼링 각도 β1은 기판 표면에 대한 제1 도전층(142b)의 단부의 측면의 각도이다. 예를 들어, 테이퍼링 각도 α1과 테이퍼링 각도 β1 각각은 30° 이상 60° 이하인 것이 바람직하다(도 2의 (a) 참조).

[0058] 그 다음, 제1 도전층(142a 및 142b)과 기판(100)을 덮도록 제2 도전막(145)이 형성된다. 제2 도전막(145)의 두께는, 3 nm 내지 30 nm, 바람직하게는 5 nm 내지 15 nm이다.

[0059] 제2 도전막(145)은 제1 도전막과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 제2 도전막의 재료로서, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 원소, 그 질화물, 전술된 원소들 중 임의의 원소를 성분으로서 포함하는 합금 등이 이용될 수 있다. 망간, 마그네슘, 지르코늄, 및 베릴륨 중 임의의 것이나, 이들 중 임의의 것을 조합하여 포함하는 재료가 이용될 수도 있다. 대안으로서, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 원소와 조합된 알루미늄, 또는 이들 중 임의의 것을 조합하여 포함하는 재료가 이용될 수도 있다. 추가의 대안으로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐 - 산화 주석 합금(일부 경우에는 ITO로 약기되는, In_2O_3-SnO_2), 산화 인듐 - 산화 아연 합금(In_2O_3-ZnO), 또는 실리콘이나 산화 실리콘을 포함하는 이들 금속 산화물 재료들 중 임의의 재료 등의 도전성 금속 산화물이 이용될 수도 있다.

[0060] 제2 도전막(145)의 재료로서, 제1 도전층(142a 및 142b)보다 높은 저항을 갖는 재료를 이용하는 것이 바람직하다. 이것은, 제조되는 트랜지스터(160)의 소스 전극 및 드레인 전극에서, 산화물 반도체층의 채널 형성 영역에 접하는 영역이 그 외의 영역보다 고저항이 됨으로써, 소스 전극과 드레인 전극 사이의 전계가 완화되고, 단채널 효과가 제어될 수 있기 때문이다. 제2 도전막(145)에 이용되는 도전 재료로서, 예를 들어, 질화 티타늄, 질화 텅스텐, 질화 탄탈, 또는 질화 몰리브덴 등의 금속 질화물을 이용하는 것이 바람직하다. 제2 도전막(145)은 소스 전극 또는 드레인 전극의 한 부분으로서 역할하며, 산화물 반도체층에 접한다; 따라서, 산화물 반도체층과의 접촉에 의해 화학적 반응을 야기하지 않는 재료를 이용하는 것이 바람직하다. 이 점에서, 전술된 금속 질화물

이 바람직하다.

[0061] 그 다음, 제2 도전막(145) 위에 50 nm 내지 300 nm의 두께, 바람직하게는 100 nm 내지 200 nm의 두께를 갖는 절연막(143)이 형성된다(도 2의 (a) 참조). 본 실시형태에서는, 절연막(143)으로서, 산화 실리콘막이 형성된다. 도 1의 (b)의 트랜지스터(170)에 나타낸 바와 같이, 절연막(143)이 반드시 형성될 필요는 없다. 그러나, 절연막(143)이 제공되는 경우, 이후에 형성되는 소스 전극 및 드레인 전극 각각과 산화물 반도체층 사이의 접촉 영역(접촉 면적 등)이 용이하게 제어될 수 있다. 즉, 소스 전극 또는 드레인 전극의 저항이 용이하게 제어될 수 있고, 단채널 효과가 효과적으로 제어될 수 있다. 또한, 절연막(143)을 제공함으로써, 이후에 형성되는 게이트 전극과 소스 전극 및 드레인 전극 각각과의 사이의 기생 용량이 저감될 수 있다.

[0062] 그 다음, 절연막(143) 위에 마스크가 형성되고, 그 마스크를 이용하여 절연막(143)이 에칭됨으로써, 절연층(143a 및 143b)이 형성된다(도 2의 (b) 참조). 절연막(143)의 에칭에 대해, 습식 에칭 또는 건식 에칭이 이용될 수 있다. 대안으로서, 습식 에칭과 건식 에칭이 조합되어 이용될 수도 있다. 원하는 형상으로 절연막이 에칭될 수 있도록 재료에 따라 적절하게 에칭 조건(예를 들어, 에칭 가스나 에칭액, 에칭 시간, 및 온도)이 설정된다. 그러나, 트랜지스터의 채널 길이(*L*)의 미세가공(microfabrication)을 위해 건식 에칭을 이용하는 것이 바람직하다. 건식 에칭에 이용되는 에칭 가스로서, 예를 들어, 6불화 유황(SF_6), 3불화 질소(NF_3), 또는 3불화 메탄(CHF_3) 등의 불소를 포함한 가스, 4불화 탄소(CF_4)와 수소의 혼합 가스 등을 이용할 수 있다. 건식 에칭을 위한 에칭 가스에, 희가스(헬륨(He), 아르곤(Ar), 또는 크세논(Xe)), 일산화탄소, 이산화탄소 등이 첨가될 수도 있다.

[0063] 그 다음, 절연막(143)의 에칭에 이용되는 마스크를 이용함으로써, 제2 도전막(145)이 에칭되어 제2 도전층(145a 및 145b)이 형성된다(도 2의 (c) 참조). 제2 도전막(145)이 에칭되기 이전에 마스크가 제거되고, 절연층(143a 및 143b)을 마스크로서 이용하여 제2 도전막(145)이 에칭될 수도 있다. 또한, 도 1의 (b)의 트랜지스터(170)에 나타낸 바와 같이, 절연층이 제공되지 않는 경우, 제2 도전막(145) 위에 직접 마스크가 형성되고 제2 도전막(145)이 에칭될 수도 있다. 제2 도전막(145)은, 제2 도전층(145a 및 145b)의 단부가 테이퍼링되도록 에칭되는 것이 바람직하다. 절연층(143)이 제공되는 경우, 절연층(143a 및 143b)의 단부도 역시 테이퍼링되도록 에칭이 실시되는 것이 바람직하다. 여기서, 테이퍼링 각도 α2는 기판 표면에 대한 제2 도전층(145a)의 단부의 측면과 절연막(143a)의 각도이며, 테이퍼링 각도 β2는 기판 표면에 대한 제2 도전층(145b)의 단부의 측면과 절연층(143b)의 각도이다. 예를 들어, 테이퍼링 각도 α2와 테이퍼링 각도 β2 각각은 30° 이상 60° 이하인 것이 바람직하다.

[0064] 제2 도전막(145)의 에칭에 대해, 습식 에칭 또는 건식 에칭이 이용될 수 있다. 대안으로서, 습식 에칭과 건식 에칭이 조합되어 이용될 수도 있다. 원하는 형상으로 제2 도전막(145)이 에칭될 수 있도록 재료에 따라 적절하게 에칭 조건(예를 들어, 에칭 가스나 에칭액, 에칭 시간, 및 온도)이 설정된다. 그러나, 트랜지스터의 채널 길이(*L*)의 미세가공을 위해 건식 에칭을 이용하는 것이 바람직하다. 제2 도전막(145)의 에칭에 이용되는 에칭 가스로서, 예를 들어, 염소(Cl_2), 3염화 붕소(BCl_3), 4염화 실리콘($SiCl_4$), 4불화 탄소(CF_4), 6불화 유황(SF_6), 3불화 질소(NF_3), 또는 전술된 가스들 중 2종 이상으로부터 선택된 혼합 가스를 이용할 수도 있다. 또한, 건식 에칭을 위한 에칭 가스에, 희가스(헬륨(He) 또는 아르곤(Ar)), 산소 등이 첨가될 수도 있다. 또한, 절연막(143)의 에칭에 이용되는 가스와 동일한 가스를 이용하여 제2 도전막(145)이 연속적으로 에칭될 수 있다.

[0065] 이 에칭 공정에 의해, 제1 도전층(142a) 및 제2 도전층(145a)이 적층된 소스 전극과 제1 도전층(142b) 및 제2 도전층(145b)이 적층된 드레인 전극이 형성된다. 에칭에 이용하는 마스크를 적절히 조정함으로써, 제1 도전층(142a)의 단부로부터 채널 길이 방향으로 연장되는 영역을 갖는 제2 도전층(145a), 및 제1 도전층(142b)의 단부로부터 채널 길이 방향으로 연장되는 영역을 갖는 제2 도전층(145b)이 형성될 수 있다.

[0066] 트랜지스터(160)의 채널 길이(*L*)는, 제2 도전층(145a)의 하단부와 제2 도전층(145b)의 하단부 사이의 간격에 의해 결정된다는 점에 유의한다. 채널 길이(*L*)는 트랜지스터(160)의 용도에 따라서 다르며, 예를 들어 10 nm 내지 1000 nm, 바람직하게는 20 nm 내지 400 nm일 수 있다.

[0067] 25 nm미만의 채널 길이(*L*)를 갖는 트랜지스터가 형성되는 경우, 절연막(143) 및 제2 도전막(145)의 에칭에 이용되는 마스크의 형성을 위한 노광에 대해, 수 nm 내지 수십 nm로 파장이 짧은 초자외선을 이용하는 것이 바람직하다는 점에 유의한다. 초자외선에 의한 노광에서는, 해상도가 높고 초점 심도가 크다. 이러한 이유 때문에, 이후에 형성되는 트랜지스터의 채널 길이(*L*)가 충분히 저감될 수 있고, 회로가 고속으로 동작할 수 있다. 또한, 미세화에 의해 반도체 장치의 전력 소비가 저감될 수 있다.

[0068] 제2 도전층에서, 제1 도전층의 단면으로부터 채널 길이 방향으로 연장되는 영역은, 이후의 산화물 반도체층 및 게이트 절연층 형성 단계에서 피복성을 향상시키는 효과를 가진다. 제2 도전층(145a)에서, 제1 도전층(142a)의 단부로부터 채널 길이 방향으로 연장되는 영역의 채널 길이 방향의 길이(L_S)와, 제1 도전층(142b)의 단부로부터 채널 길이 방향으로 연장되는 영역의 채널 길이 방향의 길이(L_D)는 항상 동일한 것은 아니다. 그러나, 하나의 기판 위에 복수의 트랜지스터(160)가 제공되는 경우, L_S와 L_D의 총 길이는 거의 일정하다.

[0069] 그 다음, 스퍼터링법을 이용하여 절연층(143a 및 143b)과 기판(100) 위에 산화물 반도체층(144)이 형성된다(도 2의 (d) 참조). 산화물 반도체층(144)은, 예를 들어, 3 nm 내지 30 nm, 바람직하게는, 5 nm 내지 15 nm의 두께를 가진다. 형성된 산화물 반도체층(144)은 적어도 그 채널 형성 영역에서 제2 도전층(145a 및 145b)에 접한다.

[0070] 여기서, 제2 도전층(145a 및 145b)은, 각각, 제1 도전층(142a 및 142b)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가진다; 따라서, 소스 전극 및 드레인 전극의 단부의 단차가 완만하게 될 수 있다. 따라서, 산화물 반도체층(144)의 피복성을 향상시키고 막의 파열을 방지할 수 있다.

[0071] 제조되는 트랜지스터(160)의 소스 전극 및 드레인 전극은, 각각, 제2 도전층(145a 및 145b)의 단부에서만 산화물 반도체층(144)에 접한다는 점에 유의한다. 따라서, 접촉 면적은, 트랜지스터(160)의 소스 전극 및 드레인 전극의 상면도 역시 산화물 반도체층(144)에 접하는 경우에 비해, 극적으로 저감될 수 있다. 이러한 방식으로 소스 전극 및 드레인 전극과 산화물 반도체층(144)의 접촉 면적을 저감시킴으로써, 접촉 계면에서의 컨택트 저항이 증가될 수 있고, 소스 전극과 드레인 전극의 사이의 전계가 완화될 수 있다. 개시된 발명의 기술 사상은, 소스 전극 및 드레인 전극에 고저항 영역을 형성하는 것이라는 점에 유의한다. 따라서, 소스 전극 및 드레인 전극이 정확하게 제2 도전층(145a 및 145b)의 단부에서만 산화물 반도체층(144)에 접할 필요는 없다. 예를 들어, 제2 도전층(145a 및 145b)의 상면의 일부만이 산화물 반도체층(144)에 접할 수도 있다.

[0072] 산화물 반도체층(144)으로서, 다음과 같은 산화물 반도체층 중 임의의 것이 이용될 수 있다: 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체; 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, 또는 Sn-Al-Zn-O계 산화물 반도체막; 2원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, 또는 In-Mg-O계 산화물 반도체; 또는 1원계 금속 산화물인 In-O계 산화물 반도체, Sn-O계 산화물 반도체, 또는 Zn-O계 산화물 반도체.

[0073] 특히, In-Ga-Zn-O계의 산화물 반도체 재료는 전계가 없을 때 충분히 높은 저항을 가지므로 오프 전류가 충분히 저감될 수 있다. 또한, 높은 전계 효과 이동도를 가지기 때문에, In-Ga-Zn-O계의 산화물 반도체 재료는 반도체 재료로서 바람직하다.

[0074] In-Ga-Zn-O계의 산화물 반도체 재료의 대표적인 예로서, $InGaO_3(ZnO)_m$ (m>0이고 자연수가 아님)으로 표기되는 것을 들 수 있다. Ga 대신에 M을 이용하여, $InMO_3(ZnO)m$ (m>0이고 자연수가 아님)으로 표기되는 산화물 반도체 재료가 있다. 여기서, M은, 갈륨(Ga), 알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등으로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들어, M은 Ga, Ga 및 Al, Ga 및 Fe, Ga 및 Ni, Ga 및 Mn, Ga 및 Co 등일 수도 있다. 전술된 조성은 산화물 반도체 재료의 결정 구조로부터 도출되며, 단지 예일 뿐이라는 점에 유의한다.

[0075] 스퍼터링법에 의해 산화물 반도체층(144)을 형성하기 위한 타겟으로서 In : Ga : Zn=1 : x : y(x는 0 이상, y는 0.5 이상 5 이하)의 조성비를 갖는 타겟이 이용되는 것이 바람직하다. 예를 들어, In_2O_3 : Ga_2O_3 : ZnO=1 : 1 : 2 [몰비] 의 조성비를 갖는 금속 산화물 타겟 등이 이용될 수 있다. 대안으로서, In_2O_3 : Ga_2O_3 : ZnO=1 : 1 : 1 [몰비] 의 조성비를 갖는 금속 산화물 타겟, In_2O_3 : Ga_2O_3 : ZnO=1 : 1 : 4 [몰비] 의 조성비를 갖는 금속 산화물 타겟, 또는 In_2O_3 : Ga_2O_3 : ZnO=1 : 0 : 2 [몰비] 의 조성비를 갖는 금속 산화물 타겟이 이용될 수 있다.

[0076] 본 실시형태에서는, 아몰퍼스 구조를 갖는 산화물 반도체층(144)이 In-Ga-Zn-O계의 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 형성된다.

[0077] 금속 산화물 타겟에서 금속 산화물의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더욱 바람직하게는 99.9% 이상이다. 높은 상대 밀도를 갖는 금속 산화물 타겟을 이용하여, 치밀한 구조를 갖는 산화물 반도체층(144)이

형성될 수 있다.

[0078] 산화물 반도체층(144)이 형성되는 분위기는, 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는 아르곤)와 산소의 혼합 분위기인 것이 바람직하다. 구체적으로는, 예를 들어, 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거되어, 그 농도가 1 ppm 이하(바람직하게는 10 ppb 이하)가 되는 고순도 가스 분위기를 이용하는 것이 바람직하다.

[0079] 산화물 반도체층(144)의 형성시, 예를 들어, 감압 하에 유지된 처리 챔버에 피처리물(object)(여기서는, 기판(100)을 포함하는 구조물)이 보관유지되고, 피처리물이 100℃ 이상 550℃ 미만, 바람직하게는 200℃ 이상 400℃ 이하의 온도까지 가열된다. 대안으로서, 산화물 반도체층(144)의 형성시의 피처리물의 온도는 실온일 수도 있다. 처리 챔버 내의 잔류 수분이 제거되면서 수소, 물 등이 제거된 스퍼터링 가스가 도입되고, 타겟을 이용하여 산화물 반도체층(144)이 형성된다. 피처리물이 가열되면서 산화물 반도체층(144)이 형성되므로, 산화물 반도체층(144)에 포함되는 불순물이 저감될 수 있다. 또한, 스퍼터링에 기인한 손상이 저감될 수 있다. 처리 챔버 내의 수분을 제거하기 위하여, 흡착형 진공 펌프(entrapment vacuum pump)가 이용되는 것이 바람직하다. 예를 들어, 크라이오펌프(cryopump), 이온 펌프, 또는 티타늄 승화 펌프(titanium sublimation pump) 등이 이용될 수 있다. 콜드 트랩(cold trap)을 갖춘 터보 펌프(turbo pump)가 이용될 수도 있다. 크라이오펌프 등을 이용한 배기에 의해, 처리 챔버로부터 수소, 물 등이 제거됨으로써, 산화물 반도체층(144)의 불순물 농도가 저감될 수 있다.

[0080] 산화물 반도체층(144)은 예를 들어 다음과 같은 조건 하에서 형성될 수 있다: 피처리물과 타겟의 사이의 거리가 170 mm, 압력이 0.4 Pa, 직류(DC) 전력이 0.5 kW, 분위기는 산소(산소 100%) 분위기, 아르곤(아르곤 100%) 분위기, 또는 산소와 아르곤의 혼합 분위기. 펄스 직류(DC) 전원은, 성막시에 발생되는 분말 물질(입자 또는 먼지라고도 함)을 경감할 수 있고 막 두께를 균일하게 할 수 있기 때문에 바람직하다. 산화물 반도체층(144)의 두께는 3 nm 내지 30 nm, 바람직하게는 5 nm 내지 15 nm이다. 이러한 두께를 갖는 산화물 반도체층(144)을 이용하면, 미세화에 기인한 단채널 효과를 억제할 수 있다. 이용되는 산화물 반도체 재료, 반도체 장치의 용도 등에 따라 적절한 두께가 다르다; 따라서, 이용되는 재료, 용도 등에 따라 두께를 적절하게 설정할 수 있다는 점에 유의한다.

[0081] 산화물 반도체층(144)이 스퍼터링법에 의해 형성되기 전에, 아르곤 가스를 도입해 플라즈마를 발생시키는 역스퍼터링에 의해, 산화물 반도체층(144)이 형성된 표면(예를 들어, 절연층(143a 및 143b)의 표면)에 부착된 물질을 제거하는 것이 바람직하다는 점에 유의한다. 여기서, 역스퍼터링이란, 스퍼터링 타겟에 이온을 충돌시키는 통상의 스퍼터링과는 대조적으로, 처리될 표면에 이온을 충돌시켜 표면을 개질하는 방법을 말한다. 처리될 표면에 이온을 충돌시키는 방법의 예로서, 아르곤 분위기에서 처리될 표면에 고주파 전압을 인가하여 피처리물 부근에 플라즈마를 생성하는 방법이 있다. 아르곤 분위기에 대신에 질소 분위기, 헬륨 분위기, 산소 분위기 등이 이용될 수도 있다는 점에 유의한다.

[0082] 그 후, 산화물 반도체층(144)에 열 처리(제1 열 처리)를 실시하는 것이 바람직하다. 제1 열 처리에 의해 산화물 반도체층(144)에 포함된 과잉 수소(물과 수산기 포함)가 제거될 수 있다; 따라서, 산화물 반도체층의 구조가 개선될 수 있고, 에너지 갭 내의 결함 준위가 저감될 수 있다. 제1 열 처리의 온도는, 예를 들어, 300℃ 이상 550℃ 미만, 또는 400℃ 이상 500℃ 이하이다.

[0083] 열 처리는, 예를 들어, 저항 발열체 등을 이용하는 전기로 내에 피처리물을 도입하여, 질소 분위기하 450℃에서 1시간 동안 가열하는 방식으로 실시될 수 있다. 산화물 반도체층(144)은, 물과 수소의 혼입이 방지될 수 있도록 열 처리 동안에 대기에 노출되지 않는다.

[0084] 열 처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열 복사나 열 전도에 의해 피처리물을 가열하는 장치일 수도 있다. 예를 들어, LRTA(lamp rapid thermal annealing) 장치 또는 GRTA(gas rapid thermal annealing) 장치 등의 RTA(rapid thermal annealing) 장치가 이용될 수 있다. LRTA 장치는, 할로겐 램프(halogen lamp), 메탈 핼라이드 램프(metal halide lamp), 크세논 아크 램프(xenon arc lamp), 카본 아크 램프(carbon arc lamp), 고압 나트륨 램프(high pressure sodium lamp), 또는 고압 수은 램프(high pressure mercury lamp) 등의 램프로부터 방출되는 광(전자기파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 열 처리를 실시하기 위한 장치이다. 가스로서는, 열 처리에 의해 피처리물과 반응하지 않는 불활성 가스, 예를 들어, 아르곤 등의 희가스나 질소가 이용된다.

[0085] 예를 들어, 제1 열 처리로서, GRTA 처리는 다음과 같이 실시될 수도 있다. 가열된 불활성 가스 분위기에 피처

리물을 두고, 수 분간 가열한 후, 불활성 가스 분위기로부터 피처리물을 꺼낸다. GRTA 처리는 단시간 동안 고온의 열 처리를 가능케 한다. 또한, 온도가 피처리물의 온도 상한을 초과하는 때에도 GRTA 처리가 이용될 수 있다. 처리 동안에 불활성 가스가, 산소를 포함한 가스로 전환될 수도 있다는 점에 유의한다. 이것은, 산소를 포함한 분위기에서 제1 열 처리를 실시함으로써 산소 결손에 의해 야기되는 에너지 갭 내의 결함 준위가 저감될 수 있기 때문이다.

[0086] 불활성 가스 분위기로서, 질소, 또는 희가스(예를 들어, 헬륨, 네온, 또는 아르곤)를 주성분으로서 포함하고 물, 수소 등을 포함하지 않는 분위기를 이용하는 것이 바람직하다는 점에 유의한다. 예를 들어, 열 처리 장치 내에 도입되는 질소나, 헬륨, 네온, 또는 아르곤 등의 희가스의 순도는, 6 N(99.9999 %) 이상, 바람직하게는 7 N(99.99999 %) 이상이다(즉, 불순물 농도는 1 ppm 이하, 바람직하게는 0.1 ppm 이하이다).

[0087] 어쨌든, 제1 열 처리에 의해 불순물이 저감된 i형(진성) 또는 실질적으로 i형인 산화물 반도체층(144)이 형성되고, 이것은 극히 우수한 특성을 갖는 트랜지스터가 실현될 수 있게 한다.

[0088] 상기 열 처리(제1 열 처리)는, 수소, 물 등을 제거하는 효과 때문에, 상기 열 처리를, 탈수화 처리나, 탈수소화 처리 등이라고 부를 수 있다. 탈수화 처리나 탈수소화 처리는, 예를 들어, 산화물 반도체층이 형성된 후, 게이트 절연층이 형성된 후, 또는 게이트 전극이 형성된 후에 실시될 수 있다. 이러한 탈수화 처리 또는 탈수소화 처리는, 한 번 또는 복수 회 실시될 수도 있다.

[0089] 그 다음, 산화물 반도체층(144)에 접하는 게이트 절연층(146)이 형성된다(도 2의 (e) 참조). 여기서, 제2 도전층(145a 및 145b)은, 각각, 제1 도전층(142a 및 142b)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가진다; 따라서, 소스 전극 및 드레인 전극의 단부의 단차가 완만하게 될 수 있다. 따라서, 게이트 절연층(146)의 피복성을 향상시키고 막의 파열을 방지할 수 있다.

[0090] 게이트 절연층(146)은 CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 게이트 절연층(146)은, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 산화 탄탈, 산화 하프늄, 산화 이트륨, 하프늄 실리케이트($HfSi_xO_y$(x>0, y>0)), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$(x>0, y>0, z>0)), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$(x>0, y>0, z>0)) 등을 포함하도록 형성되는 것이 바람직하다. 게이트 절연층(146)은 단층 구조 또는 적층 구조를 가질 수도 있다. 두께에 관해서는 특별한 제한이 없다; 그러나, 반도체 장치가 미세화되는 경우, 그 두께는 트랜지스터의 동작을 보장하기 위해 작은 것이 바람직하다. 예를 들어, 산화 실리콘이 이용되는 경우, 그 두께는, 1 nm 이상 100 nm 이하, 바람직하게는, 10 nm 이상 50 nm 이하로 설정될 수 있다.

[0091] 전술된 바와 같이, 게이트 절연층(146)이 얇게 만들어지면, 터널링 효과 등에 기인한 게이트 리크의 문제가 있다. 게이트 리크의 문제를 해결하기 위해, 게이트 절연층(146)에 대해, 산화 하프늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트($HfSi_xO_y$ (x>0, y>0)), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$ (x>0, y>0, z>0)), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$ (x>0, y>0, z>0)) 등의 고유전율(high-k) 재료를 이용하는 것이 바람직하다. 게이트 절연층(146)에 대해 하이-k(high-k) 재료를 이용함으로써, 전기적 특성이 확보될 수 있고 게이트 리크를 방지하기 위해 두께가 증가될 수 있다. 하이-k(high-k) 재료를 포함하는 막과, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄 등 중에서 임의의 것을 포함하는 막과의 적층 구조가 역시 이용될 수도 있다는 점에 유의한다.

[0092] 게이트 절연층(146)이 형성된 후, 불활성 가스 분위기 또는 산소 분위기에서 제2 열 처리가 실시되는 것이 바람직하다. 열 처리의 온도는 200℃ 이상 450℃ 이하, 바람직하게는, 250℃ 이상 350℃ 이하로 설정된다. 예를 들어, 열 처리는 질소 분위기하 250℃에서 1시간 동안 실시될 수도 있다. 제2 열 처리는 트랜지스터의 전기적 특성의 변동을 저감할 수 있다. 또한, 게이트 절연층(146)이 산소를 포함하는 경우, 산화물 반도체층(144)에 산소가 공급되어 산화물 반도체층(144)의 산소 결손을 커버함으로써, i형(진성) 또는 실질적으로 i형인 산화물 반도체층이 형성될 수 있다.

[0093] 본 실시형태에서는, 게이트 절연층(146)이 형성된 후에 제2 열 처리가 실시되고 있지만, 제2 열 처리의 타이밍은 이것으로 한정되지 않는다는 점에 유의한다. 예를 들어, 제2 열 처리는 게이트 전극이 형성된 후에 실시될 수도 있다. 대안으로서, 제1 열 처리에 후속하여 제2 열 처리가 실시되거나, 제1 열 처리가 제2 열 처리로서도 역할하거나, 제2 열 처리가 제1 열 처리로서 역할할 수도 있다.

[0094] 전술된 바와 같이, 제1 열 처리와 제2 열 처리 중 적어도 하나가 적용됨으로써, 산화물 반도체층(144)이 그 주성분이 아닌 불순물의 양을 최소화하도록 고순도화될 수가 있다. 산화물 반도체층(144)의 수소 농도는, 5×10^{19}

atoms/cm^3 이하, 바람직하게는 5×10^{18} atoms/cm^3이하, 보다 바람직하게는 5×10^{17} atoms/cm^3 이하일 수 있다. 따라서, 오프 전류가 충분히 작다. 예를 들어, 실온에서의 트랜지스터(160)의 오프 전류(여기서는, 단위 채널 폭(1㎛)당)는, 100 zA/㎛(1 zA(젭토암페어)는 1×10^{-21} A) 이하, 바람직하게는, 10 zA/㎛ 이하이다.

[0095] 그 다음, 산화물 반도체층(144)의 채널 형성 영역과 중첩하는 영역에서 게이트 절연층(146) 위에 게이트 전극(148)이 형성된다(도 2의 (f) 참조). 게이트 전극(148)은, 게이트 절연층(146) 위에 도전막이 형성된 다음 선택적으로 에칭되는 방식으로 형성될 수 있다. 게이트 전극(148)이 되는 도전막은, 스퍼터링법으로 대표되는 PVD법이나 플라즈마 CVD법 등의 CVD법에 의해 형성될 수 있다. 상세한 내용은 소스 전극, 드레인 전극 등의 경우와 유사하다; 따라서, 그 설명을 참조할 수 있다. 그러나, 게이트 전극(148)의 재료의 일 함수가 산화물 반도체층(144)의 전자 친화력과 대략 동일하거나 그것보다 작다면, 트랜지스터가 미세화되는 경우 임계 전압이 때때로 음의 방향으로 이동(shift)된다. 따라서, 산화물 반도체층(144)의 전자 친화력보다 큰 일 함수를 갖는 재료를 이용하는 것이 바람직하다. 이러한 재료로서는, 예를 들어, 텅스텐, 백금, 금, p형의 도전성을 부여한 실리콘 등을 들 수 있다.

[0096] 상기 단계를 통해, 산화물 반도체층(144)을 포함하는 트랜지스터(160)가 완성된다.

[0097] <트랜지스터(180) 또는 트랜지스터(190)의 제조 공정>

[0098] 그 다음, 도 1의 (c)에 나타낸 트랜지스터(180)의 제조 공정의 예를, 도 3의 (a) 내지 (f)를 참조하여 설명한다. 도 1의 (d)에 나타낸 트랜지스터(190)에 대해서는, 절연층(143a 및 143b)이 제공되지 않는다는 점을 제외하고는 트랜지스터(180)의 제조 공정을 참조할 수 있다; 따라서, 상세한 설명은 생략한다는 점에 유의한다.

[0099] 기판(100) 위에 제2 도전막(145)이 형성된다. 제2 도전막(145)은, 예를 들어, 3 nm 내지 30 nm, 바람직하게는, 5 nm 내지 15 nm의 두께를 가진다. 그 다음, 제2 도전막(145) 위에 제1 도전막이 형성된 다음 선택적으로 에칭됨으로써, 제1 도전층(142a 및 142b)이 형성된다. 그 후, 제1 도전층(142a 및 142b) 및 제2 도전막(145) 위에 절연막(143)이 형성된다(도 3의 (a) 참조).

[0100] 제2 도전막 위에 제1 도전막이 형성되는 경우, 제1 도전막과 제2 도전막에 대해 에칭 선택성(etching selectivity)을 얻을 수 있는 재료가 선택된다는 점에 유의한다. 또한, 제2 도전막에 대해 제1 도전막보다 높은 저항을 갖는 재료가 이용되는 것이 바람직하다. 본 실시형태에서, 제2 도전막(145)으로서 질화 티타늄막이 형성된다; 제1 도전막으로서 텅스텐막 또는 몰리브덴막이 형성된다; 4불화 탄소(CF_4)와 염소(Cl_2)와 산소(O_2)의 혼합 가스, 4불화 탄소(CF_4)와 산소(O_2)의 혼합 가스, 6불화 유황(SF_6)과 염소(Cl_2)와 산소(O_2)와의 혼합 가스, 또는 6불화 유황(SF_6)과 산소(O_2)의 혼합 가스를 이용하여 제1 도전막이 에칭됨으로써, 제1 도전층(142a 및 142b)이 형성된다.

[0101] 도 1의 (d)의 트랜지스터(190)에 나타낸 바와 같이, 절연막(143)이 반드시 형성될 필요는 없다. 그러나, 절연막(143)을 제공함으로써, 이후에 형성되는 게이트 전극과 소스 전극 및 드레인 전극 각각과의 사이의 기생 용량이 저감될 수 있다.

[0102] 그 다음, 도 2의 (b)에 도시된 단계와 마찬가지 방식으로, 절연막(143) 위에 마스크가 형성되고, 그 마스크를 이용하여 절연막(143)이 에칭됨으로써, 절연층(143a 및 143b)이 형성된다(도 3의 (b) 참조).

[0103] 그 다음, 도 2의 (c)에 도시된 단계와 마찬가지 방식으로, 절연층(143a 및 143b)의 에칭에 이용된 마스크를 이용해 제2 도전막(145)이 에칭됨으로써, 제2 도전층(145a 및 145b)이 형성된다(도 3의 (c) 참조). 제2 도전막(145)이 에칭되기 이전에 마스크가 제거된 다음, 절연층(143a 및 143b)을 마스크로서 이용하여 제2 도전막(145)이 에칭될 수도 있다는 점에 유의한다. 제2 도전막(145)의 에칭에 이용하는 에칭 가스로서, 예를 들어, 염소(Cl_2), 3염화 붕소(BCl_3), 4염화 실리콘($SiCl_4$), 4불화 탄소(CF_4), 6불화 유황(SF_6), 3불화 질소(NF_3) 등, 또는 상기 가스들 중 2종 이상으로부터 선택된 혼합 가스를 이용할 수 있다. 또한, 에칭 가스에, 희가스(헬륨(He) 또는 아르곤(Ar))가 첨가될 수도 있다. 또한, 도 1의 (d)의 트랜지스터(190)에 나타낸 바와 같이, 절연층이 제공되지 않는 경우, 제2 도전막(145) 위에 직접 마스크가 형성되고 제2 도전막이 에칭될 수도 있다.

[0104] 그 다음, 도 2의 (d)에 나타낸 단계와 마찬가지 방식으로, 절연층(143a 및 143b) 및 기판(100) 위에 산화물 반도체층(144)이 형성된다(도 3의 (d) 참조). 형성된 산화물 반도체층(144)은 그 채널 형성 영역에서 제2 도전층(145a 및 145b)에 접한다. 또한, 산화물 반도체층(144)에 열 처리(제1 열 처리)를 실시하는 것이 바람직하다.

[0105] 그 다음, 도 2의 (e)에 나타낸 단계와 마찬가지 방식으로, 게이트 절연층(146)이 형성된다(도 3의 (e) 참조). 게이트 절연층(146)의 형성 후에는, 열 처리(제2 열 처리)를 실시하는 것이 바람직하다.

[0106] 그 다음, 도 2의 (f)에 나타낸 단계와 마찬가지 방식으로, 산화물 반도체층(144)의 채널 형성 영역과 중첩하는 영역에서 게이트 절연층(146) 위에 게이트 전극(148)이 형성된다(도 3의 (f) 참조).

[0107] 상기 단계를 통해, 산화물 반도체층(144)을 포함하는 트랜지스터(180)가 완성된다.

[0108] 본 실시형태에서 나타낸 트랜지스터(160, 170, 180, 및 190) 각각은, 제1 전극 및 제2 전극이 적층된 소스 전극 및 드레인 전극을 포함한다. 트랜지스터들 각각에서, 제2 도전층(145a 및 145b)은 제1 도전층(142a 및 142b)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가진다. 따라서, 소스 전극 및 드레인 전극의 단부의 단차가 완만하게 될 수 있다. 따라서, 산화물 반도체층(144) 및 게이트 절연층(146)의 피복성을 향상시키고 불량 접속의 발생을 방지할 수 있다.

[0109] 본 실시형태서 나타낸 트랜지스터(160, 170, 180, 및 190)에서는, 소스 전극 또는 드레인 전극에서, 채널 형성 영역에 접하는 영역의 부근이 고저항 영역이 될 수 있음으로써, 소스 전극과 드레인 전극 사이의 전계가 경감될 수 있다. 따라서, 트랜지스터 크기의 축소에 따른 단채널 효과가 제어될 수 있다.

[0110] 전술된 바와 같이, 개시된 발명의 실시형태에 따르면, 미세화에 기인한 문제점이 해결될 수 있다. 그 결과, 트랜지스터 크기를 충분히 줄일 수 있다. 트랜지스터 크기를 충분히 줄임으로써, 트랜지스터를 포함하는 반도체 장치의 면적이 줄어들고, 하나의 기판으로부터 얻어지는 반도체 장치의 수가 증가된다. 따라서, 반도체 장치의 제조 비용이 저감될 수 있다. 또한, 반도체 장치가 소형화되기 때문에, 증가된 기능을 갖추면서 크기에서 실질적으로 동일한 반도체 장치를 실현할 수 있다. 또한, 채널 길이의 단축에 따라, 트랜지스터의 고속 동작, 낮은 전력 소비 등의 효과를 얻을 수 있다. 따라서, 개시된 발명의 실시형태에 따라 산화물 반도체를 포함하는 트랜지스터의 미세화가 달성될 수 있고, 미세화에 수반되는 다양한 효과를 얻을 수 있다.

[0111] 본 실시형태에서 설명된 구조, 방법 등은 다른 실시형태들에서 설명된 임의의 구조, 방법 등과 적절히 조합될 수 있다.

[0112] (실시형태 2)

[0113] 본 실시형태에서는, 실시형태 1과는 상이한 개시된 발명의 한 실시형태에 따른 반도체 장치의 구조 및 제조 공정을, 도 4와 도 5의 (a) 내지 (f)를 참조하여 설명한다.

[0114] <반도체 장치의 구조예>

[0115] 도 4에 나타낸 트랜지스터(280)는 반도체 장치의 구조예이다. 트랜지스터(280)의 적층 순서는 도 1의 (c)에 나타낸 트랜지스터(180)의 적층 순서에 대응한다. 트랜지스터(280)와 트랜지스터(180) 사이의 차이는, 제1 도전층(242a)의 단부로부터 채널 길이 방향으로 연장되는 영역에서 제2 도전층(245a) 위에 측벽 절연층(252a)이 제공되고, 제1 도전층(242b)의 단부로부터 채널 길이 방향으로 연장되는 영역에서 제2 도전층(245b) 위에 측벽 절연층(252b)이 제공된다는 것이다.

[0116] 도 4에 나타낸 트랜지스터(280)는, 기판(200) 위에, 제2 도전층(245a) 및 제1 도전층(242a)이 이 순서로 적층된 소스 전극; 제2 도전층(245b) 및 제1 도전층(242b)이 이 순서로 적층된 드레인 전극; 소스 전극 위에 제공된 절연층(243a); 드레인 전극 위에 제공된 절연층(243b); 절연층(243a 및 243b) 위에 제공된 산화물 반도체층(244); 산화물 반도체층(244) 위에 제공된 게이트 절연층(246); 및 게이트 절연층(246) 위에 제공된 게이트 전극(248)을 포함한다.

[0117] 도 4에 나타낸 트랜지스터(280)에서, 제2 도전층(245a)은, 제1 도전층(242a)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가지며, 제2 도전층(245a)과 산화물 반도체층(244)의 적어도 채널 형성 영역은 서로 접한다. 또한, 제2 도전층(245b)은, 제1 도전층(242b)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가지며, 제2 도전층(245b)과 산화물 반도체층(244)의 적어도 채널 형성 영역은 서로 접한다.

[0118] 더 구체적으로는, 제2 도전층(245a)은 제1 도전층(242a)의 단부로부터 드레인 전극을 향하여 채널 길이 방향(캐리어가 흐르는 방향)으로 연장되는 영역을 가진다. 또한, 제2 도전층(245b)은 제1 도전층(242b)의 단부로부터 소스 전극을 향하여 채널 길이 방향으로 연장되는 영역을 가진다.

[0119] 또한, 도 4에 나타낸 트랜지스터(280)는, 제1 도전층(242a)의 단부로부터 채널 길이 방향으로 연장되는 영역에서 제2 도전층(245a) 위의 측벽 절연층(252a)과, 제1 도전층(242b)의 단부로부터 채널 길이 방향으로 연장되는

영역에서 제2 도전층(245b) 위의 측벽 절연층(252b)을 가진다. 측벽 절연층(252a)은, 산화물 반도체층(244)(적어도 그 채널 형성 영역), 제2 도전층(245a), 제1 도전층(242a), 및 절연층(243a)에 접하도록 제공된다. 또한, 측벽 절연층(252a)에서, 산화물 반도체층(244)에 접하는 영역의 일부는 만곡 형상(curved shape)을 가진다. 측벽 절연층(252b)은, 산화물 반도체층(244)(적어도 그 채널 형성 영역), 제2 도전층(245b), 제1 도전층(242b), 및 절연층(243b)에 접하도록 제공된다. 또한, 측벽 절연층(252b)에서, 산화물 반도체층(244)에 접하는 영역의 일부는 만곡 형상을 가진다.

[0120] <트랜지스터(280)의 제조 공정의 예>

[0121] 그 다음, 트랜지스터(280)의 제조 공정의 예를 도 5의 (a) 내지 (f)를 참조하여 설명한다.

[0122] 우선, 기판(200) 위에 제2 도전막(245)이 형성된다. 그 다음, 제2 도전막(245) 위에 제1 도전막(242)이 형성되고, 제1 도전막(242) 위에 절연막(243)이 형성된다(도 5의 (a) 참조).

[0123] 여기서, 기판(200)에 대해, 실시형태 1에서 설명된 기판(100)과 유사한 재료가 이용될 수 있다. 또한, 실시형태 1에서 설명된 제2 도전막(145)과 유사한 재료 및 방법을 이용하여 제2 도전막(245)이 형성될 수 있다. 또한, 실시형태 1에서 설명된 제1 도전막과 유사한 재료 및 방법을 이용하여 제1 도전막(242)이 형성될 수 있다. 세부사항은 실시형태 1을 참조할 수 있다.

[0124] 그러나, 제1 도전막(242) 및 제2 도전막(245)에 대해 에칭 선택성을 얻을 수 있는 재료가 이용된다. 본 실시형태에서, 제2 도전막(245)으로서 질화 티타늄막이 형성되고, 제1 도전막(242)으로서 텅스텐막 또는 몰리브덴막이 형성된다.

[0125] 그 다음, 절연막(243) 위에 마스크가 형성되고, 그 마스크를 이용하여 절연막(243)이 에칭됨으로써, 절연층(243a 및 243b)이 형성된다. 절연막(243)의 에칭에 대해, 습식 에칭 또는 건식 에칭이 이용될 수 있다. 대안으로서, 습식 에칭과 건식 에칭이 조합되어 이용될 수도 있다. 원하는 형상으로 절연막이 에칭될 수 있도록 재료에 따라 적절하게 에칭 조건(예를 들어, 에칭 가스나 에칭액, 에칭 시간, 및 온도)이 설정된다. 그러나, 트랜지스터의 채널 길이(*L*)의 미세가공을 위해 건식 에칭을 이용하는 것이 바람직하다. 건식 에칭에 이용되는 에칭 가스로서, 예를 들어, 6불화 유황(SF_6), 3불화 질소(NF_3), 또는 3불화 메탄(CHF_3) 등의 불소를 포함한 가스; 또는 4불화 탄소(CF_4)와 수소의 혼합 가스를 이용할 수 있다. 건식 에칭을 위한 에칭 가스에, 희가스(헬륨(He), 아르곤(Ar), 또는 크세논(Xe)), 일산화탄소, 이산화탄소 등이 첨가될 수도 있다.

[0126] 그 다음, 절연막(243)의 에칭에 이용된 마스크를 이용하여 제1 도전막(242)이 에칭됨으로써, 제1 도전층(242a 및 242b)이 형성된다(도 5의 (b) 참조). 제1 도전막(242)이 에칭될 때, 제2 도전막(245)에 관해 에칭 선택성을 얻을 수 있는 재료가 이용된다는 점에 유의한다. 제1 도전막(242)을 에칭하기 이전에 마스크가 제거되고, 절연층(243a 및 243b)을 마스크로서 이용하여 제1 도전막(242)이 에칭될 수도 있다는 점에 유의한다.

[0127] 본 실시형태에서는, 제1 도전막(242)을 에칭하기 위한 에칭 가스로서, 4불화 탄소(CF_4)와 염소(Cl_2)와 산소(O_2)의 혼합 가스, 4불화 탄소(CF_4)와 산소(O_2)의 혼합 가스, 6불화 유황(SF_6)과 염소(Cl_2)와 산소(O_2)의 혼합 가스, 또는 6불화 유황(SF_6)과 산소(O_2)의 혼합 가스가 이용된다.

[0128] 절연층(243a 및 243b)을 제공함으로써, 이후에 형성되는 소스 전극 및 드레인 전극 각각과 산화물 반도체층 사이의 접촉 영역(접촉 면적 등)이 용이하게 제어될 수 있다. 즉, 소스 전극 및 드레인 전극의 저항이 용이하게 제어될 수 있고, 단채널 효과가 효과적으로 제어될 수 있다. 또한, 절연층(243a 및 243b)을 제공함으로써, 이후에 형성되는 게이트 전극과 소스 전극 및 드레인 전극 각각과의 사이의 기생 용량이 저감될 수 있다.

[0129] 그 다음, 절연층(243a 및 243b) 및 노출된 제2 도전막(245)을 덮도록 절연막(252)이 형성된다(도 5의 (c) 참조). 절연막(252)은 CVD법이나 스퍼터링법에 의해 형성될 수 있다. 절연막(252)은, 산화 실리콘, 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄 등을 포함하는 것이 바람직하다. 절연막(252)은 단층 구조 또는 적층 구조를 가질 수도 있다.

[0130] 그 다음, 제2 도전막(245)이 노출된 영역(제1 도전층(242a)과 제1 도전층(242b) 사이의 영역) 위에, 측벽 절연층(252a 및 252b)이 형성된다(도 5의 (d) 참조). 절연막(252)에 고도의 이방성 에칭 처리를 실시함으로써, 측벽 절연층(252a 및 252b)이 자기 정합 방식으로 형성될 수 있다. 여기서, 고도의 이방성 에칭 공정으로서, 건식 에칭이 바람직하다. 에칭 가스의 예로서, 3불화 메탄(CHF_3) 등의 불소를 포함한 가스가 이용되거나, 헬륨(He)이나 아르곤(Ar) 등의 희가스가 첨가될 수도 있다. 또한, 건식 에칭으로서, 기판에 고주파 전압을 인가하

는 반응성 이온 에칭(RIE)법을 이용하는 것이 바람직하다.

[0131] 그 다음, 측벽 절연층(252a 및 252b)을 마스크로서 이용하여 제2 도전막(245)이 선택적으로 에칭된다(도 5의 (e) 참조). 이 에칭 공정을 통해, 제2 도전층(245a) 및 제1 도전층(242a)이 적층된 소스 전극과, 제2 도전층(245b) 및 제1 도전층(242b)이 적층된 드레인 전극이 형성된다. 제2 도전막(245)의 에칭은, 측벽 절연층(252a 및 252b)이 마스크로서 이용된다는 점을 제외하고는, 도 2의 (c)를 참조하여 실시형태 1에서 설명된 방법과 마찬가지 방법으로 실시될 수 있다.

[0132] 트랜지스터(280)의 채널 길이(L)는, 제2 도전층(245a)의 하단부와 제2 도전층(245b)의 하단부 사이의 간격에 의해 결정된다는 점에 유의한다. 채널 길이(L)는 트랜지스터(280)의 용도에 따라 다르며, 예를 들어 10 nm 내지 1000 nm, 바람직하게는 20 nm 내지 400 nm일 수 있다.

[0133] 본 실시형태에서 설명된 트랜지스터의 제조 공정에서는, 측벽 절연층(252a) 또는 측벽 절연층(252b)을 이용하여 제2 도전막(245)이 에칭된다는 점에 유의한다. 따라서, 제2 도전층(245a)에서, 제1 도전층(242a)의 단부로부터 채널 길이 방향으로 연장되는 영역에서 채널 길이 방향의 길이(L_S)와, 측벽 절연층(252a)의 저면에서 채널 길이 방향의 길이는 거의 동일하다. 동시에, 제2 도전층(245b)에서, 제1 도전층(242b)의 단부로부터 채널 길이 방향으로 연장되는 영역에서 채널 길이 방향의 길이(L_D)와, 측벽 절연층(252b)의 저면에서 채널 길이 방향의 길이는 거의 동일하다. 측벽 절연층(252a 및 252b)은 절연막(252)의 에칭 처리에 의해 자기 정합 방식으로 형성되기 때문에, (L_S) 또는 (L_D)는 절연막(252)의 막 두께에 따라 결정된다. 따라서, 절연막(252)의 두께를 제어함으로써, 트랜지스터(280)의 채널 길이(L)가 미세하게 조정될 수 있다. 예를 들어, 트랜지스터(280)의 채널 길이(L)는, 마스크 형성을 위한 노광 장치의 최소 가공 치수보다 미세하게 조정될 수 있다. 따라서, 트랜지스터(280)의 소망 채널 길이(L), 및 제1 도전층(242a 및 242b)의 가공에 이용되는 노광 장치의 해상도 등에 따라, 절연막(252)의 두께가 결정된다.

[0134] 그 다음, 절연층(243a 및 243b) 및 측벽 절연층(252a 및 252b)을 덮도록, 또한, 제2 도전층(245a 및 245b)에 접하도록 산화물 반도체층(244)이 형성되고, 산화물 반도체층(244) 위에 게이트 절연층(246)이 형성된다. 그 다음, 트랜지스터(280)의 채널 형성 영역과 중첩하는 영역에서 게이트 절연층(246) 위에 게이트 전극(248)이 형성된다(도 5의 (f) 참조).

[0135] 산화물 반도체층(244)은 실시형태 1에서 설명된 산화물 반도체층(144)과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 또한, 산화물 반도체층(244)에 열 처리(제1 열 처리)를 실시하는 것이 바람직하다. 세부사항은 실시형태 1을 참조할 수 있다.

[0136] 게이트 절연층(246)은 실시형태 1에서 설명된 게이트 절연층(146)과 유사한 재료 및 방법을 이용하여 형성될 수 있다. 또한, 형성된 게이트 절연층(246)에는 불활성 가스 분위기 또는 산소 분위기에서 열 처리(제2 열 처리)가 실시되는 것이 바람직하다. 세부사항은 실시형태 1을 참조할 수 있다.

[0137] 게이트 전극(248)은, 게이트 절연층(246) 위에 도전막이 형성된 다음 선택적으로 에칭되는 방식으로 형성될 수 있다. 게이트 전극(248)은 실시형태 1에서 설명된 게이트 전극(148)과 유사한 재료 및 방법을 이용하여 형성될 수 있다.

[0138] 트랜지스터(280)의 소스 전극은, 제2 도전층(245a)에서 제1 도전층(242a)의 단부로부터 채널 길이 방향으로 연장되는 영역의 단부에서 산화물 반도체층(244)에 접한다는 점에 유의한다. 한편, 트랜지스터(280)의 드레인 전극은, 제2 도전층(245b)에서 제1 도전층(242b)의 단부로부터 채널 길이 방향으로 연장되는 영역의 단부에서 산화물 반도체층(244))에 접한다. 전술된 바와 같이, 트랜지스터(280)의 소스 전극 및 드레인 전극은 제1 도전층(242a 및 242b)보다 작은 막 두께를 갖는 제2 도전층(245a 및 245b)의 단부에서 산화물 반도체층(244)에 접함으로써, 그 접촉 면적이 저감될 수 있고, 접촉 계면에서의 컨택트 저항이 증가될 수 있다. 따라서, 트랜지스터(280)의 채널 길이(L)가 짧아지더라도, 소스 전극과 드레인 전극 사이의 전계가 완화되고, 단채널 효과가 제어될 수 있다. 또한, 제2 도전층이 제1 도전층보다 높은 저항의 재료를 이용하여 형성되면, 컨택트 저항이 효과적으로 증가될 수 있어서 바람직하다. 개시된 발명의 기술 사상은 소스 전극 및 드레인 전극에 고저항 영역을 형성하는 것이다; 따라서, 소스 전극 및 드레인 전극은, 엄밀하게 제2 도전층(245a 및 245b)의 단부에서만 산화물 반도체층에 접할 필요는 없다는 점에 유의한다.

[0139] 따라서, 산화물 반도체층(244)을 포함하는 트랜지스터(280)가 제조될 수 있다.

[0140] 본 실시형태에서 설명되는 트랜지스터(280)의 채널 길이(L)는, 측벽 절연층(252a 및 252b)을 형성하기 위한 절

연막(252)의 막 두께에 의해 미세하게 제어될 수 있다. 따라서, 절연막(252)의 막 두께가 적절히 설정되고, 트랜지스터(280)의 채널 길이(*L*)가 단축되어, 반도체 장치가 용이하게 미세화될 수 있다.

[0141] 본 실시형태에서 설명되는 트랜지스터(280)에서는, 제2 도전층(245a)에서 제1 도전층(242a)의 단부로부터 채널 길이 방향으로 연장되는 영역 위에 측벽 절연층(252a)이 제공되고, 제2 도전층(245b)에서 제1 도전층(242b)의 단부로부터 채널 길이 방향으로 연장되는 영역 위에 측벽 절연층(252b)이 제공된다. 따라서, 산화물 반도체층(244)과 게이트 절연층(246)의 피복성이 향상되고, 불량 접속의 발생이 방지될 수 있다.

[0142] 본 실시형태에서 설명되는 트랜지스터(280)는, 제2 도전층(245a)에서 제1 도전층(242a)의 단부로부터 채널 길이 방향으로 연장되는 영역과, 제2 도전층(245b)에서 제1 도전층(242b)의 단부로부터 채널 길이 방향으로 연장되는 영역을 포함하고, 산화물 반도체층(244)의 채널 형성 영역에 접하는 영역 부근이 고저항 영역으로 된다. 따라서, 소스 전극과 드레인 전극 사이의 전계가 완화될 수 있고, 임계 전압 감소 등의 단채널 효과가 제어될 수 있다.

[0143] 전술된 바와 같이, 개시된 발명의 실시형태에 따르면, 미세화에 기인한 문제점이 해결될 수 있다. 그 결과, 트랜지스터 크기를 충분히 줄일 수 있다. 트랜지스터 크기를 충분히 줄임으로써, 트랜지스터를 포함하는 반도체 장치의 면적이 줄어들고, 하나의 기판으로부터 얻어지는 반도체 장치의 수가 증가된다. 따라서, 반도체 장치의 제조 비용이 저감될 수 있다. 또한, 반도체 장치가 소형화되기 때문에, 증가된 기능을 갖추면서 크기에서 실질적으로 동일한 반도체 장치를 실현할 수 있다. 또한, 채널 길이의 단축에 따라, 트랜지스터의 고속 동작, 낮은 전력 소비 등의 효과가 얻어질 수 있다. 따라서, 개시된 발명의 한 실시형태에 따라 산화물 반도체를 포함하는 트랜지스터의 미세화가 달성될 수 있고, 미세화에 수반되는 다양한 효과가 얻어질 수 있다.

[0144] 본 실시형태에서 설명된 구조, 방법 등은 다른 실시형태들에서 설명된 임의의 구조, 방법 등과 적절히 조합될 수 있다.

[0145] (실시형태 3)

[0146] 본 실시형태에서는, 개시된 발명의 한 실시형태에 따른 반도체 장치의 응용예를 도 6의 (a1), (a2), 및 (b)를 참조하여 설명한다. 여기서는, 메모리 장치의 예를 설명한다. 회로도에서, 트랜지스터가 산화물 반도체를 포함한다는 것을 나타내기 위하여 "OS"를 부기한다는 점에 유의한다.

[0147] 도 6의 (a1)에 나타낸 반도체 장치에서, 제1 배선(1st line)은 트랜지스터(300)의 소스 전극에 전기적으로 접속된다. 제2 배선(2nd Line)은 트랜지스터(300)의 드레인 전극에 전기적으로 접속된다. 또한, 제3 배선(3rd line)은 트랜지스터(310)의 소스 전극 및 드레인 전극 중 하나에 전기적으로 접속되고, 제4 배선(4th Line)은 트랜지스터(310)의 게이트 전극에 전기적으로 접속된다. 트랜지스터(300)의 게이트 전극과, 트랜지스터(310)의 소스 전극 및 드레인 전극 중 다른 하나는, 용량 소자(320)의 전극들 중 하나에 전기적으로 접속된다. 제5 배선(5th line)은 용량 소자(320) 전극들 중 다른 하나에 전기적으로 접속된다.

[0148] 여기서, 트랜지스터(310)에 대해 실시형태 1 및 실시형태 2에서 설명된 산화물 반도체를 포함하는 트랜지스터가 이용된다. 산화물 반도체를 포함하는 트랜지스터는 상당히 작은 오프 전류 특성을 가진다. 이 때문에, 트랜지스터(310)를 오프로 함으로써 트랜지스터(300)의 게이트 전극의 전위가 극히 장시간 유지될 수 있다. 용량 소자(320)의 제공은 트랜지스터(300)의 게이트 전극에 부여된 전하의 유지와 저장된 데이터의 판독을 용이하게 한다.

[0149] 트랜지스터(300)에 관해서는 특별한 제한이 없다는 점에 유의한다. 데이터의 판독 속도의 증가의 관점에서는, 예를 들어, 단결정 실리콘을 이용하여 형성된 트랜지스터 등의, 높은 스위칭 속도를 갖는 트랜지스터를 이용하는 것이 바람직하다.

[0150] 또한, 도 6의 (b)에 나타낸 바와 같이, 용량 소자(320)가 제공되지 않는 구조가 이용될 수도 있다.

[0151] 도 6의 (a1)의 반도체 장치는, 트랜지스터(300)의 게이트 전극의 전위가 유지될 수 있다는 이점을 이용함으로써, 이하에 기술되는 바와 같이, 데이터의 기입, 유지, 및 판독이 실시될 수 있다.

[0152] 첫 번째, 데이터의 기입 및 유지를 설명한다. 우선, 제4 배선의 전위는 트랜지스터(310)를 온으로 하는 전위에 설정되어, 트랜지스터(310)가 온으로 된다. 따라서, 제3 배선의 전위가 트랜지스터(300)의 게이트 전극과 용량 소자(320)에 공급된다. 즉, 트랜지스터(300)의 게이트 전극에 미리결정된 전하가 부여된다(기입). 여기서는, 2개의 상이한 전위의 공급을 위한 전하(이하, 저전위 공급을 위한 전하를 전하 Q_L, 고전위 공급을 위한 전하를

전하 Q_H라고 함) 중 한쪽이 트랜지스터(300)의 게이트 전극에 부여된다. 기억 용량 소자를 개선시키기 위해 3개 이상의 다른 전위를 부여하는 전하가 공급될 수도 있다는 점에 유의한다. 그 후, 제4 배선의 전위는 트랜지스터(310)를 오프로 하는 전위에 설정되어, 트랜지스터(310)가 오프로 된다. 따라서, 트랜지스터(300)의 게이트 전극에 부여된 전하가 유지된다(저장).

[0153] 트랜지스터(310)의 오프 전류는 상당히 작기 때문에, 트랜지스터(300)의 게이트 전극의 전하는 장시간 유지된다.

[0154] 두 번째, 데이터의 판독을 설명한다. 제1 배선에 미리결정된 전위(일정한 전위)를 공급하면서 제5 배선에 적절한 전위(판독 전위)를 공급함으로써, 트랜지스터(300)의 게이트 전극에 유지된 전하량에 따라 제2 배선의 전위가 변동한다. 이것은, 일반적으로, 트랜지스터(300)가 n채널 트랜지스터일 때, 트랜지스터(300)의 게이트 전극에 Q_H가 부여되는 경우의 피상 임계 전압(apparent threshold voltage)(V_{th_H})이, 트랜지스터(300)의 게이트 전극에 Q_L이 부여되는 경우의 피상 임계 전압(V_{th_L})보다 낮기 때문이다. 여기서, 피상 임계 전압이란, 트랜지스터(300)를 온으로 하는데 필요한 제5 배선의 전위를 말한다. 따라서, 제5 배선의 전위가 V_{th_H}와 V_{th_L} 사이의 중간 전위 V_0로 설정됨으로써, 트랜지스터(300)의 게이트 전극에 부여된 전하가 판별될 수 있다. 예를 들어, 기입시에, Q_H가 부여되는 경우, 제5 배선의 전위가 V_0($> V_{th_H}$)으로 설정되면, 트랜지스터(300)는 온으로 된다. 기입시에, Q_L이 부여되는 경우, 제5 배선의 전위가 V_0($< V_{th_L}$)으로 설정되더라도, 트랜지스터(300)는 오프 상태에 머문다. 따라서, 저장된 데이터는 제2 배선의 전위에 의해 판독될 수 있다.

[0155] 메모리 셀을 어레이화하여 이용하는 경우, 소망 메모리 셀의 데이터만이 판독될 필요가 있다는 점에 유의한다. 따라서, 미리결정된 메모리 셀의 데이터는 판독되고 그 외의 메모리 셀의 데이터는 판독되지 않게 하기 위하여, 트랜지스터(300)가 메모리 셀들 사이에서 병렬로 접속된 경우에는, 데이터 판독의 대상이 아닌 메모리 셀의 제5 배선에는, 게이트 전극의 상태에 관계없이 트랜지스터(300)를 오프로 하는 전위, 즉, V_{th_H}보다 낮은 전위가 공급될 수도 있다. 또한, 트랜지스터(300)가 메모리 셀들 사이에서 직렬로 접속된 경우에는, 데이터 판독의 대상이 아닌 메모리 셀의 제5 배선에는, 게이트 전극의 상태에 관계없이 트랜지스터(300)를 온으로 하는 전위, 즉, V_{th_L}보다 높은 전위가 공급될 수도 있다.

[0156] 그 다음, 데이터의 재기입을 설명한다. 데이터의 재기입은 데이터의 기입 및 유지와 마찬가지 방식으로 행해진다. 즉, 제4 배선의 전위는 트랜지스터(310)를 온으로 하는 전위에 설정되어, 트랜지스터(310)가 온으로 된다. 따라서, 제3 배선의 전위(새로운 데이터에 관련된 전위)가 트랜지스터(300)의 게이트 전극과 용량 소자(320)에 공급된다. 그 후, 제4 배선의 전위는 트랜지스터(310)를 오프로 하는 전위로 설정되어, 트랜지스터(310)가 오프로 된다. 따라서, 트랜지스터(300)의 게이트 전극에는 새로운 데이터에 관련된 전하가 부여된다.

[0157] 여기서 개시된 발명에 따른 반도체 장치에서, 전술된 바와 같은 데이터의 또 다른 기입에 의해 데이터가 직접 재기입될 수 있다. 따라서, 플래쉬 메모리 등에서 필요한 고전압을 이용한 플로팅 게이트로부터의 전하의 추출은 불필요하므로, 소거 동작에 기인한 동작 속도의 저하가 억제될 수 있다. 즉, 반도체 장치의 고속 동작이 실현될 수 있다.

[0158] 트랜지스터(310)의 소스 전극 또는 드레인 전극이 트랜지스터(300)의 게이트 전극에 전기적으로 접속됨으로써, 비휘발성 메모리 소자에 이용되는 플로팅 게이트형 트랜지스터의 플로팅 게이트와 마찬가지 효과를 가진다. 따라서, 도면에서 트랜지스터(310)의 소스 전극 또는 드레인 전극이 트랜지스터(300)의 게이트 전극에 전기적으로 접속되는 부분을 일부 경우에서는 플로팅 게이트부(FG)라고 부른다. 트랜지스터(310)가 오프인 경우, 플로팅 게이트부(FG)는 절연체에 매립된 것으로 간주될 수 있으므로 플로팅 게이트부(FG)에는 전하가 유지된다. 산화물 반도체를 포함하는 트랜지스터(310)의 오프 전류의 양은, 실리콘 반도체를 포함하는 트랜지스터의 오프 전류의 양의 10만 분의 1 이하이다; 따라서, 트랜지스터(310)의 리크 전류로 인해 플로팅 게이트부(FG)에 축적된 전하의 소실은 무시할만한 정도이다. 즉, 산화물 반도체를 포함하는 트랜지스터(310)에 의해, 전력의 공급이 없어도 데이터를 저장할 수 있는 비휘발성 메모리 장치가 실현될 수 있다.

[0159] 예를 들어, 실온에서 트랜지스터(310)의 오프 전류가 10 zA(1 zA(젭토암페어)는 1×10^{-21} A임) 이하이고 용량 소자(320)의 용량값이 약 10 fF인 경우, 데이터는 10^4초 이상 저장될 수 있다. 물론, 저장 시간은 트랜지스터 특성 및 용량값에 의존한다.

[0160] 또한, 그 경우, 종래의 플로팅 게이트형 트랜지스터에서 지적되고 있는 게이트 절연막(터널 절연막)의 열화의 문제가 존재하지 않는다. 즉, 종래부터 문제로 여겨져 왔던, 플로팅 게이트에 전자가 주입될 때 게이트 절연막의 열화의 문제가 무시될 수 있다. 이것은, 원리상 기입 횟수에 제한이 없다는 것을 의미한다. 또한, 종래의 플로팅 게이트형 트랜지스터에서 기입이나 소거에 필요한 고전압이 불필요하다.

[0161] 도 6의 (a1)의 반도체 장치 내의 트랜지스터 등의 구성요소는, 도 6의 (a2)에 도시된 바와 같이 저항과 용량 소자를 포함하는 것으로 간주될 수 있다. 즉, 도 6의 (a2)에서, 트랜지스터(300)와 용량 소자(320)는, 각각, 저항과 용량 소자를 포함하는 것으로 간주된다. R1과 C1은, 각각, 용량 소자(320)의 저항값과 용량값이다. 저항값(R1)은, 용량 소자(320)에 포함된 절연층에 의존하는 저항값에 대응한다. R2와 C2는, 각각, 트랜지스터(300)의 저항값과 용량값이다. 저항값(R2)은 트랜지스터(300)가 온 일때 게이트 절연층에 의존하는 저항값에 대응한다. 용량값(C2)은 소위 게이트 용량(게이트 전극과 소스 전극 및 드레인 전극 각각과의 사이에 형성되는 용량, 및 게이트 전극과 채널 형성 영역 사이에 형성되는 용량)의 용량값에 대응한다.

[0162] 트랜지스터(310)가 오프인 경우의 소스 전극과 드레인 전극의 사이의 저항값(실효 저항이라고도 함)을 ROS라 할 경우, 트랜지스터(310)의 게이트 리크(gate leakage)가 충분히 작고 R1≥ROS(R1이 ROS 이상)이고 R2≥ROS(R2가 ROS 이상)를 만족하는 조건 하에서, 전하 유지 기간(데이터 유지 기간이라고 함)은, 주로 트랜지스터(310)의 오프 전류에 의해 결정된다.

[0163] 반면, 상기 조건을 만족하지 않는 경우에는, 트랜지스터(310)의 오프 전류가 충분히 작아도 유지 기간을 충분히 확보하는 것이 어렵다. 이것은, 트랜지스터(310)의 오프 전류 이외의 리크 전류(예를 들어, 소스 전극과 게이트 전극의 사이에서 발생하는 리크 전류)가 크기 때문이다. 따라서, 본 실시형태에서 개시되는 반도체 장치는 상기 관계를 만족하는 것이 바람직하다고 말할 수 있다.

[0164] C1과 C2가 C1≥C2(C1이 C2이상)를 만족하는 것이 바람직하다. C1이 크다면, 플로팅 게이트부(FG)의 전위가 제5 배선에 의해 제어될 때(예를 들어, 판독시), 제5 배선의 전위 변동이 억제될 수 있다.

[0165] 상기 관계가 만족되면, 더욱 양호한 반도체 장치가 실현될 수 있다. R1 및 R2는, 트랜지스터(300)의 게이트 절연층과 용량 소자(320)의 게이트 절연층에 의해 제어된다는 점에 유의한다. 동일한 관계가 C1 및 C2에 적용된다. 따라서, 게이트 절연층의 재료, 두께 등을 적절히 설정하여 상기 관계를 만족시키는 것이 바람직하다.

[0166] 본 실시형태에서 설명되는 반도체 장치에서, 플로팅 게이트부(FG)가 플래쉬 메모리 등의 플로팅 게이트형 트랜지스터의 플로팅 게이트와 유사한 효과를 갖지만, 본 실시형태의 플로팅 게이트부(FG)는 플래쉬 메모리 등의 플로팅 게이트와는 본질적으로 다른 특징을 가진다. 플래쉬 메모리의 경우, 제어 게이트(control gate)에 인가되는 전압이 높기 때문에, 그 전위가 인접 셀의 플로팅 게이트에 영향을 미치는 것을 방지하기 위하여 셀들 사이에 적절한 간격을 유지하는 것이 필요하다. 이것은 반도체 장치의 고집적화를 저해하는 요인들 중 하나이다. 이 요인은, 고전계 인가시에 터널링 전류가 흐르는, 플래쉬 메모리의 기본 원리에 기인하는 것이다.

[0167] 또한, 플래쉬 메모리의 상기 원리 때문에, 절연막의 열화가 진행되므로 재기입 횟수에 관한 제한(약 10^4 내지 10^5회)이라는 또 다른 문제가 발생한다.

[0168] 개시된 발명에 따른 반도체 장치는 산화물 반도체를 포함하는 트랜지스터의 스위칭에 의해 동작하며, 전술된 터널링 전류에 의한 전하 주입의 원리를 이용하지 않는다. 즉, 플래쉬 메모리와는 달리, 전하 주입을 위한 고전계가 불필요하다. 따라서, 인접 셀에 미치는 컨트롤 게이트로부터의 고전계의 영향을 고려할 필요가 없고, 이것은 고집적화를 용이하게 한다.

[0169] 또한, 터널링 전류에 의한 전하 주입을 이용하지 않기 때문에, 이것은 메모리 셀의 열화 원인이 존재하지 않는다는 것을 의미한다. 즉, 개시된 발명에 따른 반도체 장치는 플래쉬 메모리보다 높은 내구성과 신뢰성을 가진다.

[0170] 또한, 플래쉬 메모리에 비하여, 고전계가 불필요하고 대형의 주변 회로(승압 회로 등)가 불필요하다는 점도 이점이다.

[0171] 용량 소자(320)에 포함된 절연층의 비유전율(εr1)이 트랜지스터(300)의 게이트 용량 소자에 포함된 절연층의 비유전율(εr2)과 상이한 경우, 용량 소자(320)에 포함된 절연층의 면적(S1)과 트랜지스터(300)의 게이트 용량 소자에 포함된 절연층의 면적(S2)이, 2·S2≥S1(2·S2가 S1 이상)(바람직하게는 S2≥S1(S2가 S1 이상))을 만족시키면서 C1≥C2(C1이 C2 이상)를 만족시키는 것이 용이하다. 즉, S1을 저감시키면서 C1이 C2 이상을 만족시키

기가 용이하다. 구체적으로는, 예를 들어, 산화 하프늄 등의 하이-k(high-k) 재료로 형성된 막, 또는 산화 하프늄 등의 하이-k(high-k) 재료로 형성된 막과 산화물 반도체로 형성된 막의 적층 구조를 용량 소자(320)에 포함된 절연층에 이용하여 εr1을 10 이상, 바람직하게는 15 이상으로 설정할 수 있고, 트랜지스터(300)의 게이트 용량 소자에 포함된 절연층에 대해 산화 실리콘을 이용하여 εr2를 3 내지 4로 설정할 수 있다.

[0172] 이러한 구조의 조합은, 개시된 발명에 따른 반도체 장치의 고집적화를 가능케한다.

[0173] 상기 설명에서는 전자가 다수 캐리어인 n-채널 트랜지스터가 이용되었다; n-채널 트랜지스터 대신해 정공이 다수 캐리어인 p-채널 트랜지스터가 이용될 수 있다는 것은 말할 필요도 없다는 점에 유의한다.

[0174] 전술된 바와 같이, 개시된 발명의 실시형태에 따른 반도체 장치는, 오프 상태에서 소스 전극과 드레인 전극 사이의 리크 전류(오프 전류)가 작은 기입용 트랜지스터와, 기입용 트랜지스터와는 상이한 반도체 재료로 형성된 판독용 트랜지스터와, 용량 소자를 포함하는 비휘발성 메모리 셀을 가지고 있다.

[0175] 기입용 트랜지스터의 오프 전류는, 메모리 셀이 이용되는 온도(예를 들어, 25℃)에서 바람직하게는 100 zA(1×10^{-19} A) 이하, 더욱 바람직하게는 10 zA(1×10^{-20} A) 이하, 더욱 더 바람직하게는, 1 zA(1×10^{-21} A) 이하이다. 이러한 작은 오프 전류는 일반적인 실리콘 반도체로는 얻기 어렵지만, 적절한 조건 하에서 산화물 반도체를 가공함으로써 얻어진 트랜지스터에 의해서는 달성될 수 있다. 따라서, 산화물 반도체를 포함하는 트랜지스터가 기입용 트랜지스터로서 이용되는 것이 바람직하다.

[0176] 또한, 산화물 반도체를 포함하는 트랜지스터는 작은 임계이하 스윙(S 값)을 가지므로, 이동도가 비교적 낮더라도 스위칭 속도가 충분히 높을 수 있다. 따라서, 이 트랜지스터를 기입용 트랜지스터로서 이용함으로써, 플로팅 게이트부(FG)에 부여되는 기입 펄스의 상승(rise)이 매우 가파를 수 있다. 또한, 오프 전류가 작기 때문에 플로팅 게이트부(FG)에 유지되는 전하량을 줄일 수 있다. 즉, 산화물 반도체를 포함하는 트랜지스터를 이용함으로써, 데이터의 재기입이 고속으로 행해질 수 있다.

[0177] 판독용 트랜지스터의 오프 전류에 관해서는 제한이 없지만, 판독 속도를 증가시키기 위해서는 고속으로 동작하는 트랜지스터가 판독용 트랜지스터로서 이용되는 것이 바람직하다. 예를 들어, 1 나노초 이하의 스위칭 속도를 갖는 트랜지스터가 판독용 트랜지스터로서 이용되는 것이 바람직하다.

[0178] 기입용 트랜지스터를 온으로 함으로써 메모리 셀에 데이터를 기입하여, 기입용 트랜지스터의 소스 전극 및 드레인 전극 중 하나와, 용량 소자의 전극들 중 하나와, 판독용 트랜지스터의 게이트 전극이 서로 전기적으로 접속되어 있는 플로팅 게이트부(FG)에 전위를 공급한 다음, 기입용 트랜지스터를 오프로 하여 미리결정된 양의 전하를 플로팅 게이트부에 유지한다. 여기서, 기입용 트랜지스터의 오프 전류는 매우 작다; 따라서, 플로팅 게이트부(FG)에 공급된 전하는 장시간 유지된다. 오프 전류가, 예를 들어, 실질적으로 0이면, 종래의 DRAM에서 필요한 리프레쉬 동작이 불필요하거나, 리프레쉬 동작의 빈도가 상당히 낮아질(예를 들어, 1달이나 1년에 약 한 번) 수 있다. 따라서, 반도체 장치의 전력 소비가 충분히 저감될 수 있다.

[0179] 또한, 메모리 셀에 새로운 데이터를 덮어쓰기(overwrite)함으로써 데이터가 직접 재기입될 수 있다. 이 때문에, 플래시 메모리 등에서 필요한 소거 동작이 필요하지 않아, 소거 동작으로 인한 동작 속도의 저하가 방지될 수 있다. 즉, 반도체 장치의 고속 동작이 실현될 수 있다. 또한, 종래의 플로팅 게이트형 트랜지스터가 데이터를 기입 및 소거하는 데 필요한 고전압이 불필요하다; 따라서, 반도체 장치의 전력 소비가 더욱 저감될 수 있다. 본 실시형태에 따른 메모리 셀에 인가되는 가장 높은 전압(메모리 셀의 각 단자에 동시에 인가되는 최고 전위와 최저 전위 사이의 차)은, 2 단계(1 비트)의 데이터가 기입되는 경우 각각의 메모리 셀에서, 5 V 이하 또는 3 V이하, 바람직하게는 3V 이하이다.

[0180] 개시된 발명에 따른 반도체 장치에 제공되는 메모리 셀은, 적어도 기입용 트랜지스터, 판독용 트랜지스터, 및 용량 소자를 포함할 수도 있다. 또한, 용량 소자의 면적이 작아도 메모리 셀이 동작할 수 있다. 따라서, 예를 들어, 각 메모리 셀에서 6개의 트랜지스터를 요구하는 SRAM에 비해 각 메모리 셀의 면적이 충분히 작아질 수 있다; 따라서, 반도체 장치에서 메모리 셀들이 고밀도로 배치될 수 있다.

[0181] 종래의 플로팅 게이트형 트랜지스터에서는, 기입 동작 동안에 게이트 절연막(터널 절연막)에서 전하가 이동하여, 그 게이트 절연막(터널 절연막)의 열화가 불가피하다. 대조적으로, 본 발명의 실시형태에 따른 메모리 셀에서, 데이터는 기입용 트랜지스터의 스위칭 동작에 의해 기입된다; 따라서, 게이트 절연막의 열화가 없다. 이것은, 원리상 기입 횟수에 제한이 없으며 기입 내구성이 매우 높다는 것을 의미한다. 예를 들어, 본 발명의 한 실시형태에 따른 메모리 셀에서는, 1×10^{9}회 이상(10억회 이상) 데이터가 기입된 후에도 전류-전압

특성이 열화되지 않는다.

[0182] 또한, 메모리 셀의 기입용 트랜지스터로서 산화물 반도체를 포함하는 트랜지스터를 이용하는 경우, 산화물 반도체는 일반적으로 넓은 에너지 갭(예를 들어, In-Ga-Zn-O계 산화물 반도체의 경우 3.0 eV 내지 3.5 eV)을 가지며 극히 적은 수의 열적으로 여기된 캐리어를 갖기 때문에, 예를 들어, 150℃의 고온에서도 메모리 셀의 전류-전압 특성이 열화되지 않는다.

[0183] 집중적인 연구 결과, 본 발명자들은, 산화물 반도체를 포함하는 트랜지스터는, 150℃의 고온하에서도 특성이 열화되지 않고, 오프 전류가 극히 작은 100 zA이하라는 우수한 특성을 갖는다는 것을 처음으로 발견했다. 본 실시형태에 따르면, 이러한 우수한 특성을 갖는 트랜지스터를 메모리 셀의 기입용 트랜지스터로서 이용함으로써, 신규한 특징을 갖는 반도체 장치가 제공된다.

[0184] 개시된 발명의 실시형태에 따라, 산화물 반도체를 포함하는 트랜지스터는 불량을 억제하고 양호한 특성을 유지하면서 미세화를 달성할 수 있다. 이러한 트랜지스터를 이용함으로써, 전술된 바와 같은 우수한 메모리 장치가 고집적화될 수 있다.

[0185] 본 실시형태에서 설명된 구조, 방법 등은 다른 실시형태들에서 설명된 임의의 구조, 방법 등과 적절히 조합될 수 있다.

[0186] (실시형태 4)

[0187] 본 실시형태에서는, 개시된 발명의 한 실시형태에 따른 반도체 장치의 응용예를 도 7a 및 도 7b와 도 8a 내지 도 8c를 참조하여 설명한다.

[0188] 도 7a 및 도 7b는, 도 6의 (a1)에 나타낸 복수의 반도체 장치(이하, 메모리 셀(400)이라고도 함)를 각각이 포함하는 반도체 장치의 회로도이다. 도 7a는 메모리 셀(400)이 직렬로 접속된 소위 NAND형 반도체 장치의 회로도이고, 도 7b는 메모리 셀(400)이 병렬로 접속된 소위 NOR형 반도체 장치의 회로도이다.

[0189] 도 7a의 나타낸 반도체 장치는, 소스선(SL), 비트선(BL), 제1 신호선(S1), m개의 제2 신호선(S2), m개의 워드선(WL), 및 m(행)(수직 방향)×1(열)(수평 방향)로 배열된 복수의 메모리 셀 (400)(1, 1) 내지 400(m, 1)을 포함한다. 도 7a에서는, 반도체 장치에 하나의 소스선(SL) 및 하나의 비트선(BL)이 제공된다; 그러나, 개시된 발명의 한 실시형태는 이것으로 한정되지 않는다는 점에 유의한다. n개의 소스선(SL)과 n개의 비트선(BL)이 제공되어, 메모리 셀들이 m(행)(수직 방향)×n(열)(수평 방향)으로 배열된 메모리 셀 어레이가 형성될 수 있다.

[0190] 각 메모리 셀(400)에서, 트랜지스터(300)의 게이트 전극, 트랜지스터(310)의 소스 전극 및 드레인 전극 중 하나, 및 용량 소자(320)의 전극들 중 하나는 서로 전기적으로 접속된다. 또한, 제1 신호선(S1)과 트랜지스터(310)의 소스 전극 및 드레인 전극 중 다른 하나는 서로 전기적으로 접속되고, 제2 신호선(S2)과 트랜지스터(310)의 게이트 전극은 서로 전기적으로 접속된다. 워드선(WL)과 용량 소자(320)의 전극들 중 다른 하나는 서로 전기적으로 접속된다.

[0191] 또한, 메모리 셀(400) 내의 트랜지스터(300)의 소스 전극은 하나의 인접하는 메모리 셀(400) 내의 트랜지스터(300)의 드레인 전극에 전기적으로 접속된다. 메모리 셀(400)에 포함된 트랜지스터(300)의 드레인 전극은 또 다른 인접하는 메모리 셀(400)의 트랜지스터(300)의 소스 전극에 전기적으로 접속된다. 한쪽 끝에 제공된, 직렬로 접속된 복수의 메모리 셀 중 메모리 셀(400)에 포함된 트랜지스터(300)의 드레인 전극은, 비트선에 전기적으로 접속된다는 점에 유의한다. 다른쪽 끝에 제공된, 직렬로 접속된 복수의 메모리 셀 중 메모리 셀(400)에 포함된 트랜지스터(300)의 소스 전극은, 소스선에 전기적으로 접속된다.

[0192] 도 7a의 반도체 장치에서는, 각 행에 대해 기입 동작 및 판독 동작이 실시된다. 기입 동작은 다음과 같이 실시된다. 기입이 실시되는 행의 제2 신호선(S2)에 트랜지스터(310)를 온으로 하는 전위가 인가됨으로써, 기입이 실시될 행의 트랜지스터(310)가 온으로 된다. 따라서, 지정된 행의 트랜지스터(300)의 게이트 전극에 제1 신호선(S1)의 전위가 인가됨으로써, 트랜지스터(300)의 게이트 전극에 미리결정된 전하가 주어진다. 따라서, 지정된 행의 메모리 셀에 데이터가 기입될 수 있다.

[0193] 판독 동작은 다음과 같이 실시된다. 우선, 판독을 실시하는 행 이외의 행의 워드선(WL)에, 트랜지스터(300)의 게이트 전극의 전하에 관계없이 트랜지스터(300)를 온으로 하는 전위가 인가됨으로써, 판독을 실시할 행 이외의 행의 트랜지스터(300)가 온으로 된다. 그 다음, 트랜지스터(300)의 게이트 전극의 전하에 따라 트랜지스터(300)의 온 상태 또는 오프 상태를 결정하는 전위(판독 전위)가, 판독을 실시하는 행의 워드선(WL)에 인가된다. 그 후, 소스선(SL)에 일정한 전위가 인가되고, 비트선(BL)에 접속된 판독 회로(미도시)가 동작한다. 여기서,

소스선(SL)과 비트선(BL) 사이의 복수의 트랜지스터(300)는, 판독을 실시하는 행의 트랜지스터(300)를 제외하고는 온 상태에 있기 때문에, 소스선(SL)과 비트선(BL) 사이의 컨덕턴스는, 판독을 실시하는 행의 트랜지스터(300)의 상태(온 상태 또는 오프 상태)에 의해 결정된다. 트랜지스터들의 컨덕턴스는 트랜지스터(300)의 게이트 전극의 전하에 따라 달라지므로, 비트선(BL)의 전위는 그에 따라 변동한다. 비트선(BL)의 전위를 판독 회로에 의해 판독함으로써, 지정된 행의 메모리 셀로부터 데이터가 판독될 수 있다.

[0194] 도 7b에 나타낸 반도체 장치는, n개의 소스선(SL), n개의 비트선(BL), n개의 제1 신호선(S1), m개의 제2 신호선(S2), m개의 워드선(WL), 및 m(행)(수직 방향)×n(열)(수평 방향)의 매트릭스로 배열된 복수의 메모리 셀(400)(1, 1) 내지 400(m, n)을 포함하는 메모리 셀 어레이(410)를 포함한다. 트랜지스터(300)의 게이트 전극, 트랜지스터(310)의 소스 전극 및 드레인 전극 중 하나, 및 용량 소자(320)의 한 전극은 서로 전기적으로 접속된다. 또한, 소스선(SL)과 트랜지스터(300)의 소스 전극은 서로 전기적으로 접속되고, 비트선(BL)과 트랜지스터(300)의 드레인 전극은 서로 전기적으로 접속된다. 또한, 제1 신호선(S1)과 트랜지스터(310)의 소스 전극 및 드레인 전극 중 다른 하나는 서로 전기적으로 접속되고, 제2 신호선(S2)과 트랜지스터(310)의 게이트 전극은 서로 전기적으로 접속된다. 워드선(WL)과 용량 소자(320)의 다른 전극은 서로 전기적으로 접속된다.

[0195] 도 7b의 반도체 장치에서는, 각 행에서 기입 동작 및 판독 동작이 실시된다. 기입 동작은 도 7a의 반도체 장치와 유사한 방식으로 실시된다. 판독 동작은 다음과 같이 실시된다. 우선, 판독을 실시하는 행 이외의 행의 워드선(WL)에, 트랜지스터의 게이트 전극에 부여된 전하에 관계없이 트랜지스터(300)를 오프로 하는 전위가 인가됨으로써, 판독을 실시할 행 이외의 행의 트랜지스터(300)가 오프로 된다. 그 다음, 트랜지스터(300)의 게이트 전극의 전하에 따라 트랜지스터(300)의 온 상태 또는 오프 상태를 결정하는 전위(판독 전위)가, 판독을 실시하는 행의 워드선(WL)에 공급된다. 그 후, 소스선(SL)에 일정한 전위가 공급되어 비트선(BL)에 접속된 판독 회로(미도시)가 동작한다. 여기서, 소스선(SL)과 비트선(BL) 사이의 컨덕턴스는, 판독을 실시하는 행의 트랜지스터(300)의 상태에 의해 결정된다. 즉, 판독 회로에 의해 판독되는 비트선(BL)의 전위는, 판독을 실시하는 행의 트랜지스터(300)의 게이트 전극의 전하에 따라 변한다. 따라서, 지정된 행의 메모리 셀로부터 데이터가 판독될 수 있다.

[0196] 상기 설명에서는, 각 메모리 셀(400)에 저장될 수 있는 데이터량은 1비트이지만, 본 실시형태의 메모리 장치의 구조는 이것으로 한정되지 않는다. 트랜지스터(300)의 게이트 전극에 공급되는 3개 이상의 전위를 준비함으로써, 각 메모리 셀(400)에 저장되는 데이터량이 증가될 수도 있다. 예를 들어, 트랜지스터(300)의 게이트 전극에 공급되는 전위수가 4인 경우에는, 각 메모리 셀에 2비트의 데이터가 저장될 수 있다.

[0197] 그 다음, 도 7a 및 도 7b의 반도체 장치 등에 이용될 수 있는 판독 회로의 예를 도 8a 내지 도 8c를 참조하여 설명한다.

[0198] 도 8a는 판독 회로의 개략도를 나타낸다. 판독 회로는 트랜지스터와 센스 증폭기 회로를 포함한다.

[0199] 데이터 판독시, 단자 A는 데이터를 판독할 메모리 셀이 접속된 비트선에 접속된다. 또한, 트랜지스터의 게이트 전극에는 바이어스 전위(Vbias)가 인가되어 단자 A의 전위를 제어한다.

[0200] 메모리 셀(400)의 저항은 저장된 데이터에 따라 변한다. 구체적으로는, 선택된 메모리 셀(400)의 트랜지스터(300)가 온 인 경우에는, 메모리 셀(400)은 저저항을 가지는 반면, 선택된 메모리 셀(400)의 트랜지스터(300)가 오프인 경우에는, 메모리 셀(400)은 고저항을 가진다.

[0201] 메모리 셀이 고저항을 갖는 경우, 단자 A의 전위가 기준 전위(Vref) 보다 높고, 센스 증폭기 회로는 단자 A의 전위에 대응하는 전위를 출력한다. 반면, 메모리 셀이 저저항을 갖는 경우, 단자 A의 전위가 기준 전위(Vref) 보다 낮고, 센스 증폭기 회로는 단자 A의 전위에 대응하는 전위를 출력한다.

[0202] 따라서, 판독 회로를 이용함으로써, 메모리 셀로부터 데이터가 판독될 수 있다. 본 실시형태의 판독 회로는 예들 중 하나라는 점에 유의한다. 또 다른 회로가 이용될 수도 있다. 판독 회로는 프리차지 회로를 더 포함할 수도 있다. 기준 전위(Vref) 대신에, 기준 비트선이 센스 증폭기 회로에 접속될 수도 있다.

[0203] 도 8b는 센스 증폭기 회로의 예인 차동형 센스 증폭기를 나타낸다. 차동형 센스 증폭기는, 입력 단자 Vin(+) 및 입력 단자 Vin(-)과, 출력 단자(Vout)를 가지며, Vin(+)과 Vin(-) 사이의 차이를 증폭한다. Vin(+) >Vin(-)이면, Vout의 출력은 실질적으로 하이(High)인 반면, Vin (+) < Vin(-)이면, Vout의 출력은 실질적으로 로우(Low)이다. 판독 회로에 대해 차동형 센스 증폭기를 이용하는 경우, Vin(+) 및 Vin(-) 중 하나는 단자 A에 접속되고, 기준 전위(Vref)는 Vin(+) 및 Vin(-) 중 다른 하나에 인가된다.

[0204] 도 8c는 센스 증폭기 회로의 예인 래치형 센스 증폭기(latch sense amplifier)를 나타낸다. 래치형 센스 증폭기는, 입/출력 단자 V1 및 V2와, 제어 신호 Sp의 입력 단자, 및 제어 신호 Sn의 입력 단자를 포함한다. 우선, 제어 신호 Sp와 Sn은 각각 하이 및 로우로 설정되고, 전원 전위(Vdd)가 차단된다. 그 다음, 비교될 전위들을 V1 및 V2에 인가된다. 그 후, 신호 Sp 및 Sn은 각각 로우 및 하이로 설정되고, 전원 전위(Vdd)가 인가된다. 비교되는 전위 V1in과 V2in이 V1in > V2in을 만족하면, V1의 출력은 하이이고, V2의 출력은 로우인 반면, 전위가 V1in < V2in을 만족하면, V1의 출력은 로우이고, V2의 출력은 하이이다. 이러한 관계를 이용함으로써, V1in과 V2in 사이의 차가 증폭될 수 있다. 래치형 센스 증폭기가 판독 회로에 이용되는 경우, V1 및 V2 중 하나가 스위치를 통해 단자 A및 출력 단자에 접속되고, V1 및 V2 중 다른 하나에는 기준 전위(Vref)가 인가된다.

[0205] 본 실시형태에서 설명된 방법 및 구조는 다른 실시형태들에서 설명된 임의의 방법 및 구조와 적절히 조합될 수 있다.

[0206] (실시형태 5)

[0207] 본 실시형태에서는, 실시형태 1 내지 실시형태 4 중 임의의 실시형태에서 설명된 반도체 장치가 전자 장치에 적용되는 경우를 도 9a 내지 도 9f를 참조하여 설명한다. 본 실시형태에서는, 컴퓨터, 휴대 전화기(휴대 전화, 또는 휴대 전화 장치라고도 함), 휴대 정보 단말기(휴대형 게임 콘솔, 오디오 플레이어 등을 포함), 디지털 카메라, 디지털 비디오 카메라, 전자 페이퍼, 또는 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함) 등의 전자 장치에, 실시형태 1 내지 실시형태 4 중 임의의 실시형태에서 설명된 반도체 장치가 적용되는 경우를 설명한다.

[0208] 도 9a는 하우징(601), 하우징(602), 표시부(603), 키보드(604) 등을 포함하는 노트북 개인용 컴퓨터이다. 상기 임의의 실시형태에서 설명된 반도체 장치가 하우징(601)과 하우징(602)에 제공된다. 따라서, 소형이며 고속 동작과 낮은 전력 소비를 갖춘 노트북 개인용 컴퓨터가 실현된다.

[0209] 도 9b는 휴대 정보 단말기(PDA; personal digital assistance)이다. 본체(611)에는, 표시부(613), 외부 인터페이스(615), 및 조작 버튼(614) 등이 제공된다. 또한, 휴대 정보 단말기 등을 작동하기 위한 스타일러스(612)도 역시 제공된다. 본체(611)에는, 상기 임의의 실시형태에서 설명된 미세화된 반도체 장치가 제공된다. 따라서, 소형이며 고속 동작과 낮은 전력 소비를 갖춘 휴대 정보 단말기가 실현된다.

[0210] 도 9c는 전자 페이퍼를 탑재한 전자서적 리더(620)이다. 전자서적 리더는, 2개의 하우징인 하우징(621) 및 하우징(623)을 가진다. 하우징(621) 및 하우징(623)에는, 각각 표시부(625) 및 표시부(627)가 제공된다. 하우징(621) 및 하우징(623)은 경첩(637)에 의해 접속되고, 경첩(637)을 따라 개방 및 폐쇄될 수 있다. 또한, 하우징(621)에는 전원 스위치(631), 조작 키(633), 스피커(635) 등이 제공된다. 하우징(621) 및 하우징(623) 중 적어도 하나에는, 상기 임의의 실시형태에서 설명된 미세화된 반도체 장치가 제공된다. 따라서, 소형이며 고속 동작과 낮은 전력 소비를 갖춘 전자서적 리더가 실현된다.

[0211] 도 9d는 2개의 하우징인 하우징(640) 및 하우징(641)을 포함하는 휴대 전화기이다. 또한, 도 9d에 나타낸 바와 같이 전개된 상태의 하우징(640 및 641)은, 하나가 다른 하나 위에 겹치도록 슬라이딩됨으로써 이동될 수 있다; 따라서, 휴대 전화기의 크기가 줄어들 수 있고, 이것은 휴대 전화기를 휴대에 적합하게 한다. 하우징(641)에는, 표시 패널(642), 스피커(643), 마이크로폰(644), 포인팅 장치(646), 카메라용 렌즈(647), 외부 접속 단자(648) 등이 제공된다. 하우징(640)에는, 휴대 전화기를 충전하기 위한 태양전지(solar cell, 649), 외부 메모리 슬롯(650) 등이 제공된다. 또한, 안테나가 하우징(641) 내에 통합된다. 하우징(640) 및 하우징(641) 중 적어도 하나에는, 상기 임의의 실시형태에서 설명된 미세화된 반도체 장치가 제공된다. 따라서, 소형이며 고속 동작과 낮은 전력 소비를 갖춘 휴대 전화기가 실현된다.

[0212] 도 9e는, 본체(661), 표시부(667), 접안부(663), 조작 스위치(664), 표시부(665), 배터리(666) 등을 포함하는 디지털 카메라이다. 본체(661)에는, 상기 임의의 실시형태들에서 설명된 미세화된 반도체 장치가 제공된다. 따라서, 소형이며 고속 동작과 낮은 전력 소비를 갖춘 디지털 카메라가 실현된다.

[0213] 도 9f는 하우징(671), 표시부(673), 및 지지대(675) 등을 포함하는 텔레비전 장치(670)이다. 텔레비전 장치(670)는 하우징(671)의 조작 스위치 또는 별도의 리모콘(680)에 의해 작동될 수 있다. 상기 임의의 실시형태에서 설명된 미세화된 반도체 장치가 하우징(671)과 리모콘(680)에 탑재된다. 따라서, 소형이며 고속 동작과 낮은 전력 소비를 갖춘 텔레비전 장치가 실현된다.

[0214] 따라서, 상기 임의의 실시형태에 따른 반도체 장치가 본 실시형태에서 설명된 전자 장치들에 탑재된다.

따라서, 소형이며 고속 동작과 낮은 전력 소비를 갖춘 전자 장치가 실현된다.

[0215] [예 1]

[0216] 본 예에서는, 본 발명의 실시형태에 따른 반도체 장치의 특성의 계산 검증의 결과를, 도 10a 및 도 10b와, 도 11a 및 도 11b와, 도 12a 및 도 12b와, 도 13을 참조하여 설명한다. 구체적으로는, 각각이 상이한 채널 길이(*L*)를 갖는 트랜지스터의 특성을 비교했다. 계산에 대해, Silvaco Inc.에 의해 제조된 디바이스 시뮬레이션 소프트웨어 "Atlas"가 이용되었다는 점에 유의한다.

[0217] 도 10a 및 도 10b는 계산에 이용된 트랜지스터의 구조를 나타낸다. 도 10a는 본 발명의 한 실시형태에 따른 구조(소스 전극 또는 드레인 전극의 일부가 연장된 구조)를 나타내며, 도 10b는 비교를 위한 구조(소스 전극 또는 드레인 전극의 일부가 연장되지 않은 구조)를 나타낸다.

[0218] 계산에 이용된 트랜지스터의 상세사항을 설명한다. 도 10a에 나타낸 트랜지스터는, 제1 도전층(742a)(재료:티타늄, 두께: 100 nm) 및 제2 도전층(745a)(재료:질화 티타늄, 두께: 임의 설정)이 이 순서로 적층된 소스 전극; 제1 도전층(742b)(재료:티타늄, 두께: 100 nm) 및 제2 도전층(745b)(재료:질화 티타늄, 두께: 임의 설정)이 이 순서로 적층된 드레인 전극; 소스 전극 위에 제공된 절연층(743a)(재료:산화 실리콘, 두께: 100 nm); 드레인 전극 위에 제공된 절연 층(743b)(재료:산화 실리콘, 두께: 100 nm); 절연층(743a) 및 절연층(743b) 위에 제공된 산화물 반도체층(744)(재료: In-Ga-Zn-O계의 산화물 반도체, 두께: 10 nm); 산화물 반도체층(744) 위에 제공된 게이트 절연층(746)(재료:산화 하프늄, 두께: 10 nm); 및 게이트 절연층(746) 위에 제공된 게이트 전극(748)(재료:텅스텐)을 포함한다.

[0219] 도 10a에 나타낸 트랜지스터에서, 제2 도전층(745a)은 제1 도전층(742a)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가지며(즉, 제2 도전층(745a)의 단부는 제1 도전층(742a)의 단부보다 채널 형성 영역에 가까움), 제2 도전층(745a)의 단부는 산화물 반도체층(744)의 채널 형성 영역에 접한다. 마찬가지로, 제2 도전층(745b)은 제1 도전층(742b)의 단부로부터 채널 길이 방향으로 연장되는 영역을 가지며(즉, 제2 도전층(745b)의 단부는 제1 도전층(742b)의 단부보다 채널 형성 영역에 가까움), 제2 도전층(745b)의 단부는 산화물 반도체층(744)의 채널 형성 영역에 접한다.

[0220] 도 10b에 나타낸 트랜지스터는, 각각 도전층(752a) 및 도전층(752b)을 포함하는 소스 전극(재료:질화 티타늄, 두께: 100 nm) 및 드레인 전극(재료:질화 티타늄, 두께: 100 nm); 소스 전극 및 드레인 전극 위에 제공된 산화물 반도체층(744)(재료: In-Ga-Zn-O계 산화물 반도체, 두께: 10 nm); 산화물 반도체층(744) 위에 제공된 게이트 절연층(746)(재료:산화 하프늄, 두께: 10 nm); 및 게이트 절연층(746) 위에 제공된 게이트 전극(748)(재료:텅스텐)을 포함한다.

[0221] 도 10a와 도 10b 사이의 차이점은, 제2 도전층(745a)에서 제1 도전층(742a)의 단부로부터 채널 길이 방향으로 연장되는 영역의 유무, 및 제2 도전층(745b)에서 제1 도전층(742b)의 단부로부터 채널 길이 방향으로 연장되는 영역의 유무, 및 소스 전극 위의 절연층 및 드레인 전극 위의 절연층의 유무이다.

[0222] 도 10a에서, 제2 도전층(745a)에서 제1 도전층(742a)의 단부로부터 채널 길이 방향으로 연장되는 영역(제2 도전층으로 형성된 영역)은, 다른 영역(제1 도전층과 제2 도전층의 적층으로 형성된 영역)보다 작은 전극 두께를 가진다. 즉, 전하의 흐름에 수직인 단면의 면적이 작아진다. 저항은 단면적에 반비례한다; 따라서, 제2 도전층(745a)에서 제1 도전층(742a)의 단부로부터 채널 길이 방향으로 연장되는 영역은 다른 영역보다 높은 저항을 가진다. 제2 도전층(745b)에 대해서도 마찬가지라고 말할 수 있다. 이하, 본 예에서는, 제2 도전층(745a)에서 제1 도전층(742a)의 단부로부터 채널 길이 방향으로 연장되는 영역, 및 제2 도전층(745b)에서 제1 도전층(742b)의 단부로부터 채널 길이 방향으로 연장되는 영역을, 고저항 영역(HRR: high-resistance regions)이라고 부른다.

[0223] 도 10a에서, 소스 전극의 상부는 절연층(743a)으로 덮이고 드레인 전극의 상부는 절연층(743b)으로 덮인다; 따라서, 소스 전극 및 드레인 전극 각각과 산화물 반도체층(744) 사이의 접촉 면적은 극히 작다(여기서는, 제2 도전층의 단부만이 산화물 반도체층(744)에 접한다). 즉, 소스 전극 및 드레인 전극은, 채널 형성 영역에 접하는 영역의 부근에서 다른 영역보다 높은 저항을 가진다라고 말할 수 있다.

[0224] 상기 구조(도 10a 및 도 10b)에서, 채널 길이(*L*)를 변경함으로써, 트랜지스터의 임계 전압(V_{th})이 어떻게 변화하는지가 조사되었다. 채널 길이(*L*)로서, 20 nm, 30 nm, 50 nm, 100 nm, 200 nm, 및 400 nm의 6개 조건이 이용되었다.

[0225] 또한, 제2 도전층의 두께를 변경함으로써, 트랜지스터의 임계 전압(V_{th})이 어떻게 이동했는지가 조사되었다. 제2 도전층의 두께(L)로서, 3 nm, 10 nm, 50 nm, 및 100 nm의 4개 조건이 이용되었다.

[0226] 소스 전극과 드레인 전극 사이의 전압(Vds)은 1 V로 설정되었다. 또한, 고저항 영역의 채널 길이 방향의 길이는 0.3 μm로 설정되었다.

[0227] 계산에 이용한 파라미터가 아래에 주어져 있다.

[0228] 1. In-Ga-Zn-O계의 산화물 반도체(산화물 반도체층의 재료), 밴드 갭(Eg) : 3.15 eV, 전자 친화력(χ): 4.3 eV, 비유전율: 15, 전자 이동도: 10 cm^2/Vs, 및 전도대의 실효 상태 밀도: 5×10^{18} cm^{-3}.

[0229] 2. 질화 티타늄(소스 전극 및 드레인 전극의 재료), 일 함수(Φ_M) : 3.9 eV, 저항율(ρ) : 2.2×10^{-4} Ω·cm.

[0230] 3. 산화 하프늄(게이트 절연층의 재료), 및 비유전율 : 15.

[0231] 4. 텅스텐(게이트 전극의 재료), 및 일 함수(Φ_M) : 4.9 eV.

[0232] 계산 결과를 도 11a 및 도 11b와, 도 12a 및 도 12b와, 도 13에 도시한다. 도 11a 및 도 11b와, 도 12a 및 도 12b와, 도 13에서, 횡축은 채널 길이 L(nm)을 나타내고, 종축은 임계 전압의 이동량(ΔV_{th})을 나타낸다. ΔV_{th}는 채널 길이(L)가 400 nm일 때의 임계 전압에 기초하여 계산된다는 점에 유의한다.

[0233] 도 11a 및 도 11b와 도 12a 및 도 12b는 도 10a에 나타낸 구조의 계산 결과를 도시한다. 도 11a는 제2 도전층의 두께가 100 nm일 때의 계산 결과를 나타내고, 도 11b는 제2 도전층의 두께가 50 nm일 때의 계산 결과를 나타내며, 도 12a는 제2 도전층의 두께가 10 nm일 때의 계산 결과를 나타내고, 도 12b는 제2 도전층의 두께가 3 nm일 때의 계산 결과를 나타낸다. 도 13은 도 10b에 나타낸 구조의 계산 결과를 도시한다.

[0234] 도 11a 및 도 11b와 도 12a 및 도 12b의 비교에 의해, 제2 도전막이 얇을수록 임계 전압의 음의 이동이 억제될 수 있다는 것을 알 수 있다. 또한, 도 11a 및 도 13의 비교에 의해, 소스 전극 및 드레인 전극을 덮는 절연층이 제공되면 V_{th}의 음의 이동이 억제된다는 것을 알 수 있다. 상기 사항은, 소스 전극 및 드레인 전극의 각각과 산화물 반도체 사이의 접촉 면적을 줄이고 접촉 계면에서의 접촉 저항을 증가시킴으로써, 단채널 효과가 제어될 수 있다는 것을 시사한다.

[0235] 또한, 상기 결과로부터, 반도체층에 접하는 영역 부근에서, 소스 전극 및 드레인 전극의 저항이 증가되면, 단채널 효과를 제어하는 효과가 얻어질 수 있다.

[0236] 따라서, 소스 전극 및 드레인 전극 각각이 채널 형성 영역에 접하는 영역 부근을 고저항화 함으로써(구체적으로는, 예를 들어, 소스 전극 및 드레인 전극 각각의 일부의 단면적을 작게 하고, 소스 전극 및 드레인 전극 각각의 상부를 덮는 절연층을 형성하여 소스 전극 또는 드레인 전극과 산화물 반도체층(144)의 접촉 면적을 줄임으로써), 임계 전압의 음의 이동이 억제될 수 있다는 것을 이해할 수 있다. 이것은, 소스 전극과 드레인 전극 사이의 전계 강도가 완화되기 때문이다. 전술된 바와 같이, 본 발명의 실시형태에 따라, 임계 전압 저하 등의 단채널 효과가 억제될 수 있다는 것이 시사되었다.

[0237] 본 출원은 2010년 1월 22일 일본 특허청에 출원된 출원번호 제2010-012540호에 기초하며, 그 전체 내용을 본 명세서에서 참조용으로 원용한다.

부호의 설명

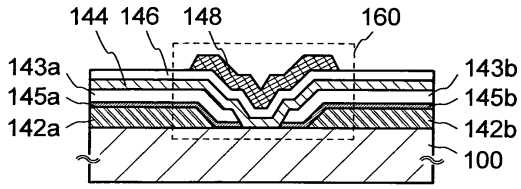
[0238] 100: 기판, 142a: 제1 도전층, 142b: 제1 도전층, 143: 절연막; 143a: 절연층, 143b: 절연층, 144: 산화물 반도체층, 145: 도전막, 145a: 제2 도전층, 145b: 제2 도전층, 146: 게이트 절연층, 148: 게이트 전극, 160: 트랜지스터, 170: 트랜지스터, 180: 트랜지스터, 190: 트랜지스터, 200: 기판, 242: 도전막, 242a: 제1 도전층, 242b: 제1 도전층, 243: 절연막, 243a: 절연층, 243b: 절연층, 244: 산화물 반도체층, 245: 도전막, 245a: 제2 도전층, 245b: 제2 도전층, 246 게이트 절연층, 248: 게이트 전극, 252: 절연막, 252a: 측벽 절연층, 252b: 측벽 절연층, 280: 트랜지스터, 300: 트랜지스터, 310: 트랜지스터, 320: 용량 소자, 400: 메모리 셀, 410: 메모리 셀 어레이, 601: 하우징, 602: 하우징, 603: 표시부, 604: 키보드, 611: 본체, 612: 스타일러스, 613: 표시부, 614: 조작 버튼, 615: 외부 인터페이스, 620: 전자서적 리더, 621: 하우징 , 623: 하우징, 625: 표시부, 627: 표시부, 631: 전원 스위치, 633: 조작 키, 635: 스피커, 637: 경첩, 640: 하우징, 641: 하우징, 642: 표

시 패널, 643: 스피커, 644: 마이크로폰, 645: 조작 키, 646: 포인팅 장치, 647: 카메라 렌즈, 648: 외부 접속 단자, 649: 태양전지, 650: 외부 메모리 슬롯, 661: 본체, 663: 접안부, 664: 조작 스위치, 665: 표시부, 666: 배터리, 667: 표시부, 670: 텔레비전 장치, 671: 하우징, 673: 표시부, 675: 지지대, 680: 리모콘, 742a: 제1 도전층, 742b: 제1 도전층, 743a: 절연층, 743b: 절연층, 744: 산화물 반도체층, 745a: 제2 도전층, 745b: 제2 도전층, 746: 게이트 절연층, 48: 게이트 전극, 752a: 도전층.

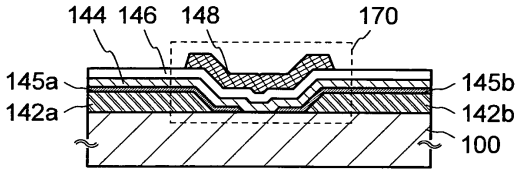
도면

도면1

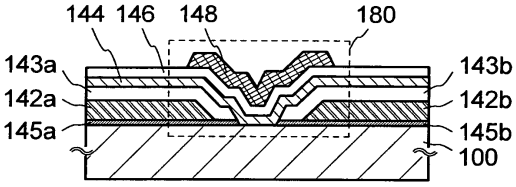
(a)



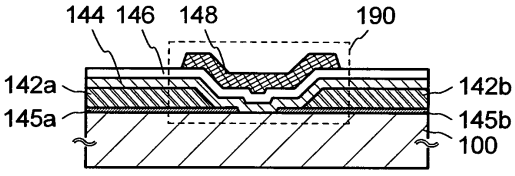
(b)



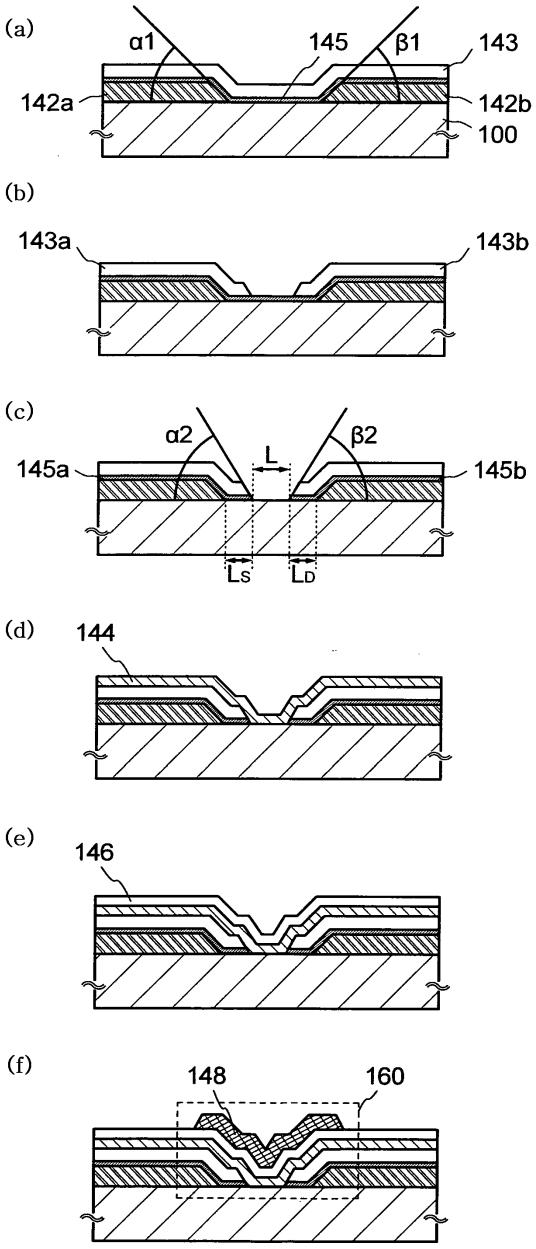
(c)



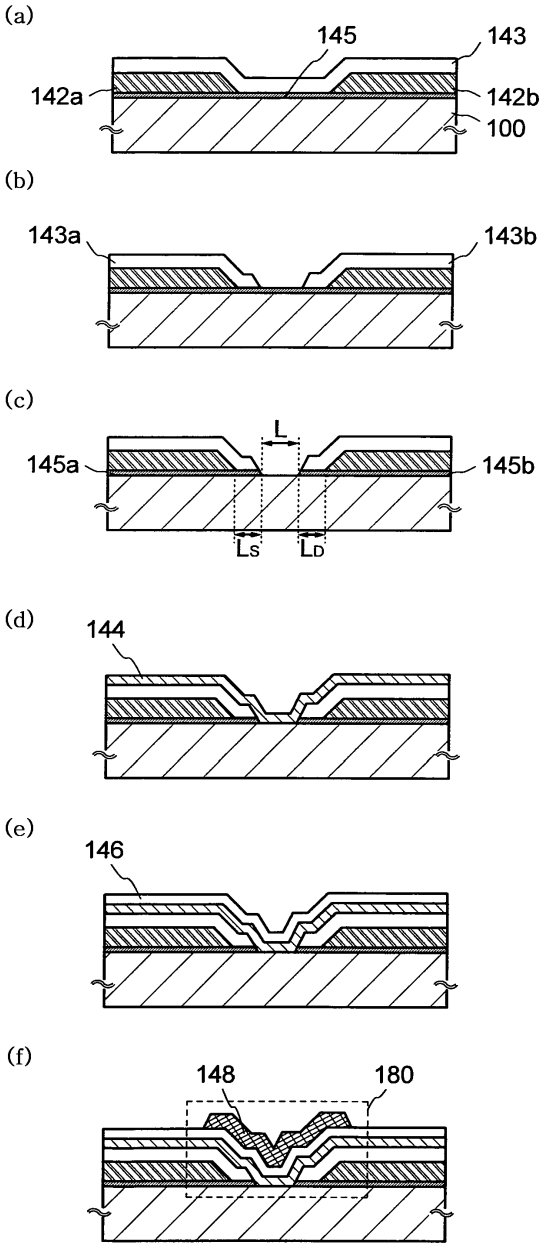
(d)



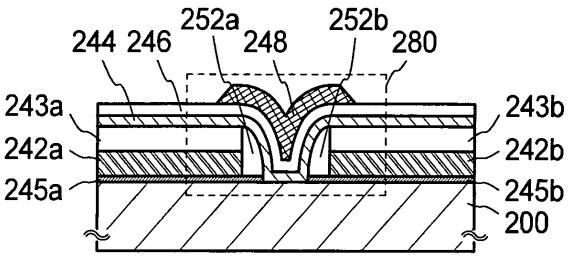
도면2


(a)
α1
145
β1
143
142a
142b
100
(b)
143a
143b
(c)
α2
L
β2
145a
145b
LS
LD
(d)
144
(e)
146
(f)
148
160

도면3

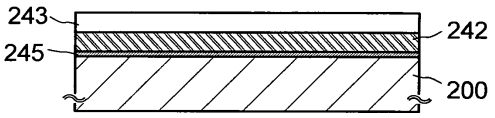

(a)
145
143
142a
142b
100
(b)
143a
143b
(c)
L
145a
145b
Ls
LD
(d)
144
(e)
146
(f)
148
180

도면4

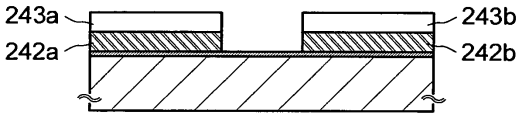

244
246
252a
248
252b
280
243a
242a
245a
243b
242b
245b
200

도면5

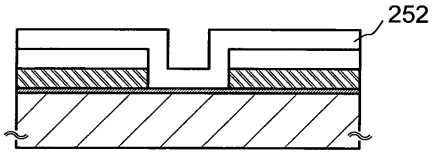
(a)


243
242
245
200

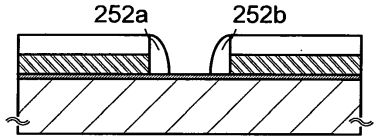
(b)


243a
243b
242a
242b

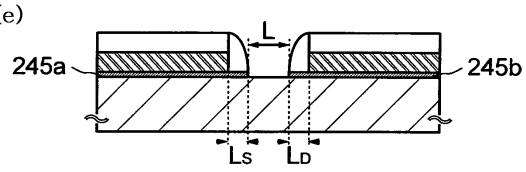
(c)


252

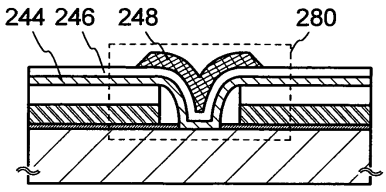
(d)


252a
252b

(e)

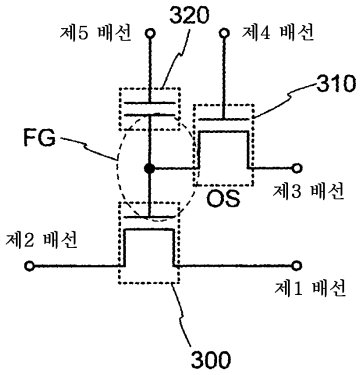

L
245a
245b
Ls
LD

(f)

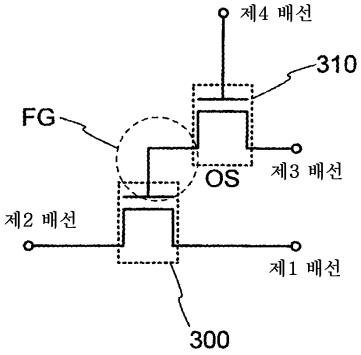

244
246
248
280

도면6

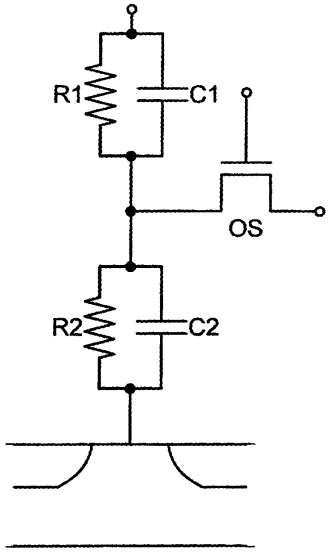
(a1)


320
제5 배선
제4 배선
310
FG
OS
제3 배선
제2 배선
제1 배선
300

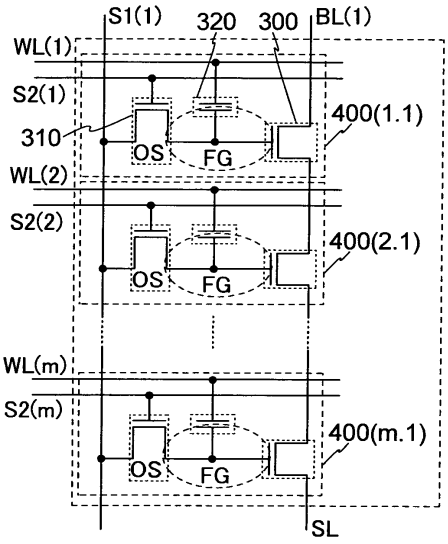
(b)


제4 배선
310
FG
OS
제3 배선
제2 배선
제1 배선
300

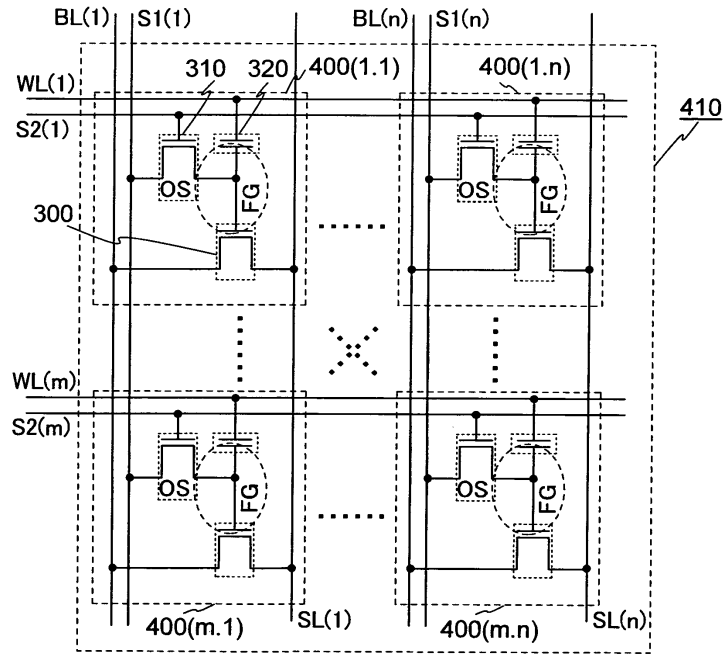
(a2)


R1
C1
OS
R2
C2

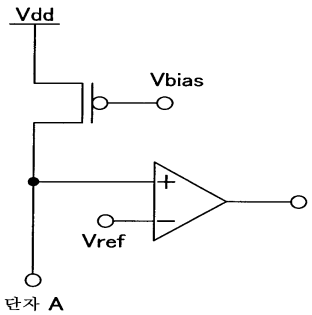
도면7a



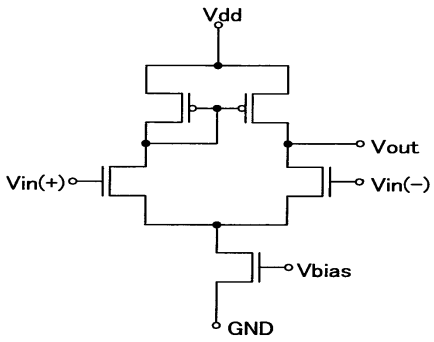
도면7b



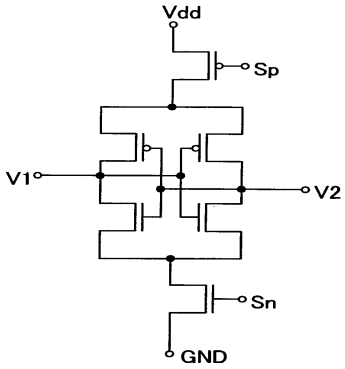
도면8a



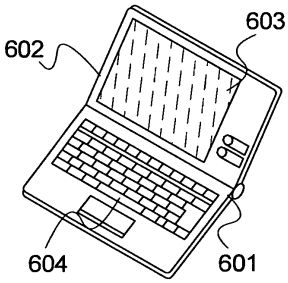
도면8b



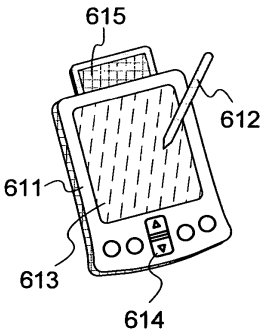
도면8c



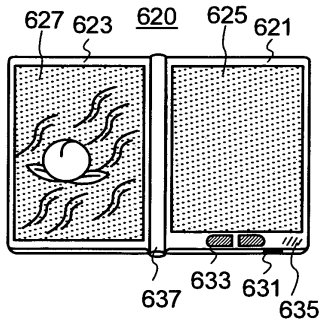
도면9a



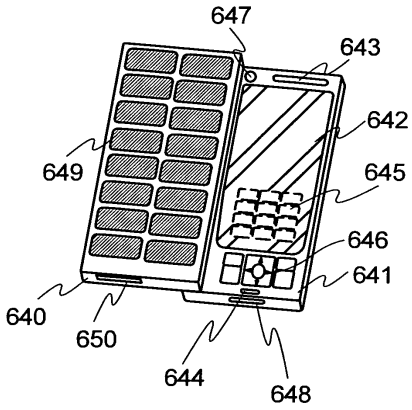
도면9b



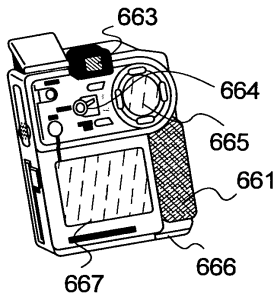
도면9c



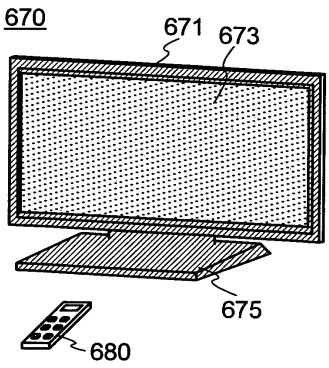
도면9d



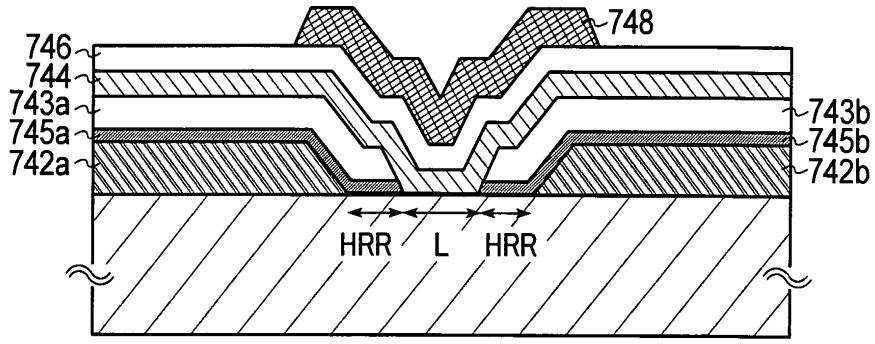
도면9e



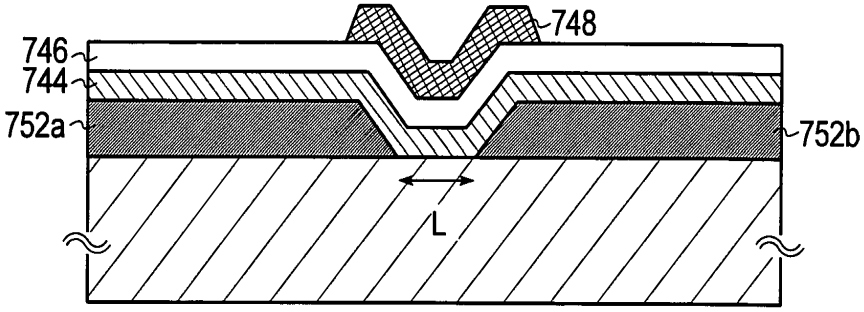
도면9f



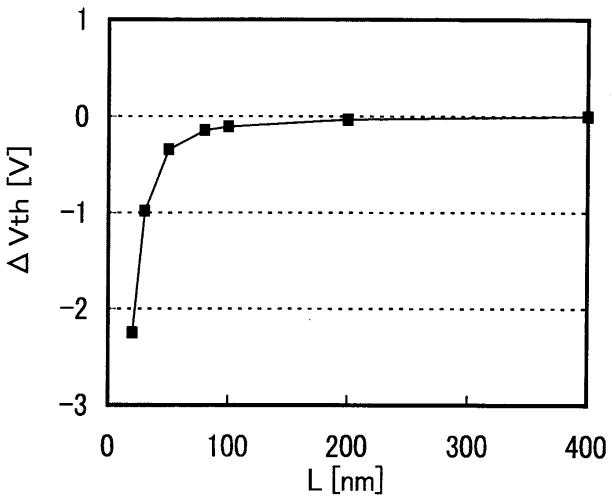
도면10a



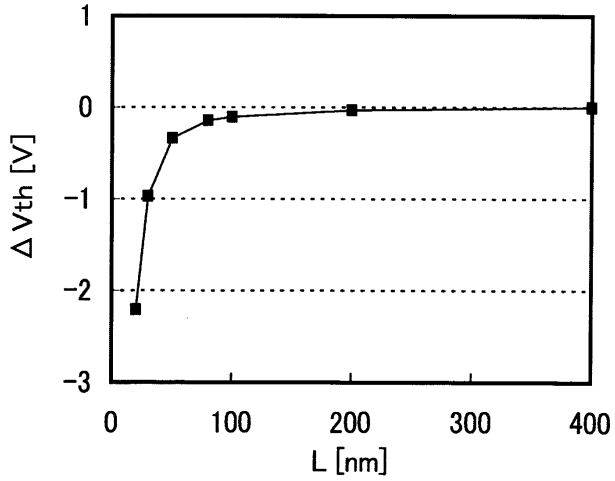
도면10b



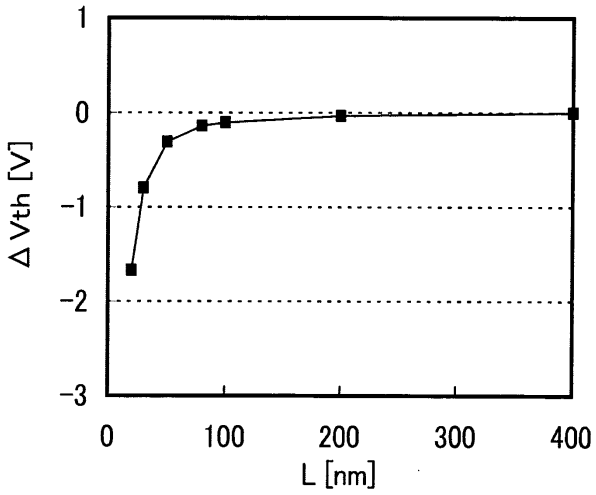
도면11a



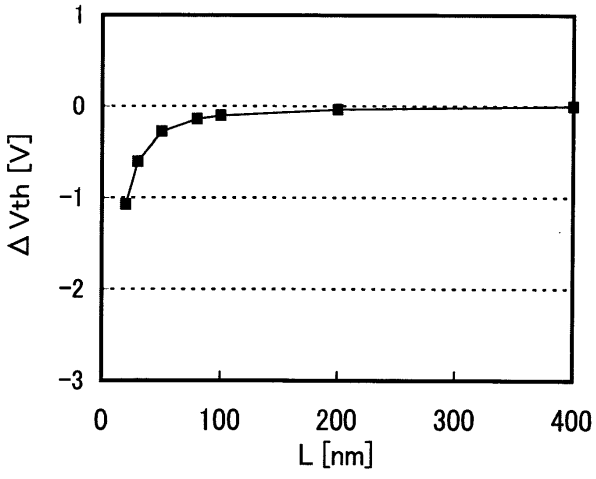
도면11b



도면12a



도면12b



도면13

