

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-204560

(P2017-204560A)

(43) 公開日 平成29年11月16日(2017.11.16)

(51) Int.Cl.			F I			テーマコード (参考)		
HO 1 G	4/12	(2006.01)	HO 1 G	4/12	3 6 4	5 E 0 0 1		
HO 1 G	4/232	(2006.01)	HO 1 G	4/12	3 5 2	5 E 0 8 2		
HO 1 G	4/30	(2006.01)	HO 1 G	4/12	3 6 1			
			HO 1 G	4/30	3 0 1 C			
			HO 1 G	4/30	3 1 1 D			

審査請求 未請求 請求項の数 4 O L (全 17 頁)

(21) 出願番号 特願2016-95355 (P2016-95355)
 (22) 出願日 平成28年5月11日 (2016.5.11)

(71) 出願人 000006231
 株式会社村田製作所
 京都府長岡京市東神足1丁目10番1号
 (74) 代理人 100079577
 弁理士 岡田 全啓
 (74) 代理人 100167966
 弁理士 扇谷 一
 (72) 発明者 杉田 洋明
 京都府長岡京市東神足1丁目10番1号
 株式会社村田製作所内
 Fターム(参考) 5E001 AB03 AC03 AC04 AC09 AD04
 AF06 AH01 AH08 AH09 AJ01

最終頁に続く

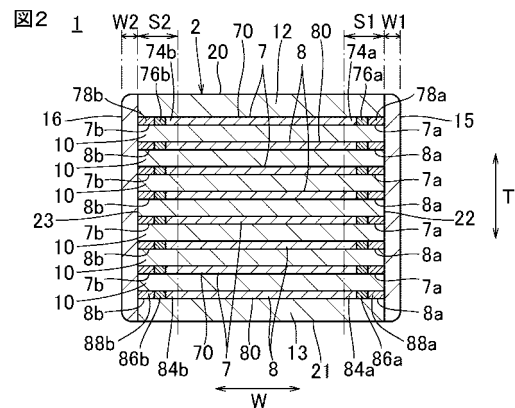
(54) 【発明の名称】 積層セラミックコンデンサ及びその製造方法

(57) 【要約】

【課題】第1内部電極の端部と第2内部電極の端部との間の短絡を防止でき、かつ、セラミック誘電体層と被覆用セラミック誘電体層との境界部分にマイクロクラックが発生し難い積層セラミックコンデンサを提供する。

【解決手段】セラミック積層体2の幅方向Wにおいて、内部電極7及び8の一方の端部7a及び8aは、それぞれ内部電極7及び8側からセラミック積層体2の第1側面22に向かって、Ni領域74a及び84aからNi-O領域76a及び86aを経てNi-Mg-O領域78a及び88aの順で金属相が配置されている。内部電極7及び8の他方の端部7b及び8bは、それぞれ内部電極7及び8側からセラミック積層体2の第2側面23に向かって、Ni領域74b及び84bからNi-O領域76b及び86bを経てNi-Mg-O領域78b及び88bの順で金属相が配置されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 内部電極が表面に設けられたセラミック誘電体層と第 2 内部電極が表面に設けられたセラミック誘電体層と内部電極が設けられていないセラミック誘電体層とを複数積層して、積層方向に相対する第 1 主面および第 2 主面と、前記積層方向に直交する幅方向に相対する第 1 側面および第 2 側面と、前記積層方向および前記幅方向に直交する長さ方向に相対する第 1 端面および第 2 端面とを有するセラミック積層体と、

前記セラミック積層体の前記幅方向において、前記第 1 内部電極の一方の端部および前記第 2 内部電極の一方の端部が露出した前記セラミック積層体の前記第 1 側面の表面に設けた第 1 被覆用セラミック誘電体層、並びに、前記第 1 内部電極の他方の端部および前記第 2 内部電極の他方の端部が露出した前記セラミック積層体の前記第 2 側面の表面に設けた第 2 被覆用セラミック誘電体層と、

前記第 1 内部電極が露出した前記セラミック積層体の前記第 1 端面の表面に設けた第 1 外部電極、並びに、前記第 2 内部電極が露出した前記セラミック積層体の前記第 2 端面の表面に設けた第 2 外部電極とを備え、

前記第 1 内部電極と前記第 2 内部電極とは、前記セラミック誘電体層を間に挟んで互いに対向し、

前記セラミック積層体の前記幅方向において、前記第 1 内部電極の一方の端部は、第 1 内部電極側から前記セラミック積層体の前記第 1 側面に向かって、Ni から Ni - O を経て Ni - Mg - O の順で金属相が配置され、かつ、前記第 1 内部電極の他方の端部は、第 1 内部電極側から前記セラミック積層体の前記第 2 側面に向かって、Ni から Ni - O を経て Ni - Mg - O の順で金属相が配置され、

前記セラミック積層体の前記幅方向において、前記第 2 内部電極の一方の端部は、第 2 内部電極側から前記セラミック積層体の前記第 1 側面に向かって、Ni から Ni - O を経て Ni - Mg - O の順で金属相が配置され、かつ、前記第 2 内部電極の他方の端部は、第 2 内部電極側から前記セラミック積層体の前記第 2 側面に向かって、Ni から Ni - O を経て Ni - Mg - O の順で金属相が配置されていること、

を特徴とする積層セラミックコンデンサ。

【請求項 2】

前記セラミック積層体の前記幅方向において、前記第 1 内部電極および前記第 2 内部電極のそれぞれの前記一方の端部は、前記積層方向に沿ったずれ量が $5 \mu\text{m}$ 以内であり、前記第 1 内部電極および前記第 2 内部電極のそれぞれの前記他方の端部は、前記積層方向に沿ったずれ量が $5 \mu\text{m}$ 以内であること、

を特徴とする請求項 1 に記載の積層セラミックコンデンサ。

【請求項 3】

第 1 内部電極が表面に設けられたセラミック誘電体層と第 2 内部電極が表面に設けられたセラミック誘電体層と内部電極が設けられていないセラミック誘電体層とを複数積層して、積層方向に相対する第 1 主面および第 2 主面と、前記積層方向に直交する幅方向に相対する第 1 側面および第 2 側面と、前記積層方向および前記幅方向に直交する長さ方向に相対する第 1 端面および第 2 端面とを有するセラミック積層体を形成する工程と、

前記セラミック積層体の前記第 1 側面に第 1 被覆用セラミック誘電体層を形成し、前記セラミック積層体の前記第 2 側面に第 2 被覆用セラミック誘電体層を形成する工程と、

前記セラミック積層体を焼成する工程と、

前記セラミック積層体の前記第 1 端面に第 1 外部電極を形成し、前記セラミック積層体の前記第 2 端面に第 2 外部電極を形成する工程を含み、

前記第 1 内部電極と前記第 2 内部電極とは、前記セラミック誘電体層を間に挟んで互いに対向し、

前記セラミック積層体の前記幅方向において、前記セラミック積層体の前記第 1 側面には前記第 1 内部電極および前記第 2 内部電極のそれぞれの一方の端部が露出し、かつ、前記セラミック積層体の前記第 2 側面には前記第 1 内部電極および前記第 2 内部電極のそれ

10

20

30

40

50

ぞれの他方の端部が露出し、

前記セラミック積層体の前記第1端面には前記第1内部電極が露出し、かつ、前記セラミック積層体の前記第2端面には前記第2内部電極が露出している積層セラミックコンデンサの製造方法であって、

前記セラミック積層体を焼成する工程は、

1100 以下の温度領域で、 N_2 雰囲気中で、300 /分以上1000 /分以下の昇温速度で、1.1分以上3.7分以下の時間で前記セラミック積層体を昇温させた後、

1100 以上1350 以下の温度領域で、 $Ni - NiO$ 平衡酸素分圧より0.1桁以上2桁以下の還元雰囲気中で、5 /分以上30 /分以下の昇温速度で、8分以上50分以下の時間で前記セラミック積層体を昇温させた後、

1150 以上1350 以下の温度領域で、 $Ni - NiO$ 平衡酸素分圧より0.1桁以上2桁以下の還元雰囲気中で、前記セラミック積層体を1分以上30分以下の時間で保持すること、

を特徴とする積層セラミックコンデンサの製造方法。

【請求項4】

前記第1内部電極および前記第2内部電極にはそれぞれNiが含まれ、前記第1被覆用セラミック誘電体層および前記第2被覆用セラミック誘電体層にはそれぞれMgが含まれていること、を特徴とする請求項3に記載の積層セラミックコンデンサの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は積層セラミックコンデンサ及びその製造方法に関する。

【背景技術】

【0002】

従来から、静電容量の取得効率を高めることができる、特許文献1に記載の構造の積層セラミックコンデンサが知られている。この積層セラミックコンデンサは、第1内部電極が表面に設けられたセラミック誘電体層と、第2内部電極が表面に設けられたセラミック誘電体層と、内部電極が設けられていないセラミック誘電体層とを複数積層して構成されたセラミック積層体を備えている。第1内部電極と第2内部電極とは、セラミック誘電体層を間に挟んで互いに対向している。

【0003】

そして、この積層セラミックコンデンサは、第1内部電極および第2内部電極のそれぞれの幅方向の端部をセラミック積層体の側面に露出させた後、セラミック積層体の側面を被覆用セラミック誘電体層で覆うようにして形成されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開昭62-237714号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、積層セラミックコンデンサの場合、第1内部電極と第2内部電極との間の絶縁性が担保されている必要がある。しかし、特許文献1に記載の構造の積層セラミックコンデンサの場合、第1内部電極の幅方向の端部および第2内部電極の幅方向の端部には電界が集中し易いにも関わらず、両者の端部同士の沿面距離はセラミック誘電体層の厚み分のみであり、近接した状態である。従って、第1内部電極の端部と第2内部電極の端部とが短絡する心配があった。

【0006】

それゆえに、この発明の主たる目的は、第1内部電極の端部と第2内部電極の端部との

10

20

30

40

50

間の短絡を防止でき、かつ、セラミック誘電体層と被覆用セラミック誘電体層との境界部分にマイクロクラックが発生し難い積層セラミックコンデンサおよびその製造方法を提供することである。

【課題を解決するための手段】

【0007】

この発明は、第1内部電極が表面に設けられたセラミック誘電体層と第2内部電極が表面に設けられたセラミック誘電体層と内部電極が設けられていないセラミック誘電体層とを複数積層して、積層方向に相対する第1主面および第2主面と、積層方向に直交する幅方向に相対する第1側面および第2側面と、積層方向および幅方向に直交する長さ方向に相対する第1端面および第2端面とを有するセラミック積層体と、セラミック積層体の幅方向において、第1内部電極の一方の端部および第2内部電極の一方の端部が露出したセラミック積層体の第1側面の表面に設けた第1被覆用セラミック誘電体層、並びに、第1内部電極の他方の端部および第2内部電極の他方の端部が露出したセラミック積層体の第2側面の表面に設けた第2被覆用セラミック誘電体層と、第1内部電極が露出したセラミック積層体の第1端面の表面に設けた第1外部電極、並びに、第2内部電極が露出したセラミック積層体の第2端面の表面に設けた第2外部電極と、を備え、第1内部電極と第2内部電極とは、セラミック誘電体層を間に挟んで互いに対向し、セラミック積層体の幅方向において、第1内部電極の一方の端部は、第1内部電極側からセラミック積層体の第1側面に向かって、NiからNi-Oを経てNi-Mg-Oの順で金属相が配置され、かつ、第1内部電極の他方の端部は、第1内部電極側からセラミック積層体の第2側面に向かって、NiからNi-Oを経てNi-Mg-Oの順で金属相が配置され、セラミック積層体の幅方向において、第2内部電極の一方の端部は、第2内部電極側からセラミック積層体の第1側面に向かって、NiからNi-Oを経てNi-Mg-Oの順で金属相が配置され、かつ、第2内部電極の他方の端部は、第2内部電極側からセラミック積層体の第2側面に向かって、NiからNi-Oを経てNi-Mg-Oの順で金属相が配置されていること、を特徴とする積層セラミックコンデンサである。

10

20

【0008】

また、この発明は、セラミック積層体の幅方向において、第1内部電極および第2内部電極のそれぞれの一方の端部は、積層方向に沿ったずれ量が5 μ m以内であり、第1内部電極および第2内部電極のそれぞれの他方の端部は、積層方向に沿ったずれ量が5 μ m以内であること、を特徴とする積層セラミックコンデンサである。

30

【0009】

また、この発明は、第1内部電極が表面に設けられたセラミック誘電体層と第2内部電極が表面に設けられたセラミック誘電体層と内部電極が設けられていないセラミック誘電体層とを複数積層して、積層方向に相対する第1主面および第2主面と、積層方向に直交する幅方向に相対する第1側面および第2側面と、積層方向および幅方向に直交する長さ方向に相対する第1端面および第2端面とを有するセラミック積層体を形成する工程と、セラミック積層体の第1側面に第1被覆用セラミック誘電体層を形成し、セラミック積層体の第2側面に第2被覆用セラミック誘電体層を形成する工程と、セラミック積層体を焼成する工程と、セラミック積層体の第1端面に第1外部電極を形成し、セラミック積層体の第2端面に第2外部電極を形成する工程を含み、第1内部電極と第2内部電極とは、セラミック誘電体層を間に挟んで互いに対向し、セラミック積層体の幅方向において、セラミック積層体の第1側面には第1内部電極および第2内部電極のそれぞれの一方の端部が露出し、かつ、セラミック積層体の第2側面には第1内部電極および第2内部電極のそれぞれの他方の端部が露出し、セラミック積層体の第1端面には第1内部電極が露出し、かつ、セラミック積層体の第2端面には第2内部電極が露出している積層セラミックコンデンサの製造方法であって、セラミック積層体を焼成する工程は、1100 以下の温度領域で、N₂雰囲気中で、300 /分以上1000 /分以下の昇温速度で、1.1分以上3.7分以下の時間で前記セラミック積層体を昇温させた後、1100 以上1350 以下の温度領域で、Ni-NiO平衡酸素分圧より0.1桁以上2桁以下の還元雰囲気

40

50

中で、5 /分以上30 /分以下の昇温速度で、8分以上50分以下の時間で前記セラミック積層体を昇温させた後、1150 以上1350 以下の温度領域で、Ni - NiO平衡酸素分圧より0.1桁以上2桁以下の還元雰囲気中で、前記セラミック積層体を1分以上30分以下の時間で保持すること、を特徴とする積層セラミックコンデンサの製造方法である。

【0010】

また、この発明は、第1内部電極および第2内部電極にはそれぞれNiが含まれ、第1被覆用セラミック誘電体層および第2被覆用セラミック誘電体層にはそれぞれMgが含まれていること、を特徴とする積層セラミックコンデンサの製造方法である。

【発明の効果】

10

【0011】

この発明によれば、第1内部電極の端部と第2内部電極の端部との間の短絡を防止でき、かつ、セラミック誘電体層と被覆用誘電体層との境界部分にマイクロクラックが発生し難い積層セラミックコンデンサを得ることができる。

【0012】

この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の発明を実施するための形態の説明から一層明らかとなろう。

【図面の簡単な説明】

【0013】

【図1】本発明に係る積層セラミックコンデンサの一実施の形態を示す外観斜視図である。

20

【図2】図1のA - A断面図である。

【図3】図1のB - B断面図である。

【図4】本発明に係る積層セラミックコンデンサの製造方法の一実施の形態を示す分解斜視図である。外観斜視図である。

【図5】図4に続く製造方法を示す外観斜視図である。

【図6】図5に続く製造方法を示す外観斜視図である。

【図7】図6に続く製造方法を示す外観斜視図である。

【発明を実施するための形態】

【0014】

30

1. 積層セラミックコンデンサ

本発明に係る積層セラミックコンデンサの一実施の形態について説明する。図1は積層セラミックコンデンサ1の外観斜視図である。図2は図1のA - A断面図であり、積層セラミックコンデンサ1の幅方向Wの断面および積層方向Tの断面（以下、WT断面という）を示す。図3は図1のB - B断面図であり、積層セラミックコンデンサ1の長さ方向Lの断面および積層方向Tの断面（以下、LT断面という）を示す。

【0015】

積層セラミックコンデンサ1は、セラミック積層体2と、セラミック積層体2の一方の端部の外表面上に形成された第1外部電極4と、セラミック積層体2の他方の端部の外表面上に形成された第2外部電極5と、セラミック積層体2の一方の側部の外表面上に形成された第1被覆用セラミック誘電体層15と、セラミック積層体2の他方の端部の外表面上に形成された第2被覆用セラミック誘電体層16とを備えている。

40

【0016】

(1) セラミック積層体

セラミック積層体2は、第1内部電極7が表面に設けられた複数のセラミック誘電体層10と、第2内部電極8が表面に設けられた複数のセラミック誘電体層10と、内部電極が設けられていない第1外層用セラミック誘電体層12および第2外層用セラミック誘電体層13とを積層して構成されている。セラミック積層体2は、積層方向Tに相對する第1主面20および第2主面21と、積層方向Tに直交する幅方向Wに相對する第1側面22および第2側面23と、積層方向Tおよび幅方向Wに直交する長さ方向Lに相對する第

50

1 端面 2 4 および第 2 端面 2 5 とを有する。

【0017】

さらに、セラミック積層体 2 の角部および稜線部は、丸みがつけられていることが好ましい。角部はセラミック積層体 2 の 3 面が交る部分であり、稜線部はセラミック積層体 2 の 2 面が交る部分である。

【0018】

セラミック積層体 2 のサイズは、積層方向 T が 0.2 mm 以上 0.8 mm 以下であり、長さ方向 L が 0.2 mm 以上 1.6 mm 以下であり、幅方向 W が 0.2 mm 以上 0.8 mm 以下である。セラミック積層体 2 のサイズは、マイクロメータもしくは光学顕微鏡で測定される。

【0019】

(a) セラミック誘電体層

セラミック積層体 2 を構成するセラミック誘電体層は、セラミック積層体 2 の積層方向 T に積層された複数のセラミック誘電体層 1 0 と、積層された複数のセラミック誘電体層 1 0 を間に挟むようにその上に配置された第 1 外層用セラミック誘電体層 1 2 およびその下に配置された第 2 外層用セラミック誘電体層 1 3 とを含む。

【0020】

セラミック誘電体層 1 0 と第 1 外層用セラミック誘電体層 1 2 と第 2 外層用セラミック誘電体層 1 3 との材料としては、BaTiO₃ または CaTiO₃ または SrTiO₃ または CaZrO₃ などの主成分からなる誘電体セラミックが用いられる。

【0021】

複数のセラミック誘電体層 1 0 と第 1 外層用セラミック誘電体層 1 2 と第 2 外層用セラミック誘電体層 1 3 との総層数は、100 層以上 900 層以下であることが好ましい。内層であるセラミック誘電体層 1 0 の厚みは、0.5 μm 以上 1 μm 以下であることが好ましい。第 1 外層用セラミック誘電体層 1 2 および第 2 外層用セラミック誘電体層 1 3 の厚みは、それぞれ 15 μm 以上 40 μm 以下であることが好ましい。

【0022】

(b) 内部電極

第 1 内部電極 7 は矩形形状であり、第 2 内部電極 8 に対向する対向電極部 7 0 と、対向電極部 7 0 からセラミック積層体 2 の第 1 端面 2 4 に引き出された引出電極部 7 2 とを有している。第 2 内部電極層 8 は矩形形状であり、第 1 内部電極 7 に対向する対向電極部 8 0 と、対向電極部 8 0 からセラミック積層体 2 の第 2 端面 2 5 に引き出された引出電極部 8 2 とを有している。

【0023】

図 3 に示すように、セラミック積層体 2 の長さ方向 L において、対向電極部 7 0 とセラミック積層体 2 の第 2 端面 2 5 との間にはギャップ L 1 が形成されている。対向電極部 8 0 とセラミック積層体 2 の第 1 端面 2 4 との間にはギャップ L 2 が形成されている。そして、対向電極部 7 0 と対向電極部 8 0 とが、セラミック誘電体層 1 0 を間に挟んで互に対向することによって静電容量が形成されている。

【0024】

図 2 に示すように、セラミック積層体 2 の幅方向 W において、第 1 内部電極 7 の一方の端部 7 a は、セラミック積層体 2 の第 1 側面 2 2 に向かって延在し、端部 7 a の先端は第 1 側面 2 2 に露出している。第 1 内部電極 7 の他方の端部 7 b は、セラミック積層体 2 の第 2 側面 2 3 に向かって延在し、端部 7 b の先端は第 2 側面 2 3 に露出している。同様に、第 2 内部電極 8 の一方の端部 8 a は、セラミック積層体 2 の第 1 側面 2 2 に向かって延在し、端部 8 a の先端は第 1 側面 2 2 に露出している。第 2 内部電極 8 の他方の端部 8 b は、セラミック積層体 2 の第 2 側面 2 3 に向かって延在し、端部 8 b の先端は第 2 側面 2 3 に露出している。

【0025】

第 1 内部電極 7 の一方の端部 7 a と第 2 内部電極 8 の一方の端部 8 a とは、セラミック

10

20

30

40

50

積層体 2 の幅方向 W において、積層方向 T に沿った相互のずれ量が $5 \mu\text{m}$ 以内に抑えられている。第 1 内部電極 7 の他方の端部 7 b と第 2 内部電極 8 の他方の端部 8 b とは、セラミック積層体 2 の幅方向 W において、積層方向 T に沿った相互のずれ量が $5 \mu\text{m}$ 以内に抑えられている。

【0026】

ここで、第 1 内部電極 7 の一方の端部 7 a は、端部 7 a の先端から $10 \mu\text{m}$ 以内と規定する。第 2 内部電極 8 の一方の端部 8 a は、端部 8 a の先端から $10 \mu\text{m}$ 以内と規定する。従って、本実施の形態の場合、セラミック積層体 2 の第 1 側面 2 2 から内側へ $10 \mu\text{m}$ の距離 S 1 の所までが、端部 7 a および端部 8 a の範囲となる。同様に、第 1 内部電極 7 の他方の端部 7 b は、端部 7 b の先端から $10 \mu\text{m}$ 以内と規定する。第 2 内部電極 8 の他方の端部 8 b は、端部 8 b の先端から $10 \mu\text{m}$ 以内と規定する。従って、本実施の形態の場合、セラミック積層体 2 の第 2 側面 2 3 から内側へ $10 \mu\text{m}$ の距離 S 2 の所までが、端部 7 b および端部 8 b の範囲となる。

10

【0027】

第 1 内部電極 7 および第 2 内部電極 8 の材料としては、Ni または Ni を主成分とする合金が用いられる。そして、第 1 内部電極 7 の一方の端部 7 a は、この端部 7 a 内で、第 1 内部電極 7 側からセラミック積層体 2 の第 1 側面 2 2 に向かって、Ni 領域 7 4 a から Ni - O 領域 7 6 a を経て Ni - Mg - O 領域 7 8 a の順で金属相が配置されている。第 1 内部電極 7 の他方の端部 7 b は、この端部 7 b 内で、第 1 内部電極 7 側からセラミック積層体 2 の第 2 側面 2 3 に向かって、Ni 領域 7 4 b から Ni - O 領域 7 6 b を経て Ni - Mg - O 領域 7 8 b の順で金属相が配置されている。同様に、第 2 内部電極 8 の一方の端部 8 a は、この端部 8 a 内で、第 2 内部電極 8 側からセラミック積層体 2 の第 1 側面 2 2 に向かって、Ni 領域 8 4 a から Ni - O 領域 8 6 a を経て Ni - Mg - O 領域 8 8 a の順で金属相が配置されている。第 2 内部電極 8 の他方の端部 8 b は、この端部 8 b 内で、第 2 内部電極 8 側からセラミック積層体 2 の第 2 側面 2 3 に向かって、Ni 領域 8 4 b から Ni - O 領域 8 6 b を経て Ni - Mg - O 領域 8 8 b の順で金属相が配置されている。

20

【0028】

積層セラミックコンデンサ 1 は、第 1 内部電極 7 の一方の端部 7 a および他方の端部 7 b、並びに、第 2 内部電極 8 の一方の端部 8 a および他方の端部 8 b が、以上の構造からなる金属相を有しているので、一方の端部 7 a と一方の端部 8 a 間の絶縁性および他方の端部 7 b と他方の端部 8 b 間の絶縁性を担保できる。特に、セラミック積層体 2 の幅方向 W において、Ni - Mg - O 領域 7 8 a の長さおよび Ni - Mg - O 領域 7 8 b の長さおよび Ni - Mg - O 領域 8 8 a の長さおよび Ni - Mg - O 領域 8 8 b の長さが、それぞれ $0.5 \mu\text{m}$ 以上 $1 \mu\text{m}$ 以下であれば、一方の端部 7 a と一方の端部 8 a 間の絶縁性および他方の端部 7 b と他方の端部 8 b 間の絶縁性が向上する。なお、Ni - Mg - O 領域 7 8 a の長さおよび Ni - Mg - O 領域 7 8 b の長さおよび Ni - Mg - O 領域 8 8 a の長さおよび Ni - Mg - O 領域 8 8 b の長さは、電界放出型の波長分散型 X 線分析装置 (FE-WDX) にて分析が可能である。また、通常の電子顕微鏡 (SEM) を使用することによっても、2 次電子像と反射電子像の 2 枚から識別可能である。

30

40

【0029】

さらに、焼成条件を制御することで金属相である Ni - Mg - O 領域 7 8 a および Ni - Mg - O 領域 8 8 a が体積膨張を調整し、セラミック誘電体層 1 0 と第 1 被覆用セラミック誘電体層 1 5 との境界部分で発生するマイクロクラックを低減することができる。また、Ni - Mg - O 領域 7 8 b および Ni - Mg - O 領域 8 8 b が体積膨張することによって、セラミック誘電体層 1 0 と第 2 被覆用セラミック誘電体層 1 6 との境界部分で発生するマイクロクラックを低減することができる。

【0030】

第 1 内部電極 7 および第 2 内部電極 8 は、更にセラミック誘電体層 1 0 と第 1 外層用セラミック誘電体層 1 2 と第 2 外層用セラミック誘電体層 1 3 とに含まれるセラミックと

50

同一組成系の誘電体粒子を含んでいても良い。第1内部電極7および第2内部電極8の厚みは、それぞれ0.3 μm以上2.0 μm以下であることが好ましい。第1内部電極7と第2内部電極8との総数は、50以上850以下であることが好ましい。

【0031】

(2) 被覆用セラミック誘電体層

第1被覆用セラミック誘電体層15は、セラミック積層体2の第1側面22の表面に形成され、第1側面22に露出している第1内部電極7の一方の端部7aの先端および第2内部電極8の一方の端部8aの先端を被覆している。従って、図2に示すように、セラミック積層体2の幅方向Wにおいて、第1内部電極7の一方の端部7aおよび第2内部電極8の一方の端部8aは、外界との間に、第1被覆用セラミック誘電体層15の厚み分のギャップW1が形成されている。従って、第1内部電極7の一方の端部7aおよび第2内部電極8の一方の端部8aは、第1被覆用セラミック誘電体層15が形成するギャップW1によって、外界との絶縁が確保されている。

10

【0032】

一方、第2被覆用セラミック誘電体層16は、セラミック積層体2の第2側面23の表面に形成され、第2側面23に露出している第1内部電極7の他方の端部7bの先端および第2内部電極8の他方の端部8bの先端を被覆している。従って、セラミック積層体2の幅方向Wにおいて、第1内部電極7の他方の端部7bおよび第2内部電極8の他方の端部8bは、外界との間に、第2被覆用セラミック誘電体層16の厚み分のギャップW2が形成されている。従って、第1内部電極7の他方の端部7bおよび第2内部電極8他一方の端部8bは、第2被覆用セラミック誘電体層16が形成するギャップW2によって、外界との絶縁が確保されている。

20

【0033】

また、ギャップW1およびギャップW2は、それぞれ5 μm以上40 μm以下が好ましいので、第1被覆用セラミック誘電体層15および第2被覆用セラミック誘電体層16の厚みは、それぞれ5 μm以上40 μm以下になるように形成される。

【0034】

第1被覆用セラミック誘電体層15および第2被覆用セラミック誘電体層16の材料として、BaTiO₃またはCaTiO₃またはSrTiO₃またはCaZrO₃などの主成分からなる誘電体セラミックが用いられる。そして、これらの主成分に、Mg化合物の副成分を添加したものをを用いることが好ましい。また、第1被覆用セラミック誘電体層15および第2被覆用セラミック誘電体層16の材料が、セラミック誘電体層10および第1外層用セラミック誘電体層12および第2外層用セラミック誘電体層13の材料と同じ材料の場合、後記の焼成工程において、同一条件でこれらを焼成することができると共に、第1被覆用セラミック誘電体層15および第2被覆用セラミック誘電体層16と、セラミック誘電体層10および第1外層用セラミック誘電体層12および第2外層用セラミック誘電体層13との間の境界部分で異常な反応が生じない。

30

【0035】

(3) 外部電極

第1外部電極4は、セラミック積層体2の一方の端面24の表面上に形成され、その端部はセラミック積層体2の第1主面20および第2主面21、並びに、第1被覆用セラミック誘電体層15の外側表面および第2被覆用セラミック誘電体層16の外側表面に延在している。第2外部電極5は、セラミック積層体2の他方の端面25の表面上に形成され、その端部はセラミック積層体2の第1主面20および第2主面21、並びに、第1被覆用セラミック誘電体層15の外側表面および第2被覆用セラミック誘電体層16の外側表面に延在している。第1外部電極4は、セラミック積層体2の第1端面24に露出している内部電極7の引出電極部72に接合している。第2外部電極5は、セラミック積層体2の第2端面25に露出している内部電極8の引出電極部82に接合している。

40

【0036】

第1外部電極4は、下地電極層40と下地電極層40上に形成されためっき層42とを

50

含む。第2外部電極5は、下地電極層50と下地電極層50上に形成されためっき層52とを含む。

【0037】

下地電極層40および下地電極層50は、焼付け層および樹脂層および薄膜層等から選択される少なくとも1つから成る。焼付け層は、ガラスと金属とを含む。焼付け層の金属は、例えばCuまたはNiまたはAgまたはPdまたはAg-Pd合金またはAu等から選択される少なくとも1つを含む。焼付け層は、複数層であってもよい。焼付け層は、ガラスおよび金属を含む導電性ペーストをセラミック積層体2の端部に塗布して焼き付けたものである。焼付け層は、セラミック積層体2と同時焼成してもよく、セラミック積層体2を焼成した後に焼き付けてもよい。焼付け層の厚みは、最も厚い部分で10 μ m以上50 μ m以下であることが好ましい。

10

【0038】

めっき層42およびめっき層52の材料としては、例えばCuまたはNiまたはAgまたはPdまたはAg-Pd合金またはAu等から選択される少なくとも1つが用いられる。めっき層42およびめっき層52は、それぞれ複数層により形成されていてもよく、好ましくは、Niめっき層とSnめっき層との2層構造である。Niめっき層は、下地電極層40および下地電極層50が積層セラミックコンデンサ1を実装する際のはんだによって侵食されることを防止することができる。Snめっき層は、積層セラミックコンデンサ1を実装する際のはんだの濡れ性を向上させ、積層セラミックコンデンサ1の実装を容易にする。めっき層一層毎の厚みは、5 μ m以上10 μ m以下であることが好ましい。

20

【0039】

2. 積層セラミックコンデンサの製造方法

次に、本発明に係る積層セラミックコンデンサの製造方法の一実施形態について説明する。なお、以下は前記積層セラミックコンデンサ1を量産する場合を例にして説明する。量産する場合には、複数のセラミック積層体2を含むマザーセラミック積層体として製造される。図4はマザーセラミック積層体140の分解斜視図である。

【0040】

(1) マザーセラミックグリーンシートの作成工程

セラミック誘電体層10の原料であるセラミック誘電体スラリーが、図示しないポリエチレンテレフタレート(PE T)などの支持フィルム上にシート状に成型され、マザーセラミック誘電体グリーンシート100が作成される。第1外層用セラミック誘電体層12の原料であるセラミック誘電体スラリーが、支持フィルム上にシート状に成型され、第1外層用マザーセラミック誘電体グリーンシート120が作成され、第2外層用セラミック誘電体層13の原料であるセラミック誘電体スラリーが、支持フィルム上にシート状に成型され、第2外層用マザーセラミック誘電体グリーンシート130が作成される。

30

【0041】

シート状に成型する方法としては、種々の方法が採用され、支持フィルムを動かしながら塗工ヘッドからセラミック誘電体スラリーを押し出してシート状に成型してもよい。マザーセラミック誘電体グリーンシート100の厚みや第1外層用マザーセラミック誘電体グリーンシート120および第2外層用マザーセラミック誘電体グリーンシート130の厚みは、支持フィルムの移動速度およびセラミック誘電体スラリーの押し出し量により決定される。セラミック誘電体スラリーは、支持フィルムに塗布された後、雰囲気乾燥および冷凍乾燥および遠赤外線乾燥などを組み合わせて乾燥される。

40

【0042】

内層となるマザーセラミック誘電体グリーンシート100の表面には、Niを電気伝導体の主成分として含有する導電性ペーストがストライプ状にスクリーン印刷される。こうして、第1内部電極7となるべき導電性ペースト膜107aおよび107bおよび107cが表面に配設されたマザーセラミック誘電体グリーンシート100が形成され、第2内部電極8となるべき導電性ペースト膜108aおよび108bおよび108cが表面に配設されたマザーセラミック誘電体グリーンシート100が作成される。印刷方法としては

50

、スクリーン印刷またはグラビア印刷またはインクジェットプリンタなどの種々の方法が用いられる。

【 0 0 4 3 】

(2) マザーセラミック積層体の作成工程

導電性ペースト膜 1 0 7 a および 1 0 7 b および 1 0 7 c が表面に配設された複数のマザーセラミック誘電体グリーンシート 1 0 0 と導電性ペースト膜 1 0 8 a および 1 0 8 b および 1 0 8 c が表面に配設された複数のマザーセラミック誘電体グリーンシート 1 0 0 とは、支持フィルムが剥がされた後、長さ方向 L に相互にずらして積層される。さらに、積層された複数のマザーセラミック誘電体グリーンシート 1 0 0 を間に挟むようにして、支持フィルムが剥がされた複数の第 1 外層用マザーセラミック誘電体グリーンシート 1 2 0 がその上に積層され、支持フィルムが剥がされた複数の第 2 外層用マザーセラミック誘電体グリーンシート 1 3 0 がその下に積層される。この積層体は、静水圧プレスまたは剛体プレスにより圧着されて、図 5 に示すように、マザーセラミック積層体 1 4 0 が作成される。

10

【 0 0 4 4 】

(3) セラミック積層体の作成工程

マザーセラミック積層体 1 4 0 は、長さ方向 L に平行な複数の切断線 C 1 に沿って、積層方向 T に切断されると共に、幅方向 W に平行な複数の切断線 C 2 に沿って、積層方向 T に切断される。こうして、図 6 に示すように、所定のサイズに切断されたセラミック積層体 2 が作成される。セラミック積層体 2 は、第 1 内部電極 7 の幅方向 W の一方の端部 7 a の先端および第 2 内部電極 8 の幅方向 W の一方の端部 8 a の先端が、第 1 側面 2 2 に露出している。第 1 内部電極 7 の幅方向 W の他方の端部 7 b の先端および第 2 内部電極 8 の幅方向 W の他方の端部 8 b の先端が、第 2 側面 2 3 に露出している。内部電極 7 の引出電極部 7 2 は、セラミック積層体 2 の第 1 端面 2 4 に露出している。内部電極 8 の引出電極部 8 2 は、セラミック積層体 2 の第 2 端面 2 5 に露出している。

20

【 0 0 4 5 】

(4) 被覆用セラミック誘電体層の形成工程

次に、図 7 に示すように、第 1 被覆用セラミック誘電体層 1 5 が、セラミック積層体 2 の第 1 側面 2 2 に露出している第 1 内部電極 7 の一方の端部 7 a の先端および第 2 内部電極 8 の一方の端部 8 a の先端を被覆するように、第 1 側面 2 2 の表面に形成される。そして、第 2 被覆用セラミック誘電体層 1 6 が、セラミック積層体 2 の第 2 側面 2 3 に露出している第 1 内部電極 7 の他方の端部 7 b の先端および第 2 内部電極 8 の他方の端部 8 b の先端を被覆するように、第 2 側面 2 3 の表面に形成される。第 1 被覆用セラミック誘電体層 1 5 および第 2 被覆用セラミック誘電体層 1 6 は、被覆用セラミック誘電体グリーンシートを貼り付ける方法、または、被覆用セラミック誘電体スラリーを塗布する方法で形成される。被覆用セラミック誘電体グリーンシートまたは被覆用セラミック誘電体スラリーは、誘電体セラミックの主成分に Mg 化合物の副成分を添加したものが用いられ、特に、Mg 量が 0 . 0 m o l % より多く 2 . 5 m o l % より少なく含有されるように添加されたものを用いることが好ましい。

30

【 0 0 4 6 】

(5) セラミック積層体の焼成工程

次に、セラミック積層体 2 は、平行研磨されてセラミック積層体 2 の角部および稜線部に丸みが形成される。その後、セラミック積層体 2 は焼成される。焼成前のセラミック積層体 2 は、第 1 内部電極 7 および第 2 内部電極 8 の酸化度が 0 % であることが好ましい。第 1 内部電極 7 および第 2 内部電極 8 の酸化度は、磁化量測定によって測定される。より具体的には、セラミック積層体 2 の磁化量を測定した後、このセラミック積層体 2 を還元処理して再び磁化量を測定する。そして、還元処理前後の磁化量の比較によって、第 1 内部電極 7 および第 2 内部電極 8 の酸化量が測定される。

40

【 0 0 4 7 】

焼成は、先ず、1 1 0 0 以下の温度領域で、N₂ガス中に微量の空気を投入した雰囲気

50

気で、300 /分以上1000 /分以下の昇温速度で、1.1分以上3.7分以下の時間でセラミック積層体2を昇温させる。これによって、第1被覆用セラミック誘電体層15に含まれているOが、セラミック積層体2の第1側面22に露出している第1内部電極7の一方の端部7aの端面のNiと反応して、第1側面22の表面から内側に向かって、第1内部電極7の一方の端部7aの範囲内であって所定の距離までの領域にNiO領域が生成して成長する。そして、第1被覆用セラミック誘電体層15に含まれているOが、セラミック積層体2の第1側面22に露出している第2内部電極8の一方の端部8aの端面のNiと反応して、第1側面22の表面から内側に向かって、第2内部電極8の一方の端部8aの範囲内であって所定の距離までの領域にNiO領域が生成して成長する。

【0048】

また、第2被覆用セラミック誘電体層16に含まれているOが、セラミック積層体2の第2側面23に露出している第1内部電極7の他方の端部7bの端面のNiと反応して、セラミック積層体2の第2側面23の表面から内側に向かって、第1内部電極7の他方の端部7bの範囲内であって所定の距離までの領域にNiO領域が生成して成長する。そして、第2被覆用セラミック誘電体層16に含まれているOが、セラミック積層体2の第2側面23に露出している第2内部電極8の他方の端部8bの端面のNiと反応して、第2側面23の表面から内側に向かって、第2内部電極8の他方の端部8bの範囲内であって所定の距離までの領域にNiO領域が生成して成長する。

【0049】

次に、1100 以上1350 以下の温度領域で、Ni - NiO平衡酸素分圧より0.1桁以上2桁還元雰囲気中で、5 /分以上30 /分以下の昇温速度で、8分以上50分以下の時間でセラミック積層体2を昇温させる。その後、1150 以上1350 以下の温度領域で、Ni - NiO平衡酸素分圧より0.1桁以上2桁還元雰囲気中で、1分以上30分以下の時間でセラミック積層体2を保持する。

【0050】

これによって、第1被覆用セラミック誘電体層15に含まれているMgが、セラミック積層体2の第1側面22に露出している第1内部電極7の一方の端部7aの端面のNiOと反応して、セラミック積層体2の第1側面22の表面から内側に向かって、第1内部電極7の一方の端部7aの前記NiO領域の範囲内であって所定の距離までの領域にNi - Mg - O偏析領域が生成して成長する。その結果、第1内部電極7の一方の端部7aは、この端部7a内で、第1内部電極7側から第1側面22に向かって、Ni領域74aからNi - O領域76aを経てNi - Mg - O領域78aの順で金属相が配置される。

【0051】

そして、第1被覆用セラミック誘電体層15に含まれているMgが、セラミック積層体2の第1側面22に露出している第2内部電極8の一方の端部8aの端面のNiOと反応して、セラミック積層体2の第1側面22の表面から内側に向かって、第2内部電極8の一方の端部8aの前記NiO領域の範囲内であって所定の距離までの領域にNi - Mg - O偏析領域が生成して成長する。その結果、第2内部電極8の一方の端部8aは、この端部8a内で、第2内部電極8側から第1側面22に向かって、Ni領域84aからNi - O領域86aを経てNi - Mg - O領域88aの順で金属相が配置される。

【0052】

また、第2被覆用セラミック誘電体層16に含まれているMgが、セラミック積層体2の第2側面23に露出している第1内部電極7の他方の端部7bの端面のNiOと反応して、セラミック積層体2の第2側面23の表面から内側に向かって、第1内部電極7の他方の端部7bの前記NiO領域の範囲内であって所定の距離までの領域にNi - Mg - O偏析領域が生成して成長する。その結果、第1内部電極7の他方の端部7bは、この端部7b内で、第1内部電極7側から第2側面23に向かって、Ni領域74bからNi - O領域76bを経てNi - Mg - O領域78bの順で金属相が配置される。

【0053】

そして、第2被覆用セラミック誘電体層16に含まれているMgが、セラミック積層体

10

20

30

40

50

2の第2側面23に露出している第2内部電極8の他方の端部8bの端面のNiOと反応して、セラミック積層体2の第2側面23の表面から内側に向かって、第2内部電極8の他方の端部8bの前記NiO領域の範囲内であって所定の距離までの領域にNi-Mg-O偏析領域が生成して成長する。その結果、第2内部電極8の他方の端部8bは、この端部8b内で、第2内部電極8側から第2側面23に向かって、Ni領域84bからNi-O領域86bを経てNi-Mg-O領域88bの順で金属相が配置される。

【0054】

第1被覆用セラミック誘電体層15に含まれているMgの一部が、第1内部電極7の一方の端部7aおよび第2内部電極8の一方の端部8aに遷移し、第2被覆用セラミック誘電体層16に含まれているMgの一部が、第1内部電極7の他方の端部7bおよび第2内部電極8の他方の端部8bに遷移するため、第1被覆用セラミック誘電体層15および第2被覆用セラミック誘電体層16に含まれているMg量が低減して、第1被覆用セラミック誘電体層15が形成するギャップW1および第2被覆用セラミック誘電体層16が形成するギャップW2の絶縁信頼性が向上する。

【0055】

(6)外部電極の形成工程

次に、第1外部電極4の下地電極層40が、セラミック積層体2の一方の端部に形成され、第2外部電極5の下地電極層50が、セラミック積層体2の他方の端部に形成される。より具体的に説明する。焼成によって、例えば、第1内部電極7が収縮し、セラミック積層体2の第1端面24に第1内部電極7の引出電極部72が露出していない場合は、第1外部電極4および第2外部電極を形成する前に第1端面24が研磨されて、引出電極部72の端面が第1端面24に露出された状態にされる。

【0056】

導電性ペーストがテーブル上に平面状に塗布されて、導電性ペースト層が形成される。その後、セラミック積層体2は、例えば、第1内部電極7の引出電極部72が露出している第1端面24が導電性ペースト層に対向するように保持される。保持方法は、弾性体によってセラミック積層体2の相対する第1側面22と第2側面23とが挟持されてもよいし、セラミック積層体2の他方の第2端面25が粘着剤を利用して保持板に保持されてもよい。セラミック積層体2の端部が導電性ペーストに浸漬され、第1端面24が導電性ペーストで覆われる。なお、導電性ペーストで覆われた第1端面24は、導電性ペースト層が形成されていない平板に押し付けられることによって、第1端面24を覆った導電性ペーストの余剰分が取り除かれてもよい。また、セラミック積層体2の端部は、複数回、導電性ペースト層に浸漬されてもよい。また、導電性ペーストが過剰に濡れ上がる場合、セラミック積層体2に導電性ペーストをはじくような処理が予め施され、過剰な濡れ上がりが防止される。同様にして、セラミック積層体2の他方の第2端面25が、導電性ペーストで覆われる。

【0057】

導電性ペーストが両端部にそれぞれ付着されたセラミック積層体2は、乾燥された後、700以上950以下の温度で、導電性ペーストがセラミック積層体2の表面に焼付けられる。こうして、セラミック積層体2の第1端面24を覆う下地電極層40が形成され、第2端面25を覆う下地電極層50が形成される。

【0058】

次に、下地電極層40の表面にめっき層42が形成され、下地電極層50の表面にめっき層52が形成される。より具体的には、めっき浴槽に満たされためっき液内で、カソード電極とアノード電極の間にめっき電圧を印加し、セラミック積層体2に形成された下地電極層40および下地電極層50にカソード電極が接触するようにした状態で通電することによって、下地電極層40の表面にめっき層42が析出されると共に、下地電極層50の表面にめっき層52が析出される。なお、めっき浴内にセラミック積層体2と共に導電メディアを入れて、導電メディアを介してセラミック積層体2の下地電極層40および下地電極層50に通電させてもよい。導通させる方法としては、種々の方法があり、例えば

、振動によりセラミック積層体 2 と導電メディアとを攪拌することでめっきする振動めっき法、または、バレル内に入れられた導電メディアとセラミック積層体 2 とを回転攪拌させながらめっきする回転バレルめっき法、または、バレルの遠心力によりセラミック積層体 2 を攪拌してめっきする遠心めっき法などがある。

【 0 0 5 9 】

なお、この発明は、前記実施形態に限定されるものではなく、その要旨の範囲内で種々に変形される。

(実験例)

【 0 0 6 0 】

1 . 評価試料の作成

積層セラミックコンデンサ 1 が、前述の製造方法を使用して、以下の条件に基づいて作成された。

(a) 設計条件

- ・セラミック積層体 2 のサイズ：1 . 0 mm × 0 . 5 mm × 0 . 5 mm
- ・セラミック誘電体層 1 0 の材料：BaTiO₃ を主成分とするセラミック誘電体
- ・被覆用セラミック誘電体グリーンシートの材料：セラミック誘電体層 1 0 のセラミック誘電体と同じ組成系で、Mg 量を Ti 1 0 0 に対して表 1 に示すように変化させて 5 種類の積層セラミックコンデンサ 1 を作成した。

- ・セラミック誘電体層 1 0 の厚み：1 . 0 μm

- ・第 1 内部電極 7 および第 2 内部電極 8 の材料：Ni

- ・第 1 内部電極 7 および第 2 内部電極 8 の厚み：0 . 6 μm

- ・第 1 外部電極 4 および第 2 外部電極 5 の材料：Cu

- ・第 1 外部電極 4 および第 2 外部電極 5 の厚み：4 0 μm

【 0 0 6 1 】

(b) 製造条件

- ・セラミック積層体 2 の焼成温度：最高温度が 1 1 8 5 °C で、焼成炉の入口から出口までの時間が 2 0 分の焼成

- ・セラミック積層体 2 の焼成雰囲気：還元雰囲気

- ・第 1 外部電極 4 および第 2 外部電極 5 の焼付け温度：最高温度が 8 5 0 °C で、焼付け炉の入口から出口までの時間が 1 時間の焼付け

- ・第 1 外部電極 4 および第 2 外部電極 5 の焼付け雰囲気：還元雰囲気

【 0 0 6 2 】

2 . 評価項目および評価方法

(a) 構造欠陥

セラミック積層体 2 の中心を通る W T 断面が研磨によって露出された後、電子顕微鏡 (S E M) で観察され、マイクロクラックの有無が確認された。1 つでもマイクロクラックがあった場合は × とし、1 つもマイクロクラックが無かった場合は ○ とした。試料数は 3 個である。

【 0 0 6 3 】

(b) 信頼性

超加速限界 (H A L T) 試験を 1 5 0 °C の温度域で 1 6 V の電圧により抵抗値を歪ブルプロットから信頼性が評価された。1 つでも信頼性の劣化があった場合は × とし、1 つも信頼性の劣化が無かった場合は ○ とした。試料数は 1 8 個である。

【 0 0 6 4 】

3 . 評価結果

表 1 に示すように、全ての評価試料において、マイクロクラックの発生が抑制されていることが認められた。また、評価試料番号 No . 1 の積層セラミックコンデンサ 1 の場合、セラミック誘電体グリーンシートの Mg 量が 0 . 0 m o l % であったので、第 1 被覆用セラミック誘電体層 1 5 および第 2 被覆用セラミック誘電体層 1 6 の焼結不足が起こり、信頼性の低下が認められた。さらに、評価試料番号 No . 5 の積層セラミックコンデンサ

10

20

30

40

50

1 の場合、被覆用セラミック誘電体グリーンシートの Mg 量が 2.5 mol% であったので、絶縁抵抗 (IR) 劣化が認められた。従って、第 1 被覆用セラミック誘電体層 15 および第 2 被覆用セラミック誘電体層 16 の材料である被覆用セラミック誘電体グリーンシートとして、Mg 量が 0.0 mol% より多く 2.5 mol% より少なく含有されている Mg 化合物の副成分を添加したシートを用いることが好ましいことが認められた。

【0065】

【表 1】

表 1

評価試料番号	被覆用セラミック誘電体 グリーンシートの Mg 量 [mol%]	構造欠陥 (マイクロクラック)	信頼性
No.1	0.0	○	×
No.2	1.0	○	○
No.3	1.5	○	○
No.4	2.0	○	○
No.5	2.5	○	×

10

20

【0066】

なお、この発明は、前記実施の形態に限定されるものではなく、その要旨の範囲内で種々に変形される。

【符号の説明】

【0067】

- 1 積層セラミックコンデンサ
- 2 セラミック積層体
- 4 第 1 外部電極
- 5 第 2 外部電極
- 7 第 1 内部電極
- 7 a 幅方向の第 1 内部電極の一方の端部
- 7 b 幅方向の第 1 内部電極の他方の端部
- 8 第 2 内部電極
- 8 a 幅方向の第 2 内部電極の一方の端部
- 8 b 幅方向の第 2 内部電極の他方の端部
- 10 セラミック誘電体層
- 12, 13 外層用セラミック誘電体層
- 15 第 1 被覆用セラミック誘電体層
- 16 第 2 被覆用セラミック誘電体層
- 20 第 1 主面
- 21 第 2 主面
- 22 第 1 側面
- 23 第 2 側面
- 24 第 1 端面
- 25 第 2 端面
- 40, 50 下地電極層
- 42, 52 めっき層
- 70, 80 対向電極部
- 72, 82 引出電極部

30

40

50

- 7 4 a , 7 4 b , 8 4 a , 8 4 b Ni 領域
- 7 6 a , 7 6 b , 8 6 a , 8 6 b Ni - O 領域
- 7 8 a , 7 8 b , 8 8 a , 8 8 b Ni - Mg - O 領域
- 1 0 0 マザーセラミック誘電体グリーンシート
- 1 0 7 a , 1 0 7 b , 1 0 7 c 導電性ペースト膜
- 1 0 8 a , 1 0 8 b , 1 0 8 c 導電性ペースト膜
- 1 2 0 第 1 外層用マザーセラミック誘電体グリーンシート
- 1 3 0 第 2 外層用マザーセラミック誘電体グリーンシート
- 1 4 0 マザーセラミック積層体

L 長さ方向

T 積層方向

W 幅方向

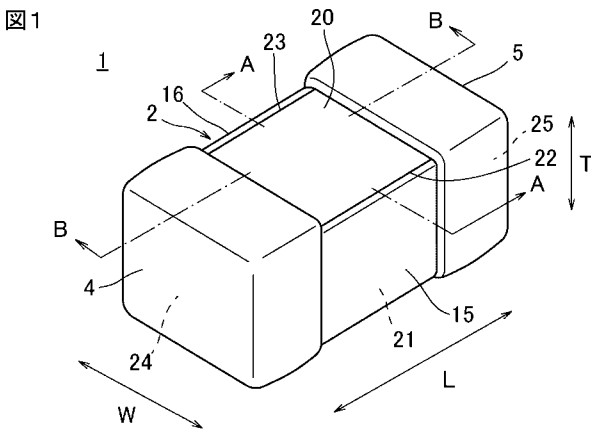
L 1 , L 2 長さ方向のギャップ

W 1 , W 2 幅方向のギャップ

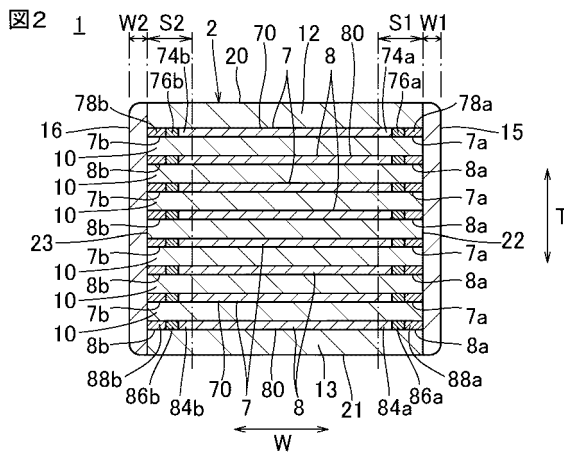
C 1 長さ方向 L に平行な切断線

C 2 幅方向 W に平行な切断線

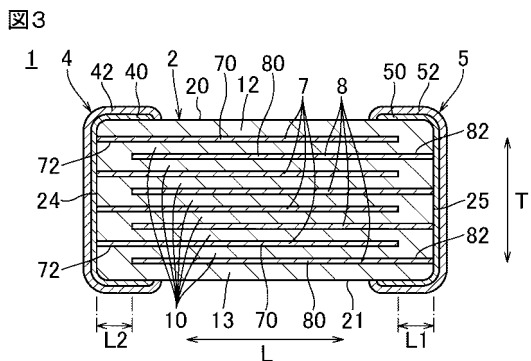
【 図 1 】



【 図 2 】

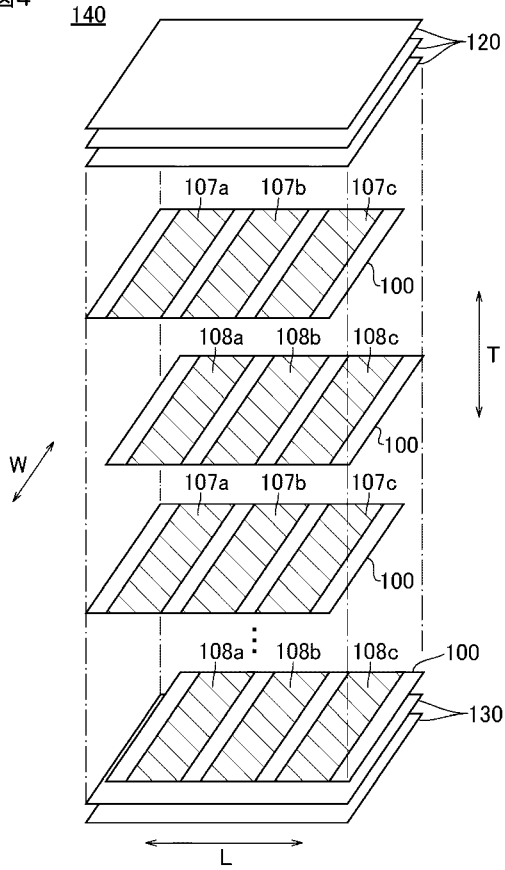


【 図 3 】



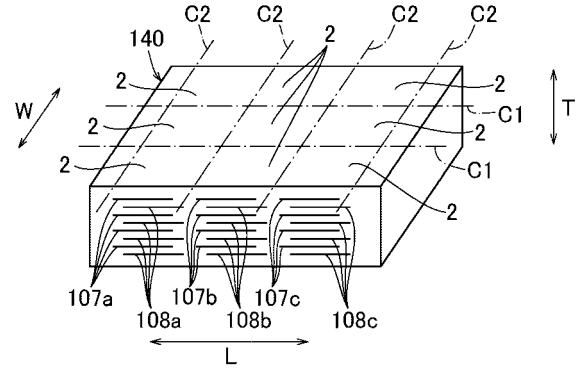
【 図 4 】

図4



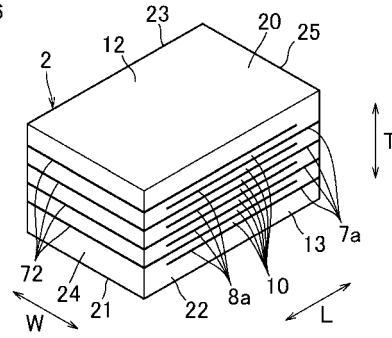
【 図 5 】

図5



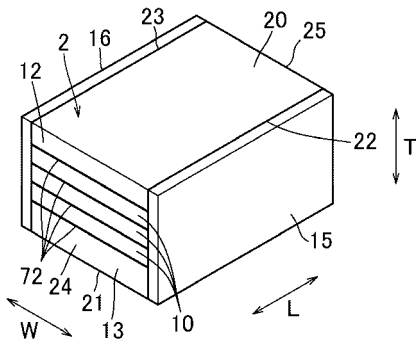
【 図 6 】

図6



【 図 7 】

図7



フロントページの続き

Fターム(参考) 5E082 AA01 AB03 BC31 BC33 BC36 EE19 EE23 EE27 EE35 FG04
FG26 FG46 FG54 GG10 GG28 JJ03 JJ06 JJ23 JJ26 KK01
LL02 MM24 PP05 PP06 PP09