



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월02일
 (11) 등록번호 10-0843214
 (24) 등록일자 2008년06월26일

(51) Int. Cl.

H01L 23/12 (2006.01)

(21) 출원번호 10-2006-0122589

(22) 출원일자 2006년12월05일

심사청구일자 2006년12월05일

(65) 공개번호 10-2008-0051464

(43) 공개일자 2008년06월11일

(56) 선행기술조사문헌

KR1020040091580 A

JP2005175263 A

JP2005217205 A

전체 청구항 수 : 총 27 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이종주

경기 수원시 영통구 망포동 동수원2차 쌍용스윗닷홈 204-1103

(74) 대리인

리엔특허법인

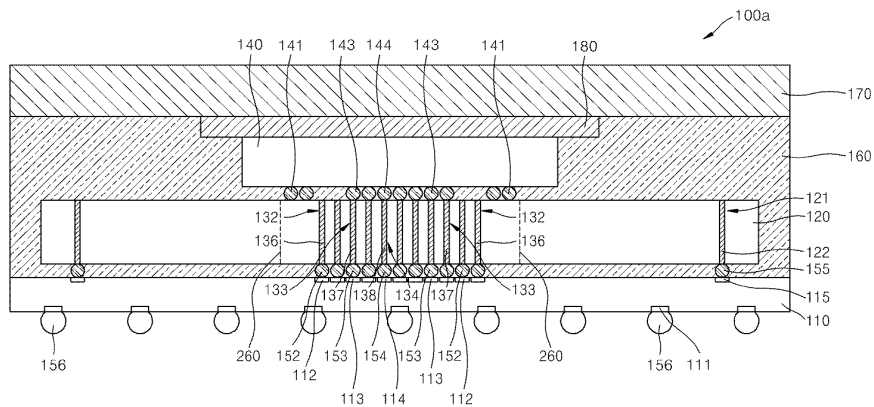
심사관 : 박귀만

(54) 메모리 칩과 프로세서 칩이 관통전극을 통해 연결된 플래너멀티 반도체 칩 패키지 및 그 제조방법

(57) 요약

적층된 프로세서와 반도체 메모리소자가 관통전극을 통해 연결된 플래너 멀티 반도체 칩 패키지 및 그 제조방법을 개시한다. 플래너 멀티 반도체 칩 패키지는 기판, 제1반도체 칩 및 제2반도체 칩을 포함한다. 상기 기판은 그의 일면에 제1회로패턴을 구비하고 타면에 제2회로패턴을 구비한다. 상기 제1반도체 칩은 상기 기판상부에 배열되어 $m \times n$ (여기서, m , n 은 2이상의 정수) 매트릭스형태로 배열되는 다수의 메모리소자를 구비하되, 다수의 메모리소자중 적어도 하나의 제2메모리소자를 적어도 일부는 둘러싸도록 나머지 제1메모리소자들이 배열된다. 상기 제2반도체 칩은 상기 제1반도체 칩상부에 상기 제2메모리소자에 대응하여 적층된다. 상기 제2메모리소자에 다수의 관통전극이 배열되어, 상기 제1반도체 칩과 상기 제2반도체 칩을 상기 기판의 상기 제2회로패턴에 연결시켜 준다.

대표도



특허청구의 범위

청구항 1

그의 일면에 제1회로패턴을 구비하고 타면에 제2회로패턴을 구비하는 기판;

상기 기판상에 배열되어 $m \times n$ (여기서, m , n 은 2이상의 정수) 매트릭스형태로 배열되는 다수의 메모리소자를 구비하되, 다수의 메모리소자중 적어도 하나의 제2메모리소자를 적어도 일부는 둘러싸도록 나머지 제1메모리소자들이 배열되는제1반도체 칩;

상기 제1반도체 칩상부에 상기 제2메모리소자에 대응하여 적층되되, 상기 제1반도체 칩의 상기 메모리 소자들과 전기적으로 연결되고, 상기 기판의 상기 제2회로패턴과 전기적으로 연결되는 제2반도체 칩; 및

상기 제2메모리소자에 배열되어 상기 제1반도체 칩과 상기 제2반도체 칩을 상기 기판의 상기 제2회로패턴에 연결시켜 주는 다수의 관통전극을 구비하는 플래너 멀티 반도체 칩 패키지.

청구항 2

제1항에 있어서, 상기 제2메모리 소자들중 적어도 하나는 불량이 발생된 메모리 소자를 포함하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 3

제1항에 있어서, 상기 제1반도체 칩과 상기 제2반도체 칩은 직접 또는 접속단자를 통해 페이스 투 페이스 본딩되는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 4

제1항에 있어서, 상기 제1반도체 칩의 상기 제1메모리소자는 DRAM, SRAM 또는 플래쉬 메모리소자를 포함하고, 상기제2반도체 칩은 프로세서를 포함하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 5

제1항에 있어서, 상기 제1반도체 칩의 상기 제1메모리소자는 다수의 제1패드 및 다수의 제2패드를 구비하고, 상기 다수의 관통전극은 다수의 제1 내지 제3관통전극을 구비하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 6

제5항에 있어서, 상기 제1패드들은 각각의 제1재배선 라인을 통해 상기 제1관통전극들과 전기적으로 연결되어 외부로부터 전압신호를 상기 기판을 통해 상기 제1반도체 칩으로 제공하고,

상기 제2패드들은 각각의 제2재배선 라인을 통해 상기 제2반도체 칩과 전기적으로 연결되어 상기 제2반도체 칩에서 상기 제1반도체 칩으로의 데이터를 라이트 및 리드하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 7

제5항에 있어서, 상기 제2반도체 칩은 상기 제2관통전극을 통해 상기 기판과 전기적으로 연결되어 외부로부터 전압신호가 상기 기판을 통해 상기 제2반도체 칩으로 제공되고,

상기 제2반도체 칩은 상기 제3관통전극을 통해 상기 기판과 전기적으로 연결되어 외부로부터 전기적 신호가 상기 기판을 통해 상기 제2반도체 칩으로 제공되는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 8

제1항에 있어서, 상기 제1반도체 칩의 상기 제1메모리소자에 배열되는 전압신호 인가용 관통전극을 더 포함하며,

상기 전압인가용 관통전극은 상기 기판의 상기 제2회로패턴에 직접 또는 접속단자를 통해 연결되는 것을 특징으로

로 하는 플래너 멀티 반도체 칩 패키지.

청구항 9

제1항에 있어서, 상기 제1반도체 칩은 전압인가용 회로패턴을 더 구비하며,

상기 전압인가용 회로패턴은 상기 기관의 상기 제2회로패턴에 와이어를 통해 연결되는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 10

제1항에 있어서, 상기 제1반도체 칩 및 상기 제2반도체 칩과 상기 기관을 피복하여 보호하기 위한 봉지재를 더 포함하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 11

제10항에 있어서, 상기 제2반도체 칩의 상부에 열방출을 위한 히트싱크를 더 포함하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 12

제1항에 있어서, 상기 상기 제1반도체 칩은 다수의 플래너 멀티 반도체 칩이 적층되고, 각 플래너 멀티 반도체 칩의 상기 제2메모리소자에 상기 관통전극들이 배열되며,

상층에 배열된 플래너 멀티 반도체 칩의 상기 관통전극들과 하층에 배열된 플래너 멀티 반도체 칩의 상기 관통전극들은 직접 접속되거나 또는 접속단자를 통해 전기적으로 접속되는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 13

제12항에 있어서, 상기 각 플래너 멀티 반도체 칩의 제1반도체 칩의 제1메모리소자는 다수의 제1패드 및 다수의 제2패드를 구비하고, 상기 제1패드 또는 제2패드하부의 상기 제1메모리소자에 배열되는 연결용 다수의 관통전극을 구비하며,

상기 연결용 관통전극을 통해 상기 하부 플래너 멀티 반도체 칩과 상기 제2반도체 메모리소자가 전기적으로 접속되는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 14

제12항에 있어서, 상기 각 플래너 멀티 반도체 칩의 제1반도체 칩의 제1메모리소자는 다수의 제1패드 및 다수의 제2패드를 구비하고, 상기 제2메모리소자는 상기 제1패드 또는 제2패드에 연결되는 연결용 다수의 관통전극을 더 구비하며,

상기 연결용 관통전극을 통해 상기 하부 플래너 멀티 반도체 칩과 상기 제2반도체 메모리소자가 전기적으로 접속되는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 15

제1항에 있어서, 상기 제1반도체 칩의 제1메모리소자들중 적어도 하나에 대응하여 배열되어 상기 기관과 상기 제2반도체 칩에 전기적으로 연결되는 하나이상의 제3반도체 칩을 더 포함하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 16

제15항에 있어서, 상기 제3반도체 칩은 DRAM, SRAM 또는 플래쉬 메모리소자의 플래너 멀티 반도체 칩을 포함하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 17

제16항에 있어서, 상기 제3반도체 칩은 재배선 라인에 의해 상기 관통전극들과 연결되어 상기 기관과 전기적으로 접속되는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 18

제17항에 있어서, 상기 제3반도체 칩은 재배선 라인을 통해 상기 제2반도체 칩에 연결되어, 상기 제2반도체 칩으로부터 상기 제3반도체 칩으로의 데이터를 라이트 및 리드하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 19

제18항에 있어서, 상기 제3반도체 칩에 배열되는 관통전극을 더 포함하며, 상기 관통전극은 상기 기판의 상기 제2회로패턴에 직접 연결되거나 또는 접속단자 또는 와이어를 통해 연결되는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 20

제19항에 있어서, 상기 제3반도체 칩은 다수의 멀티 플래너 반도체 칩이 적층되는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지.

청구항 21

제1웨이퍼상에 다수의 메모리소자를 제조하는 단계;
 테스트 공정을 수행하여 상기 메모리소자의 불량 여부를 판별하는 단계;
 상기 제1웨이퍼를 개별 메모리칩으로 분류하되, 상기 제1반도체 칩은 상기 메모리소자가 $m \times n$ (여기서 m, n 은 2 이상의 정수) 매트릭스 형태로 배열되고, $m \times m$ 메모리소자중 하나이상의 제2메모리소자를 적어도 일부는 나머지 제1메모리소자가 둘러싸도록 배열하는 단계;
 상기 제1반도체 칩의 상기 제2메모리소자에 다수의 관통홀을 형성하고, 상기 관통홀에 다수의 관통전극을 각각 형성하고 재배선하는 단계;
 제2웨이퍼상에 다수의 프로세서 소자를 제조하는 단계;
 테스트공정을 수행하여 상기 프로세서 소자의 불량 여부를 판별하는 단계;
 상기 제2웨이퍼를 소잉하여 개별 프로세서 칩으로 분류하여 제2반도체 칩을 제조하는 단계;
 상기 제1반도체 칩을 기판상에 장착하고 상기 제1반도체 칩의 상기 제2메모리소자에 대응하여 상기 제2반도체 칩을 페이스 투 페이스 본딩하되, 상기 제1반도체 칩과 상기 제2반도체 칩이 상기 기판과 상기 관통전극들을 통해 전기적으로 연결되고, 상기 제1반도체 칩과 상기 제2반도체 칩이 전기적으로 연결되도록 하는 단계; 및
 상기 제1반도체 칩, 상기 제2반도체 칩 및 상기 기판을 봉지재로 피복하는 단계를 포함하는 플래너 멀티 반도체 칩 패키지의 제조방법.

청구항 22

제21항에 있어서, 상기 제2메모리소자들중 적어도 하나는 불량이 발생된 메모리소자를 포함하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지의 제조방법.

청구항 23

제21항에 있어서, 상기 제1반도체 칩은 DRAM, SRAM 또는 플래쉬 메모리소자의 플래너 멀티 반도체 칩을 포함하고, 상기 제2반도체 칩은 프로세서를 포함하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지의 제조방법.

청구항 24

제21항에 있어서, 적어도 하나의 메모리소자를 포함하는 제3반도체 칩을 상기 제1메모리소자에 대응하여 배열하는 단계를 더 포함하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지의 제조방법.

청구항 25

제24항에 있어서, 상기 제3반도체 칩은 상기 제1웨이퍼상에 제조된 상기 다수의 메모리소자중 하나이상의 메모

리소자를 포함하도록 상기 소잉공정에서 제조되고, 상기 제3반도체 칩은 상기 제2반도체 칩을 상기 제1반도체 칩상에 배열하기 전 또는 후에 상기 제1반도체 칩상에 배열하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지의 제조방법.

청구항 26

제25항에 있어서, 제3반도체 칩은 DRAM, SRAM 또는 플래쉬 메모리소자의 플래너 멀티 반도체 칩을 포함하는 것을 특징으로 하는 플래너 멀티 반도체 칩 패키지의 제조방법.

청구항 27

제21항에 있어서, 봉지재로 피복하는 단계 다음에, 상기 제2반도체 칩 상부에 열방출용 히트싱크를 부착하는 단계를 더 포함하는 플래너 멀티 반도체 칩 패키지의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<12> 본 발명은 반도체 패키지에 관한 것으로서, 보다 구체적으로는 메모리 칩과 프로세서 칩이 관통전극을 통해 연결된 플래너 멀티 반도체 칩 패키지 및 그 제조방법에 관한 것이다.

<13> CPU 또는 MPU 등과 같은 고성능 프로세서는 많은 데이터를 고속으로 라이트하고 리드할 수 있는 메모리 소자, 예를 들어 캐쉬 메모리소자를 필요로 한다. 일반적인 메모리로 DRAM의 경우, 프로세서에서 요구되는 데이터를 시스템 보드상의 배선 등을 경유하여 DRAM 으로부터 리드하거나 또는 DRAM 에 라이트하게 된다. 이런 경우, 데이터 처리속도에 대한 데이터의 라이트/리드에 소요되는 시간의 비가 점점 증가되어 전체적인 시스템/프로세서의 처리속도 저하를 초래하게 된다. 또한, 메모리소자와 프로세서를 위해 넓은 시스템 공간이 필요할 뿐만 아니라 디자인 룰이 증가하고 배선의 길이가 증가하게 된다. 배선의 길이 증가로 데이터 무결성(integrity)을 위한 입출력 파워의 소모가 증가하게 된다. 특히, 프로세서로 CPU가 사용되는 경우에는 별도의 컨트롤러를 경유하여야 하기 때문에 상기 문제점들은 더욱 더 심각해진다.

<14> 이러한 문제점을 해결하기 위한 방법의 하나는 프로세서와 메모리 칩을 동일한 패키지 기판상에 적층시켜 배선의 길이를 최소화시켜 주는 것이다.

발명이 이루고자 하는 기술적 과제

<15> 따라서, 본 발명이 이루고자 하는 기술적 과제는 메모리칩의 관통전극을 통해 메모리칩과 프로세서를 연결시켜 고속/고성능의 데이터 처리가 가능한 플래너 멀티 반도체 칩 패키지 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

<16> 상기한 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 일 견지에 따르면, 플래너 멀티 반도체 칩 패키지를 제공한다. 상기 플래너 멀티 반도체 칩 패키지는 기판, 제1반도체 칩 및 제2반도체 칩을 포함한다. 상기 기판은 그의 일면에 제1회로패턴을 구비하고 타면에 제2회로패턴을 구비한다. 상기 제1반도체 칩은 상기 기판상부에 배열되어 $m \times n$ (여기서, m, n 은 2이상의 정수) 매트릭스형태로 배열되는 다수의 메모리소자를 구비하되, 다수의 메모리소자중 적어도 하나의 제2메모리소자를 적어도 일부는 둘러싸도록 나머지 제1메모리소자들이 배열된다. 상기 제2반도체 칩은 상기 제1반도체 칩상부에 상기 제2메모리소자에 대응하여 적층된다. 상기 제2메모리소자에 다수의 관통전극이 배열되어, 상기 제1반도체 칩과 상기 제2반도체 칩을 상기 기판의 상기 제2회로패턴에 연결시켜 준다.

<17> 상기 제2메모리 소자들중 적어도 하나는 불량이 발생된 메모리 소자를 포함할 수 있다. 상기 제1반도체 칩과 상기 제2반도체 칩은 직접 또는 접속단자를 통해 페이스 투 페이스 본딩된다. 상기 제1반도체 칩의 상기 제1메모리소자는 DRAM, SRAM 또는 플래쉬 메모리소자를 포함하고, 상기제2반도체 칩은 프로세서를 포함한다.

<18> 상기 제1반도체 칩의 상기 제1메모리소자는 다수의 제1패드 및 다수의 제2패드를 구비하고, 상기 다수의 관통전

극은 다수의 제1 내지 제3관통전극을 구비한다. 상기 제2패드들은 각각의 제2재배선 라인을 통해 상기 제1관통 전극들과 전기적으로 연결되어 외부로부터 전압신호를 상기 기판을 통해 상기 제1반도체 칩으로 제공한다. 상기 제1패드들은 각각의 제1재배선 라인을 통해 상기 제2반도체 칩과 전기적으로 연결되어 상기 제2반도체 칩에서 상기 제1반도체 칩으로의 데이터를 라이트 및 리드한다. 상기 제2반도체 칩은 상기 제2관통전극을 통해 상기 기판과 전기적으로 연결되어 외부로부터 전압신호가 상기 기판을 통해 상기 제2반도체 칩으로 제공된다. 상기 제2 반도체 칩은 상기 제3관통전극을 통해 상기 기판과 전기적으로 연결되어 외부로부터 전기적 신호가 상기 기판을 통해 상기 제2반도체 칩으로 제공된다.

- <19> 상기 제1반도체 칩의 상기 제1메모리소자에 배열되는 전압인가용 관통전극을 더 포함한다. 상기 전압인가용 관통전극은 상기 기판의 상기 제2회로패턴에 직접 또는 접속단자를 통해 연결한다. 상기 제1반도체 칩은 전압인가용 회로패턴을 더 구비한다. 상기 전압인가용 회로패턴은 상기 기판의 상기 제2회로패턴에 와이어를 통해 연결된다.
- <20> 상기 제1반도체 칩 및 상기 제2반도체 칩과 상기 기판은 봉지재에 의해 피복되어 보호된다. 상기 제2반도체 칩의 노출된 상면으로는 방열을 위한 히트싱크가 부착된다.
- <21> 상기 제1반도체 칩은 다수의 플래너 멀티 반도체 칩이 적층되고, 각 플래너 멀티 반도체 칩의 상기 제2메모리소자에 상기 관통전극들이 배열된다. 상층에 배열된 플래너 멀티 반도체 칩의 상기 관통전극들과 하층에 배열된 플래너 멀티 반도체 칩의 상기 관통전극들은 직접 접속되거나 또는 접속단자를 통해 전기적으로 접속된다. 상기 각 플래너 멀티 반도체 칩의 제1반도체 칩의 제1메모리소자는 다수의 제1패드 및 다수의 제2패드와 상기 제1패드 또는 제2패드하부의 상기 제1메모리소자에 배열되는 다수의 연결용 관통전극을 더 구비하며, 상기 연결용 관통전극을 통해 상기 하부 플래너 멀티 반도체 칩과 상기 제2반도체 메모리소자가 전기적으로 접속된다. 또한, 상기 각 플래너 멀티 반도체 칩의 제1반도체 칩의 제1메모리소자는 다수의 제1패드 및 다수의 제2패드를 구비하고 상기 제2메모리소자는 상기 제1패드 또는 제2패드에 연결되는 다수의 연결용 관통전극을 구비하며, 상기 연결용 관통전극을 통해 상기 하부 플래너 멀티 반도체 칩과 상기 제2반도체 메모리소자가 전기적으로 접속된다.
- <22> 상기 플래너 멀티 반도체 칩 패키지는 상기 제1반도체 칩의 제1메모리소자들중 적어도 하나에 대응하여 배열되어 상기 기판과 상기 제2반도체 칩에 전기적으로 연결되는 하나이상의 제3반도체 칩을 더 포함한다. 상기 제3반도체 칩은 DRAM, SRAM 또는 플래쉬 메모리소자의 플래너 멀티 반도체 칩을 포함한다. 상기 제3반도체 칩은 재배선 라인에 의해 상기 관통전극들과 연결되어 상기 기판과 전기적으로 접속된다. 상기 제3반도체 칩은 재배선 라인을 통해 상기 제2반도체 칩에 연결되어, 상기 제2반도체 칩으로부터 상기 제3반도체 칩으로의 데이터를 라이트 및 리드한다. 상기 제3반도체 칩에 관통전극이 배열된다. 상기 관통전극은 상기 기판의 상기 제2회로패턴에 직접 연결되거나 또는 접속단자 또는 와이어를 통해 연결된다. 상기 제3반도체 칩은 다수의 멀티 플래너 반도체 칩이 적층된다.
- <23> 또한, 본 발명은 멀티 플래너 반도체 칩 패키지의 제조방법을 제공한다. 먼저, 제1웨이퍼상에 다수의 메모리소자를 제조하고, 테스트 공정을 수행하여 상기 메모리소자의 불량 여부를 판별한다. 상기 제1웨이퍼의 다수의 메모리소자를 개별 메모리 칩으로 분류하되, 상기 메모리 칩은 상기 메모리소자가 $m \times n$ (여기서 m, n 은 2이상의 정수) 매트릭스 형태로 배열되고, $m \times n$ 메모리소자중 하나이상의 제2메모리소자를 적어도 일부는 둘러싸도록 나머지 제1메모리소자가 배열될 수 있다. 상기 메모리 칩의 상기 제2메모리소자에 다수의 관통홀을 형성하고, 상기 관통홀에 다수의 관통전극을 각각 형성한다. 이어서, 재배선공정을 수행한다. 상기 관통전극과 재배선 공정은 동시에 수행될 수도 있다. 상기 제1웨이퍼를 메모리 칩단위로 소잉하여 제1반도체 칩을 제조한다. 상기 제1반도체 칩은 플래너 멀티 반도체 칩을 포함할 수 있다. 제2웨이퍼상에 다수의 프로세서 소자를 제조하고, 테스트공정을 수행하여 상기 프로세서 소자의 불량 여부를 판별한다. 상기 제2웨이퍼를 개별 프로세서 칩으로 분류하고 소잉하여 제2반도체 칩을 제조한다. 상기 제1반도체 칩을 기판상에 장착하고 상기 제1반도체 칩의 상기 제2메모리소자에 대응하여 상기 제2반도체 칩을 페이스 투 페이스 본딩한다. 상기 제1반도체 칩과 상기 제2반도체 칩이 상기 기판과 상기 관통전극들을 통해 전기적으로 연결되고, 상기 제1반도체 칩과 상기 제2반도체 칩이 전기적으로 연결되도록 본딩한다. 상기 제1반도체 칩, 상기 제2반도체 칩 및 상기 기판을 봉지재 및/또는 히트싱크로 피복한다.
- <24> 상기 제2메모리소자들중 적어도 하나는 불량이 발생된 메모리소자를 포함할 수 있다. 적어도 하나의 메모리소자를 포함하는 제3반도체 칩을 상기 제1메모리소자에 대응하여 배열하는 단계를 더 포함할 수 있다. 상기 제3반도체 칩은 상기 제1웨이퍼상에 제조된 상기 다수의 메모리소자중 하나이상의 메모리소자를 포함하도록 상기 소잉 공정에서 제조되고, 상기 제3반도체 칩은 상기 제2반도체 칩을 상기 제1반도체 칩상에 배열하기 전 또는 후에

상기 제1반도체 칩상에 배열한다.

- <25> 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.
- <26> 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 메모리칩과 프로세서칩이 관통전극을 통해 연결된 플래너 멀티 반도체 칩 패키지의 단면도를 도시한 것이다. 도 1a 및 도 1b를 참조하면, 플래너 멀티 반도체 칩 패키지(100a, 100b)는 기판(110), 제1반도체 칩(120) 및 제2반도체 칩(140)을 구비한다. 상기 기판(110)은 인쇄회로기판을 포함할 수 있다. 상기 기판(110)의 일면에 다수의 제1회로 패턴(111)이 배열되고, 상기 기판(110)의 타면에는 다수의 제2회로 패턴(112, 113, 114, 115)이 배열된다. 상기 제1회로 패턴(111)과 상기 제2회로 패턴(112, 113, 114, 115)은 상기 기판(110)에 배열된 회로배선(도면상에는 도시되지 않음)을 통해 전기적으로 연결될 수 있다. 상기 제1회로패턴들(111)에는 각각 외부 접속단자(156)이 배열된다. 상기 외부 접속단자(156)는 솔더 볼을 포함할 수 있다.
- <27> 상기 제1반도체 칩(120)은 플래너 멀티 반도체 칩을 구비한다. 도 2를 참조하면, 제1반도체 칩(120)은 웨이퍼(220a), 다수의 메모리 소자(220) 및 다수의 관통전극(136, 137, 138)을 구비한다. 상기 웨이퍼(200a)에는 스크라이브 라인(260)에 의해 구획되는 다수의 칩 영역(210, 215)이 $m \times n$ (여기서, m , n 은 2이상의 정수) 매트릭스 형태로 배열되며, 상기 다수의 칩 영역(210, 201a)중 하나이상의 제2칩 영역(215)에는 다수의 제2 내지 제4관통홀(132, 133, 134)이 형성되고, 상기 제2 내지 제4관통홀들(132, 133, 134)에는 각각 제2 내지 제4관통전극들(136, 137, 138)이 배열된다. 나머지 제1칩 영역(210)에는 각각 메모리 소자들(220)이 배열된다. 상기 메모리소자(220)는 다수의 메모리 셀 어레이(230) 및 패드부(240)를 구비한다.
- <28> 상기 제1칩 영역(210)과 상기 제2칩 영역(215)은 상기 제2칩 영역(215)에 배열되는 제2 내지 제4관통전극(136, 137, 138)과 메모리소자간의 재배선 길이를 최소화하도록 배열할 수 있다. 제2칩 영역(215)은 상기 제1칩 영역(210)에 의해 둘러싸여지도록 상기 웨이퍼(220a)의 중앙부에 위치할 수 있다. 이때, 상기 제2칩 영역(215)의 적어도 일부를 상기 제1칩 영역(210)이 둘러싸도록 배열될 수 있다. 예를 들어, 칩영역이 3×3 매트릭스로 배열되는 경우, 중앙부에 배열된 하나의 제2칩 영역(215)에 제2 내지 제4관통전극(136, 137, 138)이 배열되고, 8개의 제1칩 영역(210)이 상기 제2칩 영역(215)을 둘러싸도록 배열되어 각각 메모리소자들(220)이 배열될 수 있다. 칩영역이 4×4 매트릭스로 배열되는 경우, 중앙부에 배열된 2×2 개의 제2칩 영역(215)에 제2 내지 제4관통전극(136, 137, 138)이 배열되고, 12개의 제1칩 영역(210)이 상기 제2칩 영역(215)을 둘러싸도록 배열되어 각각 메모리소자들(220)이 배열될 수 있다.
- <29> 상기 메모리 셀 어레이(230)에는 다수의 메모리 셀(미도시)이 배열되고, 패드부(240)에는 다수의 제1패드(241)와 다수의 제2패드(242)가 배열된다. 상기 제1패드(241)는 제1재배선 라인(251)에 연결되고, 상기 제2패드(242)는 제2재배선라인(252)에 연결된다. 상기 메모리 소자(220)에서 상기 메모리 셀 어레이(230) 및 패드부(240)의 배열구조는 다양하게 변경 가능하다. 상기 메모리소자(220)는 DRAM, SRAM 또는 플래쉬 메모리소자를 포함할 수 있다. 상기 제1반도체 칩(120)에 배열되는 다수의 제2 내지 제4관통전극(136, 137, 138)은 도 2에서 규칙적으로 배열되었으나, 배선라인의 길이를 최소화하기 위하여 불규칙하게 배열될 수도 있다.
- <30> 상기 제2반도체 칩(140)은 제2 및 제3접속단자(143, 144)를 통해 상기 제1반도체 칩(120)과 페이스 투 페이스(face-to-face) 본딩된다. 배선길이를 최소화하기 위하여, 상기 제2반도체 칩(140)은 상기 제1반도체 칩(120)의 제2칩 영역(215)에 배열된 제2 내지 제4관통 전극(136, 137, 138)에 대응하여 상기 제1반도체 칩(120)상부에 적층된다. 제2반도체 칩(140)은 CPU 또는 MPU 등과 같은 프로세서를 포함할 수 있다. 제1반도체 칩(120)과 제2반도체 칩(140)은 제1접속단자(141)를 통해 전기적으로 연결된다. 상기 제2반도체 칩(140)은 제3 및 제4관통전극(137, 138)을 통해 상기 기판(110)의 제2회로패턴(113, 114)에 각각 전기적으로 연결된다. 상기 제1반도체 칩(120)은 제2관통전극(136)을 통해 상기 기판(110)의 제2회로패턴(112)에 전기적으로 연결된다. 상기 제2 내지 제4관통전극(136, 137, 138)은 상기 기판(110)의 제2회로패턴(112, 113, 114)에 직접 연결되거나 또는 제4 내지 제6접속단자(152, 153, 154)를 통해 연결될 수 있다. 상기 제1 내지 제6접속단자(141, 143, 144, 152-154)는 솔더 볼을 포함할 수 있다. 상기 제2 내지 제4관통전극(136, 137, 138)은 구리를 포함할 수 있다.
- <31> 상기 제1반도체 칩(120), 제2반도체 칩(140) 및 접속단자들(141, 143, 144, 152-154)은 봉지재(160)에 의해 피복되어 보호된다. 상기 봉지재(160)는 상기 제2반도체 칩(140)의 상면이 노출되도록 피복될 수도 있다. 상기 제

2반도체 칩(140)상부에는 접착제(180)에 의해 히트싱크(170)가 부착될 수 있다. 상기 히트싱크(170)는 CPU 등과 같은 고속/고전력의 프로세서칩인 제2반도체 칩(140)로부터 열을 방출시켜 주기 위한 것으로서, 금속 프레임, 금속 열매개 물질(metal thermal interface material) 또는 히트 파이프 등을 포함할 수 있다.

- <32> 도 3a 내지 도 3d는 제1반도체 칩(120) 및 제2반도체 칩(140)과 관통전극(136, 137, 138)간의 연결관계를 도시한 단면도이다. 도 3a를 참조하면, 웨이퍼(200a)의 제2칩 영역(215)에 제2관통홀(132)이 형성되고, 상기 제2관통홀(132)에 제2관통전극(136)이 배열된다. 제1칩 영역(210)에 제2패드(242)가 형성된다. 상기 웨이퍼(200a)상에 상기 제2패드(242) 및 상기 제2관통전극(136)의 일부분을 노출시키는 개구부(201a, 201b)를 구비하는 제1절연막(201)이 형성된다. 상기 제1절연막(201)상에 제2재배선공정을 통해 제2재배선 라인(252)이 형성되어, 상기 개구부(201a, 201b)를 통해 상기 제2패드(242)와 제2관통전극(136)을 전기적으로 연결시켜 준다. 상기 제2재배선 라인(252) 및 제1절연막(201)상에 제2절연막(203)이 형성된다. 외부로부터 전원전압, 예를 들어 VDD 및 접지전압, 예를 들어 VSS가 기판(110), 제2관통전극(136), 제2재배선라인(252)을 통해 상기 제1반도체 칩(120)의 제2패드(242)로 제공된다. 상기 제2관통홀(132)의 내측벽에는 절연막(미도시)이 형성되어, 상기 웨이퍼(200a)와 상기 제2관통전극(136)을 전기적으로 절연시켜 줄 수 있다.
- <33> 도 3b를 참조하면, 웨이퍼(200a)의 상기 제1칩 영역(210)에 제1패드(241)가 형성된다. 상기 웨이퍼(200a)상에 상기 제1패드(241)의 일부분을 노출시키는 개구부(201c)를 구비하는 제1절연막(201)이 형성된다. 상기 제1절연막(201)상에 제2재배선공정을 통해 제1재배선 라인(251)이 형성되며, 상기 개구부(201c)를 통해 상기 제1패드(241)에 연결되어 상기 제2칩 영역(215)까지 연장 배열된다. 상기 제1재배선 라인(251) 및 상기 제1절연막(201)상에 제2절연막(203)이 형성된다. 상기 제2절연막(203)은 상기 제2칩 영역(215)의 상기 제1재배선 라인(251)의 일부분을 노출시켜 주는 개구부(203c)를 구비한다. 상기 개구부(203c)에 의해 노출되는 상기 제1재배선 라인(251)상에 접속단자(141)를 배열하여, 상기 제1패드(241)와 상기 접속단자(141)를 상기 제1재배선 라인(251)을 통해 전기적으로 연결시켜 준다. 따라서, 제2반도체 칩(140)으로부터 상기 제1반도체 칩으로의 기판(110)을 통하지 않고 데이터의 라이트 및 리드가 가능하게 된다.
- <34> 도 3c를 참조하면, 웨이퍼(200a)의 제2칩 영역(215)에 제3관통홀(133)이 형성되고, 상기 제3관통홀(133)상에 제2관통전극(137)이 배열된다. 상기 제2관통전극(137)의 일부가 개구부(203d)에 의해 노출되도록 상기 웨이퍼(200a)상에 상기 제1 및 제2절연막(201, 203)이 형성된다. 상기 개구부(203d)에 의해 노출되는 제3관통전극(137)상에 제2접속단자(143)를 배열한다. 외부로부터 프로세서용 전압신호, 예를 들어 전원전압 VDD 및 접지전압 VSS가 상기 기판(110) 및 상기 제3관통전극(137)을 통해 상기 제2반도체 칩(140)으로 제공된다. 상기 제3관통홀(133)내의 측벽에는 절연막(미도시)이 형성되어, 상기 웨이퍼(200a)와 상기 제3관통전극(137)을 전기적으로 절연시켜 줄 수 있다.
- <35> 도 3d를 참조하면, 웨이퍼(200a)의 제2칩 영역(215)에 제4관통홀(134)이 형성되고, 상기 제4관통홀(134)상에 제4관통전극(138)이 배열된다. 상기 제4관통전극(138)의 일부가 개구부(203e)에 의해 노출되도록 상기 웨이퍼(200a)상에 상기 제1 및 제2절연막(201, 203)을 형성한다. 상기 개구부(203e)에 의해 노출되는 상기 제4관통전극(138)상에 제3접속단자(144)를 배열한다. 외부로부터 컨트롤신호 등과 같은 프로세서용 전기적 신호가 상기 기판(110) 및 상기 제4관통전극(138)을 통해 상기 제2반도체 칩(140)으로 제공된다. 상기 제4관통홀(134)내의 측벽에는 절연막(미도시)이 형성되어, 상기 웨이퍼(200a)와 상기 제4관통전극(138)을 전기적으로 절연시켜 줄 수 있다.
- <36> 다시 도 1a를 참조하면, 상기 제1반도체 칩(120)은 제1관통홀(121)을 더 구비할 수 있다. 상기 제1관통홀(121)은 상기 메모리소자(220)의 패드부(240)에 형성되며, 상기 다수의 제2패드(242)중 하나에 연결되도록 형성될 수 있다. 상기 제1관통홀(121)은 상기 메모리소자(220)의 주변부, 예를 들어 스크라이브 영역에 배열될 수도 있다. 상기 제1관통홀(121)에 제1관통전극(122)이 배열되고, 상기 제1관통전극(122)은 제7접속단자(155)를 통해 상기 기판(110)의 제2회로패턴(115)과 전기적으로 연결될 수 있다. 상기 제1관통전극(122)은 상기 기판(110)의 제2회로패턴(115)과 직접 연결될 수도 있다. 상기 제1관통전극(122)을 통해 외부로부터 상기 제1반도체 칩(120)으로 메모리소자용 전압신호, 예를 들어 전원전압(VDD)과 접지전압(VSS)을 제공할 수 있다. 상기 제7접속단자(155)는 솔더 볼을 포함할 수 있다. 상기 제1관통홀(121)의 내측에는 절연막(미도시)이 형성되어 상기 웨이퍼(200a)와 제1관통전극(122)을 절연시켜 줄 수 있다.
- <37> 도 1b를 참조하면, 상기 제1반도체 칩(120)은 회로패턴(123)을 더 포함할 수 있다. 상기 회로패턴(123)은 본딩 와이어(125)에 의해 상기 기판(110)의 제2회로패턴(115)과 전기적으로 연결될 수 있다. 상기 본딩 와이어(125)를 통해 외부로부터 상기 제1반도체 칩(120)으로 메모리소자용 전압신호, 예를 들어 전원전압(VDD)과 접지전

압(VSS)을 제공할 수 있다.

- <38> 실시예에서는, 외부로부터 제2관통전극(136)을 통해 제1반도체 칩(120)으로 메모리용 전압신호가 제공되는 것과는 별도로, 제1관통전극(122) 또는 본딩 와이어(125)를 통해 외부로부터 메모리용 전압신호를 추가로 제공하여 줄 수 있다. 따라서, 외부로부터 제2반도체 칩(140)으로 프로세서용 전압신호를 제공하는 제3관통전극(137)과 외부로부터 상기 제1반도체 칩(120)으로 메모리소자용 전압신호를 제공하는 제1관통전극(122) 또는 와이어(125)가 분리 배열되므로, 파워 노이즈의 분리효과를 얻을 수 있다. 또한, 제1반도체 칩(120)상에 제2반도체 칩(140)이 접속단자(141, 143, 144)를 통해 본딩되어 적층되므로, 열팽창계수(CTE, coefficient of thermal expansion) 차이로 인한 스트레스를 감소시킬 수 있다.
- <39> 도 4a 및 도 4b는 본 발명의 다른 실시예에 따른 메모리 칩과 프로세서 칩이 관통전극에 의해 연결된 플래너 멀티 반도체 칩 패키지의 단면도를 도시한 것이다. 도 4a 및 도 4b를 참조하면, 플래너 멀티 반도체 칩 패키지(100c, 100d)는 도 1a 및 도 1b의 플래너 멀티 반도체 칩 패키지(100a, 100b)와는 제1반도체 칩(120)이 다수의 반도체 칩이 스택되는 것만이 다르다. 상기 제1반도체 칩(120)은 예를 들어 하부 플래너 멀티 반도체 칩(120a)과 상부 플래너 멀티 반도체 칩(120b)을 구비한다. 상기 플래너 멀티 반도체 칩 패키지(100c, 100d)에서는 상기 하부 플래너 멀티 반도체 칩(120a)과 상기 제2반도체 칩(140)을 전기적으로 연결시켜 데이터의 라이트 및 리드를 가능하게 하는 관통전극이 더 필요하다. 상기 하부 플래너 멀티 반도체 칩(120a)은 상기 제1메모리소자(220)중 상기 다수의 제2패드(242) 및 다수의 제1패드(241)에 대응하는 상기 제1칩 영역(210)에 각각 관통홀을 더 형성하고 상기 관통홀에 관통전극을 더 배열할 수도 있다.
- <40> 도 4a과 도 5a를 참조하면, 상기 상부 플래너 멀티 반도체 칩(120b)은 상기 제1메모리소자(220)중 상기 다수의 제1패드(241b)에 대응하는 제1칩 영역(210)에 제5관통홀(123)이 형성되고, 상기 제5관통홀(123)에 제5관통전극(124)이 형성된다. 따라서, 상기 제5관통홀(123)에 배열된 상기 제5관통전극(124)을 통해 상기 하부 플래너 멀티 반도체 칩(120a)과 상기 제2반도체 칩(140)이 전기적으로 연결된다. 즉, 하부 플래너 멀티 반도체 칩(120a)의 상기 제1패드(241a)로부터 상부 플래너 멀티 반도체 칩(120b)의 상기 제5관통전극(124)과 상기 제1패드(241b) 및 상기 제1배선 라인(251)을 통해 상기 제2반도체 칩(140)과의 데이터 라이트 및 리드가 이루어진다. 이 경우, 상부 플래너 멀티 반도체 칩(120a)의 상기 제1패드(241a)에 연결된 상기 제5관통전극(124)은 상기 기판(110)과의 연결되지 않는다. 상기 상부 플래너 멀티 반도체 칩(120b)과 상기 하부 플래너 멀티 반도체 칩(120a)의 제1패드(241b, 241a)가 동시에 제5관통전극(134)을 통해 상기 제2반도체 칩(140)에 연결되므로, 상기 상부 플래너 멀티 반도체 칩(120b)과 상기 하부 플래너 멀티 반도체 칩(120a)의 동작선택을 위한 별도의 선택/제어 핀(미도시)이 사용될 수 있다. 상기 하부 플래너 멀티 반도체 칩(120a)의 제1패드(241a) 하부에도 제5관통홀이 형성되고 제5관통홀에 제5관통전극이 형성될 수 있다.
- <41> 도 4b 및 도 5b를 참조하면, 상기 하부 및 상부 플래너 멀티 반도체 칩(120a, 120b)의 제2칩 영역(215)에는 상기 제1접속단자(141) 하부에 제6관통홀(131)이 형성되고, 상기 제6관통홀(131)에 상기 제6관통전극(135)이 각각 배열된다. 상기 하부 플래너 멀티 반도체 칩(120a)의 제1패드(241a)와 상기 상부 플래너 멀티 반도체 칩(120b)의 제1패드(241b)가 각각 제1배선라인(251a, 251b)을 통해 상기 제6관통홀(131)에 배열된 제6관통전극(135)에 연결되어 상기 제2반도체 칩(140)에 전기적으로 연결된다. 따라서, 상기 상부 및 하부 플래너 멀티 반도체 칩(120b, 120a)과 상기 제2반도체 칩(140)간의 데이터 라이트 및 리드가 이루어진다. 이 경우, 상기 제1접속단자(141)에 연결된 상기 제6관통전극(135)은 상기 기판(110)과 연결되지 않으며, 상부 플래너 멀티 반도체 칩(120b)과 하부 플래너 멀티 반도체 칩(120a)의 동작선택을 위한 별도의 선택/제어 단자(미도시)가 사용될 수 있다.
- <42> 상기 하부 및 상부 플래너 멀티 반도체 칩(120a, 120b)의 제2패드(242a, 242a)로의 전압신호도 도 5a 및 도 5b와 같은 방법으로 제공할 수 있다. 하부 및 상부 플래너 멀티 반도체 칩(120a, 120b)은 도 2와 도 3a 내지 도 3d와 기본적으로는 동일한 구조를 갖는다. 상부 플래너 멀티 반도체 칩(120b)과 하부 플래너 멀티 반도체 칩(120a)의 관통전극(136, 137, 138)은 직접 접속되거나 또는 접속단자들(157) 또는 이방성 도전필름(미도시)을 통해 접속될 수 있다. 상기 하부 및 상부 플래너 멀티 반도체 칩(120a, 120b)에 각각 형성된 관통전극(122)이 직접 콘택되거나 또는 접속단자나 이방성 도전필름(미도시)을 통해 접속될 수도 있다. 3층 이상의 반도체 칩도 동일한 방법으로 스택 가능하다. 상기 도 5a 및 도 5b에 도시된 연결구조는 다양하게 변경가능하다.
- <43> 도 6a 및 도 6b는 본 발명의 다른 실시예에 따른 메모리 칩과 프로세서 칩이 관통전극을 통해 연결된 플래너 멀티 반도체 칩 패키지의 단면도를 도시한 것이다. 도 6a 및 도 6b를 참조하면, 플래너 멀티 반도체 칩 패키지 칩(100e, 100f)는 기판(110), 제1반도체 칩(120) 및 제2반도체 칩(170) 및 제3반도체 칩(190)을 구비한다. 상기

기관(110), 제1 및 제2반도체 칩(120, 140)의 구성은 도 1a 및 도 4a의 플래너 멀티 반도체 패키지(100a, 100c)의 구성과 동일하다. 상기 제3반도체 칩(190)은 상기 제1반도체 칩(120)의 제1칩 영역(210)에 대응하여 배열되고, 상기 제2반도체 칩(140)은 상기 제1반도체 칩(120)의 제2칩 영역(215)에 대응하여 배열된다. 상기 제3반도체 칩(190)은 상기 제1반도체 칩(120)과 접속단자(155a, 141a, 152a)를 통해 페이스 투 페이스 본딩된다. 상기 제1반도체 칩(190)이 다수의 제1칩 영역(210)에 배열된 다수의 메모리 소자(220)를 구비하고, 상기 제3반도체 칩(190)은 상기 제1반도체 칩(120)의 메모리소자(220)에 대응하여 배열되는 적어도 하나의 메모리소자를 구비할 수 있다.

<44> 제1관통홀(126)에 배열된 제3반도체 칩(190)의 제1관통전극(127)은 접속단자(155a)를 통해 상기 제1반도체 칩(120)의 제1관통전극(122)과 접속단자(155a)를 통해 전기적으로 연결되고, 상기 제1반도체 칩(120)의 제2관통전극(136)은 도 3a와 같은 재배선 공정을 통해 상기 제3반도체 칩(190)의 제2패드(142)에 연결될 수 있다. 상기 제3반도체 칩(190)과 상기 제2반도체 칩(140)은 도 3b와 같은 재배선공정을 통해 접속단자(141a)를 통해 전기적으로 연결될 수 있다.

<45> 상기 제3반도체 칩(190)은 상기 제1반도체 칩(120)과 마찬가지로 하나이상의 플래너 멀티 반도체 칩(190a, 190b)이 적층될 수 있다. 상기 하부 플래너 멀티 반도체 칩(190a)과 상부 플래너 멀티 반도체 칩(190b)은 관통홀(132a)내에 배열된 관통전극(136a)을 통해 전기적으로 접속될 수 있다. 상기 제3반도체 칩(190)의 관통전극(136a)은 도 3d와 같은 재배선공정에 의해 접속단자(152a)를 통해 상기 제1반도체 칩(120)의 관통전극(136)과 전기적으로 연결될 수 있다.

<46> 상기 제3반도체 칩(190)은 관통전극(126) 대신에 도 1b와 같이 와이어 본딩에 의해 상기 기관(110)의 제2회로패턴(115)과 전기적으로 연결되어, 외부로부터 상기 기관(110)을 통해 메모리소자용 전압신호가 프로세서용 전압신호와와 분리되어 제공될 수도 있다.

<47> 도 7은 도 1a 및 도 1b의 플래너 멀티 반도체 패키지(100a, 100b)를 제조하는 방법을 설명하기 위한 공정 순서도이다. 도 7을 참조하면, 제1웨이퍼(도 7의 200)을 준비하고, 반도체 제조공정을 통해 상기 제1웨이퍼(200)상에 메모리 소자(도 2의 220)를 제조한다(S601). 제2웨이퍼(미도시)를 마련하고, 상기 제2웨이퍼상에 반도체 제조공정을 통해 프로세서 소자를 제조한다(S611). 상기 메모리소자(220)를 테스트하여 불량여부를 판정하고(S603), 상기 프로세서 칩을 테스트하여 불량여부를 판정한다(S613). 상기 메모리소자를 개별 메모리 칩으로 분류한다. 이때, 상기 개별 메모리칩이 적어도 하나의 불량 메모리소자(220a)를 포함하도록 mxn(여기서 m, n 은 2 이상) 매트릭스 형태로 분류한다. 상기 개별 메모리 칩중 불량 메모리소자(220a)가 배열되는 제2칩 영역(215)에 예를 들어 사진식각공정을 통해 관통홀(132, 133, 134)을 형성한다. 상기 관통홀(132, 133, 134)에 관통전극(136, 137, 138)을 형성하고, 재배선 공정을 수행한다(S605). 상기 제1웨이퍼(200)를 스크라이브 라인(260)을 따라 상기 메모리 칩 단위로 소잉하여 제1반도체 칩(120)을 제조한다(S606).

<48> 도 8을 참조하면, S605 및 S606 단계에서, 상기 제1반도체 칩(120)은 S603 단계에서 판정된 상기 불량 메모리소자(220a)를 적어도 하나를 포함하도록 개별 메모리 칩으로 분류한다. 예를 들어 상기 메모리 칩이 3x3 매트릭스 형태로 배열되는 메모리소자를 갖는다면, 불량 메모리소자(220a)는 중앙부분에 위치하고, 상기 불량 반도체 메모리소자(200a)를 둘러싸도록 정상 메모리소자(220)를 배열할 수도 있다. 도 5a 및 도 5b의 플래너 멀티 반도체 칩 패키지(100e, 100f)를 제조하는 경우에는, S605단계에서 제1반도체 칩(120)을 제외한 나머지 메모리소자(220)를 제3반도체 칩(190)으로 사용할 수 있다. 또한, 상기 제3반도체 칩(190)이 상기 제1반도체 칩(120)의 크기에 따라 하나이상의 메모리소자(200)를 포함하도록 상기 웨이퍼(200)를 소잉할 수 있다.

<49> 다시 도 7을 참조하면, 상기 제2웨이퍼를 스크라이브라인을 따라 소잉하여 개별 프로세서 칩으로 분류한다(S616). 따라서, 제2반도체 칩(140)이 제조된다. 상기 제1반도체 칩(120) 및 상기 제2반도체 칩(140)을 상기 기관(110)상에 실장시켜 플래너 멀티 반도체 패키지(100a)를 제조한다(S608). 먼저, 상기 제1반도체 칩(120)의 관통전극(136, 137, 138)이 기관(110)의 제2회로패턴(112, 113, 114)과 접속단자(152, 153, 154)를 통해 각각 전기적으로 접속되도록 상기 기관(110)상에 상기 제1반도체 칩(120)을 실장시킨다. 상기 제2반도체 칩(140)과 상기 제1반도체 칩(120)이 접속단자(141, 143, 144)를 통해 전기적으로 연결되도록 상기 제1반도체 칩(120)의 상기 관통전극(136, 137, 138)에 대응시켜 상기 제2반도체 칩(140)을 배열시킨다. 상기 제1반도체 칩(120), 상기 제2반도체 칩(140) 및 접속단자(141-144, 151-155)를 봉지재(160)로 피복시켜 준다. 상기 제2반도체 칩(140)에 접착제(180)를 통해 히트싱트(170)를 부착시켜 줄 수도 있다.

발명의 효과

<50> 상기한 바와같은 본 발명의 실시예에 따르면, 반도체 패키지내에 프로세서 칩과 상기 프로세서의 데이터를 저장하기 위한 메모리 칩을 실장시키고 상기 메모리칩내에 관통전극을 배열하여 상기 프로세서 칩과 상기 반도체 칩을 전기적으로 연결시켜 줌으로써, 대역폭(bandwidth)을 확장시키고 고속 데이터 처리가 가능하도록 할 수 있다. 또한, 상기 메모리칩중 불량 메모리셀이 배열된 위치에 관통전극을 형성하여 줌으로써 통상의 제조공정으로 제작된 웨이퍼에서의 메모리 소자의 수율을 보다 향상시킬 수 있다.

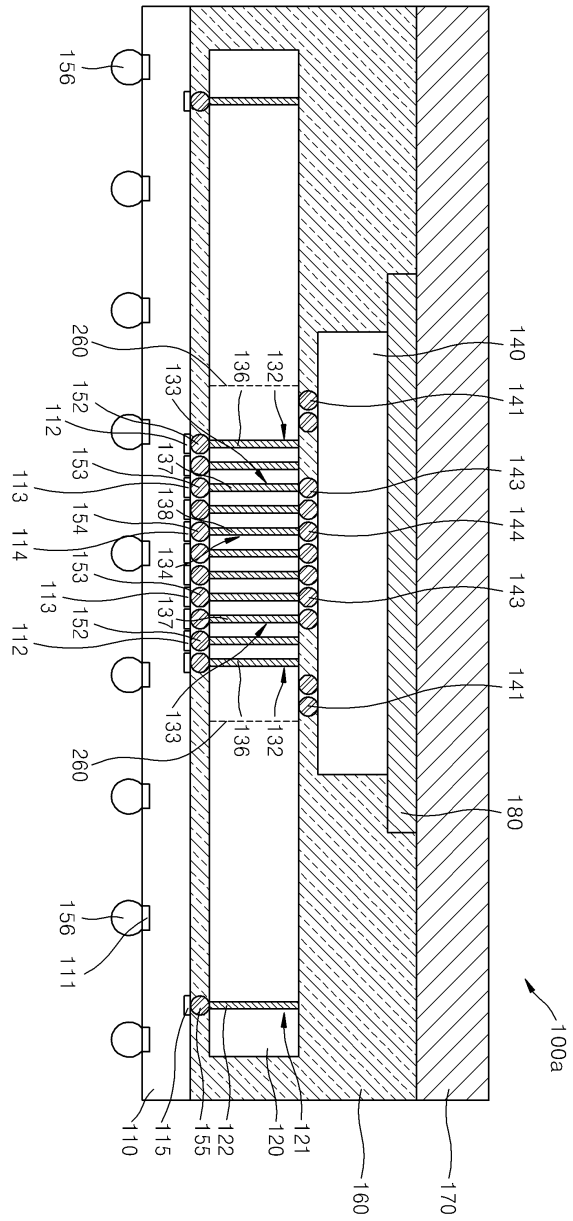
<51> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

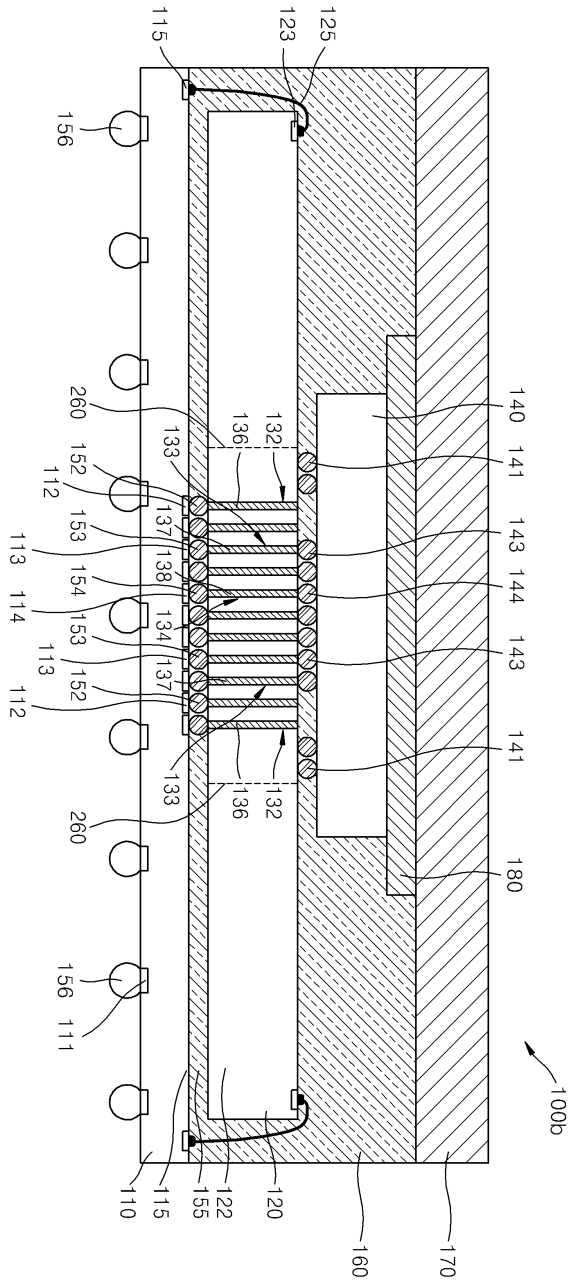
- <1> 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 플래너 멀티 반도체 칩 패키지의 단면도이다.
- <2> 도 2는 도 1의 플래너 멀티 칩 반도체 패키지의 제1반도체 칩의 평면도를 도시한 것이다.
- <3> 도 3a는 본 발명의 관통전극을 통한 제1반도체 칩과 기관간의 연결관계를 보여주는 플래너 멀티 반도체 칩 패키지에서 단면도이다.
- <4> 도 3b는 본 발명의 제1반도체 칩과 제2반도체 칩간의 연결관계를 보여주는 플래너 멀티 반도체 칩 패키지에서 단면도이다.
- <5> 도 3c 및 도 3d는 관통전극을 통한 제2반도체 칩과 기관간의 연결관계를 보여주는 플래너 멀티 반도체 칩 패키지의 단면도이다.
- <6> 도 4a 및 도 4b는 본 발명의 다른 실시예에 따른 플래너 멀티 반도체 칩 패키지의 단면도이다.
- <7> 도 5a는 도 4a의 관통전극을 통한 하부 플래너 멀티 반도체 칩의 제1패드와 제2반도체 칩간의 연결관계를 보여주는 플래너 멀티 반도체 칩 패키지의 단면도이다.
- <8> 도 5b는 도 4b의 관통전극을 통한 하부 플래너 멀티 반도체 칩의 제1패드와 제2반도체 칩간의 연결관계를 보여주는 플래너 멀티 반도체 칩 패키지의 단면도이다.
- <9> 도 6a 및 도 6b는 본 발명의 다른 실시예에 따른 플래너 멀티 반도체 칩 패키지의 단면도이다.
- <10> 도 7은 본 발명의 플래너 멀티 칩 반도체 패키지의 제조방법을 설명하기 위한 공정 순서도이다.
- <11> 도 8은 도 7의 반도체 패키지의 제조공정중 반도체 웨이퍼의 소잉하는 방법을 설명하기 위한 반도체 웨이퍼의 평면도이다.

도면

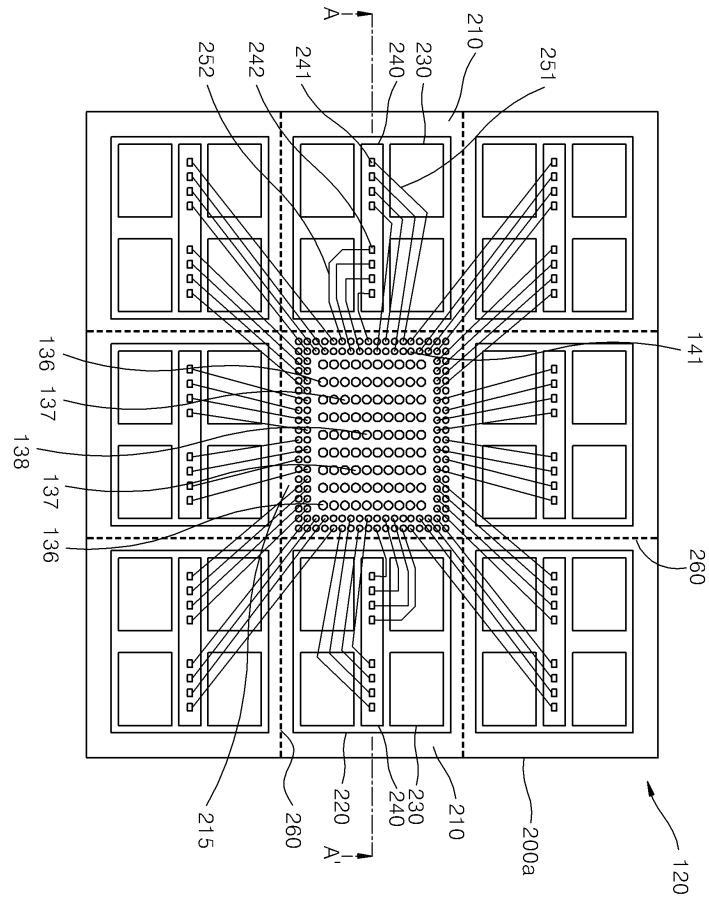
도면1a



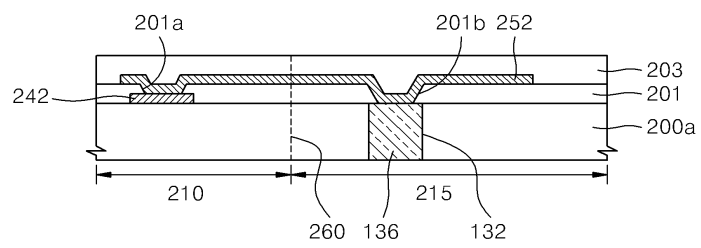
도면1b



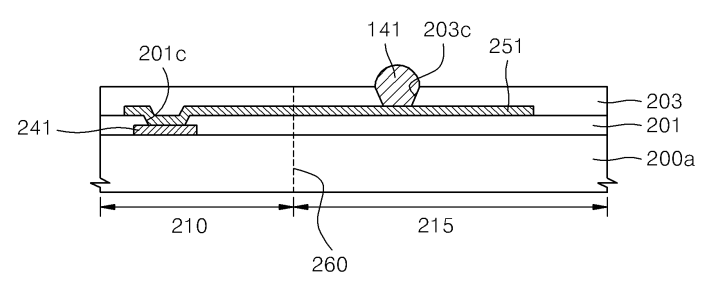
도면2



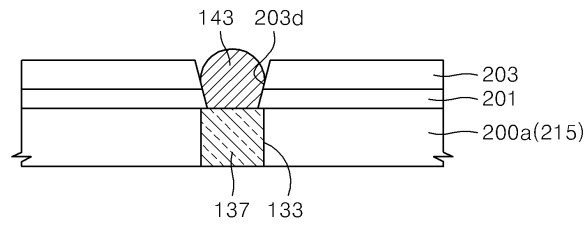
도면3a



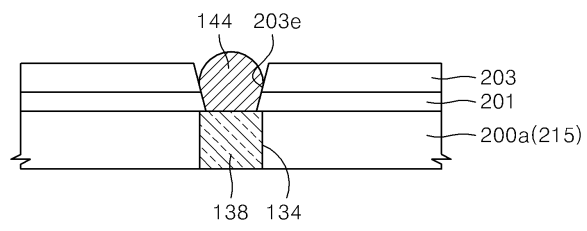
도면3b



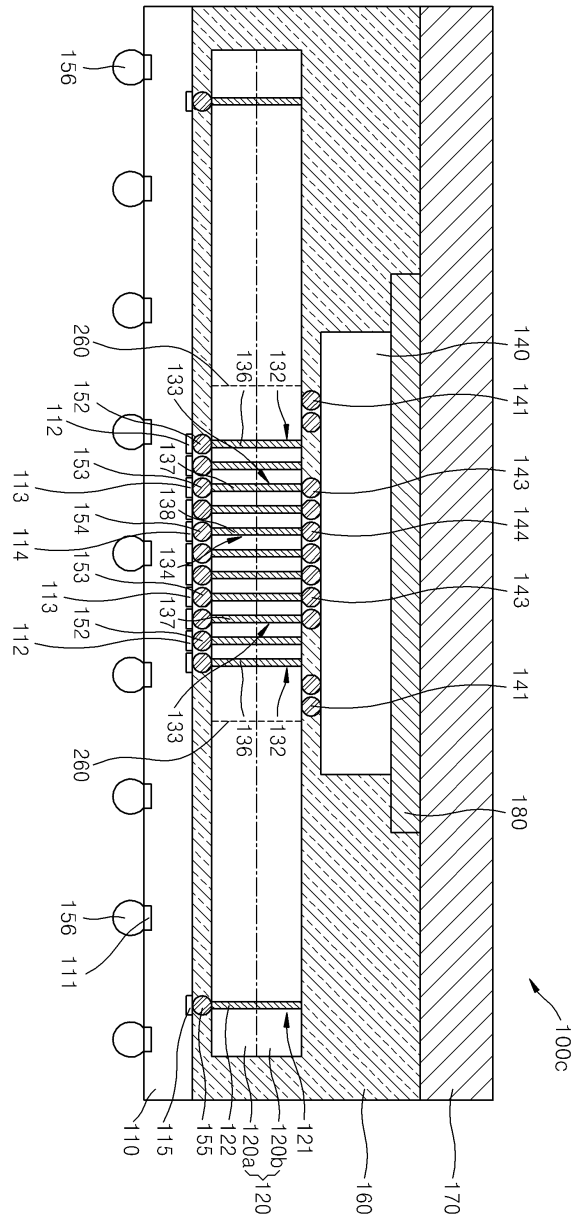
도면3c



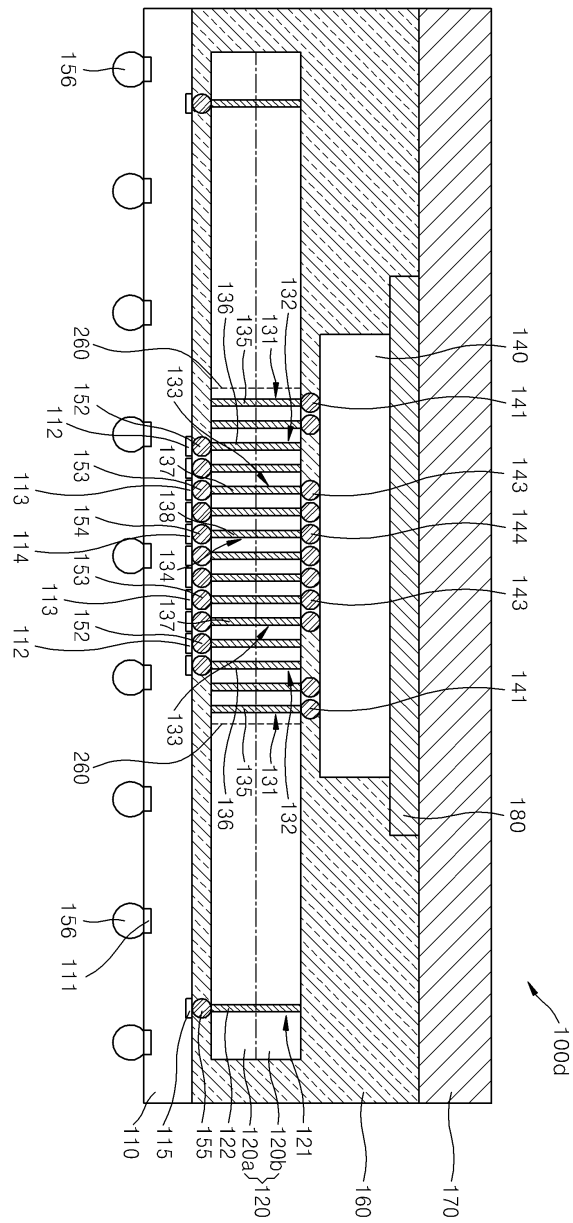
도면3d



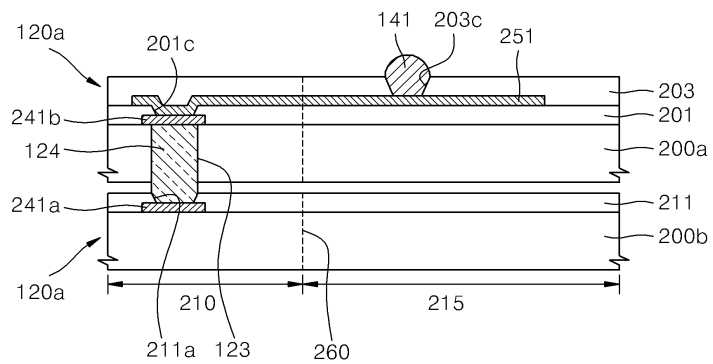
도면4a



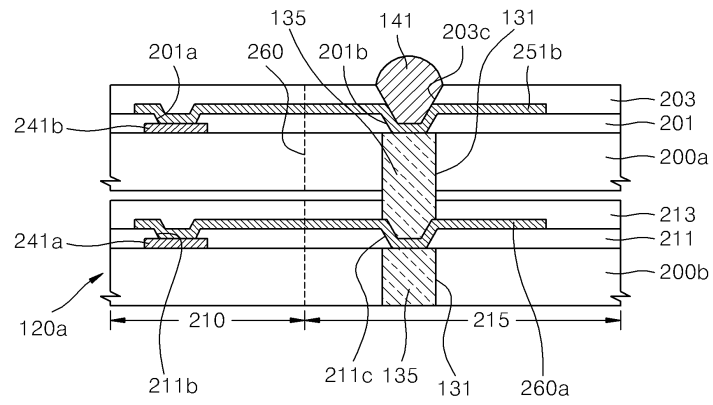
도면4b



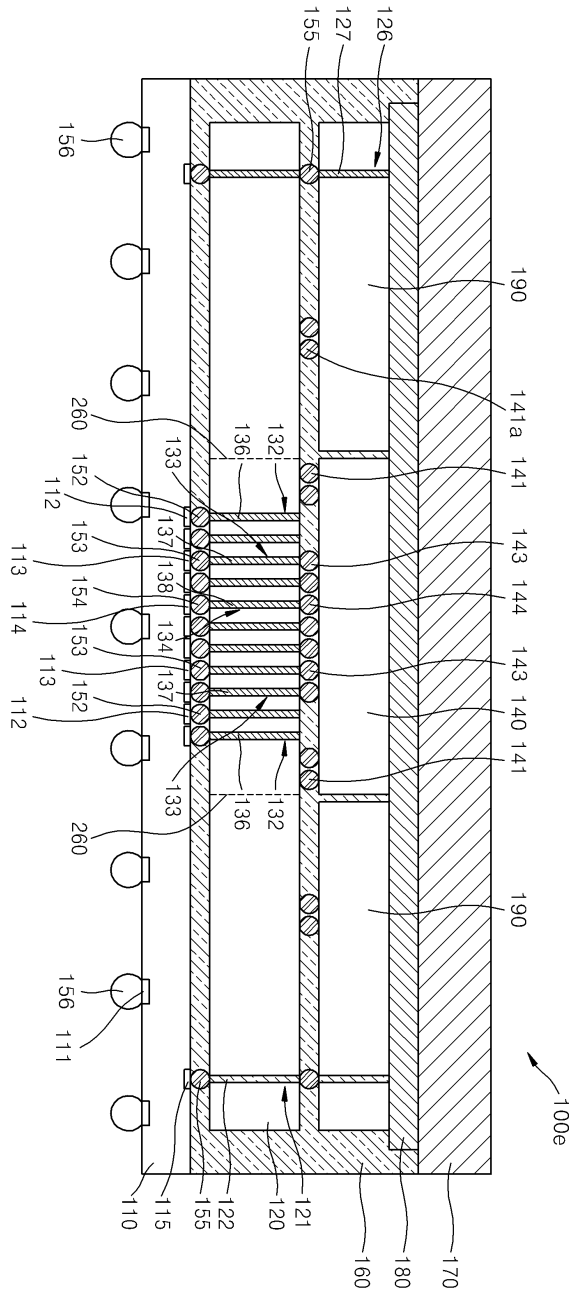
도면5a



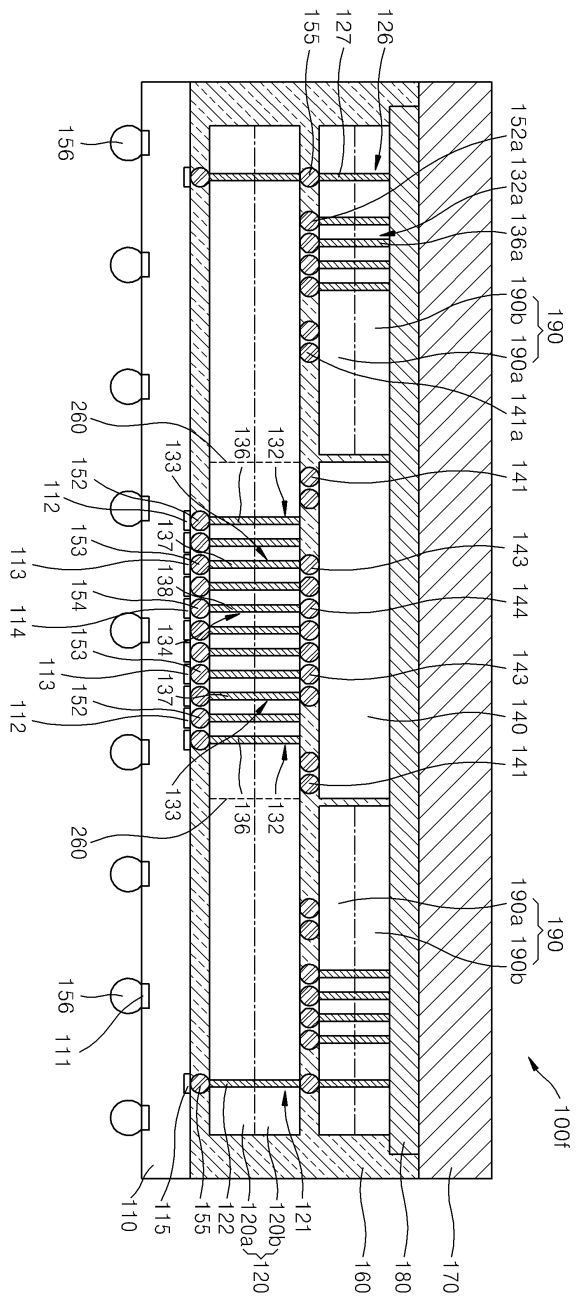
도면5b



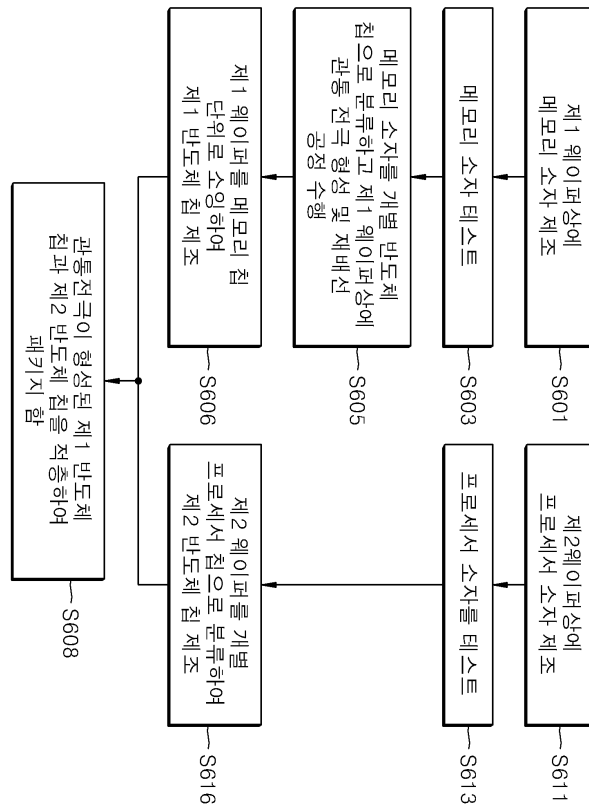
도면6a



도면6b



도면7



도면8

