



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0062669
(43) 공개일자 2015년06월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01)

(21) 출원번호 10-2013-0147559
(22) 출원일자 2013년11월29일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091

(72) 발명자
이재연
광주 북구 금호로86번길 30, 103동 507호 (운암동, 중흥아파트)

(74) 대리인
특허법인신성

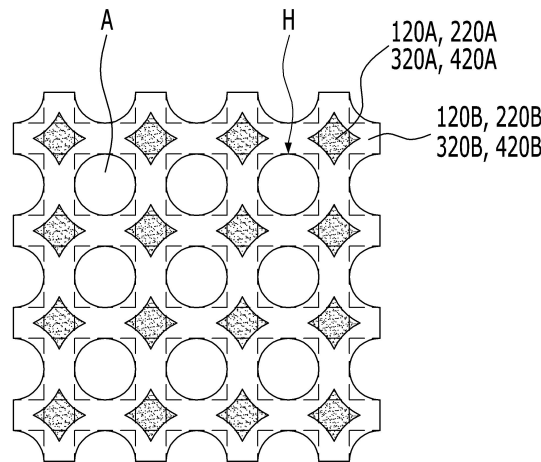
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 전자 장치 및 그 제조 방법

(57) 요약

전자 장치 및 그 제조 방법이 제공된다. 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 기판 상에 배치되고 상기 기판과 수직 방향으로 교대로 적층되는 하나 이상의 제1 플레인 및 하나 이상의 제2 플레인 - 여기서, 상기 제1 플레인 각각은, 상기 기판과 평행한 제1 방향으로 연장하는 복수의 제1 배선을 포함하고, 상기 제2 플레인 각각은, 상기 기판과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선을 포함함. - ; 상기 제1 플레인과 상기 제2 플레인 사이마다 개재되고, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 십 형상을 갖는 복수의 가변 저항 패턴; 및 상기 복수의 가변 저항 패턴 사이에 위치하는 에어(air)를 포함할 수 있다.

대표도 - 도6



명세서

청구범위

청구항 1

반도체 메모리를 포함하는 전자 장치로서,

상기 반도체 메모리는,

기판 상에 배치되고 상기 기판과 수직 방향으로 교대로 적층되는 하나 이상의 제1 플레인 및 하나 이상의 제2 플레인 - 여기서, 상기 제1 플레인 각각은, 상기 기판과 평행한 제1 방향으로 연장하는 복수의 제1 배선을 포함하고, 상기 제2 플레인 각각은, 상기 기판과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선을 포함함. - ;

상기 제1 플레인과 상기 제2 플레인 사이마다 개재되고, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 삼각 형상을 갖는 복수의 가변 저항 패턴; 및

상기 복수의 가변 저항 패턴 사이에 위치하는 에어(air)를 포함하는 전자 장치.

청구항 2

제1 항에 있어서,

상기 에어는,

평면상 상기 제1 배선 및 상기 제2 배선과 중첩하지 않는 영역에서, 상기 제1 및 제2 플레인을 관통하도록 상기 수직 방향으로 연장하는

전자 장치.

청구항 3

제1 항에 있어서,

상기 가변 저항 패턴의 측벽을 둘러싸는 절연 패턴을 더 포함하는

전자 장치.

청구항 4

제3 항에 있어서,

상기 절연 패턴은,

평면상 일체로 연결된 메시(mesh) 형상을 가지면서 상기 에어를 둘러싸는

전자 장치.

청구항 5

제3 항에 있어서,

상기 절연 패턴은,

평면상 상기 복수의 가변 저항 패턴 각각을 둘러싸는 삼각 형상을 갖고,

상기 에어는,
평면상 일체로 연결된 메시 형상을 가지면서 상기 절연 패턴을 둘러싸는
전자 장치.

청구항 6

제1 항에 있어서,
상기 에어는,
평면상 일체로 연결된 메시 형상을 가지면서 상기 가변 저항 패턴을 둘러싸는
전자 장치.

청구항 7

제3 항에 있어서,
상기 가변 저항 패턴은, 산소 공공을 함유하는 산소 부족형 금속 산화물을 포함하고,
상기 절연 패턴은, 상기 산소 부족형 금속 산화물보다 더 많은 산소를 함유하는 산소 리치형 금속 산화물을 포
함하는
전자 장치.

청구항 8

제7 항에 있어서,
상기 산소 리치형 금속 산화물은, 화학 양론비를 만족하는
전자 장치.

청구항 9

제1 항에 있어서,
상기 가변 저항 패턴은, 대각선 방향이 상기 제1 방향 및 상기 제2 방향과 실질적으로 일치하는 사각형 유사 형
상을 갖는
전자 장치.

청구항 10

제2 항에 있어서,
상기 제1 배선 각각의 양 측벽 상에 형성된 제1 스페이서; 및
상기 제2 배선 각각의 양 측벽 상에 형성된 제2 스페이서를 더 포함하고,
상기 에어는, 상기 제1 스페이서 사이 및 상기 제2 스페이서 사이에 위치하는
전자 장치.

청구항 11

제10 항에 있어서,
상기 제1 스페이서 사이에 매립된 제1 절연층; 및
상기 제2 스페이서 사이에 매립된 제2 절연층을 더 포함하고,
상기 에어는, 상기 제1 및 제2 절연층을 관통하는
전자 장치.

청구항 12

제11 항에 있어서,
상기 제1 및 제2 스페이서는, 상기 제1 및 제2 절연층과 상기 가변 저항 패턴에 대해 식각 선택비를 갖는 물질로 형성된
전자 장치.

청구항 13

제2 항에 있어서,
상기 제1 배선 사이에 매립된 제1 절연층; 및
상기 제2 배선 사이에 매립된 제2 절연층을 더 포함하고,
상기 에어는, 상기 제1 및 제2 절연층을 관통하는
전자 장치.

청구항 14

제1 항에 있어서,
상기 전자 장치는, 마이크로프로세서를 더 포함하고,
상기 마이크로프로세서는,
상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부;
상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및
상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고,
상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부인
전자 장치.

청구항 15

제1 항에 있어서,
상기 전자 장치는, 프로세서를 더 포함하고,

상기 프로세서는,

상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부;

상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및

상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고,

상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부인 전자 장치.

청구항 16

제1 항에 있어서,

상기 전자 장치는, 프로세싱 시스템을 더 포함하고,

상기 프로세싱 시스템은,

수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서;

상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치;

상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및

상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고,

상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부인 전자 장치.

청구항 17

제1 항에 있어서,

상기 전자 장치는, 데이터 저장 시스템을 더 포함하고,

상기 데이터 저장 시스템은,

데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치;

외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러;

상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및

상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고,

상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부인 전자 장치.

청구항 18

제1 항에 있어서,

상기 전자 장치는, 메모리 시스템을 더 포함하고,
상기 메모리 시스템은,
데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리;
외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러;
상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및
상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고,
상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부인
전자 장치.

청구항 19

반도체 메모리를 포함하는 전자 장치의 제조 방법으로서,
기판 상에 기판과 평행한 제1 방향으로 연장하는 복수의 제1 배선 및 상기 복수의 제1 배선 사이에 매립되는 제1 절연층을 형성하는 단계;
상기 제1 배선 및 상기 제1 절연층 상에 가변 저항층을 형성하는 단계;
상기 가변 저항층 상에 상기 기판과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선 및 상기 복수의 제2 배선 사이에 매립되는 제2 절연층을 형성하는 단계; 및
상기 제1 배선 및 상기 제2 배선과 중첩하지 않는 영역에서 상기 제1 절연층, 상기 가변 저항층 및 상기 제2 절연층을 식각하여 상기 기판과 수직 방향으로 연장하는 홀을 형성하는 단계를 포함하는
전자 장치의 제조 방법.

청구항 20

제19 항에 있어서,
상기 홀에 의해 드러난 상기 가변 저항층의 측벽 일부를 식각하거나 또는 절연 패턴으로 변형하여, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 십 형상을 갖는 복수의 가변 저항 패턴을 형성하는 단계를 더 포함하는
전자 장치의 제조 방법.

청구항 21

제20 항에 있어서,
상기 가변 저항층은, 산소 공공을 함유하는 산소 부족형 금속 산화물을 포함하고,
상기 절연 패턴으로의 변형은, 상기 가변 저항층의 측벽 일부를 산화하는 방식으로 수행되는
전자 장치의 제조 방법.

청구항 22

제19 항에 있어서,
상기 홀 형성 단계는,
마스크를 이용한 식각 방식으로 수행되거나, 또는, 자기 정렬 식각 방식으로 수행되는

전자 장치의 제조 방법.

청구항 23

제19 항에 있어서,

상기 제1 배선의 양 측벽 상에 제1 스페이서를 형성하는 단계; 및

상기 제2 배선의 양 측벽 상에 제2 스페이서를 형성하는 단계를 포함하고,

상기 홀 형성 단계에서, 상기 제1 및 제2 스페이서는 식각 베리어로 기능하는

전자 장치의 제조 방법.

청구항 24

제19 항에 있어서,

상기 홀 형성 단계에서, 상기 가변 저항층에 대한 등방성 식각으로 상기 가변 저항층은 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 십 형상을 갖는 복수의 가변 저항 패턴으로 분리되는

전자 장치의 제조 방법.

청구항 25

제24 항에 있어서,

상기 홀 형성 단계 후에,

상기 홀에 의해 드러난 상기 복수의 가변 저항 패턴 각각의 측벽 일부를 절연 패턴으로 변형시키는 단계를 더 포함하는

전자 장치의 제조 방법.

청구항 26

제25 항에 있어서,

상기 가변 저항 패턴은, 산소 공공을 함유하는 산소 부족형 금속 산화물을 포함하고,

상기 절연 패턴으로 변형시키는 단계는, 상기 가변 저항 패턴의 측벽 일부를 산화하는 방식으로 수행되는

전자 장치의 제조 방법.

발명의 설명

기술 분야

[0001]

본 특허 문헌은 메모리 회로 또는 장치와, 전자 장치에서의 이들의 응용에 관한 것이다.

배경 기술

[0002]

최근 전자기기의 소형화, 저전력화, 고성능화, 다양화 등에 따라, 컴퓨터, 휴대용 통신기기 등 다양한 전자기기에서 정보를 저장할 수 있는 반도체 장치가 요구되고 있으며, 이에 대한 연구가 진행되고 있다. 이러한 반도체 장치로는 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 특성을 이용하여 데이터를 저장할 수 있는 반도체 장치 예컨대, RRAM(Resistive Random Access Memory), PRAM(Phase-change Random

Access Memory), FRAM(Ferroelectric Random Access Memory), MRAM(Magnetic Random Access Memory), 이-퓨즈(E-fuse) 등이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들이 해결하려는 과제는, 고집적화 및 공정 난이도 감소가 가능하고 데이터 저장 특성을 확보할 수 있는 전자 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0004] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 기판 상에 배치되고 상기 기판과 수직 방향으로 교대로 적층되는 하나 이상의 제1 플레인 및 하나 이상의 제2 플레인 - 여기서, 상기 제1 플레인 각각은, 상기 기판과 평행한 제1 방향으로 연장하는 복수의 제1 배선을 포함하고, 상기 제2 플레인 각각은, 상기 기판과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선을 포함함. - ; 상기 제1 플레인과 상기 제2 플레인 사이마다 개재되고, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 십 형상을 갖는 복수의 가변 저항 패턴; 및 상기 복수의 가변 저항 패턴 사이에 위치하는 에어(air)를 포함할 수 있다.

[0005] 상기 에어는, 평면상 상기 제1 배선 및 상기 제2 배선과 중첩하지 않는 영역에서, 상기 제1 및 제2 플레인을 관통하도록 상기 수직 방향으로 연장할 수 있다.

[0006] 상기 반도체 메모리는, 상기 가변 저항 패턴의 측벽을 둘러싸는 절연 패턴을 더 포함할 수 있다.

[0007] 상기 절연 패턴은, 평면상 일체로 연결된 메시(mesh) 형상을 가지면서 상기 에어를 둘러쌀 수 있다.

[0008] 상기 절연 패턴은, 평면상 상기 복수의 가변 저항 패턴 각각을 둘러싸는 십 형상을 갖고, 상기 에어는, 평면상 일체로 연결된 메시 형상을 가지면서 상기 절연 패턴을 둘러싸는 형상을 가질 수 있다.

[0009] 상기 에어는, 평면상 일체로 연결된 메시 형상을 가지면서 상기 가변 저항 패턴을 둘러싸는 형상을 가질 수 있다.

[0010] 상기 가변 저항 패턴은, 산소 공공을 함유하는 산소 부족형 금속 산화물을 포함하고, 상기 절연 패턴은, 상기 산소 부족형 금속 산화물보다 더 많은 산소를 함유하는 산소 리치형 금속 산화물을 포함할 수 있다.

[0011] 상기 산소 리치형 금속 산화물은, 화학 양론비를 만족할 수 있다.

[0012] 상기 가변 저항 패턴은, 대각선 방향이 상기 제1 방향 및 상기 제2 방향과 실질적으로 일치하는 사각형 유사 형상을 가질 수 있다.

[0013] 상기 반도체 메모리는, 상기 제1 배선 각각의 양 측벽 상에 형성된 제1 스페이서; 및 상기 제2 배선 각각의 양 측벽 상에 형성된 제2 스페이서를 더 포함하고, 상기 에어는, 상기 제1 스페이서 사이 및 상기 제2 스페이서 사이에 위치할 수 있다.

[0014] 상기 반도체 메모리는, 상기 제1 스페이서 사이에 매립된 제1 절연층; 및 상기 제2 스페이서 사이에 매립된 제2 절연층을 더 포함하고, 상기 에어는, 상기 제1 및 제2 절연층을 관통할 수 있다.

[0015] 상기 제1 및 제2 스페이서는, 상기 제1 및 제2 절연층과 상기 가변 저항 패턴에 대해 식각 선택비를 갖는 물질로 형성될 수 있다.

[0016] 상기 반도체 메모리는, 상기 제1 배선 사이에 매립된 제1 절연층; 및 상기 제2 배선 사이에 매립된 제2 절연층을 더 포함하고, 상기 에어는, 상기 제1 및 제2 절연층을 관통할 수 있다.

[0017] 상기 전자 장치는, 마이크로프로세서를 더 포함하고, 상기 마이크로프로세서는, 상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부; 상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및 상기

연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고, 상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부일 수 있다.

[0018] 상기 전자 장치는, 프로세서를 더 포함하고, 상기 프로세서는, 상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부; 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및 상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부일 수 있다.

[0019] 상기 전자 장치는, 프로세싱 시스템을 더 포함하고, 상기 프로세싱 시스템은, 수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서; 상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치; 상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및 상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고, 상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부일 수 있다.

[0020] 상기 전자 장치는, 데이터 저장 시스템을 더 포함하고, 상기 데이터 저장 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치; 외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러; 상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및 상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부일 수 있다.

[0021] 상기 전자 장치는, 메모리 시스템을 더 포함하고, 상기 메모리 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리; 외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러; 상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및 상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부일 수 있다.

[0022] 또한, 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치의 제조 방법은, 반도체 메모리를 포함하는 전자 장치의 제조 방법으로서, 기판 상에 기판과 평행한 제1 방향으로 연장하는 복수의 제1 배선 및 상기 복수의 제1 배선 사이에 매립되는 제1 절연층을 형성하는 단계; 상기 제1 배선 및 상기 제1 절연층 상에 가변 저항층을 형성하는 단계; 상기 가변 저항층 상에 상기 기판과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선 및 상기 복수의 제2 배선 사이에 매립되는 제2 절연층을 형성하는 단계; 상기 제1 배선 및 상기 제2 배선과 중첩하지 않는 영역에서 상기 제1 절연층, 상기 가변 저항층 및 상기 제2 절연층을 식각하여 상기 기판과 수직 방향으로 연장하는 홀을 형성하는 단계; 및 상기 홀에 의해 드러난 상기 가변 저항층의 측벽 일부를 식각하거나 또는 절연 패턴으로 변형하여, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 삼각 형상을 갖는 복수의 가변 저항 패턴을 형성하는 단계를 포함할 수 있다.

[0023] 상기 가변 저항층은, 산소 공공을 함유하는 산소 부족형 금속 산화물을 포함하고, 상기 절연 패턴으로의 변형은, 상기 가변 저항층의 측벽 일부를 산화하는 방식으로 수행될 수 있다.

[0024] 상기 홀 형성 단계는, 마스크를 이용한 식각 방식으로 수행되거나, 또는, 자기 정렬 식각 방식으로 수행될 수 있다.

[0025] 상기 제조 방법은, 상기 제1 배선의 양 측벽 상에 제1 스페이서를 형성하는 단계; 및 상기 제2 배선의 양 측벽 상에 제2 스페이서를 형성하는 단계를 포함하고, 상기 홀 형성 단계에서, 상기 제1 및 제2 스페이서는 식각 베리어로 기능할 수 있다.

[0026] 또한, 상기 과제를 해결하기 위한 본 발명의 다른 일 실시예에 따른 전자 장치의 제조 방법은, 반도체 메모리를 포함하는 전자 장치의 제조 방법으로서, 기판 상에 기판과 평행한 제1 방향으로 연장하는 복수의 제1 배선 및 상기 복수의 제1 배선 사이에 매립되는 제1 절연층을 형성하는 단계; 상기 제1 배선 및 상기 제1 절연층 상에

가변 저항층을 형성하는 단계; 상기 가변 저항층 상에 상기 기판과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선 및 상기 복수의 제2 배선 사이에 매립되는 제2 절연층을 형성하는 단계; 및 상기 제1 배선 및 상기 제2 배선과 중첩하지 않는 영역에서 상기 제1 절연층, 상기 가변 저항층 및 상기 제2 절연층을 식각하여 상기 기판과 수직 방향으로 연장하는 홀을 형성하는 단계를 포함하고, 상기 홀 형성 단계에서, 상기 가변 저항층에 대한 등방성 식각으로 상기 가변 저항층, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 십 형상을 갖는 복수의 가변 저항 패턴으로 분리될 수 있다.

[0027] 상기 제조 방법은, 상기 홀 형성 단계 후에, 상기 홀에 의해 드러난 상기 복수의 가변 저항 패턴 각각의 측면 일부를 절연 패턴으로 변형시키는 단계를 더 포함할 수 있다.

[0028] 상기 가변 저항 패턴은, 산소 공공을 함유하는 산소 부족형 금속 산화물을 포함하고, 상기 절연 패턴으로 변형시키는 단계는, 상기 가변 저항 패턴의 측면 일부를 산화하는 방식으로 수행될 수 있다.

발명의 효과

[0029] 상술한 본 발명의 실시예들에 의한 전자 장치 및 그 제조 방법에 의하면, 고집적화 및 공정 난이도 감소가 가능하고 데이터 저장 특성을 확보할 수 있다.

도면의 간단한 설명

[0030] 도 1 내지 도 6은 본 발명의 일 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하기 위한 도면이다.

도 7a는 본 발명의 다른 일 실시예에 따른 가변 저항층의 평면 형상을 나타낸 도면이다.

도 7b는 본 발명의 또 다른 일 실시예에 따른 가변 저항층의 평면 형상을 나타낸 도면이다.

도 8은 본 발명의 또 다른 일 실시예에 따른 반도체 장치의 중간 공정 단계를 나타낸 사시도이다.

도 9는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.

도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.

도 11은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.

도 12는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.

도 13은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하에서는, 첨부된 도면을 참조하여 다양한 실시예들이 상세히 설명된다.

[0032] 도면은 반드시 일정한 비율로 도시된 것이라 할 수 없으며, 몇몇 예시들에서, 실시예들의 특징을 명확히 보여주기 위하여 도면에 도시된 구조물 중 적어도 일부의 비례는 과장될 수도 있다. 도면 또는 상세한 설명에 둘 이상의 층을 갖는 다층 구조물이 개시된 경우, 도시된 것과 같은 층들의 상대적인 위치 관계나 배열 순서는 특정 실시예를 반영할 뿐이어서 본 발명이 이에 한정되는 것은 아니며, 층들의 상대적인 위치 관계나 배열 순서는 달라질 수도 있다. 또한, 다층 구조물의 도면 또는 상세한 설명은 특정 다층 구조물에 존재하는 모든 층들을 반영하지 않을 수도 있다(예를 들어, 도시된 두 개의 층 사이에 하나 이상의 추가 층이 존재할 수도 있다). 예컨대, 도면 또는 상세한 설명의 다층 구조물에서 제1 층이 제2 층 상에 있거나 또는 기판상에 있는 경우, 제1 층이 제2 층 상에 직접 형성되거나 또는 기판상에 직접 형성될 수 있음을 나타낼 뿐만 아니라, 하나 이상의 다른 층이 제1 층과 제2 층 사이 또는 제1 층과 기판 사이에 존재하는 경우도 나타낼 수 있다.

[0033] 도 1 내지 도 6은 본 발명의 일 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하기 위한 도면이다.

[0034] 먼저, 제조 방법을 설명한다.

[0035] 도 1을 참조하면, 요구되는 소정의 하부 구조물이 형성된 기판(미도시됨) 상에 기판과 평행한 제1 방향으로 연장하고 제1 방향과 교차하는 제2 방향으로 서로 이격하여 배열되는 복수의 제1 배선(110)을 형성할 수 있다. 제

1 배선(110) 사이에는 제1 절연층(115)이 매립될 수 있다.

- [0036] 제1 배선(110) 및 제1 절연층(115)의 형성 공정은, 예컨대, 기판 상에 도전 물질을 증착하고 이를 패터닝하여 제1 배선(110)을 형성한 후, 제1 배선(110)을 덮는 절연 물질을 증착하고 제1 배선(110)이 드러나도록 평탄화 공정 예컨대, CMP(Chemical Mechanical Polishing)를 수행하는 방식에 의할 수 있다. 또는, 제1 배선(110) 및 제1 절연층(115)의 형성 공정은, 예컨대, 기판 상에 절연 물질을 증착하고 이를 패터닝하여 제1 배선(110)이 형성될 공간을 정의하는 제1 절연층(115)을 형성한 후, 이 공간을 매립하는 도전 물질을 증착하고 제1 절연층(115)이 드러나도록 평탄화 공정을 수행하는 방식에 의할 수 있다.
- [0037] 제1 배선(110)은, 금속, 금속 질화물, 불순물이 도핑된 폴리실리콘 또는 이들의 조합 등 다양한 도전 물질로 형성될 수 있고, 제1 절연층(115)은 다양한 절연 물질 예컨대, 산화막으로 형성될 수 있다.
- [0038] 도 2를 참조하면, 제1 배선(110) 및 제1 절연층(115) 상에 가변 저항층(120)을 형성한다.
- [0039] 가변 저항층(120)은 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 가변 저항 물질로 형성될 수 있다. 예컨대, 가변 저항층(120)은 RRAM, PRAM, FRAM, MRAM 등에 이용되는 다양한 물질 예컨대, 전이 금속 산화물, 페로브스카이트(perovskite)계 물질 등과 같은 금속 산화물, 칼코게나이드(chalcogenide)계 물질 등과 같은 상변화 물질, 강유전 물질, 강자성 물질 등을 포함하는 단일막 또는 다중막 구조를 가질 수 있다. 특히, 가변 저항층(120)이 금속 산화물로 형성된 경우, 가변 저항층(120)은 내부에 다량의 산소 공공을 함유하는 산소 부족형 금속 산화물 예컨대, TiO_x (여기서, $x < 2$), TaO_y (여기서, $y < 2.5$)을 포함할 수 있고, 이 산소 공공의 거동에 의한 필라멘트 전류 통로의 생성 또는 소멸에 따라 가변 저항층(120)의 저항이 변화할 수 있다. 산소 부족형 금속 산화물이라 함은 화학 양론비보다 산소 함량이 부족함을 의미할 수 있다.
- [0040] 가변 저항층(120)은 복수의 제1 배선(110) 및 후술하는 복수의 제2 배선의 교차 영역 전부를 커버하도록 평판 형상을 가질 수 있다.
- [0041] 도 3을 참조하면, 가변 저항층(120) 상에 제2 방향으로 연장하고 제1 방향으로 서로 이격하여 배열되는 복수의 제2 배선(130)을 형성할 수 있다. 제2 배선(130) 사이에는 제2 절연층(135)이 매립될 수 있다. 제2 배선(130) 및 제2 절연층(135)의 형성 공정 및 이들을 이루는 물질은, 제1 배선(110) 및 제1 절연층(115)에 관하여 설명한 것을 참조하기로 한다.
- [0042] 이상으로 설명한 공정에 의해, 제1 방향으로 연장하는 복수의 제1 배선(110), 제1 배선(110) 상에서 제1 배선(110)을 가로지르는 복수의 제2 배선(130), 및 제1 배선(110)과 제2 배선(130) 사이에 개재되고 평판 형상을 갖는 가변 저항층(120)을 포함하는 제1 적층 구조물(ST1)이 형성될 수 있다. 제1 적층 구조물(ST1)에서 제1 배선(110) 및 제2 배선(130)은 자신의 사이에 개재된 가변 저항층(120)에 전압 또는 전류를 공급하는 역할을 할 수 있고, 그에 따라 제1 배선(110) 및 제2 배선(130)의 교차 영역에서 가변 저항층(120)의 저항이 변화함으로써 데이터가 저장될 수 있다. 즉, 제1 배선(110) 및 제2 배선(130)의 교차 영역마다 메모리 셀이 형성될 수 있다.
- [0043] 제1 적층 구조물(ST1)과 같은 적층 구조물은 기판 상에 수직 방향으로 둘 이상 적층될 수 있고, 특히 수직 방향에서 서로 인접한 상부 적층 구조물과 하부 적층 구조물은 배선을 공유할 수 있다. 이를 위하여, 도 1의 제1 배선(110) 및 제1 절연층(115) 형성 공정, 도 2의 가변 저항층(120) 형성 공정, 및 도 3의 제2 배선(130) 및 제2 절연층(135) 형성 공정은, 반복하여 수행될 수 있다. 특히, 도 2의 공정을 사이에 두고 도 1의 공정과 도 3의 공정은 번갈아 수행될 수 있다. 그에 따라, 예컨대, 도 4a 및 도 4b와 같은 구조물이 제조될 수 있다.
- [0044] 도 4a 및 도 4b를 참조하면, 도 3의 공정 결과물 상에 가변 저항층(220), 제1 배선(210) 및 제1 절연층(215), 가변 저항층(320), 제2 배선(330) 및 제2 절연층(335), 가변 저항층(420), 제1 배선(410) 및 제1 절연층(415)을 순차적으로 형성할 수 있다. 설명의 편의상, 수직 방향에서 동일한 레벨에 위치하는 배선 및 절연층의 단위를 플레인(plane)이라고 한다면, 제1 배선 및 제1 절연층을 포함하는 제1 플레인과 제2 배선 및 제2 절연층을 포함하는 제2 플레인은 수직 방향에서 가변 저항층을 사이에 두고 기판 상에 교대로 적층될 수 있다.
- [0045] 제2 적층 구조물(ST2)은 제1 적층 구조물(ST1)과 제2 배선(130)을 공유하면서, 제2 배선(130) 상에서 제1 방향으로 연장하는 제1 배선(210), 및 제2 배선(130)과 제1 배선(210) 사이에 개재되고 평판 형상을 갖는 가변 저항층(220)을 포함할 수 있다. 유사하게, 제3 적층 구조물(ST3)은 제1 배선(210), 제1 배선(210) 상의 제2 배선(330), 및 이들 사이의 가변 저항층(320)을 포함할 수 있고, 제4 적층 구조물(ST4)은 제2 배선(330), 제2 배선(330) 상의 제1 배선(410), 및 이들 사이의 가변 저항층(420)을 포함할 수 있다. 본 실시예에서는, 제4 적층 구조물(ST4)까지만 도시하였으나, 기판상에 5 개 이상의 적층 구조물이 형성될 수 있음은 물론이다. 여기서, 제1

배선(110, 210, 410)은 평면상 서로 중첩할 수 있고, 제2 배선(130, 330)은 평면상 서로 중첩할 수 있다.

[0046] 제1 내지 제4 적층 구조물(ST1, ST2, ST3, ST4) 각각에 포함되는 가변 저항층(120, 220, 320, 420)은 전부 평판 형상을 가질 수 있다. 그런데, 이러한 경우, 제1 내지 제4 적층 구조물(ST1, ST2, ST3, ST4) 각각에서, 예컨대, 제1 적층 구조물(ST1)에서 복수의 메모리 셀은 제1 배선(110) 또는 제2 배선(130)을 통하여 서로 연결되기 때문에, 제1 적층 구조물(ST1)에서 메모리 셀 간 디스터번스(disturbance)가 발생할 수 있다. 이러한 메모리 셀 간 디스터번스를 방지하기 위해서는 제1 배선(110) 및 제2 배선(130)의 교차 영역 각각에서 가변 저항층(120)이 섬(island) 형상을 가짐으로써, 제1 배선(110) 및 제2 배선(130)의 교차 영역에 위치하는 가변 저항층(120)이 서로 분리될 수 있어야 한다. 이를 위하여, 후속 도 5a 내지 도 6의 공정을 수행할 수 있다.

[0047] 도 5a 및 도 5c를 참조하면, 제1 배선(110, 210, 410) 및 제2 배선(130, 330)과 중첩하지 않는 영역의 제1 절연층(115, 215, 415), 제2 절연층(135, 335), 및 가변 저항층(120, 220, 320, 420)을 식각함으로써, 제1 배선(110, 210, 410) 및 제2 배선(130, 330)과 중첩하지 않는 영역에서 제1 절연층(115, 215, 415), 제2 절연층(135, 335), 및 가변 저항층(120, 220, 320, 420)을 관통하여 기판과 수직 방향으로 연장하는 홀(H)을 형성할 수 있다.

[0048] 홀(H)의 형성은, 홀(H)이 형성될 영역을 노출시키는 마스크를 형성하고 이 마스크를 식각 베리어로 식각을 수행하는 마스크 및 식각 공정으로 수행될 수 있다. 또는, 홀(H)의 형성은, 별도의 마스크를 이용하지 않고 제1 배선(110, 210, 410) 및 제2 배선(130, 330)을 식각 베리어로 식각을 수행하는 자기 정렬 식각(self aligned etching) 공정으로 수행될 수 있다. 홀(H) 형성을 위한 식각 공정은, 등방성 식각 또는 비등방성 식각으로 수행될 수 있다. 홀(H)이 형성된 후의 가변 저항층(120, 220, 320, 420)의 평면 형상은 도 5b에 추가로 도시하였다.

[0049] 본 실시예에서, 홀(H)은 비등방성 식각 방식으로 형성되거나, 또는 상대적으로 등방성 식각 특성이 약한 방식으로 형성될 수 있다. 이러한 경우, 도 5b에 도시된 바와 같이, 가변 저항층(120, 220, 320, 420)은 홀(H) 형성에도 불구하고 여전히 제1 배선(110, 210, 410) 및 제2 배선(130, 330)과 중첩할 수 있다. 다시 말하면, 가변 저항층(120, 220, 320, 420)이 제1 배선(110, 210, 410) 및 제2 배선(130, 330)의 교차 영역 별로 분리되지 않는다. 따라서, 도 6의 공정을 추가로 수행할 수 있다. 도 6은 도 5b와 마찬가지로 가변 저항층(120, 220, 320, 420)과 동일한 레벨에 대한 평면 형상을 나타내고 있다.

[0050] 도 6을 참조하면, 홀(H) 형성에 의해 드러나는 가변 저항층(120, 220, 320, 420)에 대해 소정 처리를 수행함으로써 가변 저항층(120, 220, 320, 420)의 측면 일부를 절연 패턴(120B, 220B, 320B, 420B)으로 변형시킬 수 있다. 절연 패턴(120B, 220B, 320B, 420B)으로 변형되지 않고 잔류하는 가변 저항층(120, 220, 320, 420)을 이하, 가변 저항 패턴(120A, 220A, 320A, 420A)라 하기로 한다.

[0051] 여기서, 가변 저항층(120, 220, 320, 420)이 예컨대, 산소 부족형 금속 산화물을 포함하는 경우, 도 5a 내지 도 5c의 공정 결과물에 대해 산화 공정을 수행함으로써, 홀(H)에 의해 노출된 가변 저항층(120, 220, 320, 420)의 측면 일부를 산소 리치형 금속 산화물 예컨대, TiO₂, Ta₂O₅ 등으로 변형시킬 수 있다. 다시 말하면, 가변 저항 패턴(120A, 220A, 320A, 420A)은 산소 부족형 금속 산화물을 포함할 수 있고, 절연 패턴(120B, 220B, 320B, 420B)은 산소 리치형 금속 산화물을 포함할 수 있다. 이때, 산소 리치형 금속 산화물은 화학 양론비를 만족할 수 있으며, 산소 공공이 부족하여 산소 공공의 거동에 의한 저항 변화 특성이 나타나지 않으므로, 실질적으로 절연 물질이 될 수 있다.

[0052] 이와 같은 절연 패턴(120B, 220B, 320B, 420B) 형성을 위한 처리 공정 예컨대, 산화 공정은, 가변 저항 패턴(120A, 220A, 320A, 420A)이 제1 배선(110, 210, 410)과 제2 배선(130, 330)의 교차 영역에서 섬 형상을 갖도록, 인접한 가변 저항 패턴(120A, 220A, 320A, 420A)이 서로 분리될 때까지 수행될 수 있다.

[0053] 본 공정 결과, 제1 배선(110, 210, 410)과 제2 배선(130, 330)의 교차 영역마다 섬 형상을 갖는 가변 저항 패턴(120A, 220A, 320A, 420A)이 형성될 수 있다. 가변 저항 패턴(120A, 220A, 320A, 420A) 각각은 대각선 방향이 제1 방향 및 제2 방향과 실질적으로 일치하는 사각형 유사 형상을 가질 수 있다. 절연 패턴(120B, 220B, 320B, 420B) 각각은, 수직 방향에서 동일한 레벨에 위치하는 가변 저항 패턴(120A, 220A, 320A, 420A) 및 홀(H)을 둘러싸면서, 제1 배선(110, 210, 410) 및 제2 배선(130, 330)을 따라 일체로 연결된 메시(mesh) 유사 형상을 가질 수 있다.

[0054] 한편, 본 공정 결과, 홀(H) 내에는 다른 절연 물질 등이 형성되지 않으므로, 홀(H)은 에어(A)로 채워질 수 있다. 따라서, 수직 방향에서 동일한 레벨에 위치하는 가변 저항 패턴 예컨대, 제1 적층 구조물(ST1)에 포함되는 복수의 가변 저항 패턴(120A)은 이들 사이에 존재하는 절연 패턴(120B) 및 에어(A)에 의해 서로 절연될 수

있다. 나아가, 이 에어(A)는 수직 방향으로 연장하므로, 동일한 레벨에 위치하는 복수의 배선 사이 예컨대, 복수의 제1 배선(110) 또는 복수의 제2 배선(130) 사이 등에도 존재할 수 있다.

- [0055] 이상으로 설명한 공정에 의해 도 4a 및 도 4b의 구조물에서 가변 저항층(120, 220, 320, 420), 제1 절연층(115, 215, 415) 및 제2 절연층(135, 335)의 형상이 5a 내지 도 6에서 설명한 것과 같이 변형된 반도체 장치가 획득될 수 있다.
- [0056] 구체적으로, 본 발명의 일 실시예에 따른 반도체 장치는, 기판 상에 수직 방향으로 적층된 하나 이상의 적층 구조물 예컨대, 제1 내지 제4 적층 구조물(ST1, ST2, ST3, ST4)을 포함할 수 있다. 제1 내지 제4 적층 구조물(ST1, ST2, ST3, ST4)은, 복수의 제1 배선(110, 210, 410), 수직 방향에서 복수의 제1 배선(110, 210, 410)과 다른 레벨에 위치하는 복수의 제2 배선(130, 330), 및 복수의 제1 배선(110, 210, 410)과 복수의 제2 배선(130, 330) 사이에서 이들의 교차 영역에 위치하고 평면상 섬 형상을 갖는 복수의 가변 저항 패턴(120A, 220A, 320A, 420A)을 포함할 수 있다. 이때, 수직 방향에서 서로 인접한 두 개의 적층 구조물 예컨대, 제1 및 제2 적층 구조물(ST1, ST2)은 동일한 레벨의 배선 예컨대, 제2 배선(130)을 공유할 수 있다. 다시 말하면, 하부에 위치하는 제1 적층 구조물(ST1)의 상부 배선과 상부에 위치하는 제2 적층 구조물(ST2)의 하부 배선이 제2 배선(130)으로 공통될 수 있다.
- [0057] 여기서, 전술한 바와 같이 가변 저항 패턴(120A, 220A, 320A, 420A) 각각과 수직 방향에서 동일한 레벨에는 가변 저항 패턴(120A, 220A, 320A, 420A) 각각을 둘러싸는 절연 패턴(120B, 220B, 320B, 420B) 및 에어(A)가 존재할 수 있다. 이 에어(A)는 수직 방향으로 연장하는 기둥 형상을 가질 수 있으며, 그에 따라 제1 및 제2 절연층(115, 135, 215, 335, 415) 내에도 존재할 수 있다.
- [0058] 이상으로 설명한 반도체 장치 및 그 제조 방법에 의하면 아래와 같은 장점이 존재할 수 있다.
- [0059] 우선, 종래 기술과 같이 제1 내지 제4 적층 구조물(ST1, ST2, ST3, ST4) 각각을 형성할 때마다 가변 저항층(120, 220, 320, 420) 각각을 섬 형상으로 패터닝하는 것이 아니라, 평판 형상으로 가변 저항층(120, 220, 320, 420) 전부를 형성한 후에 일괄적으로 홀(H) 형성을 위한 식각을 하기 때문에, 공정이 단순하고 공정 비용이 감소할 수 있다.
- [0060] 또한, 종래 기술과 같이 가변 저항층(120, 220, 320, 420) 각각을 섬 형상으로 패터닝하는 경우, 패턴이 미세화될수록 배선과의 정렬 문제가 발생할 수 있으나, 본 실시예에 의하는 경우 배선과 중첩하지 않는 영역이 패터닝되므로 이러한 문제가 방지될 수 있다.
- [0061] 또한, 홀(H) 형성에 의해 노출된 가변 저항층(120, 220, 320, 420)의 측벽을 절연 패턴(120B, 220B, 320B, 420B)으로 변화시킴으로써, 상하부 배선의 교차 영역에서 서로 분리된 섬 형상의 가변 저항 패턴(120A, 220A, 320A, 420A)을 형성할 수 있으므로, 제1 내지 제4 적층 구조물(ST1, ST2, ST3, ST4) 각각에서 메모리 셀간 디스터번스가 방지될 수 있다. 게다가, 이 공정에서, 가변 저항층(120, 220, 320, 420) 측벽의 식각 손상 부분이 절연 패턴(120B, 220B, 320B, 420B)으로 변화되어 각 가변 저항 패턴(120A, 220A, 320A, 420A)에 식각 손상 부분이 존재하지 않으므로, 각 메모리 셀의 특성을 확보할 수도 있다. 결과적으로 반도체 장치의 데이터 저장 특성이 향상될 수 있다.
- [0062] 또한, 가변 저항 패턴(120A, 220A, 320A, 420A) 사이에는 절연 패턴(120B, 220B, 320B, 420B) 및 에어(A)가 존재할 수 있다. 이러한 에어(A)의 존재로 가변 저항 패턴(120A, 220A, 320A, 420A) 사이의 유전율이 크게 증가할 수 있다.
- [0063] 나아가, 위에서 설명한 바와 같이 공정상 문제 또는 데이터 저장 특성의 저하 없이 적층 구조물의 개수를 충분히 증가시킬 수 있으므로, 반도체 장치의 고집적화가 가능하다.
- [0064] 한편, 전술한 실시예의 공정 및 장치는 다양하게 변형될 수 있다.
- [0065] 예를 들어, 도 4a 및 도 4b의 공정까지 수행한 후, 도 5a 내지 도 5c에서 설명된 홀(H) 형성 공정을 수행할 때, 도 5a 내지 도 5c와 달리 등방성 식각 방식으로 홀(H) 형성 공정을 수행할 수 있다. 이러한 경우의 가변 저항층(120, 220, 320, 420)의 평면 형상은 도 7a에 도시하였다.
- [0066] 도 7a는 본 발명의 다른 일 실시예에 따른 가변 저항층의 평면 형상을 나타낸 도면이다.
- [0067] 도 7a를 참조하면, 등방성 식각 특성이 강한 방식으로 홀(H)을 형성하는 경우, 가변 저항층(120, 220, 320,

420) 내에는 홀(H)을 정의하는 마스크의 개구부(접선 원 참조)보다 확장된 홀(P 참조)이 형성될 수 있다. 홀의 확장 정도에 따라서, 홀(H) 형성 공정에서 가변 저항층(120, 220, 320, 420)이 섬 형상의 가변 저항 패턴(120C, 220C, 320C, 420C)으로 바로 분리될 수도 있다.

- [0068] 본 실시예에 의하면, 공정이 더 단순할 수 있고, 가변 저항 패턴(120C, 220C, 320C, 420C) 사이에는 에어(A)만 존재하여 가변 저항 패턴(120C, 220C, 320C, 420C) 사이의 유전율이 더욱 증가할 수 있다.
- [0069] 한편, 도 7a에서 형성된 가변 저항 패턴(120C, 220C, 320C, 420C)의 측벽에 식각 손상이 발생하는 경우 이를 방지하기 위하여, 도 6에서 설명한 것과 유사한 처리 공정, 예컨대, 산화 공정을 더 수행할 수도 있다. 이러한 경우의 평면 형상은 도 7b에 도시하였다.
- [0070] 도 7b는 본 발명의 또 다른 일 실시예에 따른 가변 저항층의 평면 형상을 나타낸 도면이다.
- [0071] 도 7b를 참조하면, 가변 저항 패턴(120C, 220C, 320C, 420C) 각각의 측벽 일부는 절연 패턴(120E, 220E, 320E, 420E)으로 변형될 수 있다. 절연 패턴(120E, 220E, 320E, 420E)으로 변형되지 않고 잔류하는 가변 저항 패턴(120C, 220C, 320C, 420C) 각각을 도면부호 120D, 220D, 320D, 420D로 표기하였다.
- [0072] 여기서, 절연 패턴(120E, 220E, 320E, 420E) 각각은 가변 저항 패턴(120D, 220D, 320D, 420D) 각각을 둘러싸면서 섬 형상을 가질 수 있다. 평면상, 에어(A)는 이러한 절연 패턴(120E, 220E, 320E, 420E)을 둘러싸면서 일체로 연결될 수 있다.
- [0073] 또는, 예를 들어, 도 5a 내지 도 5c의 공정까지 수행한 후에, 등방성 식각을 추가로 수행함으로써 도 7a와 같은 가변 저항 패턴(120C, 220C, 320C, 420C)을 획득할 수도 있다. 이후, 가변 저항 패턴(120C, 220C, 320C, 420C)을 추가 처리하는 경우에는, 도 7b와 같이 절연 패턴(120E, 220E, 320E, 420E)에 의해 둘러싸이면서 폭이 감소된 가변 저항 패턴(120D, 220D, 320D, 420D)을 획득할 수도 있다.
- [0074] 위와 같은 도 7a의 공정에서 제1 및 제2 절연층(115, 135, 215, 335, 415)은 물질의 종류에 따라, 가변 저항층(120, 220, 320, 420)에 대한 등방성 식각시 가변 저항층(120, 220, 320, 420)과 동일한 정도로 식각되거나, 일부만 식각되거나 또는 거의 식각되지 않을 수도 있다.
- [0075] 한편, 전술한 실시예들에서 홀(H)의 형성은, 마스크를 이용한 식각으로 수행되거나 또는 자기 정렬 식각 방식을 이용할 수 있음을 설명하였다. 이때, 기 형성된 제1 배선(110, 210, 410) 및 제2 배선(130, 330)이 손상될 수도 있으므로, 제1 배선(110, 210, 410) 및 제2 배선(130, 330) 각각의 측벽에 배선 보호를 위한 스페이서를 추가 형성할 수 있다. 이에 대해서는, 도 8에 나타내었다.
- [0076] 도 8은 본 발명의 또 다른 일 실시예에 따른 반도체 장치의 중간 공정 단계를 나타낸 사시도로서, 도 4a 및 도 4b와 대응하는 단계의 사시도이다. 도 4a 및 도 4b와의 차이점을 중심으로 설명한다.
- [0077] 도 8을 참조하면, 제1 배선(110, 210, 410) 각각의 측벽에 제1 스페이서(112, 212, 412)가 형성될 수 있다. 제1 스페이서(112, 212, 412)는 제1 배선(110, 210, 410)과 마찬가지로 제1 방향으로 연장할 수 있다.
- [0078] 유사하게, 제2 배선(130, 330) 각각의 측벽에 제2 스페이서(132, 332)가 형성될 수 있다. 제2 스페이서(132, 332)는 제2 방향으로 연장할 수 있다.
- [0079] 제1 및 제2 스페이서(112, 132, 212, 332, 412)는 절연막으로 형성될 수 있으며, 특히, 제1 절연층(115, 215, 415), 제2 절연층(135, 335), 및 가변 저항층(120, 220, 320, 420)과 식각 선택비를 갖는 막 예컨대, 질화막으로 형성될 수 있다.
- [0080] 본 실시예에 의하는 경우, 제1 배선(110, 210, 410) 및 제1 스페이서(112, 212, 412)와 중첩하지 않으면서 제2 배선(130, 330) 및 제2 스페이서(132, 332)와 중첩하지 않는 영역에 전술한 홀(H)이 형성될 수 있다.
- [0081] 이와 같이 제1 및 제2 스페이서(112, 132, 212, 332, 412)를 이용하는 경우, 홀(H) 형성을 위한 마스크가 오정렬되거나 또는 자기 정렬 식각 공정이 수행되는 경우, 제1 및 제2 스페이서(112, 132, 212, 332, 412)가 식각 베리어로 기능하여 홀(H)의 위치가 정확히 제어될 수 있고 제1 및 제2 배선(110, 130, 210, 330, 410)의 손상이 방지될 수 있다.
- [0082] 전술한 실시예들의 메모리 회로 또는 반도체 장치는 다양한 장치 또는 시스템에 이용될 수 있다. 도 9 내지 도

13은 전술한 실시예들의 메모리 회로 또는 반도체 장치를 구현할 수 있는 장치 또는 시스템의 몇몇 예시들을 나타낸다.

- [0083] 도 9는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
- [0084] 도 9를 참조하면, 마이크로프로세서(1000)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행할 수 있으며, 기억부(1010), 연산부(1020), 제어부(1030) 등을 포함할 수 있다. 마이크로프로세서(1000)는 중앙 처리 장치(Central Processing Unit; CPU), 그래픽 처리 장치(Graphic Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 어플리케이션 프로세서(Application Processor; AP) 등 각종 데이터 처리 장치 일 수 있다.
- [0085] 기억부(1010)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 마이크로프로세서(1000) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1010)는 연산부(1020)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다.
- [0086] 기억부(1010)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예컨대, 기억부(1010)는 기판 상에 배치되고 상기 기판과 수직 방향으로 교대로 적층되는 하나 이상의 제1 플레인 및 하나 이상의 제2 플레인 - 여기서, 상기 제1 플레인 각각은, 상기 기판과 평행한 제1 방향으로 연장하는 복수의 제1 배선을 포함하고, 상기 제2 플레인 각각은, 상기 기판과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선을 포함함. - ; 상기 제1 플레인과 상기 제2 플레인 사이마다 개재되고, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 십 형상을 갖는 복수의 가변 저항 패턴; 및 상기 복수의 가변 저항 패턴 사이에 위치하는 에어(air)를 포함할 수 있다. 이를 통해, 기억부(1010)의 집적도가 증가하고 데이터 저장 특성이 향상될 수 있다. 결과적으로, 마이크로프로세서(1000)의 사이즈 감소 및 동작 특성이 향상될 수 있다.
- [0087] 연산부(1020)는 제어부(1030)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산 또는 논리 연산을 수행할 수 있다. 연산부(1020)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다.
- [0088] 제어부(1030)는 기억부(1010), 연산부(1020), 마이크로프로세서(1000)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 마이크로프로세서(1000)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0089] 본 실시예에 따른 마이크로프로세서(1000)는 기억부(1010) 이외에 외부 장치로부터 입력되거나 외부 장치로 출력할 데이터를 임시 저장할 수 있는 캐시 메모리부(1040)를 추가로 포함할 수 있다. 이 경우 캐시 메모리부(1040)는 버스 인터페이스(1050)를 통해 기억부(1010), 연산부(1020) 및 제어부(1030)와 데이터를 주고 받을 수 있다.
- [0090] 도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
- [0091] 도 10을 참조하면, 프로세서(1100)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행하는 마이크로프로세서의 기능 이외에 다양한 기능을 포함하여 성능 향상 및 다기능을 구현할 수 있다. 프로세서(1100)는 마이크로프로세서의 역할을 하는 코어부(1110), 데이터를 임시 저장하는 역할을 하는 캐시 메모리부(1120) 및 내부와 외부 장치 사이의 데이터 전달을 위한 버스 인터페이스(1130)를 포함할 수 있다. 프로세서(1100)는 멀티 코어 프로세서(Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP) 등과 같은 각종 시스템 온 칩(System on Chip; SoC)을 포함할 수 있다.
- [0092] 본 실시예의 코어부(1110)는 외부 장치로부터 입력된 데이터를 산술 논리 연산하는 부분으로, 기억부(1111), 연산부(1112) 및 제어부(1113)를 포함할 수 있다.
- [0093] 기억부(1111)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 프로세서(1100) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있

으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1111)는 연산부(1112)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다. 연산부(1112)는 프로세서(1100)의 내부에서 연산을 수행하는 부분으로, 제어부(1113)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산, 논리 연산 등을 수행할 수 있다. 연산부(1112)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다. 제어부(1113)는 기억부(1111), 연산부(1112), 프로세서(1100)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 프로세서(1100)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.

[0094]

캐시 메모리부(1120)는 고속으로 동작하는 코어부(1110)와 저속으로 동작하는 외부 장치 사이의 데이터 처리 속도 차이를 보완하기 위해 임시로 데이터를 저장하는 부분으로, 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123)를 포함할 수 있다. 일반적으로 캐시 메모리부(1120)는 1차, 2차 저장부(1121, 1122)를 포함하며 고용량이 필요할 경우 3차 저장부(1123)를 포함할 수 있으며, 필요시 더 많은 저장부를 포함할 수 있다. 즉 캐시 메모리부(1120)가 포함하는 저장부의 개수는 설계에 따라 달라질 수 있다. 여기서, 1차, 2차, 3차 저장부(1121, 1122, 1123)의 데이터 저장 및 판별하는 처리 속도는 같을 수도 있고 다를 수도 있다. 각 저장부의 처리 속도가 다른 경우, 1차 저장부의 속도가 제일 빠를 수 있다. 캐시 메모리부(1120)의 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123) 중 하나 이상의 저장부는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 캐시 메모리부(1120)는 기판 상에 배치되고 상기 기판과 수직 방향으로 교대로 적층되는 하나 이상의 제1 플레인 및 하나 이상의 제2 플레인 - 여기서, 상기 제1 플레인 각각은, 상기 기판과 평행한 제1 방향으로 연장하는 복수의 제1 배선을 포함하고, 상기 제2 플레인 각각은, 상기 기판과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선을 포함함. - ; 상기 제1 플레인과 상기 제2 플레인 사이마다 개재되고, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 십 형상을 갖는 복수의 가변 저항 패턴; 및 상기 복수의 가변 저항 패턴 사이에 위치하는 에어(air)를 포함할 수 있다. 이를 통해 캐시 메모리부(1120)의 집적도가 증가하고 데이터 저장 특성이 향상될 수 있다. 결과적으로, 프로세서(1100)의 사이즈 감소 및 동작 특성이 향상될 수 있다.

[0095]

도 10에는 1차, 2차, 3차 저장부(1121, 1122, 1123)가 모두 캐시 메모리부(1120)의 내부에 구성된 경우를 도시하였으나, 캐시 메모리부(1120)의 1차, 2차, 3차 저장부(1121, 1122, 1123)는 모두 코어부(1110)의 외부에 구성되어 코어부(1110)와 외부 장치간의 처리 속도 차이를 보완할 수 있다. 또는, 캐시 메모리부(1120)의 1차 저장부(1121)는 코어부(1110)의 내부에 위치할 수 있고, 2차 저장부(1122) 및 3차 저장부(1123)는 코어부(1110)의 외부에 구성되어 처리 속도 차이의 보완 기능이 보다 강화될 수 있다. 또는, 1차, 2차 저장부(1121, 1122)는 코어부(1110)의 내부에 위치할 수 있고, 3차 저장부(1123)는 코어부(1110)의 외부에 위치할 수 있다.

[0096]

버스 인터페이스(1430)는 코어부(1110), 캐시 메모리부(1120) 및 외부 장치를 연결하여 데이터를 효율적으로 전송할 수 있게 해주는 부분이다.

[0097]

본 실시예에 따른 프로세서(1100)는 다수의 코어부(1110)를 포함할 수 있으며 다수의 코어부(1110)가 캐시 메모리부(1120)를 공유할 수 있다. 다수의 코어부(1110)와 캐시 메모리부(1120)는 직접 연결되거나, 버스 인터페이스(1430)를 통해 연결될 수 있다. 다수의 코어부(1110)는 모두 상술한 코어부의 구성과 동일하게 구성될 수 있다. 프로세서(1100)가 다수의 코어부(1110)를 포함할 경우, 캐시 메모리부(1120)의 1차 저장부(1121)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고 2차 저장부(1122)와 3차 저장부(1123)는 다수의 코어부(1110)의 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다. 여기서, 1차 저장부(1121)의 처리 속도가 2차, 3차 저장부(1122, 1123)의 처리 속도보다 빠를 수 있다. 다른 실시예에서, 1차 저장부(1121)와 2차 저장부(1122)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고, 3차 저장부(1123)는 다수의 코어부(1110) 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다.

[0098]

본 실시예에 따른 프로세서(1100)는 데이터를 저장하는 임베디드(Embedded) 메모리부(1140), 외부 장치와 유선 또는 무선으로 데이터를 송수신할 수 있는 통신모듈부(1150), 외부 기억 장치를 구동하는 메모리 컨트롤부(1160), 외부 인터페이스 장치에 프로세서(1100)에서 처리된 데이터나 외부 입력장치에서 입력된 데이터를 가공하고 출력하는 미디어처리부(1170) 등을 추가로 포함할 수 있으며, 이 이외에도 다수의 모듈과 장치를 포함할 수 있다. 이 경우 추가된 다수의 모듈들은 버스 인터페이스(1130)를 통해 코어부(1110), 캐시 메모리부(1120) 및 상호간 데이터를 주고 받을 수 있다.

[0099]

여기서 임베디드 메모리부(1140)는 휘발성 메모리뿐만 아니라 비휘발성 메모리를 포함할 수 있다. 휘발성 메모리는 DRAM(Dynamic Random Access Memory), Mobile DRAM, SRAM(Static Random Access Memory), 및 이와 유사

한 기능을 하는 메모리 등을 포함할 수 있으며, 비휘발성 메모리는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory), 및 이와 유사한 기능을 수행하는 메모리 등을 포함할 수 있다.

[0100] 통신모듈부(1150)는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있다. 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency Identification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0101] 메모리 컨트롤부(1160)는 프로세서(1100)와 서로 다른 통신 규격에 따라 동작하는 외부 저장 장치 사이에 전송되는 데이터를 처리하고 관리하기 위한 것으로 각종 메모리 컨트롤러, 예를 들어, IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), RAID(Redundant Array of Independent Disks), SSD(Solid State Disk), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등을 제어하는 컨트롤러를 포함할 수 있다.

[0102] 미디어처리부(1170)는 프로세서(1100)에서 처리된 데이터나 외부 입력장치로부터 영상, 음성 및 기타 형태로 입력된 데이터를 가공하고, 이 데이터를 외부 인터페이스 장치로 출력할 수 있다. 미디어처리부(1170)는 그래픽 처리 장치(Graphics Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 고선명 오디오(High Definition Audio; HD Audio), 고선명 멀티미디어 인터페이스(High Definition Multimedia Interface; HDMI) 컨트롤러 등을 포함할 수 있다.

[0103] 도 11은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.

[0104] 도 11을 참조하면, 시스템(1200)은 데이터를 처리하는 장치로, 데이터에 대하여 일련의 조작을 행하기 위해 입력, 처리, 출력, 통신, 저장 등을 수행할 수 있다. 시스템(1200)은 프로세서(1210), 주기억장치(1220), 보조기억장치(1230), 인터페이스 장치(1240) 등을 포함할 수 있다. 본 실시예의 시스템(1200)은 컴퓨터(Computer), 서버(Server), PDA(Personal Digital Assistant), 휴대용 컴퓨터(Portable Computer), 웹 태블릿(Web Tablet), 무선 폰(Wireless Phone), 모바일 폰(Mobile Phone), 스마트 폰(Smart Phone), 디지털 뮤직 플레이어(Digital Music Player), PMP(Portable Multimedia Player), 카메라(Camera), 위성항법장치(Global Positioning System; GPS), 비디오 카메라(Video Camera), 음성 녹음기(Voice Recorder), 텔레매틱스(Telematics), AV시스템(Audio Visual System), 스마트 텔레비전(Smart Television) 등 프로세스를 사용하여 동작하는 각종 전자 시스템일 수 있다.

[0105] 프로세서(1210)는 입력된 명령어의 해석과 시스템(1200)에 저장된 자료의 연산, 비교 등의 처리를 제어할 수 있고, 마이크로프로세서(Micro Processor Unit; MPU), 중앙 처리 장치(Central Processing Unit; CPU), 싱글/멀티 코어 프로세서(Single/Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP), 디지털 신호 처리 장치(Digital Signal Processor; DSP) 등을 포함할 수 있다.

- [0106] 주기억장치(1220)는 프로그램이 실행될 때 보조기억장치(1230)로부터 프로그램 코드나 자료를 이동시켜 저장, 실행시킬 수 있는 기억장소로, 전원이 끊어져도 기억된 내용이 보존될 수 있다. 주기억장치(1220)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 주기억장치(1220)는 기관 상에 배치되고 상기 기관과 수직 방향으로 교대로 적층되는 하나 이상의 제1 플레인 및 하나 이상의 제2 플레인 - 여기서, 상기 제1 플레인 각각은, 상기 기관과 평행한 제1 방향으로 연장하는 복수의 제1 배선을 포함하고, 상기 제2 플레인 각각은, 상기 기관과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선을 포함함. - ; 상기 제1 플레인과 상기 제2 플레인 사이마다 개재되고, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 십 형상을 갖는 복수의 가변 저항 패턴; 및 상기 복수의 가변 저항 패턴 사이에 위치하는 에어(air)를 포함할 수 있다. 이를 통해, 주기억장치(1220)의 집적도가 증가하고 데이터 저장 특성이 향상될 수 있다. 결과적으로, 시스템(1200)의 사이즈 감소 및 동작 특성이 향상될 수 있다.
- [0107] 또한, 주기억장치(1220)는 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 주기억장치(1220)는 전술한 실시예의 반도체 장치를 포함하지 않고, 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 포함할 수 있다.
- [0108] 보조기억장치(1230)는 프로그램 코드나 데이터를 보관하기 위한 기억장치를 말한다. 주기억장치(1220)보다 속도는 느리지만 많은 자료를 보관할 수 있다. 보조기억장치(1230)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 보조기억장치(1230)는 기관 상에 배치되고 상기 기관과 수직 방향으로 교대로 적층되는 하나 이상의 제1 플레인 및 하나 이상의 제2 플레인 - 여기서, 상기 제1 플레인 각각은, 상기 기관과 평행한 제1 방향으로 연장하는 복수의 제1 배선을 포함하고, 상기 제2 플레인 각각은, 상기 기관과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선을 포함함. - ; 상기 제1 플레인과 상기 제2 플레인 사이마다 개재되고, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 십 형상을 갖는 복수의 가변 저항 패턴; 및 상기 복수의 가변 저항 패턴 사이에 위치하는 에어(air)를 포함할 수 있다. 이를 통해, 보조기억장치(1230)의 집적도가 증가하고 데이터 저장 특성이 향상될 수 있다. 결과적으로, 시스템(1200)의 사이즈 감소 및 동작 특성이 향상될 수 있다.
- [0109] 또한, 보조기억장치(1230)는 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 데이터 저장 시스템(도 10의 1300 참조)을 더 포함할 수 있다. 이와는 다르게, 보조기억장치(1230)는 전술한 실시예의 반도체 장치를 포함하지 않고 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 데이터 저장 시스템(도 10의 1300 참조)들을 포함할 수 있다.
- [0110] 인터페이스 장치(1240)는 본 실시예의 시스템(1200)과 외부 장치 사이에서 명령, 데이터 등을 교환하기 위한 것일 수 있으며, 키패드(keypad), 키보드(keyboard), 마우스(Mouse), 스피커(Speaker), 마이크(Mike), 표시장치(Display), 각종 휴먼 인터페이스 장치(Human Interface Device; HID), 통신장치 등일 수 있다. 통신장치는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있으며, 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트

워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency IDentification), 롱텀 에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

- [0111] 도 12는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.
- [0112] 도 12를 참조하면, 데이터 저장 시스템(1300)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 저장 장치(1310), 이를 제어하는 컨트롤러(1320), 외부 장치와의 연결을 위한 인터페이스(1330), 및 데이터를 임시 저장하기 위한 임시 저장 장치(1340)를 포함할 수 있다. 데이터 저장 시스템(1300)은 하드 디스크(Hard Disk Drive; HDD), 광학 드라이브(Compact Disc Read Only Memory; CDROM), DVD(Digital Versatile Disc), 고상 디스크(Solid State Disk; SSD) 등의 디스크 형태와 USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.
- [0113] 저장 장치(1310)는 데이터를 반 영구적으로 저장하는 비휘발성 메모리를 포함할 수 있다. 여기서, 비휘발성 메모리는, ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.
- [0114] 컨트롤러(1320)는 저장 장치(1310)와 인터페이스(1330) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 컨트롤러(1320)는 데이터 저장 시스템(1300) 외부에서 인터페이스(1330)를 통해 입력된 명령어들을 처리하기 위한 연산 등을 수행하는 프로세서(1321)를 포함할 수 있다.
- [0115] 인터페이스(1330)는 데이터 저장 시스템(1300)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것이다. 데이터 저장 시스템(1300)이 카드인 경우, 인터페이스(1330)는, USB(Universal Serial Bus Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스들과 호환될 수 있거나, 또는, 이들 장치와 유사한 장치에서 사용되는 인터페이스들과 호환될 수 있다. 데이터 저장 시스템(1300)이 디스크 형태일 경우, 인터페이스(1330)는 IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus) 등과 같은 인터페이스와 호환될 수 있거나, 또는, 이들 인터페이스와 유사한 인터페이스와 호환될 수 있다. 인터페이스(1330)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.
- [0116] 임시 저장 장치(1340)는 외부 장치와의 인터페이스, 컨트롤러, 및 시스템의 다양화, 고성능화에 따라 인터페이스(1330)와 저장 장치(1310)간의 데이터의 전달을 효율적으로 하기 위하여 데이터를 임시로 저장할 수 있다. 임시 저장 장치(1340)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 임시 저장 장치(1340)는 기판 상에 배치되고 상기 기판과 수직 방향으로 교대로 적층되는 하나 이상의 제1 플레인 및 하나 이상의 제2 플레인 - 여기서, 상기 제1 플레인 각각은, 상기 기판과 평행한 제1 방향으로 연장하는 복수의 제1 배선을 포함하고, 상기 제2 플레인 각각은, 상기 기판과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선을 포함함. - ; 상기 제1 플레인과 상기 제2 플레인 사이마다 개재되고, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 십 형상을 갖는 복수의 가변 저항 패턴; 및 상기 복수의 가변 저항 패턴 사이에 위치하는 에어(air)를 포함할 수 있다. 이를 통해, 임시 저장 장치(1340)의 집적도가 증가하고 데이터 저장 특성이 향상될 수 있다. 결과적으로, 데이터 저장 시스템(1300)의 사이즈 감소 및 동작 특성이 향상될 수 있다.

- [0117] 도 13은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.
- [0118] 도 13을 참조하면, 메모리 시스템(1400)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 메모리(1410), 이를 제어하는 메모리 컨트롤러(1420), 외부 장치와의 연결을 위한 인터페이스(1430) 등을 포함할 수 있다. 메모리 시스템(1400)은 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.
- [0119] 데이터를 저장하는 메모리(1410)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 메모리(1410)는 기판 상에 배치되고 상기 기판과 수직 방향으로 교대로 적층되는 하나 이상의 제1 플레인 및 하나 이상의 제2 플레인 - 여기서, 상기 제1 플레인 각각은, 상기 기판과 평행한 제1 방향으로 연장하는 복수의 제1 배선을 포함하고, 상기 제2 플레인 각각은, 상기 기판과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선을 포함함. - ; 상기 제1 플레인과 상기 제2 플레인 사이마다 개재되고, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 십 형상을 갖는 복수의 가변 저항 패턴; 및 상기 복수의 가변 저항 패턴 사이에 위치하는 에어(air)를 포함할 수 있다. 이를 통해, 메모리(1410)의 집적도가 증가하고 데이터 저장 특성이 향상될 수 있다. 결과적으로, 메모리 시스템(1400)의 사이즈 감소 및 동작 특성이 향상될 수 있다.
- [0120] 더불어, 본 실시예의 메모리는 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.
- [0121] 메모리 컨트롤러(1420)는 메모리(1410)와 인터페이스(1430) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 메모리 컨트롤러(1420)는 메모리 시스템(1400) 외부에서 인터페이스(1430)를 통해 입력된 명령어들을 처리 연산하기 위한 프로세서(1421)를 포함할 수 있다.
- [0122] 인터페이스(1430)는 메모리 시스템(1400)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것으로, USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스와 호환될 수 있거나, 또는, 이들 장치들과 유사한 장치들에서 사용되는 인터페이스와 호환될 수 있다. 인터페이스(1430)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.
- [0123] 본 실시예의 메모리 시스템(1400)은 외부 장치와의 인터페이스, 메모리 컨트롤러, 및 메모리 시스템의 다양화, 고성능화에 따라 인터페이스(1430)와 메모리(1410)간의 데이터의 입출력을 효율적으로 전달하기 위한 버퍼 메모리(1440)를 더 포함할 수 있다. 데이터를 임시로 저장하는 버퍼 메모리(1440)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 버퍼 메모리(1440)는 기판 상에 배치되고 상기 기판과 수직 방향으로 교대로 적층되는 하나 이상의 제1 플레인 및 하나 이상의 제2 플레인 - 여기서, 상기 제1 플레인 각각은, 상기 기판과 평행한 제1 방향으로 연장하는 복수의 제1 배선을 포함하고, 상기 제2 플레인 각각은, 상기 기판과 평행하면서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선을 포함함. - ; 상기 제1 플레인과 상기 제2 플레인 사이마다 개재되고, 상기 제1 배선과 상기 제2 배선의 교차점에서 평면상 십 형상을 갖는 복수의 가변 저항 패턴; 및 상기 복수의 가변 저항 패턴 사이에 위치하는 에어(air)를 포함할 수 있다. 이를 통해, 버퍼 메모리(1440)의 집적도가 증가하고 데이터 저장 특성이 향상될 수 있다. 결과적으로, 메모리 시스템(1400)의 사이즈 감소 및 동작 특성이 향상될 수 있다.
- [0124] 더불어, 본 실시예의 버퍼 메모리(1440)는 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 버퍼 메모리(1440)는 전술한 실시예의 반도체 장치를 포함하지 않고 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는

ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

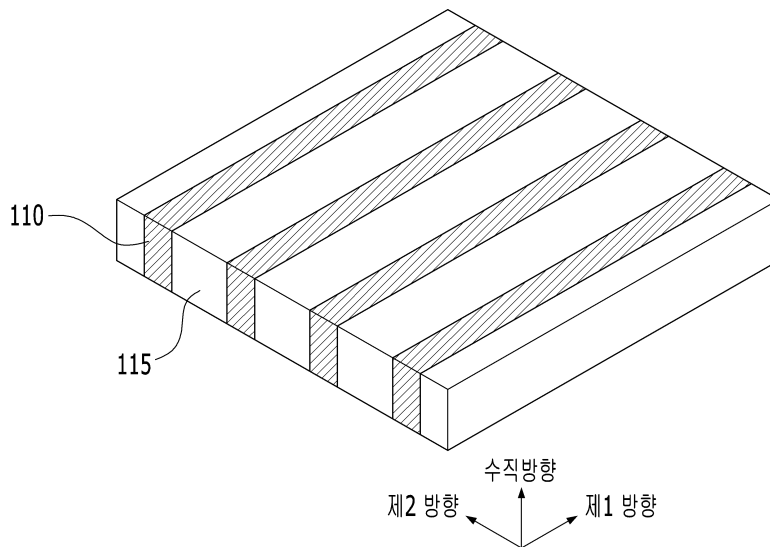
[0125] 이상으로 해결하고자 하는 과제를 위한 다양한 실시예들이 기재되었으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자인 자라면 본 발명의 기술사상의 범위 내에서 다양한 변경 및 수정이 이루어질 수 있음은 명백하다.

부호의 설명

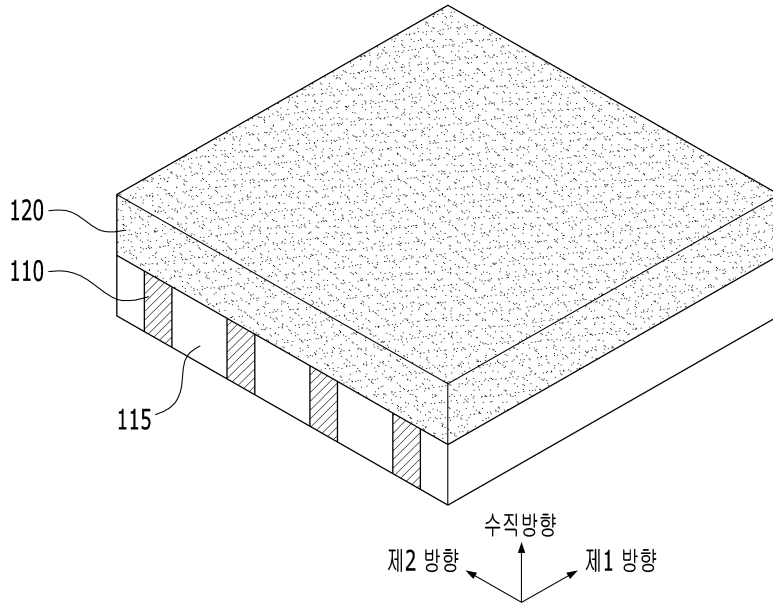
[0126] 110, 210, 410: 제1 배선 120, 220, 320, 420: 가변 저항층
130, 330: 제2 배선 A: 에어

도면

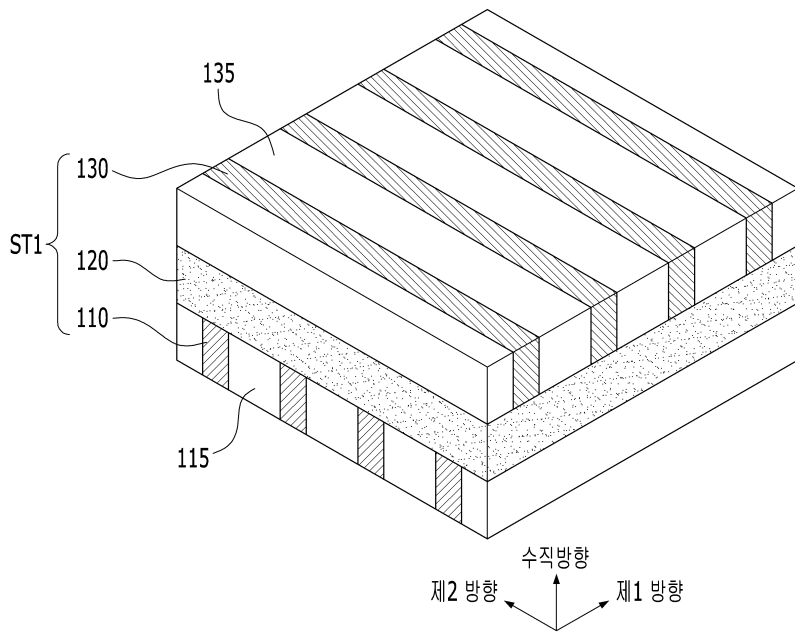
도면1



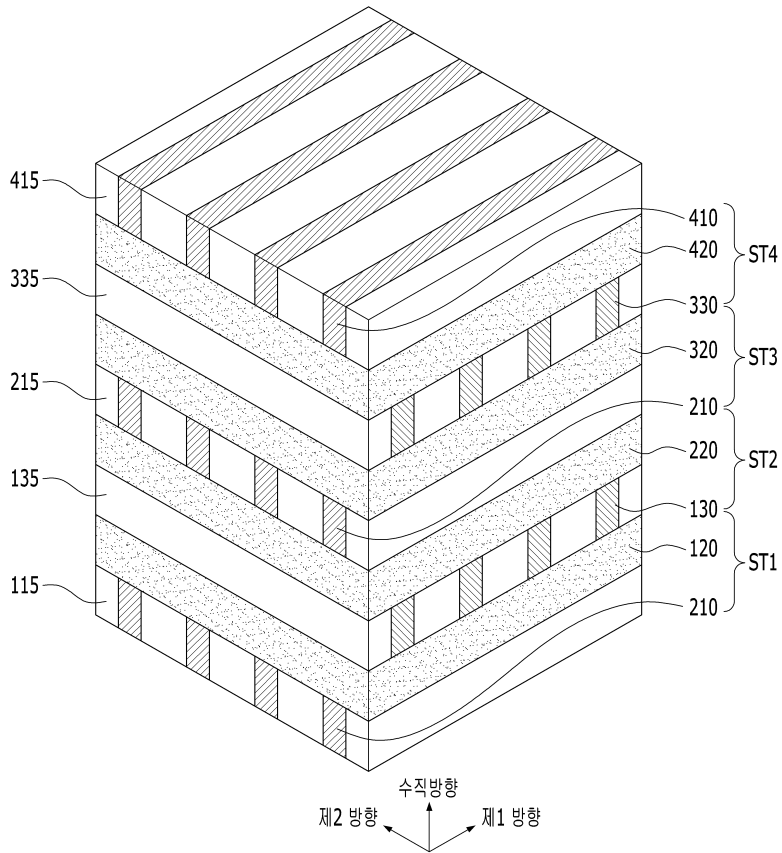
도면2



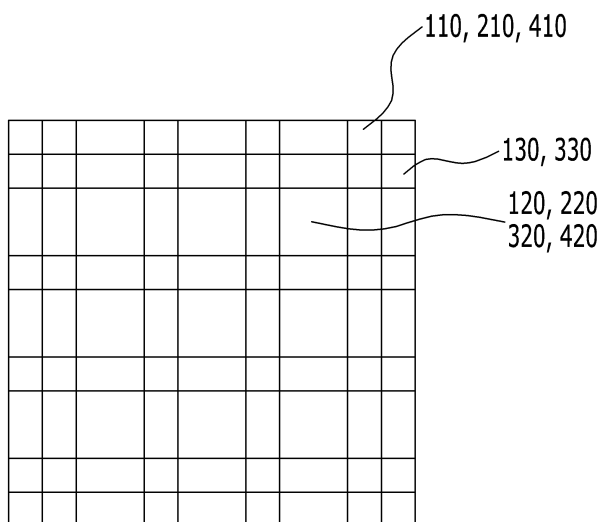
도면3



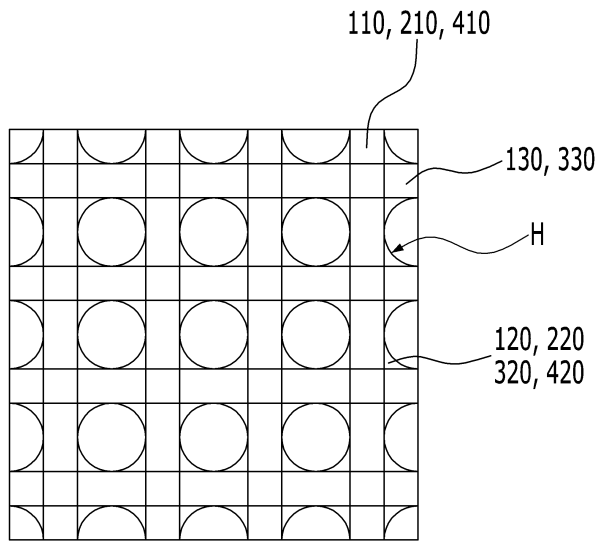
도면4a



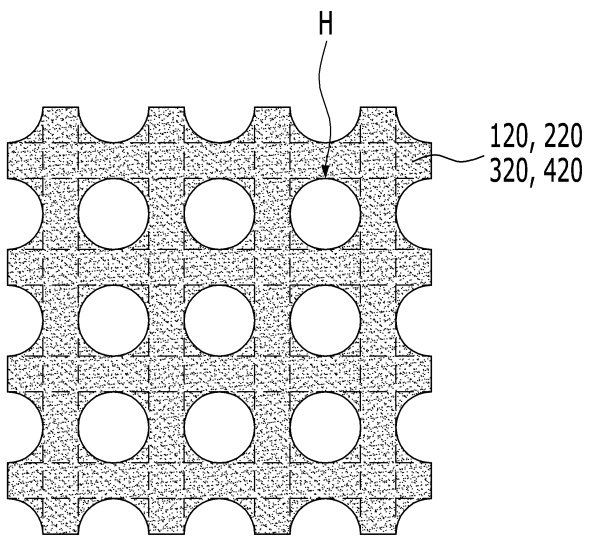
도면4b



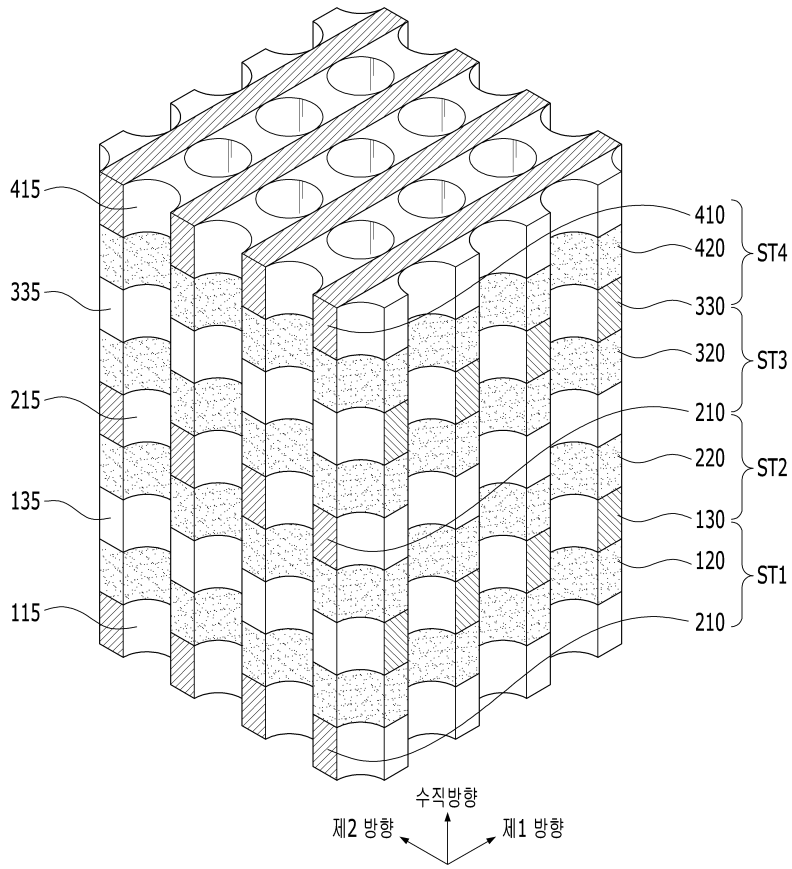
도면5a



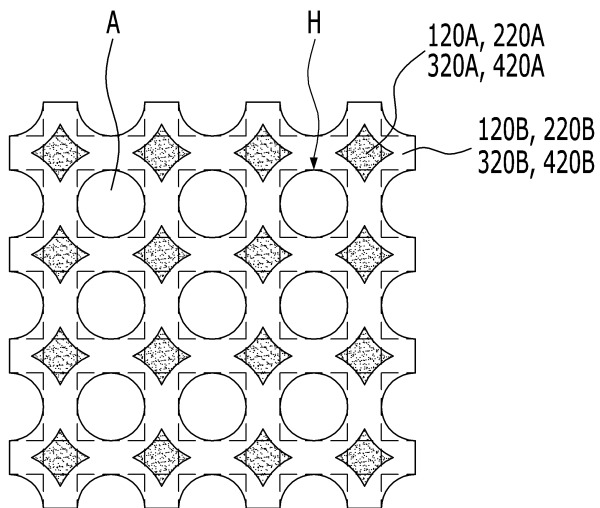
도면5b



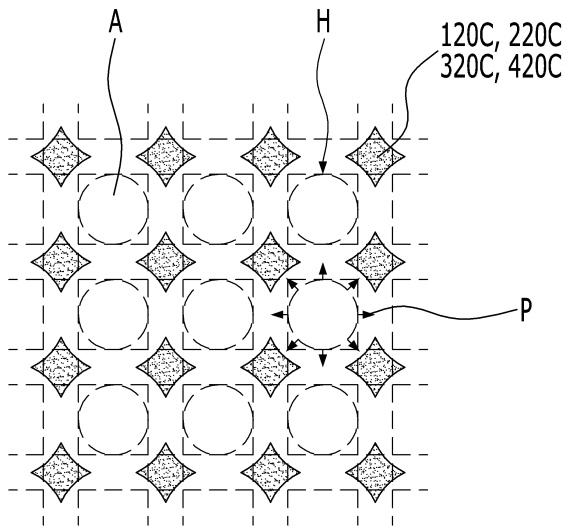
도면5c



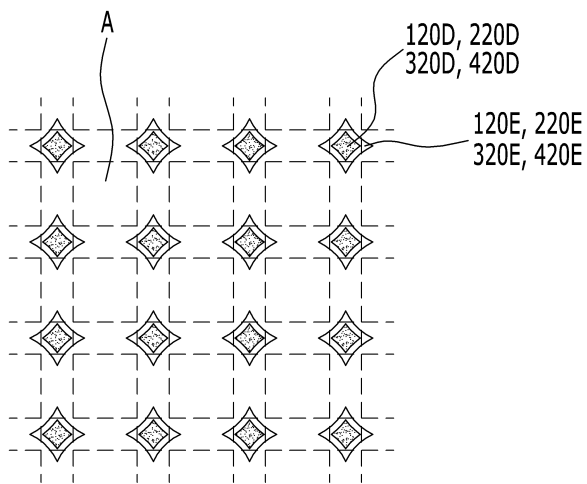
도면6



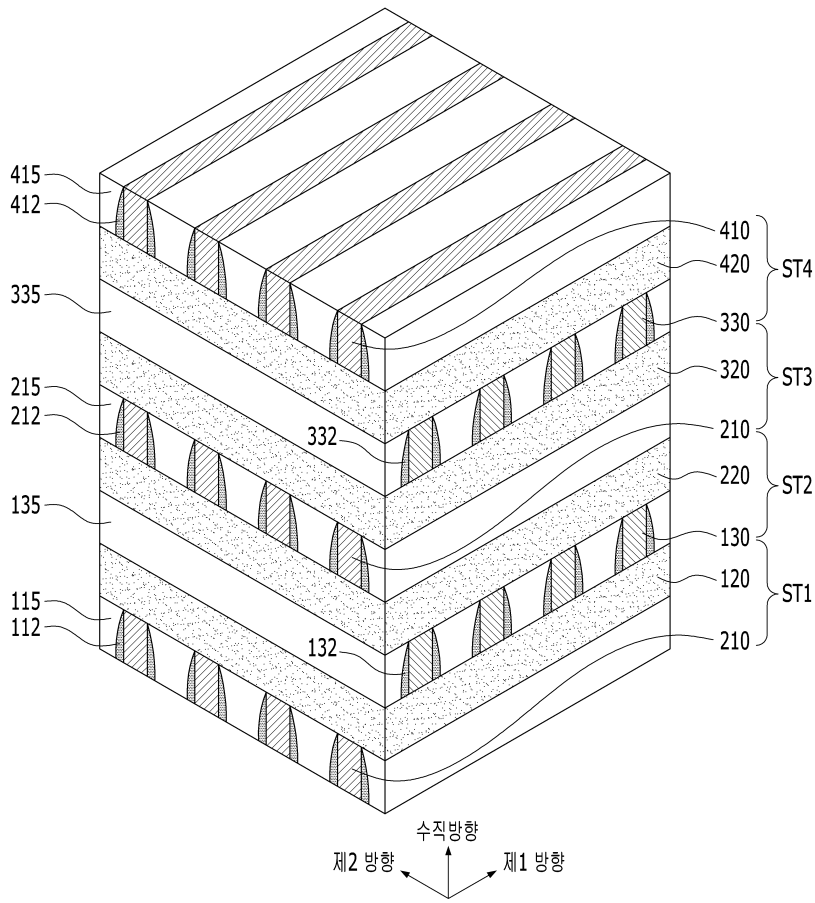
도면7a



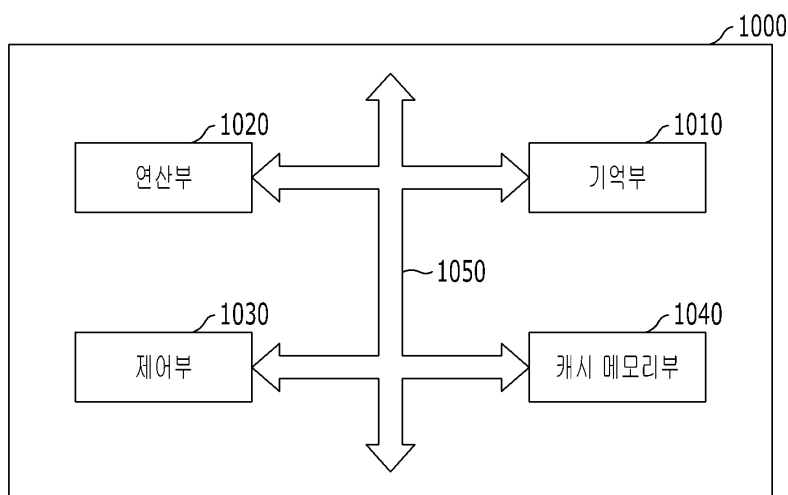
도면7b



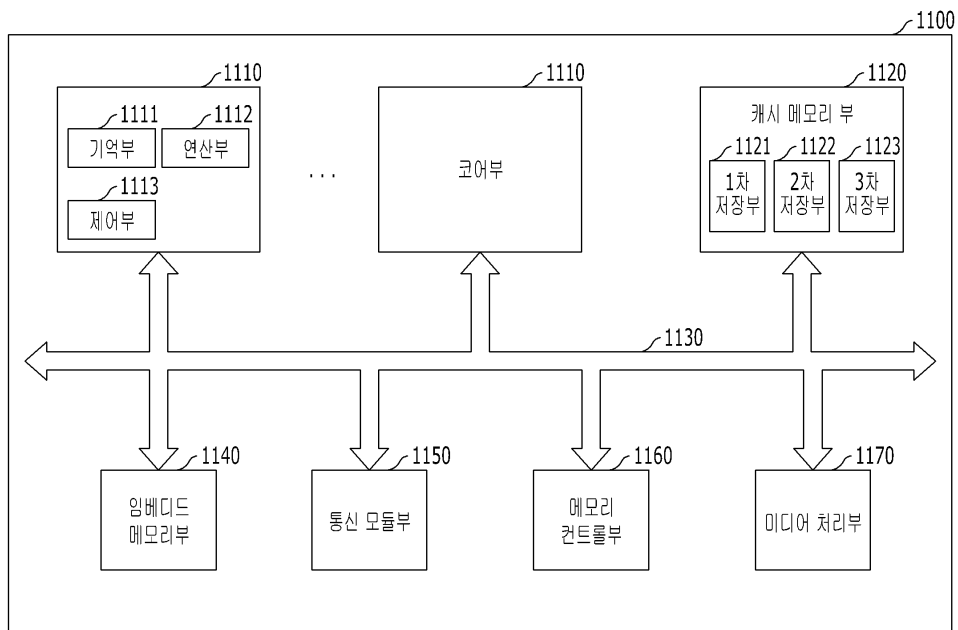
도면8



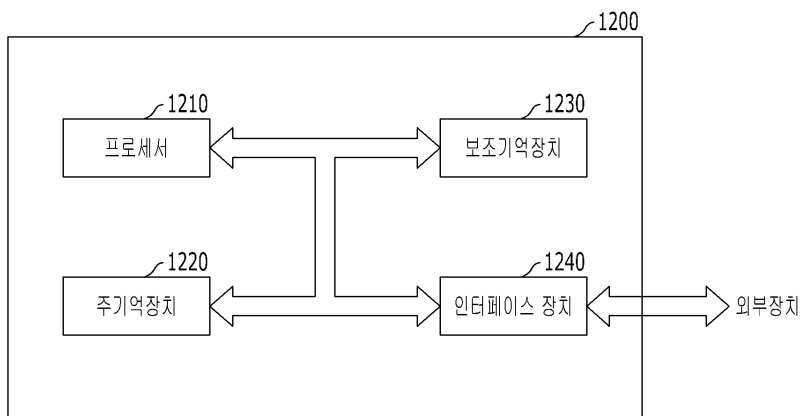
도면9



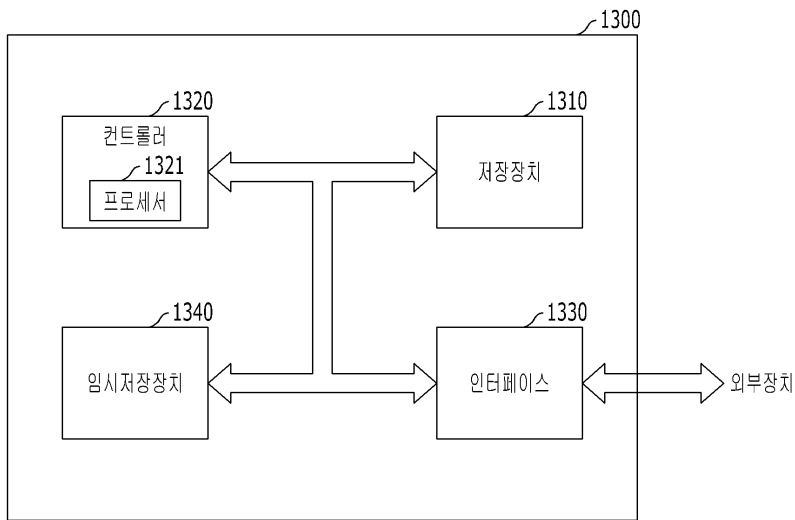
도면10



도면11



도면12



도면13

