

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年8月8日(08.08.2019)



(10) 国際公開番号

WO 2019/150888 A1

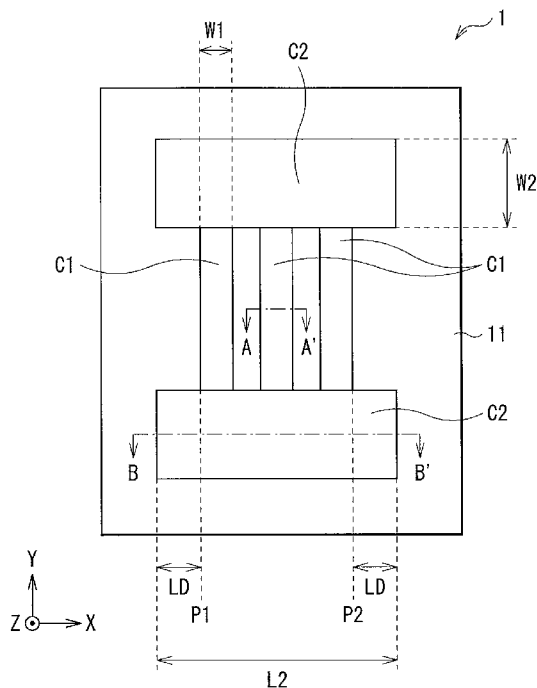
- (51) 国際特許分類:
H01L 21/3205 (2006.01) *H01L 23/522* (2006.01)
H01L 21/768 (2006.01) *H01L 27/146* (2006.01)
- (21) 国際出願番号: PCT/JP2019/000217
- (22) 国際出願日: 2019年1月8日(08.01.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-016513 2018年2月1日(01.02.2018) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 金口 時久 (KANEGUCHI, Tokihisa); 〒2430014 神奈川県厚木市旭町四丁目14

番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

- (74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device comprises: a semiconductor substrate; a first groove that is provided in the semiconductor substrate, has a first width W1, and extends in a first direction; and a second groove that is provided in the semiconductor substrate in communication with the first groove, has a second width W2 different from the first width, and extends in a second direction intersecting the first direction. Either the first groove or the second groove is used for alignment.

(57) 要約: 半導体基板と、前記半導体基板に設けられ、第1の幅W1を有して第1方向に延在する第1溝と、前記第1溝に連通して前記半導体基板に設けられ、前記第1の幅と異なる第2の幅W2を有して前記第1方向に交差する第2方向に延在する第2溝とを備え、前記第1溝および前記第2溝のいずれか一方がアライメントに用いられる半導体装置。

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体基板を有する半導体装置に関する。

背景技術

[0002] 近年、W C S P (Wafer level Chip Size Package) 等の半導体装置の開発が進められている。W C S P は、例えば、半導体基板と封止基板との間に、受光素子等の機能素子を有している（例えば、特許文献 1 参照）。

[0003] 半導体基板の一方の面には、例えば、貫通電極、再配線層および半田ボール等が設けられている。各部材を半導体基板上に形成する工程では、例えば、半導体基板にアライメント溝を形成して、位置の調整が行われる。

先行技術文献

特許文献

[0004] 特許文献1：特開 2 0 1 2 - 5 9 8 3 2 号公報

発明の概要

[0005] このようなアライメント溝が設けられた半導体装置では、アライメント溝に起因した不具合の発生を抑えることが望まれている。

[0006] したがって、アライメント溝に起因した不具合の発生を抑えることが可能な半導体装置を提供することが望ましい。

[0007] 本開示の一実施の形態に係る半導体装置は、半導体基板と、半導体基板に設けられ、第 1 の幅 W_1 を有して第 1 方向に延在する第 1 溝と、第 1 溝に連通して半導体基板に設けられ、第 1 の幅と異なる第 2 の幅 W_2 を有して第 1 方向に交差する第 2 方向に延在する第 2 溝とを備え、第 1 溝および第 2 溝のいずれか一方がアライメントに用いられるものである。

[0008] 本開示の一実施の形態に係る半導体装置では、第 1 溝に連通された第 2 溝が設けられているので、仮に、製造過程で、アライメント溝（第 1 溝または第 2 溝）が塞がれても、アライメント溝中の物質は、もう一方の溝に移動す

る。

[0009] 本開示の一実施の形態に係る半導体装置によれば、第1溝に連通された第2溝を設けるようにしたので、例えば、アライメント溝中に物質が閉じ込められることに起因した不具合の発生を抑えることができる。よって、アライメント溝に起因した不具合の発生を抑えることが可能となる。

[0010] 尚、上記内容は本開示の一例である。本開示の効果は、上述したものに限らず、他の異なる効果であってもよいし、更に他の効果を含んでいてもよい。

図面の簡単な説明

[0011] [図1]本開示の一実施の形態に係る半導体装置の一部の概略構成を表す平面模式図である。

[図2A]図1に示したA-A'線に沿った断面構成を表す模式図である。

[図2B]図1に示したB-B'線に沿った断面構成を表す模式図である。

[図3]図1に示したアライメント溝および排出溝の他の例を表す平面模式図である。

[図4A]図1等にした半導体装置の製造工程の一工程を表す断面模式図である。

[図4B]図4Aに続く工程を表す断面模式図である。

[図4C]図4Bに続く工程を表す断面模式図である。

[図5]比較例に係る半導体装置の一部の概略構成を表す断面模式図である。

[図6]図1に示した半導体装置が適用されたウェハレベルパッケージの構成の一例を表す断面模式図である。

発明を実施するための形態

[0012] 以下、本開示における実施形態について、図面を参照して詳細に説明する。なお、説明する順序は、下記の通りである。

1. 実施の形態（アライメント溝および排出溝を有する半導体装置）
2. 適用例（WCSPの例）

[0013] <実施の形態>

図1は、本開示の一実施の形態に係る半導体装置（半導体装置1）の一部の平面構成を模式的に表したものである。図2Aは、図1のA-A'線に沿った断面構成、図2Bは、図1のB-B'線に沿った断面構成を表している。この半導体装置1は、例えば、WCSP（後述の図6のウェハレベルパッケージ10）などに適用される。半導体装置1は、アライメント溝C1および排出溝C2が設けられた半導体基板11を有している。半導体装置1は、この半導体基板11上に、例えば、絶縁膜13およびメッキ膜14をこの順に有している（図2A、図2B）。

[0014] 半導体基板11は、例えば、半導体層110Aおよび配線層110Bを含み、これらの積層構造を有している。半導体層110Aは、例えば、シリコン（Si）層である。この半導体層110Aに、アライメント溝C1および排出溝C2が設けられている。配線層110Bは、導電膜12を有している。導電膜12は、例えば銅（Cu）またはアルミニウム（Al）等の金属により構成されている。アライメント溝C1および排出溝C2は、導電膜12に達しており、導電膜12によりアライメント溝C1および排出溝C2の底面が構成されている。なお、アライメント溝C1が本技術の第1溝の一具体例であり、排出溝C2が本技術の第2溝の一具体例である。

[0015] 半導体基板11には、例えば複数のアライメント溝C1が設けられている。アライメント溝C1は、例えば、メッキ膜14を形成する際のアライメント（位置決め）に用いられる目印である。このアライメント溝C1の上部は、例えば、メッキ膜14により塞がれている。複数のアライメント溝C1は、互いに所定の間隔で一方向（図1のX方向）に並んで配置されている。具体的には、X方向に離間する位置P1から位置P2までの間の領域に3つのアライメント溝C1が、並んで配置されている。これら3つのアライメント溝C1は、同一の方向（図1のY方向、第1方向）に延在している。各々のアライメント溝C1は、例えば幅W1（図1のX方向の大きさ、第1の幅）を有している。アライメント溝C1の幅W1は、例えば数 μm ～数十 μm である。複数のアライメント溝C1の幅W1が、互いに異なっていてもよい。

複数のアライメント溝C 1の長さ（図1のY方向の大きさ）は、例えば、略同じであり、複数のアライメント溝C 1の両端の位置（図1のY方向の位置）は、互いに揃っている。

[0016] 本実施の形態では、複数のアライメント溝C 1の端に接続された排出溝C 2が設けられており、アライメント溝C 1に排出溝C 2が連通している。これにより、アライメント溝C 1が、仮に、メッキ膜1 4等により塞がれても、アライメント溝C 1中のメッキ液（後述の図5のメッキ液1 4 2）が、排出溝C 2に移動する。この排出溝C 2の上部は開放されている。

[0017] 排出溝C 2は、例えば、アライメント溝C 1の両端に接続されている。具体的には、3つのアライメント溝C 1に対して、2つの排出溝C 2が設けられている。3つのアライメント溝C 1の一方の端各々が、1つの排出溝C 2に接続されており、3つのアライメント溝C 1の他方の端各々が、もう1つの排出溝C 2に接続されている。2つの排出溝C 2は、アライメント溝C 1の幅W 1と異なる幅W 2（図1のY方向の大きさ、第2の幅）を有し、アライメント溝C 1の延在方向と交差する方向（図1のX方向、第2方向）に延在している。例えば、アライメント溝C 1の延在方向と、排出溝C 2の延在方向とは、直交している。2つの排出溝C 2の幅W 2が、互いに異なってもよい。2つの排出溝C 2の長さL 2（図1のX方向の大きさ）は、例えば、略同じであり、2つの排出溝C 2の両端の位置（図1のX方向の位置）は、互いに揃っている。

[0018] 排出溝C 2は、アライメント溝C 1が設けられた位置P 1，位置P 2各々から、距離L Dだけ拡幅して設けられている。この距離L Dは、以下の式（1）を満たすことが好ましい。

$$L D > t_1 + t_2 - W_1 / 2 \quad \dots \dots (1)$$

ここで、 t_1 は、排出溝C 2の側壁SW 2近傍での絶縁膜1 3の厚みであり、 t_2 は排出溝C 2の側壁SW 2近傍でのメッキ膜1 4の厚みである。厚み t_1 ， t_2 は、成膜ばらつきを考慮した最大値である。厚み t_1 ， t_2 および幅W 1の単位は、例えば μm である。

[0019] 距離 L_D が式(1)を満たすことにより、排出溝 C_2 のうち、位置 P_1 、 P_2 に配置されたアライメント溝 C_1 からの導入部（排出溝 C_2 のうち、アライメント溝 C_1 との連結部分）が、絶縁膜 1_3 およびメッキ膜 1_4 により塞がれるのを抑えることができる。

[0020] 排出溝 C_2 の幅 W_2 は、アライメント溝 C_1 の幅 W_1 よりも大きくなっており、以下の式(2)を満たすことが好ましい。

$$W_2 > 2 \times t_1 + 2 \times t_2 \quad \dots\dots (2)$$

[0021] 排出溝 C_2 の長さ L_2 は、上記の位置 P_1 、 P_2 各々からの距離 L_D を満たすとともに、下記の式(3)を満たすことが好ましい。

$$L_2 > 2 \times t_1 + 2 \times t_2 \quad \dots\dots (3)$$

[0022] 排出溝 C_2 の幅 W_2 および長さ L_2 が各々、上記の式(2)、(3)を満たすことにより、排出溝 C_2 が、絶縁膜 1_3 およびメッキ膜 1_4 により塞がれるのを抑えることができる。

[0023] 図3は、アライメント溝 C_1 および排出溝 C_2 の構成の他の例を表している。アライメント溝 C_1 は、4つ以上または2つであってもよく、あるいは、1つであってもよい。少なくとも、アライメント溝 C_1 の一方の端に排出溝 C_2 が設けられていればよい。例えば、アライメント溝 C_1 の一方の端に1つの排出溝 C_2 が接続されており、アライメント溝 C_1 の他方の端が、閉じられていてもよい。例えば、半導体装置1が、図1および図3に示したアライメント溝 C_1 、排出溝 C_2 を有していてもよい。図1に示したアライメント溝 C_1 を、サーチアライメントに用い、図3に示したアライメント溝 C_1 を、ファインアライメントに用いるようにしてもよい。

[0024] 絶縁膜 1_3 は、半導体基板 1_1 の一方の面上、より具体的には、半導体層 $1_1 O A$ 上に設けられ、アライメント溝 C_1 の側壁 SW_1 および排出溝 C_2 の側壁 SW_2 を覆っている。アライメント溝 C_1 および排出溝 C_2 の底面には、絶縁膜 1_3 が設けられていない。この絶縁膜 1_3 は、例えば、酸化シリコン(SiO)、酸窒化シリコン($SiON$)または窒化シリコン(SiN)等により構成されている。

[0025] メッキ膜 14 は、絶縁膜 13 上に設けられている。換言すれば、メッキ膜 14 は、絶縁膜 13 を間にして半導体基板 11 の一方の面上に設けられている。このメッキ膜 14 は、絶縁膜 13 を間にして、アライメント溝 C1 の側壁 SW1 および排出溝 C2 の側壁 SW2 を覆っている。メッキ膜 14 は、アライメント溝 C1 および排出溝 C2 の底面にも設けられ、導電膜 12 上に成膜されている。このメッキ膜 14 は、例えば電気メッキ法等のメッキ法を用いて成膜されたものである。メッキ膜 14 は、例えば、銅 (Cu)、アルミニウム (Al)、タングステン (W)、チタン (Ti)、金 (Au)、ニッケル (Ni)、銀 (Ag)、モリブデン (Mo) またはタングステンチタン合金 (TiW) 等の金属材料により構成されている。メッキ膜 14 は少なくとも 1 つのアライメント溝 C1 の上部を塞いでいる。

[0026] このような半導体装置 1 は、例えば、以下のようにして製造する (図 4A ~ 図 4C)。

[0027] まず、半導体層 110A および配線層 110B を含む半導体基板 11 を用意する。次いで、図 4A に示したように、この半導体基板 11 の半導体層 110A に、フォトリソグラフィ法およびドライエッチング法を用いて、導電膜 12 に達するアライメント溝 C1 および排出溝 C2 を形成する。

[0028] 続いて、図 4B に示したように、アライメント溝 C1 および排出溝 C2 を形成した半導体層 110A の全面にわたって、例えば、酸窒化シリコン (SiON) よりなる絶縁膜 13 を、CVD 法 (Chemical Vapor Deposition: 化学気相成長法) を用いて成膜する。これにより、アライメント溝 C1 の側壁 SW1 および排出溝 C2 の側壁 SW2 に絶縁膜 13 が形成される。アライメント溝 C1 および排出溝 C2 の底面に成膜された絶縁膜 13 は、選択的に除去するようにしてもよい。

[0029] 絶縁膜 13 を成膜した後、図 4C に示したように、半導体層 110A の全面にわたって、例えば、スパッタ法を用いてシード層 141 を形成する。シード層 141 は、メッキ膜 14 を形成するためのものであり、例えば銅 (Cu) により構成されている。シード層 141 を成膜した後、例えばフォトリ

ソグラフィ法およびエッチング法を用いて、シード層 141 のパターニングを行う。このシード層 141 のパターニングの際に、例えば、アライメント溝 C1 が用いられて、フォトリソ膜のアライメントが行われる。この後、シード層 141 が形成された半導体基板 11 を、例えば硫酸銅 (CuSO_4) からなるメッキ液（後述の図 5 のメッキ液 142）に浸けてメッキ膜 14 を形成する。例えば、このメッキ膜 14 により、小さな幅 W1 のアライメント溝 C1 は塞がれる。十分な幅 W2 および長さ L2 を有する排出溝 C2 の開口部分は維持される。このような工程を経て、図 1 等にした半導体装置 1 を完成させる。

[0030] 本実施の形態の半導体装置 1 では、半導体基板 11 に、アライメント溝 C1 に連通された排出溝 C2 が設けられているので、仮に、製造過程で、アライメント溝 C1 が塞がれても、アライメント溝 C1 中の物質は、排出溝 C2 に移動する。これにより、アライメント溝 C1 中に物質が閉じ込められることに起因した不具合の発生を抑えることができる。以下、この作用・効果について説明する。

[0031] 図 5 は、比較例に係る半導体装置（半導体装置 100）の一部の模式的な断面構成を表している。この半導体装置 100 では、半導体基板 11 にアライメント溝 C1 のみが設けられている。換言すれば、半導体装置 100 の半導体基板 11 には、排出溝（例えば図 1 の排出溝 C2）が設けられていない。このような半導体装置 100 では、メッキ膜 14 を形成する際に、アライメント溝 C1 内にメッキ液 142 が流入した状態のまま、メッキ膜 14 によりアライメント溝 C1 が塞がれるおそれがある。即ち、アライメント溝 C1 中に、メッキ液 142 が閉じ込められるおそれがある。このアライメント溝 C1 中のメッキ液 142 は、製造工程中の熱処理の際に膨張する。膨張したメッキ液 142 により、アライメント溝 C1 近傍の半導体基板 11 に局所的な圧力が加えられ、クラック（クラック 100C）等が発生する。クラック 100C は、例えば、半導体層 110A と配線層 110B との界面近傍で発生しやすい。

[0032] 半導体基板 11 をメッキ液 142 に浸ける前に、例えば、絶縁膜 13 等により、アライメント溝 C1 が塞がれることも考え得る。この場合には、アライメント溝 C1 中に空気が閉じこめられる。このアライメント溝 C1 中に閉じ込められた空気が、半導体装置 100 に不具合を生じさせるおそれがある。

[0033] また、アライメント溝 C1 の幅 W1 を十分大きくする方法も考え得る。この方法では、絶縁膜 13 およびメッキ膜 14 等を形成する際に、アライメント溝 C1 の開口が維持される。しかし、アライメント溝 C1 の幅 W1 を大きくすると、アライメント工程に影響が及び、例えば、十分な精度でメッキ膜 14 等のアライメントを行うことができないおそれがある。

[0034] これに対し、本実施の形態では、半導体基板 11 に、アライメント溝 C1 に連通した排出溝 C2 が設けられているので、仮に、アライメント溝 C1 がメッキ膜 14 等により塞がれても、アライメント溝 C1 中のメッキ液（図 5 のメッキ液 142）または空気等は、排出溝 C2 に移動する。したがって、半導体基板 11 に熱処理が施されても、排出溝 C2 を介して圧力が開放される。よって、半導体基板 11 でのクラック（図 5 のクラック 100C）等の発生が抑えられる。

[0035] また、アライメント溝 C1 の幅 W1 を大きくする必要がないので、アライメント工程に影響を及ぼすことなく、半導体基板 11 でのクラック等の発生が抑えられる。

[0036] 以上説明したように、本実施の形態に係る半導体装置 1 では、半導体基板 11 に、アライメント溝 C1 に連通された排出溝 C2 を設けるようにしたので、アライメント溝 C1 中に物質（メッキ液または空気等）が閉じ込められることに起因した不具合の発生を抑えることができる。よって、アライメント溝 C1 に起因した不具合の発生を抑えることが可能となる。

[0037] <適用例>

本実施の形態の半導体装置 1 は例えば W C S P（後述の図 6 のウェハレベルパッケージ 10）に適用される。

[0038] 図6は、半導体装置1が適用されたウェハレベルパッケージ10の模式的な断面構成を表すものである。このウェハレベルパッケージ10は、半導体基板11とガラス基板16（封止基板）との間に、例えば受光素子19（機能素子）を封止してなるWCSP（ウェハレベルチップサイズパッケージ）である。半導体基板11とガラス基板16とは、これらの周縁部において接着層15を介して貼り合わせられ、これらの半導体基板11、ガラス基板16および接着層15によって囲まれる領域が、受光素子19を気密封止するためのキャビティとなっている。このウェハレベルパッケージ10は、例えばイメージセンサ装置等の光学機器に使用される。ウェハレベルパッケージ10の半導体基板11側は、マザーボード等のプリント基板へ実装され、ウェハレベルパッケージ10のガラス基板16側は、例えば、レンズユニットに貼り合わされる。

[0039] 半導体基板11の配線層110Bはガラス基板16側に配置され、半導体基板11の半導体層110Aは、配線層110Bを間にしてガラス基板16に対向している。即ち、アライメント溝C1および排出溝C2（図2A，図2B）は、半導体基板11の、ガラス基板16との対向面と反対の面に設けられている。受光素子19は、例えば、配線層110Bに接して設けられている。

[0040] 配線層110Bの導電膜12は、例えば、半導体基板11の周縁部（接着層15に対向する部分）に配置されている。この導電膜12は、例えば、受光素子19やその周辺回路へ配線（図示せず）によって接続されている。導電膜12は、例えば、受光素子19やその周辺回路に電気信号を入力したり、あるいはそれらから出力された電気信号を取り出すための外部接続用のパッドとして機能する。

[0041] 受光素子19は、例えばCCD（Charge Coupled Device）やCMOS（Complementary Metal Oxide Semiconductor）等の固体撮像素子であり、受光面には、図示しないカラーフィルタが設けられている。この受光素子19では、導電膜12を通じて入力された電気信号に応じて、露光および受光信号の

読み出しが行われ、読み出された受光信号が導電膜 12 を通じて外部へ出力されるようになっている。

[0042] 半導体層 110A 上には、メッキ膜 14 とともに、半田ボール 17 および封止樹脂層 18 が配設されている。メッキ膜 14 は、半導体層 110A 上の選択的な領域に設けられており、このメッキ膜 14 に半田ボール 17 が接続されている。封止樹脂層 18 は、メッキ膜 14 を覆うとともに、メッキ膜 14 を露出させる開口を有している。この封止樹脂層 18 の開口に半田ボール 17 が設けられている。

[0043] 半導体層 110A には、配線層 110B の導電膜 12 に対応する位置に貫通ビア 11V が設けられている。貫通ビア 11V は、半導体層 110A の表面から裏面までを貫通しており、これによって導電膜 12 の一部が露出している。この貫通ビア 11V の内部には、メッキ膜 14 が、露出された導電膜 12 の表面を覆って形成されており、かつ貫通ビア 11V の内部から半導体層 110A 上の半田ボール 17 の形成領域まで延設されている（引き出されている）。尚、半導体層 110A とメッキ膜 14 との間には、上述の絶縁膜 13 およびシード層 141（図 4C）が形成されている。貫通ビア 11V は、例えば、直径 60 μm 程度の円状の平面形状を有している。例えば、この貫通ビア 11V の形成工程と、同一工程で、アライメント溝 C1 および排出溝 C2 が形成される。

[0044] 半田ボール 17 は、プリント基板へ実装するための外部接続端子として機能するものであり、例えば Sn-Ag-Cu 等の無鉛高融点はんだ等よりなる。例えば、複数の半田ボール 17 が、半導体層 110A 上に、所定のピッチで規則的に配列して設けられている。この半田ボール 17 の配列は、実装されるプリント基板（図示せず）側の接合パッドの位置に応じて適宜設定されている。これにより、導電膜 12 の配列が半田ボール 17 の配列に変換され、マザーボード等のプリント基板へ直接実装することが可能となる。尚、図 6 では、半田ボール 17 が半導体基板 11 の中央付近には形成されていない配列となっているが、勿論中央付近にも半田ボール 17 が配設されていて

もよいし、周縁領域にのみ配設されていてもよい。この半田ボール 17 は、メッキ膜 14 を介して導電膜 12 と電氣的に接続されている。

[0045] 貫通ビア 11V に設けられたメッキ膜 14 は、半田ボール 17 と導電膜 12 とを電氣的に接続するためのものであり、再配線として機能する。

[0046] 封止樹脂層 18 は、メッキ膜 14 を保護するためのものであり、半田ボール 17 に対応して開口を有している。この封止樹脂層 18 は、例えばエポキシ系、ポリイミド系、シリコン系、アクリル系の樹脂等により構成されている。

[0047] このウェハレベルパッケージ 10 では、配線層 110B の導電膜 12 と半導体層 110A 上の半田ボール 17 とが、貫通ビア 11V およびメッキ膜 14 を介して電氣的に接続されている。これにより、半導体基板 11 の一方の面（配線層 110B 側の面）から他方の面（半導体層 110A）側へ外部接続端子が引き出される（外部接続端子が導電膜 12 から半田ボール 17 へ変換される）。

[0048] ウェハレベルパッケージ 10 の半導体基板 11 が、アライメント溝 C1 に連通した排出溝 C2 を有することにより、アライメント溝 C1 に起因した不具合の発生が抑えられる。よって、ウェハレベルパッケージ 10 の歩留まりを向上させることが可能となる。

[0049] 以上、実施の形態および適用例を挙げて説明したが、本開示内容は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、上記実施の形態において説明した半導体装置の構成は一例であり、更に他の層を備えていてもよい。また、各層の材料や厚みも一例であって、上述のものに限定されるものではない。

[0050] 例えば、上記実施の形態では、半導体基板 11 上にメッキ膜 14 を成膜する場合について説明したが、メッキ法以外の方法を用いて膜を形成するようにしてもよい。メッキ法以外の方法とは、例えば、CVD 法、物理気相成長（PVD : Physical Vapor Deposition）法、原子層堆積（ALD : Atomic Layer Deposition）法またはスパッタ法等である。

[0051] また、上記実施の形態では、アライメント溝C 1を、メッキ膜1 4のアライメントに用いる場合について説明したが、アライメント溝C 1は、他の膜のアライメントに用いるようにしてもよい。

[0052] また、図2 Aには、アライメント溝C 1がメッキ膜1 4により塞がれている例を示したが、アライメント溝C 1は、例えば絶縁膜1 3など、他の膜によって塞がれていてもよく、あるいは、開口が維持されていてもよい。

[0053] また、図1 および図3では、複数のアライメント溝C 1が同一方向に並んで配置されている例を示したが、複数のアライメント溝C 1が互いに交差する方向に配置されていてもよい。更に、上記実施の形態では、アライメント溝C 1および排出溝C 2を例に挙げて説明したが、本開示の効果を発揮し得る態様であれば、アライメント溝C 1および排出溝C 2は、溝形状を有していなくてもよい。

[0054] また、上記適用例では、機能素子として、受光素子1 9を用いる場合について説明したが、受光素子以外の機能素子を用いるようにしてもよい。例えば、MEMS (Micro Electro Mechanical System) を用いるようにしてもよい。

[0055] 上記実施の形態等において説明した効果は一例であり、他の効果であってもよいし、更に他の効果を含んでいてもよい。

[0056] 尚、本開示は、以下のような構成であってもよい。

(1)

半導体基板と、

前記半導体基板に設けられ、第1の幅W 1を有して第1方向に延在する第1溝と、

前記第1溝に連通して前記半導体基板に設けられ、前記第1の幅と異なる第2の幅W 2を有して前記第1方向に交差する第2方向に延在する第2溝とを備え、

前記第1溝および前記第2溝のいずれか一方がアライメントに用いられる半導体装置。

(2)

前記第2の幅W2は、前記第1の幅W1よりも大きい
前記(1)に記載の半導体装置。

(3)

前記第1溝が前記アライメントに用いられ、
前記第2溝が前記第1溝に流入した物質の排出に用いられる
前記(1)または(2)に記載の半導体装置。

(4)

前記第2方向に離間する第1の位置から第2の位置までの領域に、所定の
間隔で配置された複数の前記第1溝を有し、
前記複数の前記第1溝の少なくとも一方の端に前記第2溝が設けられてい
る

前記(3)に記載の半導体装置。

(5)

前記複数の前記第1溝の両端に前記第2溝が設けられている
前記(4)に記載の半導体装置。

(6)

更に、前記第1溝の側壁および前記第2溝の側壁に設けられ、厚みt1を
有する絶縁膜と、

前記絶縁膜に積層された、厚みt2を有するメッキ膜とを有する

前記(4)または(5)に記載の半導体装置。

(7)

前記第2溝は、前記第1の位置および前記第2の位置各々から、距離LD
拡幅して設けられ、

距離LDは、以下の式(1)を満たす

前記(6)に記載の半導体装置。

$$LD > t_1 + t_2 - W_1 / 2 \quad \dots \dots (1)$$

(8)

前記第2溝の前記第2の幅 W_2 は、以下の式(2)を満たす

前記(6)または(7)に記載の半導体装置。

$$W_2 > 2 \times t_1 + 2 \times t_2 \quad \dots \dots (2)$$

(9)

前記第2溝は開放されている

前記(6)ないし(8)のうちいずれか1つに記載の半導体装置。

(10)

前記第1溝は、前記絶縁膜または前記メッキ膜により塞がれている

前記(6)ないし(9)のうちいずれか1つに記載の半導体装置。

(11)

更に、前記第1溝および前記第2溝の底に設けられた導電膜を含む

前記(1)ないし(10)のうちいずれか1つに記載の半導体装置。

(12)

前記半導体基板はシリコン層を含む

前記(1)ないし(11)のうちいずれか1つに記載の半導体装置。

(13)

更に、前記半導体基板に対向する封止基板と、

前記封止基板と前記半導体基板との間に設けられた機能素子とを含み、

前記第1溝および前記第2溝は、前記半導体基板の前記封止基板との対向面と反対の面に設けられている

前記(1)ないし(12)のうちいずれか1つに記載の半導体装置。

(14)

前記第1方向および前記第2方向は、直交している

前記(1)ないし(13)のうちいずれか1つに記載の半導体装置。

[0057] 本出願は、日本国特許庁において2018年2月1日出願された日本特許出願番号第2018-16513号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0058] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビ

ネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板に設けられ、第1の幅 W_1 を有して第1方向に延在する第1溝と、
 前記第1溝に連通して前記半導体基板に設けられ、前記第1の幅と異なる第2の幅 W_2 を有して前記第1方向に交差する第2方向に延在する第2溝と
 を備え、
 前記第1溝および前記第2溝のいずれか一方がアライメントに用いられる
 半導体装置。
- [請求項2] 前記第2の幅 W_2 は、前記第1の幅 W_1 よりも大きい
 請求項1に記載の半導体装置。
- [請求項3] 前記第1溝が前記アライメントに用いられ、
 前記第2溝が前記第1溝に流入した物質の排出に用いられる
 請求項2に記載の半導体装置。
- [請求項4] 前記第2方向に離間する第1の位置から第2の位置までの領域に、
 所定の間隔で配置された複数の前記第1溝を有し、
 前記複数の前記第1溝の少なくとも一方の端に前記第2溝が設けられている
 請求項3に記載の半導体装置。
- [請求項5] 前記複数の前記第1溝の両端に前記第2溝が設けられている
 請求項4に記載の半導体装置。
- [請求項6] 更に、前記第1溝の側壁および前記第2溝の側壁に設けられ、厚み t_1 を有する絶縁膜と、
 前記絶縁膜に積層された、厚み t_2 を有するメッキ膜とを有する
 請求項4に記載の半導体装置。
- [請求項7] 前記第2溝は、前記第1の位置および前記第2の位置各々から、距

離 L_D 拡幅して設けられ、

距離 L_D は、以下の式 (1) を満たす

請求項 6 に記載の半導体装置。

$$L_D > t_1 + t_2 - W_1 / 2 \quad \dots \dots (1)$$

[請求項 8] 前記第 2 溝の前記第 2 の幅 W_2 は、以下の式 (2) を満たす

請求項 6 に記載の半導体装置。

$$W_2 > 2 \times t_1 + 2 \times t_2 \quad \dots \dots (2)$$

[請求項 9] 前記第 2 溝は開放されている

請求項 6 に記載の半導体装置。

[請求項 10] 前記第 1 溝は、前記絶縁膜または前記メッキ膜により塞がれている

請求項 6 に記載の半導体装置。

[請求項 11] 更に、前記第 1 溝および前記第 2 溝の底に設けられた導電膜を含む

請求項 1 に記載の半導体装置。

[請求項 12] 前記半導体基板はシリコン層を含む

請求項 1 に記載の半導体装置。

[請求項 13] 更に、前記半導体基板に対向する封止基板と、

前記封止基板と前記半導体基板との間に設けられた機能素子とを含み、

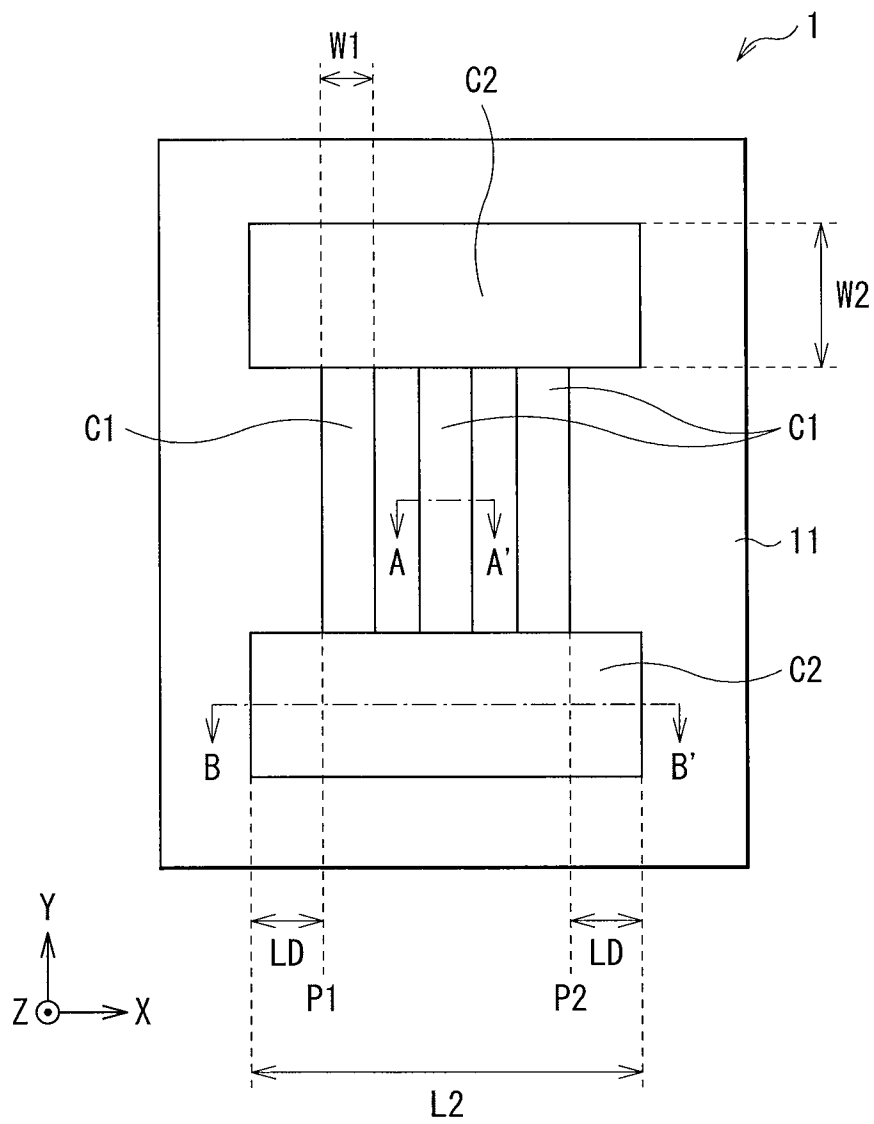
前記第 1 溝および前記第 2 溝は、前記半導体基板の前記封止基板との対向面と反対の面に設けられている

請求項 1 に記載の半導体装置。

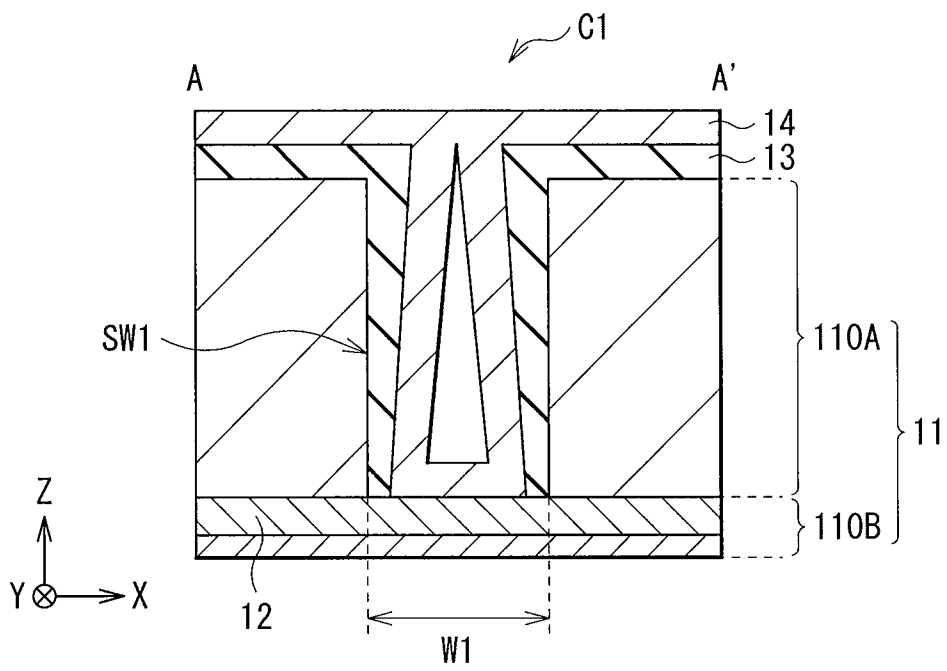
[請求項 14] 前記第 1 方向および前記第 2 方向は、直交している

請求項 1 に記載の半導体装置。

[図1]



[図2A]



[図2B]

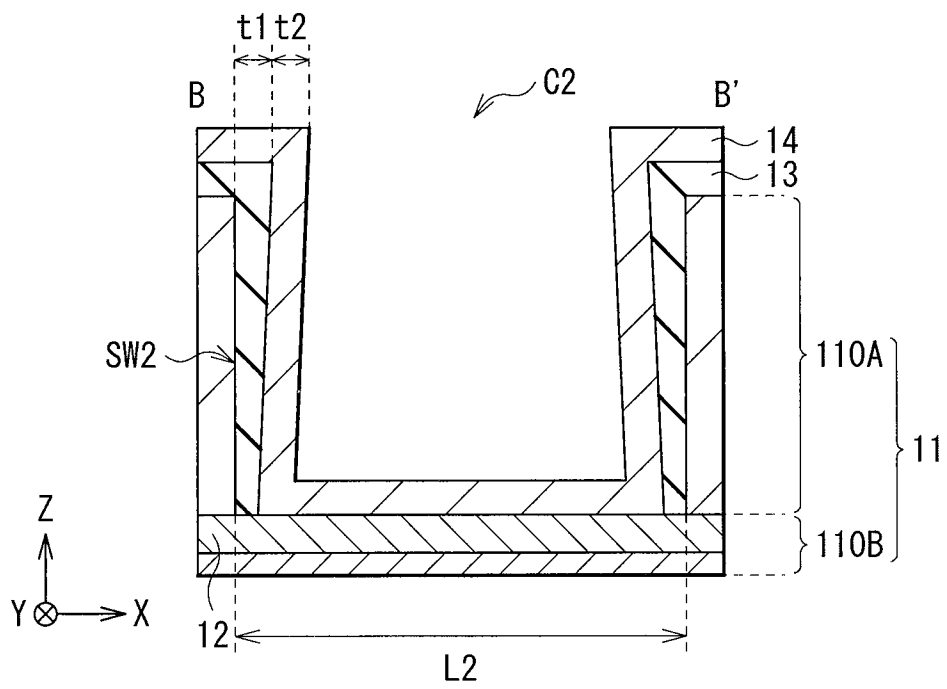
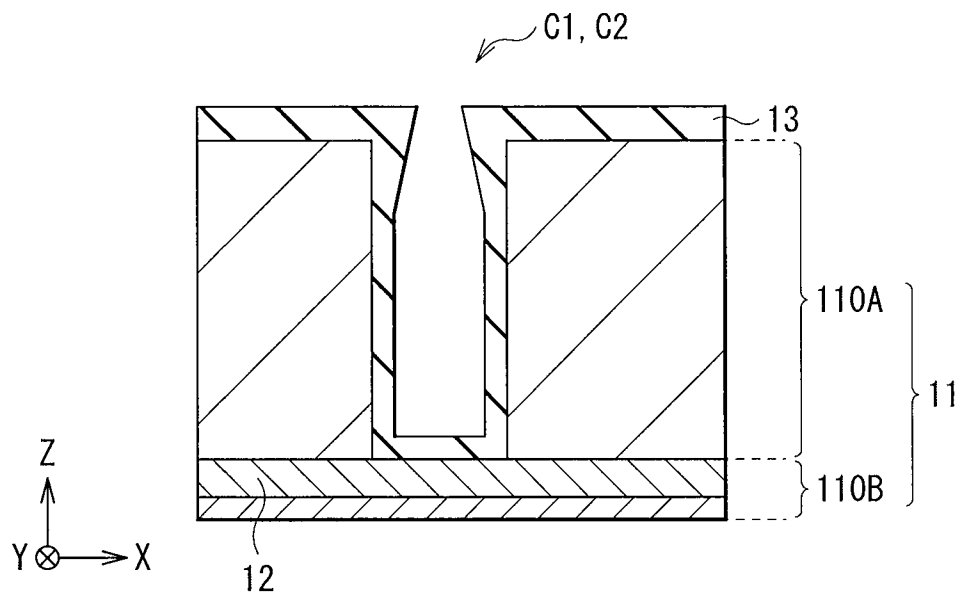
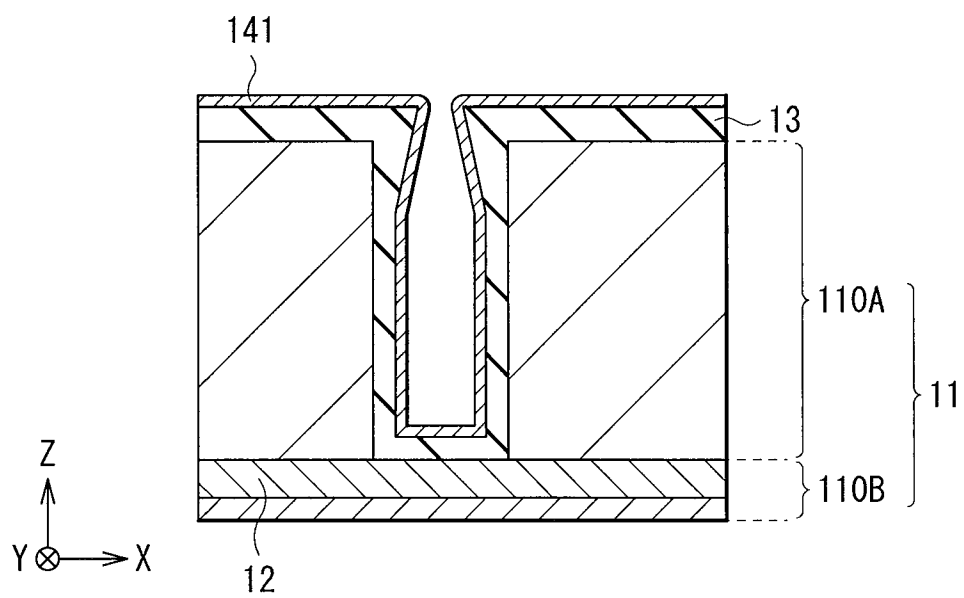


Figure 1 is a cross-sectional view of a semiconductor device 11. The device includes a substrate 12, a base layer 110B, and two vertical pillars 110A. The pillars 110A are labeled C1 and C2. A coordinate system (X, Y, Z) is shown at the bottom left.

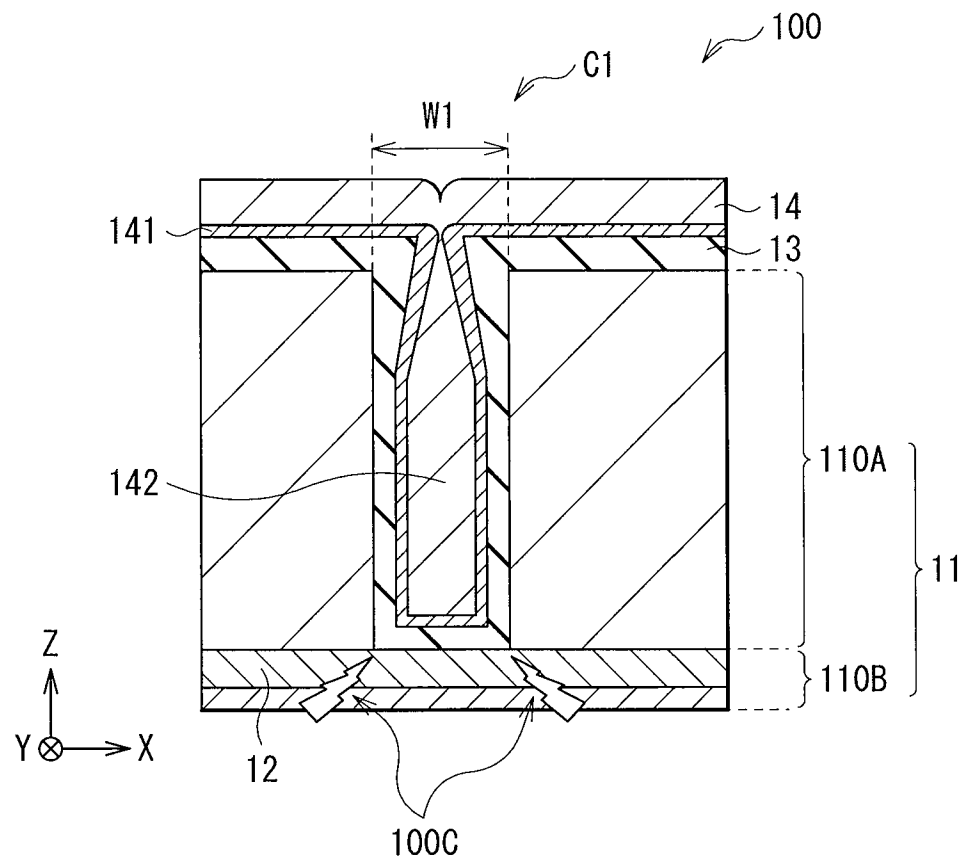
[図4B]



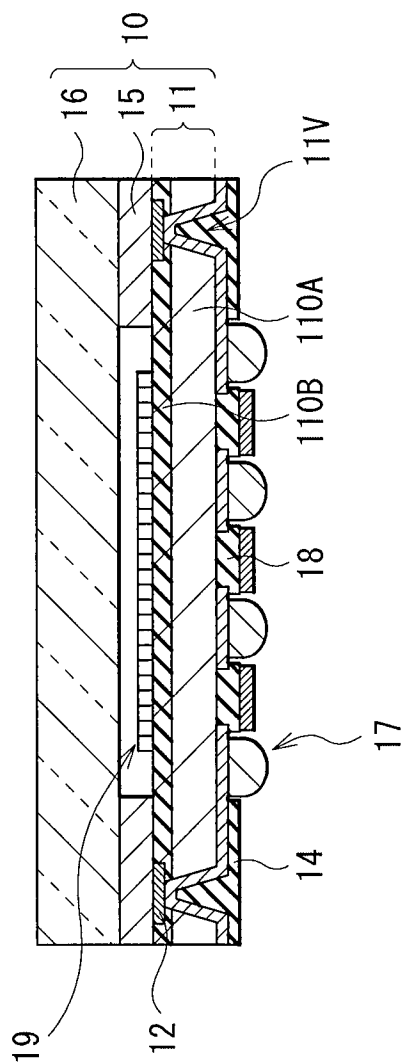
[図4C]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/000217

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/3205 (2006.01) i, H01L21/768 (2006.01) i,
H01L23/522 (2006.01) i, H01L27/146 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/3205, H01L21/768, H01L23/522, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-340112 A (MIYAZAKI OKI DENKI KK) 10 December 1999, paragraphs [0028]-[0047],	1-5, 11, 12, 14
Y	fig. 1-11	6, 8-10, 13
A	(Family: none)	7
X	JP 2000-124107 A (MIYAZAKI OKI DENKI KK) 28 April 2000, paragraphs [0005], [0012]-[0014], [0020],	1-5, 11, 12, 14
Y	fig. 1	6, 8-10, 13
A	(Family: none)	7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25.03.2019

Date of mailing of the international search report
09.04.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/000217

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 8674524 B1 (WOERZ et al.) 18 March 2014, column 2, line 57 to column 3, line 3, column 3, line 51 to column 6, line 2, column 7, line 36 to column 8, line 12, fig. 1B, 3B-3E, 6 & DE 102013111004 A1	1, 2, 12, 14 7
Y A	JP 2005-217071 A (NEC ELECTRONICS CORP.) 11 August 2005, paragraphs [0037]-[0041], fig. 1-4 & US 2005/0161837 A1, paragraphs [0064]-[0111] & CN 1649148 A	6, 8-10, 13 7
Y A	JP 2008-135671 A (ELPIDA MEMORY INC.) 12 June 2008, paragraphs [0012], [0014]-[0021], fig. 1, 2 (Family: none)	8, 9 7
Y A	JP 2012-059832 A (SONY CORPORATION) 22 March 2012, paragraphs [0015]-[0047], fig. 1-14 & US 2012/0056292 A1, paragraphs [0026]-[0058] & CN 102403325 A & KR 10-2012-0025409 A & TW 201220463 A	13 7
A	JP 03-119355 A (HITACHI, LTD.) 21 May 1991, entire text, all drawings & US 5358807 A	1-14

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/146(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/3205, H01L21/768, H01L23/522, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 11-340112 A（宮崎沖電気株式会社） 1999.12.10, 段落[0028]-[0047], 図1-11	1-5, 11, 12, 14
Y	（ファミリーなし）	6, 8-10, 13
A		7
X	JP 2000-124107 A（宮崎沖電気株式会社） 2000.04.28, 段落[0005], [0012]-[0014], [0020], 図1	1-5, 11, 12, 14
Y	（ファミリーなし）	6, 8-10, 13
A		7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

25.03.2019

国際調査報告の発送日

09.04.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

長谷川 直也

50

4549

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	US 8674524 B1 (WOERZ et al.) 2014.03.18, 第2欄第57行-第3欄第3行, 第3欄第51行-第6欄 第2行, 第7欄第36行-第8欄第12行, 図1B, 3B-3E, 6 & DE 102013111004 A1	1, 2, 12, 14 7
Y A	JP 2005-217071 A (NECエレクトロニクス株式会社) 2005.08.11, 段落[0037]-[0041], 図1-4 & US 2005/0161837 A1, 段落[0064]-[0111] & CN 1649148 A	6, 8-10, 13 7
Y A	JP 2008-135671 A (エルピーダメモリ株式会社) 2008.06.12, 段落[0012], [0014]-[0021], 図1, 2 (ファミリーなし)	8, 9 7
Y A	JP 2012-059832 A (ソニー株式会社) 2012.03.22, 段落[0015]-[0047], 図1-14 & US 2012/0056292 A1, 段落[0026]-[0058] & CN 102403325 A & KR 10-2012-0025409 A & TW 201220463 A	13 7
A	JP 03-119355 A (株式会社日立製作所) 1991.05.21, 全文, 全図 & US 5358807 A	1-14