(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3684589号

(P3684589)

(45)発行日　平成17年8月17日(2005.8.17)　(24)登録日　平成17年6月10日(2005.6.10)

(51)Int.Cl.[7]	F I		
G11B 20/10	G11B	20/10	321A
G11B 5/09	G11B	5/09	321C
H03L 7/08	H03L	7/08	G

請求項の数 2　(全 10 頁)

(21)出願番号　特願平6-104523
(22)出願日　平成6年4月20日(1994.4.20)
(65)公開番号　特開平7-296514
(43)公開日　平成7年11月10日(1995.11.10)
審査請求日　平成12年8月9日(2000.8.9)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100082762
弁理士　杉浦　正知
(72)発明者　熊井　聡
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　鶴谷　裕二

最終頁に続く

(54)【発明の名称】ディジタル信号再生装置

(57)【特許請求の範囲】

【請求項１】

記録媒体から再生される再生データを２値化する２値化手段と、

該２値化手段によって生成された２値化データと同期した再生クロックを生成する再生クロック生成手段と、

上記２値化手段と、上記再生クロック生成手段とを用いて上記再生データのアシンメトリを補正するアシンメトリ補正手段とを有し、

データが記録されるデータ領域と、該データ領域に先行して設けられ、所定パターンのデータが記録される引き込み領域とを有する記録媒体を再生する際に、上記引き込み領域に記録される上記所定パターンを有するデータを用いて上記再生データのアシンメトリ検出を行い、上記再生クロックの周期をＴとして、最適マーク長からのずれが±Ｔ／２を越えない範囲で上記再生データに対するスライスレベルを調整し、該スライスレベルの調整の結果に基づいて上記アシンメトリ補正手段によって上記データ領域に記録される上記データのアシンメトリを補正して、再生することを特徴とするディジタル信号再生装置。

【請求項２】

記録媒体から再生される再生データを２値化する２値化手段と、

該２値化手段によって生成された２値化データと同期した再生クロックを生成する再生クロック生成手段と、

上記２値化手段と、上記再生クロック生成手段とを用いて上記再生データのアシンメトリを補正するアシンメトリ補正手段とを有し、

データが記録されるデータ領域と、該データ領域に先行して設けられ、所定パターンのデータが記録される引き込み領域とを有する記録媒体を再生する際に、上記引き込み領域に記録される上記所定パターンを有するデータを用いて上記再生データのアシンメトリ検出を行い、上記再生クロックの周期をＴとして、最適マーク長からのずれが±Ｔ／２を越えない範囲で、アシンメトリ検出手段から供給される上記再生データのアシンメトリの補正量に基づいて上記再生データを調整し、該調整結果に基づいて上記アシンメトリ補正手段によって上記データ領域に記録される上記データのアシンメトリを補正して、再生することを特徴とするディジタル信号再生装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

この発明は、例えば、光ディスク装置、磁気テープ装置、磁気ディスク装置等、ディジタルデータを再生する機能を有する装置全般に適用することができるディジタル信号再生装置に関する。

【０００２】

【従来の技術】

例えば、光磁気ディスク装置においては、メディアの記録感度の変動、記録光パワーの変動、環境温度の変動等の要因によって、記録されるマークの長さが変動し、マーク長の非対称性、すなわちアシンメトリが発生していた。一方、再生データの処理に用いるクロックは、再生され２値化されたデータのエッジ情報に基づいて形成される。

【０００３】

このように、アシンメトリによって、再生クロックの位相のズレが生じ、またデータ自身の長さが正規のものからズレる結果、再生データを正しく読み取ることができない。すなわち、アシンメトリは、エラーレートを悪化させる大きな要因となるため、アシンメトリを抑圧することは、非常に重要な技術である。

【０００４】

従来、２値化されたデータを記録するときに、ある長い時間ｔの間、記録コードのマーク`＋１'とマークでない所`－１'の割合が１対１なるように、変調する直流成分を持たない変調方式、例えばＥＦＭ（Eight to Fourteen Modulation）変調が知られている。この場合には、２値化したデータを時間ｔの間、記録コードを積分することにより、＋側に偏っているか、－側に偏っているかを検出し、検出によって、アシンメトリ補正量（最適なマーク長を検出する最適スライスレベルから実際のスライスレベルがずれている量）を算出してアシンメトリ補正を行っていた。

【０００５】

【発明が解決しようとする課題】

ここで、アシンメトリを検出する方法として、２値化データと、その２値化データから再生したＰＬＬクロックを１／４チャンネルクロック周期遅らせた、出力とを排他的論理和を施すことにより、中心値に対して、＋側に偏っているか、－側に偏っているかを検出するアシンメトリ検出方法を提案している。このときの、エラー電圧とマークシフト量の関係を図９へ示す。

【０００６】

また、アシンメトリを検出する他の方法として、２値化データの立ち上がりエッジから再生された立ち上がりクロックと、２値化データの立ち下がりエッジから再生された立ち下がりクロックの位相関係とから位相比較を施すことにより、中心値に対して、＋側に偏っているか、－側に偏っているかを検出するアシンメトリ検出方法を提案している。このときの、エラー電圧とマークシフト量の関係を図１０へ示す。

【０００７】

これら、図９、および図１０において、エラー電圧は、－Ｔ／２≦｜（検出されたマーク長）－（適正なマーク長）｜≦Ｔ／２の範囲では、直線的に変化する。しかしながら、この範囲を超えると、エラー電圧は、折り返しているため、この範囲を超える状態において

、上述のようなアシンメトリ補正を行うと、図１１に示すアイパターンの実線で示す正規のクロスポイントではなく、点線で示す異なるクロスポイントへスライスレベルが移り、誤った２値化がなされることがあった。

【０００８】

従って、この発明は、正規のクロスポイントへスライスレベルを移すことができると共に、（１，７）ＲＬＬ（Run Length Limited）記録のような直流成分を持つ変調方式においても、有効にアシンメトリを検出することができ、アシンメトリ補正を行うことのできるディジタル信号再生装置を提供することを目的とする。

【０００９】

【課題を解決するための手段】

この発明は、記録媒体から再生される再生データを２値化する２値化手段と、該２値化手段によって生成された２値化データと同期した再生クロックを生成する再生クロック生成手段と、２値化手段と、再生クロック生成手段とを用いて再生データのアシンメトリを補正するアシンメトリ補正手段とを有し、データが記録されるデータ領域と、該データ領域に先行して設けられ、所定パターンのデータが記録される引き込み領域とを有する記録媒体を再生する際に、引き込み領域に記録される所定パターンを有するデータを用いて再生データのアシンメトリ検出を行い、再生クロックの周期をＴとして、最適マーク長からのずれが±Ｔ／２を越えない範囲で再生データに対するスライスレベルを調整し、該スライスレベルの調整の結果に基づいてアシンメトリ補正手段によってデータ領域に記録されるデータのアシンメトリを補正して、再生することを特徴とするディジタル信号再生装置である。

【００１０】

【作用】

この発明に係るディジタル信号再生装置は、ディジタルデータにより記録されている信号のアシンメトリ補正が効率よく行うことができる。

【００１１】

【実施例】

以下、この発明に係るアシンメトリ補正を施す実施例について図面を参照しながら詳細に説明する。図１は、アシンメトリ補正回路の概略的なブロック図を示す。１で示される入力端子は、記録媒体から再生されたＲＦ信号（以下、再生ＲＦ信号と称する）が供給される。供給された再生ＲＦ信号は、等化器２に供給され、等化器２からのＥＱ信号として、コンパレータ３へ供給される。

【００１２】

ここで、加算器５では、アシンメトリ検出部６において、アシンメトリが検出され、検出されたアシンメトリは、アシンメトリ検出部６からアシンメトリ補正部７へ供給される。アシンメトリ補正部７では、検出されたアシンメトリに対応した補正量が設定され、設定された補正量は、加算器５へ供給される。加算器５では、スライスレベル４から供給されるスライスレベルと、アシンメトリ補正部７から供給された補正量とが加算される。すなわち、スライスレベル４から供給されたスライスレベルの補正が行われる。

【００１３】

コンパレータ３では、加算器５から供給されるスライスレベルを基準として、等化器２から供給されるＥＱ信号の２値化がなされる。このコンパレータ３から出力される再生２値化データは、ＰＬＬ（Phase Locked Loop ）生成回路８、および弁別器９へ供給される。再生２値化データが供給されたＰＬＬ生成回路８では、再生クロックが生成され、この再生クロックは、ＰＬＬ生成回路８から弁別器９へ供給される。弁別器９は、コンパレータ３からの再生２値化データをＰＬＬ生成回路８からの再生クロックに同期して、出力するための回路である。この弁別器９から再生データが生成され、出力端子１０から取り出される。

【００１４】

ここで、図２は、この発明に係る記録媒体の記録フォーマットの一例である。この発明は

、記録可能な記録媒体（例えば、ＭＯディスク、磁気テープ等）、あるいは、再生専用の記録媒体（ＣＤ－ＲＯＭ等）の何れに対しても、適用できる。図２Ａは、引込み領域１１に記録されている記録パターンを示している。この引込み領域１１の位置は、記録時に決めても、予め記録媒体上にプリフォーマットされていても良い。

【００１５】

図２Ｂは、記録媒体へ記録されている記録フォーマットを示している。引込み領域１１は、スライスレベルを調整するための領域であり、この領域は、２Ｔのパターン、または４Ｔのパターン等、デューティ比が５０％の記録データが繰り返し再生される。データ領域１２は、直流成分を持つ（ＤＣフリーではない）、一例として、（１，７）ＲＬＬ記録のような記録フォーマットにより記録されている。ここで、引込み領域１１に記録されている記録パターンは、データ領域１２に書き込まれたときと同じレーザパワーで書き込まれる。

【００１６】

図２Ｃは、スライスレベルと時間ｔとの関係を示している。この一例では、スライスレベルが引込み領域１１内において、アシンメトリ補正が施され、徐々に適正スライスレベルへ移り、すなわちデューティ比が５０％となるように、スライスレベルが移る。データ領域１２において、スライスレベルは、適正スライスレベルとなり、直流成分を持たない（ＤＣフリー）か否かに関わらず効率よくアシンメトリ補正がなされ、データ領域１２へ記録されているデータを再生することができる。

【００１７】

ここで、図３は、シングルＰＬＬ型のアシンメトリ補正回路の一実施例のブロック図である。２１で示される入力端子は、記録媒体から再生されたＲＦ信号（以下、再生ＲＦ信号と称する）が供給される。供給された再生ＲＦ信号は、等化器２２に供給され、等化器２２からのＥＱ信号として、コンパレータ２３へ供給される。

【００１８】

コンパレータ２３では、スライスレベル２４から供給されるスライスレベルを基準として、等化器２２から供給されるＥＱ信号の２値化がなされる。このコンパレータ２３から出力される再生２値化データは、アシンメトリ検出回路２６、ＰＬＬ生成回路２７、および弁別器２８へ供給される。再生２値化データが供給されたＰＬＬ生成回路２７では、再生クロックが生成され、この再生クロックは、ＰＬＬ生成回路２７からアシンメトリ検出回路２６、および弁別器２８へ供給される。

【００１９】

アシンメトリ検出回路２６では、ＰＬＬ生成回路２７から再生クロックが供給され、供給された再生クロックを１／４チャンネルクロック遅延（Ｔは、チャンネルクロック周期を示し、以下、Ｔ／４クロックと称する）させた信号と、コンパレータ２３から再生２値化データとからアシンメトリが検出された後、補正量が加算器２５へ供給される。この加算器２５では、スライスレベル２４から供給されるスライスレベルへ、アシンメトリ検出回路２６から供給される補正量が加算されることにより、スライスレベルの補正がなされる。

【００２０】

補正がなされたスライスレベルは、コンパレータ２３へ供給され、コンパレータ２３において、上述したようにＥＱ信号の２値化が施される。弁別器２８は、コンパレータ２３からの再生２値化データをＰＬＬ生成回路２７からの再生クロックに同期して、出力するための回路である。この弁別器２８から再生データが生成され、出力端子２９から取り出される。

【００２１】

ここで、アシンメトリ検出回路２６の詳細な構成を図４を用いて説明する。端子３１から再生２値化データがＥＸＯＲ回路３３、およびＬＰＦ３７へ供給され、端子３２から再生クロック（Ｔ／４クロック）がＥＸＯＲ回路３３へ供給される。ＥＸＯＲ回路３３では、再生２値化データと、再生クロック（Ｔ／４クロック）との排他的論理和が施され、排他

的論理和が施されたデータは、ＬＰＦ３４へ供給される。ＬＰＦ３４、および３７では、供給されたデータの積分がなされ、中心値（最適値）に対して、＋側または、－側のどちらに偏っているかが検出される。

【００２２】

ゲイン調整回路３５、および３８では、ＬＰＦ３４、および３７において検出された偏りにより、補正量が設定される。ゲイン調整回路３５から設定された補正量がスイッチ３６の入力端子ａへ供給され、ゲイン調整回路３８から設定された補正量がスイッチ３６の入力端子ｂへ供給される。スイッチ３６では、端子３９から供給される切換信号により切り換えられ、スイッチ３６に供給された補正量は、スイッチ３６の出力端子ｃを介して、出力端子４０から取り出される。取り出された補正量は、図３中の加算器２５へ供給される。

【００２３】

この端子３９から供給されるスイッチの切換信号は、例えば、プリフォーマット信号から生成したゲート信号である。

【００２４】

ここで、図２中の引込み領域１１では、再生２値化データがＬＰＦ３７、ゲイン調整回路３８、およびスイッチ３６を介して、出力端子４０から補正量が出力される。データ領域１２では、再生２値化データと再生クロックとがＥＸＯＲ回路３３、ＬＰＦ３４、ゲイン調整回路３５、およびスイッチ３６を介して、出力端子４０から補正量が出力される。すなわち、引込み領域１１では、スイッチ３６の入力端子ｂから補正量が出力され、データ領域１２では、スイッチ３６の入力端子ａから補正量が出力される。

【００２５】

ここで、図５は、シングルＰＬＬ型のアシンメトリ検出回路の異なる実施例を示すブロック図である。入力端子２１を介して、記録媒体から供給される再生ＲＦ信号を等化器２２へ供給し、等化器２２からのＥＱ信号が減算器４１へ供給される。アシンメトリ検出回路２６から供給された補正量と、等化器２２から供給されたＥＱ信号とを減算器２３において、演算がなされる。これによって、ＥＱ信号の中心レベルが制御され、すなわち補正が施されたＥＱ信号は、コンパレータ２３へ供給される。

【００２６】

コンパレータ２３では、スライスレベル２４から供給されるスライスレベルを基準として、補正が施されたＥＱ信号の２値化が行われる。２値化が行われたデータは、コンパレータ２３から再生２値化データとして、アシンメトリ検出回路２６、ＰＬＬ生成回路２７、および弁別器２８へ供給される。上述のようにＰＬＬ生成回路２７では、再生クロックが生成され、アシンメトリ検出回路２６では、再生２値化データと、再生クロック（Ｔ／４クロック）からアシンメトリが検出され、補正量が出力される。また、再生２値化データと再生クロックとが供給される弁別器２８では、再生データが生成され、出力端子２９から取り出される。

【００２７】

次に、図６は、デュアル（ダブル）ＰＬＬ型のアシンメトリ補正回路の一実施例のブロック図である。５１は、入力端子を示し、記録媒体から再生された再生ＲＦ信号が供給される。入力端子５１から供給された再生ＲＦ信号は、等化器５２へ供給され、等化器５２では、ＥＱ信号としてコンパレータ５３へ供給される。コンパレータ５３では、等化器５２から供給されたＥＱ信号をスライスレベル５４から供給されるスライスレベルを基準として、２値化が施される。ここで、コンパレータ５３へ供給されるスライスレベルは、加算器５５において、アシンメトリ検出回路５６から供給される補正量が加算されている。

【００２８】

コンパレータ５３から再生２値化データがエッジ検出回路５７、アシンメトリ検出回路５６、および弁別器６０へ供給される。エッジ検出回路５７では、供給された再生２値化データから立ち上がりエッジ、および立ち下がりエッジが検出され、検出された立ち上がりエッジは、ＰＬＬ５８へ供給され、立ち下がりエッジは、ＰＬＬ５９へ供給される。ＰＬ

Ｌ５８では、供給された立ち上がりエッジから再生クロックが生成され、ＰＬＬ５９では、供給された立ち下がりエッジから再生されたクロックを反転した再生クロック（以下、反転再生クロックと称する）が生成される。

【００２９】

ＰＬＬ５８において、生成される再生クロックは、アシンメトリ検出回路５６、および弁別器６０へ供給され、ＰＬＬ５９において、生成される反転再生クロックは、アシンメトリ検出回路５６、および弁別器６０へ供給される。ＰＬＬ５８からの再生クロックがセットパルスとして、ＰＬＬ５９からの反転再生クロックがリセットパルスとして、供給されるアシンメトリ検出回路５６では、後述するように、アシンメトリが検出され、補正量が設定され、その補正量は、加算器５５へ供給される。

【００３０】

加算器５５では、上述したようにコンパレータ５３において、基準となるスライスレベルへ補正量が加算される。弁別器６０は、ＰＬＬ５８からの再生クロックと、ＰＬＬ５９からの反転再生クロックとに同期して、コンパレータ５３からの再生２値化データを出力するための回路である。この弁別器６０から再生データが生成され、出力端子６１から取り出される。

【００３１】

ここで、図７は、上述したアシンメトリ検出回路５６の詳細な構成をブロック図で示す。入力端子７１から再生クロックが供給され、入力端子７２から反転再生クロックが供給される。位相比較器７３では、供給された再生クロックは、セットパルスとして、供給された反転再生クロックは、リセットパルスとして用いられ、出力信号の生成がなされ、ＬＰＦ７４へ供給される。ＬＰＦ７４において、供給された出力信号の積分がなされ、供給された出力信号の中心値に対する偏りが検出される。

【００３２】

検出された偏りは、ゲイン調整回路７５において、補正量が設定され、設定された補正量は、スイッチ７６の入力端子ａへ供給される。スイッチ７６では、端子８０から供給される切換信号により切り換えられ、スイッチ７６の入力端子ａ、およびスイッチ７６の入力端子ｂへ供給された信号は、スイッチ７６の出力端子ｃを介して、出力端子８１から取り出される。取り出された補正量は、図６中の加算器５５へ供給される。ここで、スイッチ７６の入力端子ｂへ供給される補正量は、入力端子７７から供給される再生２値化データがＬＰＦ７８、およびゲイン調整回路７９を介して、供給される。

【００３３】

ここで、図２中の引込み領域１１では、再生２値化データがＬＰＦ７８、ゲイン調整回路７９、およびスイッチ７６を介して、出力端子８１から補正量が出力される。データ領域１２では、再生２値化データと再生クロックとが位相比較器７３、ＬＰＦ７４、ゲイン調整回路７５、およびスイッチ７６を介して、出力端子８１から補正量が出力される。すなわち、引込み領域１１では、スイッチ７６の入力端子ｂへ供給された補正量が出力され、データ領域１２では、スイッチ７６の入力端子ａへ供給された補正量が出力される。

【００３４】

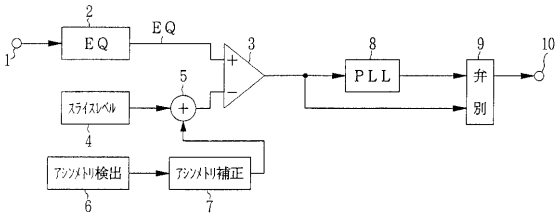
ここで、図８は、デュアル（ダブル）ＰＬＬ型のアシンメトリ補正回路の異なる実施例を示すブロック図である。入力端子５１を介して、記録媒体から再生された再生ＲＦ信号が入力され、等化器５２へ供給される。供給された再生ＲＦ信号は、等化器５２からのＥＱ信号として、減算器８２へ供給される。減算器８２では、等化器５２から供給されたＥＱ信号が、アシンメトリ検出回路５６から供給された補正量によって、補正がなされる。

【００３５】

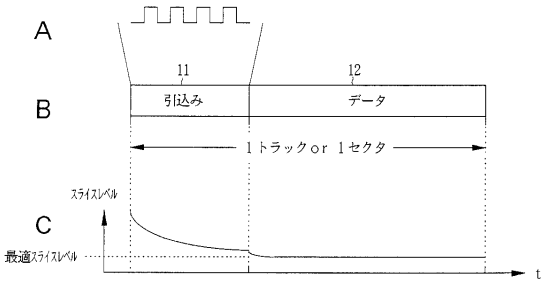
コンパレータ５３では、補正が施されたＥＱ信号がスライスレベル５４から供給される基準となるスライスレベルによって、２値化が行われる。コンパレータ５３からエッジ検出回路５７、アシンメトリ検出回路５６、および弁別器６０へ再生２値化データが供給される。上述のようにエッジ検出回路５７では、立ち上がりエッジ、および立ち下がりエッジが検出され、ＰＬＬ５８において、再生クロックが生成され、ＰＬＬ５９において、反転

再生クロックが生成される。
【００３６】
再生クロック、すなわちセットパルス、および反転再生クロック、すなわちリセットパルスが供給されたアシンメトリ検出回路５６では、アシンメトリが検出され、補正量が減算器８２へ供給される。弁別器６０では、再生クロック、反転再生クロック、および再生２値化データが供給され、再生データが出力端子６１から取り出される。
【００３７】
ここで、上述の実施例では、等化器が用いられているが、この等化器は、常に必要とされるわけではない。
【００３８】
【発明の効果】
この発明を用いることにより、アイパターンの正しいクロスポイントへスライスレベルを移すことが可能となり、正確なアシンメトリ補正を行うことが可能となり、再生エラーレートを向上させることができる。
【００３９】
さらに、再生エラーレートが向上することにより、ディジタルデータの記録／再生装置の記録密度の向上、記録時間の向上、信頼性の向上等の効果が得ることができる。
【図面の簡単な説明】
【図１】この発明に係るシングルＰＬＬ型のアシンメトリ検出回路の一例の概略図である。
【図２】この発明に係る信号フォーマットの一実施例の略線図である。
【図３】この発明に係るシングルＰＬＬ型のアシンメトリ検出回路の一例のブロック図である。
【図４】この発明に係るアシンメトリ検出回路の一例のブロック図である。
【図５】この発明に係るシングルＰＬＬ型のアシンメトリ検出回路の一例のブロック図である。
【図６】この発明に係るデュアル（ダブル）ＰＬＬ型のアシンメトリ検出回路の一実施例のブロック図である。
【図７】この発明に係るアシンメトリ検出回路の一例のブロック図である。
【図８】この発明に係るデュアル（ダブル）ＰＬＬ型のアシンメトリ検出回路の一実施例のブロック図である。
【図９】エラー電圧とマークシフト量の関係を示した一例の略線図である。
【図１０】エラー電圧とマークシフト量の関係を示した一例の略線図である。
【図１１】アイパターンのクロスポイントの関係を示した一例の略線図である。
【符号の説明】
２２　等化器
２３　コンパレータ
２４　スライスレベル
２６　アシンメトリ検出回路
２７　ＰＬＬ生成回路
２８　弁別器

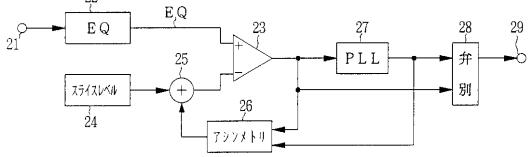
【図１】



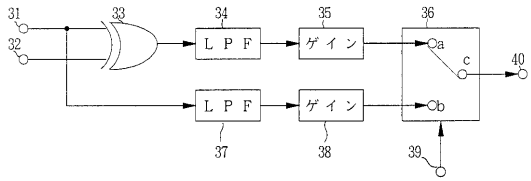
【図２】



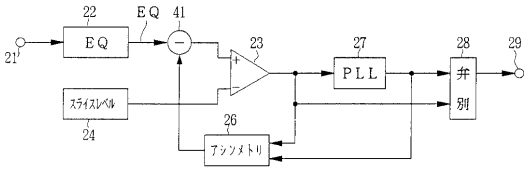
【図３】



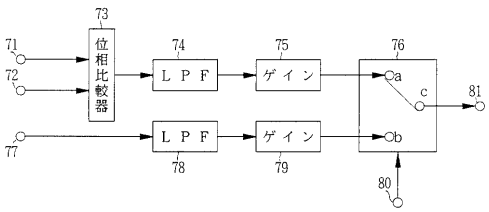
【図４】



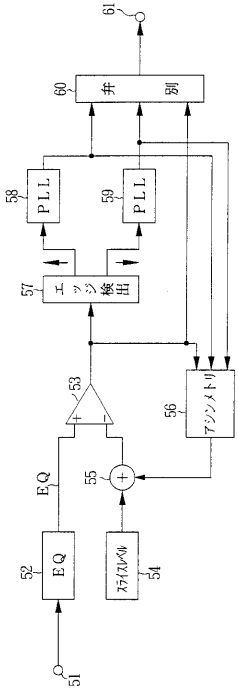
【図５】



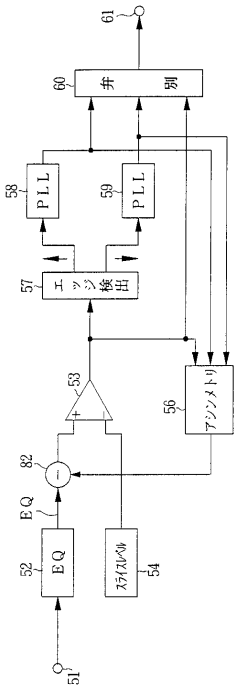
【図７】



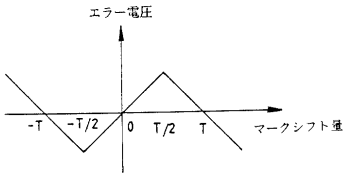
【図６】



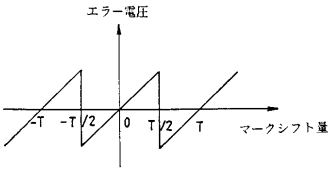
【図８】


61
60
弁別
58
PLL
59
PLL
57
エッジ検出
53
56
アジンメトリ
82
EQ
52
EQ
54
スライスレベル
51

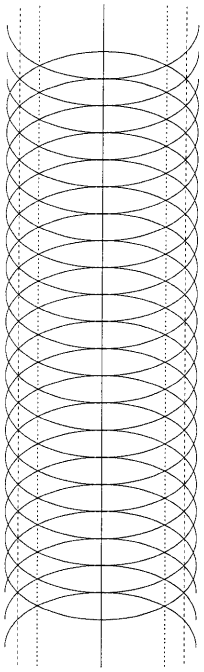
【図９】


エラー電圧
-T
-T/2
0
T/2
T
マークシフト量

【図１０】


エラー電圧
-T
-T/2
0
T/2
T
マークシフト量

【図１１】



フロントページの続き

(56)参考文献 特開昭６３－１６７４７８（ＪＰ，Ａ）
特開昭６２－２５７６３０（ＪＰ，Ａ）
特開昭５８－００３１１９（ＪＰ，Ａ）
特開平０７－１４１６５９（ＪＰ，Ａ）
特開平０６－１５０５７８（ＪＰ，Ａ）
特開平０６－１５０５４９（ＪＰ，Ａ）
特開平０６－０４４５６５（ＪＰ，Ａ）
特開平０５－３３４８０３（ＪＰ，Ａ）
特開平０５－３３４８０２（ＪＰ，Ａ）
特開平０５－２７４７９７（ＪＰ，Ａ）
特開平０４－２８５７７１（ＪＰ，Ａ）
特開平０３－１１６５８１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G11B 20/10
G11B 5/09
H03L 7/08