



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년12월11일
(11) 등록번호 10-1927101
(24) 등록일자 2018년12월04일

(51) 국제특허분류(Int. Cl.)
H04N 5/3745 (2011.01) H04N 5/369 (2011.01)
(52) CPC특허분류
H04N 5/3745 (2013.01)
H04N 5/3692 (2013.01)
(21) 출원번호 10-2017-0109587
(22) 출원일자 2017년08월29일
심사청구일자 2017년08월29일
(56) 선행기술조사문헌
JP2004080075 A*
JP2011035701 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
범진욱
서울특별시 강남구 도곡로78길 22, 103동 1205호
(대치동, 대치삼성아파트)
사의제
서울특별시 마포구 백범로 68-1, 1001호(신수동, 주하빌딩)
이관우
전라남도 나주시 세지면 대산길 116-3
(74) 대리인
정부연

전체 청구항 수 : 총 15 항

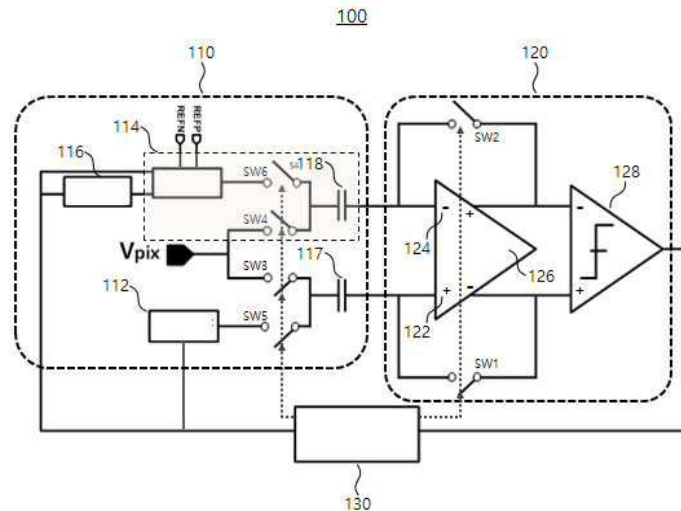
심사관 : 이성현

(54) 발명의 명칭 **축차 비교형 아날로그-디지털 변환기 및 이를 포함하는 CMOS 이미지 센서**

(57) 요약

본 발명의 일 실시예에 따른 축차 비교형 아날로그-디지털 변환기(Successive Approximation Register Analog Digital Converter)는 N 개(상기 N은 자연수)의 디지털 비트들을 수신하고, 복수의 저항들을 포함하는 제1 서브 디지털-아날로그 변환기와 복수의 커패시터들 및 저항들 각각을 포함하는 제2 및 제3 서브 디지털-아날로그 변환기들을 통해 제1 아날로그 전압을 출력하는 디지털-아날로그 변환부 및 상기 제1 아날로그 전압과 제2 아날로그 전압 간의 비교 결과를 수신하여 상기 N 개의 디지털 비트들을 결정하는 SAR 부를 포함한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 R7117-16-0165
 부처명 과학기술정보통신부
 연구관리전문기관 정보통신기술진흥센터
 연구사업명 IT-SW융합산업원천기술개발사업
 연구과제명 스마트 카 및 디바이스를 위한 Hall Effect 센서 반도체 개발
 기 여 율 0.3/1
 주관기관 숭실대학교 산학협력단
 연구기간 2016.04.01 ~ 2018.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 10080622
 부처명 산업통상자원부
 연구관리전문기관 KSRC
 연구사업명 산업핵심기술개발사업/미래반도체소자 원천기술개발사업
 연구과제명 고속 응답/고속 스위칭 DC-DC Converter 설계 기술개발
 기 여 율 0.7/1
 주관기관 서강대학교 산학협력단
 연구기간 2017.07.01 ~ 2021.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

N 개(상기 N은 자연수)의 디지털 비트들을 수신하고, 복수의 저항들을 포함하는 제1 서브 디지털-아날로그 변환기 또는 복수의 커패시터들 및 저항들 각각을 포함하는 제2 및 제3 서브 디지털-아날로그 변환기들을 통해 제1 아날로그 전압을 출력하는 디지털-아날로그 변환부;

상기 제1 아날로그 전압과 입력 전압에 해당하는 제2 아날로그 전압을 비교하여 비교 결과를 제공하는 비교기; 및

상기 비교 결과를 수신하여 상기 N 개의 디지털 비트들을 결정하는 SAR 부를 포함하고,

상기 제1 서브 디지털-아날로그 변환기는 상기 비교기의 제1 입력단과 연결된 제1 샘플링 커패시터와 연결되어 $(m + n + j)$ 개(상기 m, n 및 j은 자연수)의 디지털 비트들에 해당하는 상기 N 개의 디지털 비트들 중 상기 m 개의 상위 비트들을 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력하는 것을 특징으로 하는 축차 비교형 아날로그-디지털 변환기(Successive Approximation Register Analog Digital Converter).

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 제2 서브 디지털-아날로그 변환기는

상기 비교기의 제2 입력단과 연결되어 상기 N 개의 디지털 비트들 중 상기 n 개의 중위 비트들을 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력하는 것을 특징으로 하는 축차 비교형 아날로그-디지털 변환기.

청구항 4

제3항에 있어서, 상기 제3 서브 디지털-아날로그 변환기는

상기 제2 서브 디지털-아날로그 변환기의 입력단과 연결되어 상기 제2 서브 디지털-아날로그 변환기를 통해 상기 N 개의 디지털 비트들 중 상기 j 개의 하위 비트들을 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력하는 것을 특징으로 하는 축차 비교형 아날로그-디지털 변환기.

청구항 5

제1항에 있어서, 상기 SAR 부는

상기 제1 서브 디지털-아날로그 변환기를 통해 생성된 제1 아날로그 전압과 상기 비교기의 제2 입력단에 샘플링된 제2 아날로그 전압 간의 비교 결과를 기초로 상기 m 개의 상위 비트들을 순차적으로 결정하는 것을 특징으로 하는 축차 비교형 아날로그-디지털 변환기.

청구항 6

제5항에 있어서, 상기 SAR 부는

상기 제2 서브 디지털-아날로그 변환기를 통해 생성된 제1 아날로그 전압과 상기 비교기의 제1 입력단에 샘플링

된 제2 아날로그 전압 간의 비교 결과를 수신하여 상기 n 개의 중위 비트들을 순차적으로 결정하는 것을 특징으로 하는 축차 비교형 아날로그-디지털 변환기.

청구항 7

제6항에 있어서, 상기 SAR 부는

상기 제3 서브 디지털-아날로그 변환기를 통해 생성된 제1 아날로그 전압과 상기 비교기의 제1 입력단에 샘플링된 제2 아날로그 전압 간의 비교 결과를 수신하여 상기 j 개의 하위 비트들을 순차적으로 결정하는 것을 특징으로 하는 축차 비교형 아날로그-디지털 변환기.

청구항 8

제1항에 있어서,

상기 제2 및 제3 서브 디지털-아날로그 변환기는 복수의 리턴던시 캐패시터들 및 리턴던시 저항들 각각을 더 포함하고,

상기 SAR 부는 상기 복수의 리턴던시 캐패시터들 또는 리턴던시 저항들을 통해 생성된 제1 아날로그 전압과 상기 비교기의 제1 입력단에 샘플링된 제2 아날로그 전압 간의 비교 결과를 기초로 에러 발생률을 최소화시키기 위한 k 개(상기 k 는 자연수)의 리턴던시 디지털 비트를 더 결정하는 것을 특징으로 하는 축차 비교형 아날로그-디지털 변환기.

청구항 9

N 개(상기 N 은 자연수)의 디지털 비트들을 수신하고 적어도 하나는 복수의 저항들로 구성되고 나머지 중 적어도 하나는 복수의 캐패시터들로 구성된 L 개(상기 L 은 3 이상의 자연수)의 서브 디지털-아날로그 변환기들을 통해 제1 아날로그 전압을 출력하는 디지털-아날로그 변환부;

상기 제1 아날로그 전압과 제2 아날로그 전압을 비교하여 비교 결과를 제공하는 비교기; 및

상기 비교 결과를 수신하여 상기 N 개의 디지털 비트들을 결정하는 SAR 부를 포함하고,

상기 L 개의 서브 디지털-아날로그 변환기들 중 하나는 상기 비교기의 제1 입력단과 연결된 제1 샘플링 캐패시터와 연결되어 상기 L 개의 디지털 비트 그룹들로 구성된 상기 N 개의 디지털 비트들을 구성하는 $b_1, b_2, \dots, b_L$ 그룹들 중 하나의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력하는 것을 특징으로 하는 축차 비교형 아날로그-디지털 변환기(Successive Approximation Register Analog Digital Converter).

청구항 10

삭제

청구항 11

제9항에 있어서, 상기 L 개의 서브 디지털-아날로그 변환기들 중 다른 하나는

상기 비교기의 제2 입력단과 연결된 제2 샘플링 캐패시터를 포함하고, 상기 제2 샘플링 캐패시터를 통해 상기 $b_1, b_2, \dots, b_L$ 그룹들 중 다른 하나의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력하는 것을 특징으로 하는 축차 비교형 아날로그-디지털 변환기.

청구항 12

제11항에 있어서, 상기 L 개의 서브 디지털-아날로그 변환기들 중 나머지는

상기 L 개의 서브 디지털-아날로그 변환기들 중 다른 하나의 입력단과 연결되어 상기 $b_1, b_2, \dots, b_L$ 그룹들 중 나머지의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력하는 것을 특징으로 하는 축차 비교형 아날로그-디지털 변환기.

청구항 13

제12항에 있어서, 상기 SAR 부는

상기 제1 및 제2 샘플링 커패시터들의 단자들 중 상기 비교기의 입력단과 연결되지 않은 단자의 전압을 상기 L 개의 그룹으로 각각 나누어 조절하여 상기 $b_1, b_2, \dots, b_L$ 그룹들 각각을 순차적으로 결정하도록 제어하는 것을 특징으로 하는 축차 비교형 아날로그-디지털 변환기.

청구항 14

복수의 이미지 센서 픽셀 스트링들로 구성된 이미지 센서 픽셀 어레이; 및

상기 복수의 이미지 센서 픽셀 스트링들에 공통되고 복수의 저항들을 포함하는 제1 및 제3 서브 디지털-아날로그 변환기들과 각각이 상기 복수의 이미지 센서 픽셀 스트링들에 독립되고 복수의 커패시터들을 포함하는 복수의 제2 서브 디지털-아날로그 변환기들로 구성된 축차 비교형 아날로그-디지털 변환기를 포함하고,

상기 축차 비교형 아날로그-디지털 변환기는 컬럼 각각의 아날로그-디지털 변환 과정에서 컬럼수 미만으로 배치된 상기 제1 서브 디지털-아날로그 변환기를 공유하여 상기 컬럼 각각의 m 개(상기 m 은 자연수)의 상위 비트들을 결정하고, 상기 컬럼수로 배치된 상기 복수의 제2 서브 디지털-아날로그 변환기들을 통해 상기 컬럼 각각의 n 개(상기 n 은 자연수)의 중위 비트들을 결정하며, 상기 컬럼수 미만으로 배치된 상기 제3 서브 디지털-아날로그 변환기를 공유하여 j 개(상기 j 는 자연수)의 하위 비트들을 결정하는 것을 특징으로 하는 CMOS(Complementary Metal-Oxide Semiconductor) 이미지 센서.

청구항 15

삭제

청구항 16

복수의 이미지 센서 픽셀 스트링들로 구성된 이미지 센서 픽셀 어레이; 및

각각이 상기 복수의 이미지 센서 픽셀 스트링들에 독립되고 복수의 저항들을 각각 포함하는 복수의 제1 및 제3 서브 디지털-아날로그 변환기들과 상기 복수의 이미지 센서 픽셀 스트링들에 공통되고 복수의 커패시터들을 포함하는 제2 서브 디지털-아날로그 변환기로 구성된 축차 비교형 아날로그-디지털 변환기를 포함하고,

상기 축차 비교형 아날로그-디지털 변환기는 컬럼 각각의 아날로그-디지털 변환 과정에서 컬럼수로 배치된 상기 복수의 제1 서브 디지털-아날로그 변환기들을 통해 상기 컬럼 각각의 m 개(상기 m 은 자연수)의 상위 비트들을 결정하고, 상기 컬럼수 미만으로 배치된 상기 제2 서브 디지털-아날로그 변환기를 공유하여 상기 컬럼 각각의 n 개(상기 n 은 자연수)의 중위 비트들을 결정하며, 상기 컬럼수로 배치된 상기 복수의 제3 서브 디지털-아날로그 변환기들을 통해 상기 컬럼 각각의 j 개(상기 j 은 자연수)의 하위 비트들을 결정하는 것을 특징으로 하는 CMOS(Complementary Metal-Oxide Semiconductor) 이미지 센서.

청구항 17

삭제

청구항 18

복수의 이미지 센서 픽셀 스트링들로 구성된 이미지 센서 픽셀 어레이; 및

- (i) 각각이 상기 복수의 이미지 센서 픽셀 스트링들에 공통되고 복수의 저항들을 포함하는 L (상기 L은 3 이상의 자연수) 개의 서브 디지털-아날로그 변환기들 중 적어도 하나(이하, 공통 서브 디지털-아날로그 변환기)와
- (ii) 각각이 상기 복수의 이미지 센서 픽셀 스트링들에 독립되고 상기 L 개의 서브 디지털-아날로그 변환기들 중 나머지(이하, 독립 서브 디지털-아날로그 변환기)로 구성된 축차 비교형 아날로그-디지털 변환기를 포함하고,

상기 L 개의 서브 디지털-아날로그 변환기들 중 적어도 하나는 상기 L 개의 디지털 비트 그룹들로 구성된 N 개의 디지털 비트들을 구성하는 $b_1, b_2, \dots, b_L$ 그룹들 중 하나의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 제1 아날로그 전압으로 출력하는 것을 특징으로 하는 CMOS(Complementary Metal-Oxide Semiconductor) 이미지 센서.

청구항 19

제18항에 있어서, 상기 축차 비교형 아날로그-디지털 변환기는

컬럼 각각에 관한 아날로그-디지털 변환 과정에서 컬럼수 미만으로 배치된 상기 공통 서브 디지털-아날로그 변환기를 공유하여 N (상기 N은 자연수) 개의 디지털 비트들을 구성하는 상기 L 개의 디지털 비트 그룹들 중 적어도 일부를 순차적으로 결정하고, 상기 컬럼수로 배치된 상기 독립 서브 디지털-아날로그 변환기를 통해 상기 L 개의 디지털 비트 그룹들 중 나머지를 순차적으로 결정하는 것을 특징으로 하는 CMOS 이미지 센서.

발명의 설명

기술 분야

- [0001] 본 발명은 아날로그-디지털 변환 기술에 관한 것으로, 보다 상세하게는 면적 효율을 개선하고 고속 변환에 용이한 축차 비교형 아날로그-디지털 변환기 및 이를 포함하는 CMOS 이미지 센서에 관한 것이다.

배경 기술

- [0003] CMOS(Complementary Metal-Oxide Semiconductor) 이미지 센서 시스템은 픽셀 이미지에 의한 아날로그 전압을 디지털 신호로 변환시키는 ADC(Analog Digital Converter)를 구성 요소로 포함하고, 분해능 대비 면적 효율을 개선하기 위해 컬럼용 ADC를 카운터 타입의 싱글슬로프 (single slope) ADC로 이용한다. 이러한 종래의 CMOS 이미지 센서는 카운터 타입의 ADC를 적용하여 면적을 개선할 수 있으나, 해당 시스템에서 요구되는 고속의 프레임 레이트(frame rate)를 구현하기 어려운 단점이 있다.
- [0004] 종래 CMOS 이미지 센서에서의 상기 단점들을 개선하기 위해 고속 변환에 용이한 축차 비교형(Successive Approximation Register) ADC를 적용하기 위한 연구들이 이루어지고 있다. 축차 비교형 ADC 기술은 이진 탐색 방식으로 양자화하는 변환 방식을 이용할 수 있다. 보다 구체적으로, 축차 비교형 ADC 기술은 커패시터로 구성된 DAC(Digital Analog Converter)와 비교기(Comparator)를 사용하여 각각의 비트에 대해 클럭 단위로 상위 MSB(most significant bit)부터 LSB(least significant bit) 쪽으로 결정해나가고, 한 클럭마다 우선 설정된 비트에 따라 DAC가 아날로그 전압을 생성하면 이것과 입력전압을 비교하여 해당 비트를 결정하며, 이러한 클럭 사이클을 비트 수만큼 진행하여 모든 비트를 결정한다.
- [0005] 종래의 CMOS 이미지 센서는 커패시터 DAC로 구성된 축차 비교형 ADC를 컬럼 개수만큼 구비하여 컬럼용 ADC로 적용할 수 있으나, 이 경우 면적 효율이 현저하게 급감하는 문제가 있어 이러한 종래 기술의 단점을 개선할 수 있는 기술 개발이 요구되고 있다.
- [0006] 한국공개특허공보 제10-2015-0059405(2015.06.01)호는 SAR 아날로그-디지털 변환 장치 및 그 방법과 그에 따른 씨모스 이미지 센서에 관한 것으로, [N] 비트 SAR 아날로그-디지털 변환부(N은 자연수)의 분해 비트에 따라 서로 다른 기준 전압을 공급하기 위한 기준 전압 공급부; 상기 기준 전압 공급부로부터의 기준 전압에 따라 픽셀

출력 신호에 대해 상위 [N-1] 비트 및 하위 [N] 비트를 순차적으로 분해하기 위한 상기 [N] 비트 SAR 아날로그-디지털 변환부; 및 상기 [N] 비트 SAR 아날로그-디지털 변환부에서 분해된 각 하위 [N] 비트의 비트 분해 결과의 차를 이용하여 오차 보정값을 구하고, 상기 [N] 비트 SAR 아날로그-디지털 변환부에서 분해된 상위 [N-1] 비트와 하위 [N] 비트의 결합 시 상기 구한 오차 보정값을 이용하여 기준 전압의 오차를 보정하여 [2N-2] 비트의 아날로그-디지털 분해 결과를 출력하기 위한 오차 보정부 포함할 수 있다.

- [0007] 한국등록특허 제10-1686217(2016.12.07)호는 이중채널 비동기 파이프라인 SAR ADC에 관한 것으로, 첫 번째 단은 이중채널로 구현되는 제1 SAR ADC와 제2 SAR ADC가 비동기 SAR 로직과 DAC를 각각 포함하고 제1 비교기를 공유하도록 형성되고, 두 번째 단은 이중채널로 구현되는 제3 SAR ADC와 제4 SAR ADC가 비동기 SAR 로직과 DAC를 각각 포함하고 제2 비교기를 공유하도록 형성되고, 상기 첫 번째 단과 상기 두 번째 단 사이에 위치하고, 상기 제1 SAR ADC와 상기 제2 SAR ADC 중에서 선택된 SAR ADC의 잔류전압 증폭을 수행하는 잔류전압 증폭기 및, 클럭 신호를 생성하는 클럭 타이밍 회로부를 포함하고, 상기 제1 비교기는 상기 클럭 신호, 상기 클럭 신호를 소정 시간 지연한 클럭 지연 신호 및 상기 제1 비교기의 동작 완료에 대응하는 준비 신호를 입력받아 상기 제1 비교기의 준안정 상태를 감지하고, 상기 제1 비교기의 준안정 상태를 감지하면 상기 제1 비교기가 미리 정해진 출력을 내보내고 다음 동작을 수행하게 하는 감지 신호를 출력하는 제1 감지 회로부를 포함한다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 한국공개특허공보 제10-2015-0059405(2015.06.01)호
(특허문헌 0002) 한국등록특허 제10-1686217(2016.12.07)호

발명의 내용

해결하려는 과제

- [0010] 본 발명의 일 실시예는 면적 효율을 개선하고 고속 변환에 용이한 축차 비교형 아날로그-디지털 변환기 및 이를 포함하는 CMOS 이미지 센서를 제공하고자 한다.
- [0011] 본 발명의 일 실시예는 저항 타입의 서브 디지털-아날로그 변환기들과 캐패시터 타입의 서브 디지털-아날로그 변환기를 통해 3 단계의 하이브리드 변환 동작이 가능하여 면적 효율을 개선할 수 있는 축차 비교형 아날로그-디지털 변환기를 제공하고자 한다.
- [0012] 본 발명의 일 실시예는 축차 비교형 아날로그-디지털 변환기를 컬럼 아날로그-디지털 변환기로 적용되 저항 타입의 서브 디지털-아날로그 변환기를 칩 내에 여러 개의 아날로그-디지털 변환기가 공유하도록 하여 고속 변환에 용이하면서 면적 효율을 현저하게 개선시킬 수 있는 CMOS 이미지 센서를 제공하고자 한다.

과제의 해결 수단

- [0014] 실시예들 중에서, 축차 비교형 아날로그-디지털 변환기(Successive Approximation Register Analog Digital Converter)는 N 개(상기 N은 자연수)의 디지털 비트들을 수신하고, 복수의 저항들을 포함하는 제1 서브 디지털-아날로그 변환기 또는 복수의 커패시터들 및 저항들 각각을 포함하는 제2 및 제3 서브 디지털-아날로그 변환기들을 통해 제1 아날로그 전압을 출력하는 디지털-아날로그 변환부, 상기 제1 아날로그 전압과 입력 전압에 해당하는 제2 아날로그 전압을 비교하여 비교 결과를 제공하는 비교기 및 상기 비교 결과를 수신하여 상기 N 개의 디지털 비트들을 결정하는 SAR 부를 포함한다.
- [0015] 상기 제1 서브 디지털-아날로그 변환기는 상기 비교기의 제1 입력단과 연결된 제1 샘플링 캐패시터와 연결되어 $(m + n + j)$ 개(상기 m, n 및 j은 자연수)의 디지털 비트들에 해당하는 상기 N 개의 디지털 비트들 중 상기 m 개의 상위 비트들을 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력할 수 있다.
- [0016] 상기 제2 서브 디지털-아날로그 변환기는 상기 비교기의 제2 입력단과 연결되어 상기 N 개의 디지털 비트들 중 상기 n 개의 중위 비트들을 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력할 수 있다.

- [0017] 상기 제3 서브 디지털-아날로그 변환기는 상기 제2 서브 디지털-아날로그 변환기의 입력단과 연결되어 상기 제2 서브 디지털-아날로그 변환기를 통해 상기 N 개의 디지털 비트들 중 상기 j 개의 하위 비트들을 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력할 수 있다.
- [0018] 상기 SAR 부는 상기 제1 서브 디지털-아날로그 변환기를 통해 생성된 제1 아날로그 전압과 상기 비교기의 제2 입력단에 샘플링된 제2 아날로그 전압 간의 비교 결과를 기초로 상기 m 개의 상위 비트들을 순차적으로 결정할 수 있다.
- [0019] 상기 SAR 부는 상기 제2 서브 디지털-아날로그 변환기를 통해 생성된 제1 아날로그 전압과 상기 비교기의 제1 입력단에 샘플링된 제2 아날로그 전압 간의 비교 결과를 수신하여 상기 n 개의 중위 비트들을 순차적으로 결정할 수 있다.
- [0020] 상기 SAR 부는 상기 제3 서브 디지털-아날로그 변환기를 통해 생성된 제1 아날로그 전압과 상기 비교기의 제1 입력단에 샘플링된 제2 아날로그 전압 간의 비교 결과를 수신하여 상기 j 개의 하위 비트들을 순차적으로 결정할 수 있다.
- [0021] 상기 축차 비교형 아날로그-디지털 변환기는 상기 제2 및 제3 서브 디지털-아날로그 변환기는 복수의 리턴던시 캐패시터들 및 리턴던시 저항들 각각을 더 포함하고, 상기 SAR 부는 상기 복수의 리턴던시 캐패시터들 또는 리턴던시 저항들을 통해 생성된 제1 아날로그 전압과 상기 비교기의 제1 입력단에 샘플링된 제2 아날로그 전압 간의 비교 결과를 기초로 에러 발생률을 최소화시키기 위한 k 개(상기 k는 자연수)의 리턴던시 디지털 비트를 더 결정할 수 있다.
- [0022] 실시예들 중에서, 축차 비교형 아날로그-디지털 변환기(Successive Approximation Register Analog Digital Converter)는 N 개(상기 N은 자연수)의 디지털 비트들을 수신하고 적어도 하나는 복수의 저항들로 구성되고 나머지 중 적어도 하나는 복수의 커패시터들로 구성된 L 개(상기 L은 3 이상의 자연수)의 서브 디지털-아날로그 변환기들을 통해 제1 아날로그 전압을 출력하는 디지털-아날로그 변환부, 상기 제1 아날로그 전압과 제2 아날로그 전압을 비교하여 비교 결과를 제공하는 비교기 및 상기 비교 결과를 수신하여 상기 N 개의 디지털 비트들을 결정하는 SAR 부를 포함한다.
- [0023] 상기 L 개의 서브 디지털-아날로그 변환기들 중 하나는 상기 비교기의 제1 입력단과 연결된 제1 샘플링 캐패시터와 연결되어 상기 L 개의 디지털 비트 그룹들로 구성된 상기 N 개의 디지털 비트들을 구성하는 $b_1, b_2, \dots, b_L$ 그룹들 중 하나의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력할 수 있다.
- [0024] 상기 L 개의 서브 디지털-아날로그 변환기들 중 다른 하나는 상기 비교기의 제2 입력단과 연결된 제2 샘플링 캐패시터를 포함하고, 상기 제2 샘플링 캐패시터를 통해 상기 $b_1, b_2, \dots, b_L$ 그룹들 중 다른 하나의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력할 수 있다.
- [0025] 상기 L 개의 서브 디지털-아날로그 변환기들 중 나머지는 상기 L 개의 서브 디지털-아날로그 변환기들 중 다른 하나의 입력단과 연결되어 상기 $b_1, b_2, \dots, b_L$ 그룹들 중 나머지의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력할 수 있다.
- [0026] 상기 SAR 부는 상기 제1 및 제2 샘플링 커패시터들의 단자들 중 상기 비교기의 입력단과 연결되지 않은 단자의 전압을 상기 L 개의 그룹으로 각각 나누어 조절하여 상기 $b_1, b_2, \dots, b_L$ 그룹들 각각을 순차적으로 결정하도록 제어할 수 있다.
- [0027] 실시예들 중에서, CMOS(Complementary Metal-Oxide Semiconductor) 이미지 센서는 복수의 이미지 센서 픽셀 스트링들로 구성된 이미지 센서 픽셀 어레이 및 상기 복수의 이미지 센서 픽셀 스트링들에 공통되고 복수의 저항들을 포함하는 제1 및 제3 서브 디지털-아날로그 변환기들과 각각이 상기 복수의 이미지 센서 픽셀 스트링들에 독립되고 복수의 커패시터들을 포함하는 복수의 제2 서브 디지털-아날로그 변환기들로 구성된 축차 비교형 아날로그-디지털 변환기를 포함한다.
- [0028] 상기 축차 비교형 아날로그-디지털 변환기는 컬럼 각각의 아날로그-디지털 변환 과정에서 컬럼수 미만으로 배치된 상기 제1 서브 디지털-아날로그 변환기를 공유하여 상기 컬럼 각각의 m 개(상기 m은 자연수)의 상위 비트들을 결정하고, 상기 컬럼수로 배치된 상기 복수의 제2 서브 디지털-아날로그 변환기들을 통해 상기 컬럼 각각의 n 개(상기 n은 자연수)의 중위 비트들을 결정하며, 상기 컬럼수 미만으로 배치된 상기 제3 서브 디지털-아날로그

그 변환기를 공유하여 j 개(상기 j 는 자연수)의 하위 비트들을 결정할 수 있다.

[0029] 실시예들 중에서, 복수의 이미지 센서 픽셀 스트링들로 구성된 이미지 센서 픽셀 어레이 및 각각이 상기 복수의 이미지 센서 픽셀 스트링들에 독립되고 복수의 저항들을 각각 포함하는 복수의 제1 및 제3 서브 디지털-아날로그 변환기들과 상기 복수의 이미지 센서 픽셀 스트링들에 공통되고 복수의 캐패시터들을 포함하는 제2 서브 디지털-아날로그 변환기로 구성된 축차 비교형 아날로그-디지털 변환기를 포함한다.

[0030] 상기 축차 비교형 아날로그-디지털 변환기는 컬럼 각각의 아날로그-디지털 변환 과정에서 컬럼수로 배치된 상기 복수의 제1 서브 디지털-아날로그 변환기들을 통해 상기 컬럼 각각의 m 개(상기 m 은 자연수)의 상위 비트들을 결정하고, 상기 컬럼수 미만으로 배치된 상기 제2 서브 디지털-아날로그 변환기를 공유하여 상기 컬럼 각각의 n 개(상기 n 은 자연수)의 중위 비트들을 결정하며, 상기 컬럼수로 배치된 상기 복수의 제3 서브 디지털-아날로그 변환기들을 통해 상기 컬럼 각각의 j 개(상기 j 은 자연수)의 하위 비트들을 결정할 수 있다.

[0031] 실시예들 중에서, CMOS(Complementary Metal-Oxide Semiconductor) 이미지 센서는 복수의 이미지 센서 픽셀 스트링들로 구성된 이미지 센서 픽셀 어레이 및 (i) 각각이 상기 복수의 이미지 센서 픽셀 스트링들에 공통되고 복수의 저항들을 포함하는 L (상기 L 은 3 이상의 자연수) 개의 서브 디지털-아날로그 변환기들 중 적어도 하나 (이하, 공통 서브 디지털-아날로그 변환기)와 (ii) 각각이 상기 복수의 이미지 센서 픽셀 스트링들에 독립되고 상기 L 개의 서브 디지털-아날로그 변환기들 중 나머지(이하, 독립 서브 디지털-아날로그 변환기)로 구성된 축차 비교형 아날로그-디지털 변환기를 포함한다.

[0032] 상기 축차 비교형 아날로그-디지털 변환기는 컬럼 각각에 관한 아날로그-디지털 변환 과정에서 컬럼수 미만으로 배치된 상기 공통 서브 디지털-아날로그 변환기를 공유하여 N (상기 N 은 자연수) 개의 디지털 비트들을 구성하는 상기 L 개의 디지털 비트 그룹들 중 적어도 일부를 순차적으로 결정하고, 상기 컬럼수로 배치된 상기 독립 서브 디지털-아날로그 변환기를 통해 상기 L 개의 디지털 비트 그룹들 중 나머지를 순차적으로 결정할 수 있다.

발명의 효과

[0034] 개시된 기술은 다음의 효과를 가질 수 있다. 다만, 특정 실시예가 다음의 효과를 전부 포함하여야 한다거나 다음의 효과만을 포함하여야 한다는 의미는 아니므로, 개시된 기술의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0035] 본 발명의 일 실시예에 따른 축차 비교형 아날로그-디지털 변환기 및 이를 포함하는 CMOS 이미지 센서는 면적 효율을 개선하고 고속 변환에 용이하다.

[0036] 본 발명의 일 실시예에 따른 축차 비교형 아날로그-디지털 변환기는 저항 타입의 서브 디지털-아날로그 변환기들과 캐패시터 타입의 서브 디지털-아날로그 변환기를 통해 3 단계의 하이브리드 변환 동작이 가능하여 면적 효율을 개선할 수 있다.

[0037] 본 발명의 일 실시예에 따른 CMOS 이미지 센서는 축차 비교형 아날로그-디지털 변환기를 컬럼 아날로그-디지털 변환기로 적용되 저항 타입의 서브 디지털-아날로그 변환기를 칩 내에 여러 개의 아날로그-디지털 변환기가 공유하도록 하여 고속 변환에 용이하면서 면적 효율을 현저하게 개선시킬 수 있다.

도면의 간단한 설명

[0039] 도 1은 본 발명의 일 실시예에 따른 축차 비교형 아날로그-디지털 변환기의 구성을 나타내는 도면이다.

도 2은 도 1에 있는 제1 서브 디지털-아날로그 변환기의 구성을 나타내는 회로도이다.

도 3은 도 1에 있는 제2 및 제3 서브 디지털-아날로그 변환기들의 구성을 나타내는 회로도이다.

도 4는 도 1에 있는 축차 비교형 아날로그-디지털 변환기를 통해 N 개의 디지털 비트들을 결정하는 과정을 제어하기 위한 타이밍 다이어그램의 일 실시예를 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 CMOS(Complementary Metal-Oxide Semiconductor) 이미지 센서를 설명하는 도면이다.

도 6은 도 5에 있는 축차 비교형 아날로그-디지털 변환기가 저항 타입의 제1 및 제3 서브 디지털-아날로그 변환기들을 공유 가능한 구조로 CMOS 이미지 센서에 배치된 일 실시예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0040] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다. 또한, 본 발명에서 제시된 목적 또는 효과는 특정 실시예가 이를 전부 포함하여야 한다거나 그러한 효과만을 포함하여야 한다는 의미는 아니므로, 본 발명의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.
- [0041] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [0042] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0043] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결될 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다고 언급된 때에는 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 한편, 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0044] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이며, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0045] 각 단계들에 있어 식별부호(예를 들어, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.
- [0046] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.
- [0048] 도 1은 본 발명의 일 실시예에 따른 축차 비교형 아날로그-디지털 변환기의 구성을 나타내는 도면이다.
- [0049] 도 1을 참조하면, 축차 비교형 아날로그-디지털 변환기(100)는 디지털-아날로그 변환부(110), 비교기(120) 및 SAR 부(130)를 포함할 수 있다.
- [0050] 디지털-아날로그 변환부(110)는 N 개(N은 자연수)의 디지털 비트들을 수신하여 수신된 디지털 비트들에 대응되는 아날로그 전압을 출력할 수 있다.
- [0051] 디지털-아날로그 변환부(110)는 복수의 저항들을 포함하는 제1 서브 디지털-아날로그 변환기(112), 복수의 커패시터들을 포함하는 제2 서브 디지털-아날로그 변환기(114) 및 복수의 저항들을 포함하는 제3 서브 디지털-아날로그 변환기(116)를 포함할 수 있고, 제1 서브 디지털-아날로그 변환기(112) 또는 제2 및 제3 서브 디지털-아날로그 변환기들(114, 116)을 통해 생성된 제1 아날로그 전압을 출력할 수 있다. 보다 구체적으로, 디지털-아날로그 변환부(110)는 SAR 부(130)의 출력단과 연결되어 SAR 부(130)로부터 N 개의 디지털 비트들을 수신할 수 있고, 일 실시예에서, 기준 전압 생성부(530)에 의해 생성된 적어도 하나의 기준 전압(예를 들어, 충전을 위한 제1 전압 레벨을 가지는 REFP, 방전을 위한 제2 전압 레벨을 가지는 REFN)을 기초로 수신된 N 개의 디지털 비트들에 대응되는 아날로그 변환 전압을 생성하여 제1 아날로그 전압으로 출력할 수 있다.
- [0052] 이하, 제1 아날로그 전압은 비교기(120)의 특정 입력단에 고정적으로 연결되는 전압이 아닌, N 개의 디지털 비트들을 결정하는 과정에서 해당 클럭에서 동작되는 제1 서브 디지털-아날로그 변환기(112) 또는 제2 및 제3 서브 디지털-아날로그 변환기들(114, 116)을 통해 출력되는 아날로그 전압을 의미하는 것으로 가정하고, 제2 아날로그 전압은 입력 전압에 대하여 해당 클럭에서 동작되는 비교기(120)에 제1 아날로그 전압과의 비교 대상으

로서 제공되는 아날로그 전압을 의미하는 것으로 가정한다. 예를 들어, 디지털-아날로그 변환부(110)는 N 개의 디지털 비트들 중 상위 비트들 각각을 결정하기 위한 과정에서 제1 서브 디지털-아날로그 변환기(112)를 구동시키어 스위치 SW5 및 제1 샘플링 캐패시터(117)를 통해 비교기(120)의 제1 입력단(122)으로 제1 아날로그 전압을 출력할 수 있고, 이러한 경우, 비교기(120)는 제2 입력단(124)에 입력되는 아날로그 대상 전압 (디지털-아날로그 변환부(110)에 입력된 아날로그 입력 전압으로서 예를 들어, 이미지 센서 픽셀에 의해 센싱되어 VPIX 단자를 통해 공급되는 V_{SIGNAL} 또는 V_{RESET}) 을 제2 아날로그 전압으로 수신하여 제1 및 제2 아날로그 전압들 간의 비교를 수행할 수 있다. 다른 예를 들어, 디지털-아날로그 변환부(110)는 N 개의 디지털 비트들 중 하위 비트들 각각을 결정하기 위한 과정에서 제3 서브 디지털-아날로그 변환기(116)를 구동시키어 스위치 SW6 및 제2 샘플링 캐패시터(118)를 통해 비교기(120)의 제2 입력단(124)으로 제1 아날로그 전압을 출력할 수 있고, 이러한 경우, 비교기(120)는 제1 입력단(122)에 입력되는 아날로그 대상 전압 (디지털-아날로그 변환부(110)에 입력된 아날로그 입력 전압으로서 예를 들어, 이미지 센서 픽셀에 의해 센싱되어 VPIX 단자를 통해 공급되는 V_{SIGNAL} 또는 V_{RESET}) 을 제2 아날로그 전압으로 수신하여 제1 및 제2 아날로그 전압들 간의 비교를 수행할 수 있다.

[0053] 일 실시예에서, N 개의 디지털 비트들은 m 개의 상위 비트들, n 개의 중위 비트들 및 j 개의 하위 비트들을 포함하는 (m + n + j) 개의 디지털 비트들에 해당될 수 있고, 예를 들어, 상위 4 비트, 중위 4 비트 및 하위 4 비트로 구성되어 총 12 비트의 해상도를 가질 수 있다. 다른 일 실시예에서, m 개의 상위 비트들, n 개의 중위 비트들, j 개의 하위 비트들 및 k 개의 리던던시 비트를 포함하는 (m + n + k) 개의 디지털 비트들에 해당될 수 있고, 예를 들어, 상위 4 비트, 중위 (1 + 4) 비트(리던던시 1 비트를 포함) 및 하위 (1 + 4) 비트(리던던시 1 비트를 포함)로 구성되어 총 12 비트의 해상도를 가지되 리던던시 비트들을 통해 오차를 보정할 수 있어 보다 정밀한 동작이 가능하도록 구현될 수 있다. 상기에서, m, n, j 및 k는 자연수에 해당한다.

[0054] 디지털-아날로그 변환부(110)는 제1 서브 디지털-아날로그 변환기(112)와 비교기(120)의 제1 입력단(122) 간을 연결하는 제1 샘플링 캐패시터(117) 및 제2 서브 디지털-아날로그 변환기(114)와 비교기(120)의 제2 입력단(124) 간을 연결하는 제2 샘플링 캐패시터(118) 중 적어도 하나를 더 포함할 수 있다. 일 실시예에서, 제1 및 제2 샘플링 캐패시터(117, 118) 각각은 SAR 부(130)의 제어에 따라 아날로그 대상 전압(예를 들어, 아날로그 입력 전압으로 인가되거나 이미지 센서 픽셀에 의해 센싱되어 VPIX 단자를 통해 공급되는 V_{SIGNAL} 또는 V_{RESET})을 제2 아날로그 전압으로 샘플링할 수 있다. 일 실시예에서, 제1 및 제2 서브 디지털-아날로그 변환기(112, 114) 각각은 제1 및 제2 샘플링 캐패시터(117, 118)와 스위치 SW5 및 SW6 각각을 통해 연결될 수 있다.

[0056] 제1 서브 디지털-아날로그 변환기(112)는 복수의 저항들을 포함할 수 있다. 이러한 내용은 도 2를 더 참조하여 설명하도록 한다.

[0057] 도 2은 도 1에 있는 제1 서브 디지털-아날로그 변환기의 구성을 나타내는 회로도이다. 보다 구체적으로, 도 2(a)는 4 비트로 구현된 제1 서브 디지털-아날로그 변환기(112)의 회로도의 일 실시예이고, 도 2(b)는 4 비트로 구현된 제1 서브 디지털-아날로그 변환기(112)의 출력과 연결된 제1 샘플링 캐패시터(117)의 회로도의 일 실시예를 나타낸다.

[0058] 도 1 내지 도 2를 참조하면, 제1 서브 디지털-아날로그 변환기(112)는 m 개의 상위 비트들을 결정하기 위한 제1 아날로그 전압들을 생성하기 위해 직렬로 연결된 ($2^m + 1$) 또는 2^m 개의 저항들(210)을 통해 서로 다른 2^m 또는 ($2^m - 1$) 개의 아날로그 전압들을 형성할 수 있고, 생성된 2^m 또는 ($2^m - 1$) 개의 아날로그 전압들 각각은 비교기(120)의 제1 입력단(122)과 스위치를 통해 연결될 수 있으며, 각각의 스위치는 SAR 부(130)에 의해 연결 상태가 제어되어 2^m 개의 아날로그 전압들 중 해당 제어에 따른 특정 기준 전압을 제1 아날로그 전압으로 출력할 수 있다. 일 실시예에서, 각각의 스위치는 도 1에 있는 SW5 또는 SW3에 대응될 수 있다.

[0059] 일 실시예에서, 제1 서브 디지털-아날로그 변환기(112)는 그 출력단이 각각의 스위치를 통해 제1 샘플링 캐패시터(117)와 연결되어 (m + n + j) 개의 디지털 비트들에 해당하는 N 개의 디지털 비트들 중 m 개의 상위 비트들을 결정하기 위한 아날로그 전압들 각각을 제1 아날로그 전압으로 출력할 수 있다.

[0060] 일 실시예에서, 제1 서브 디지털-아날로그 변환기(112)의 출력단과 연결된 제1 샘플링 캐패시터(117)는 적어도 하나의 캐패시터로 구성될 수 있고, 예를 들어, 한 개의 캐패시터로 구성되거나 또는 복수의 캐패시터들로 구성될 수 있다. 일 실시예에서, 제1 샘플링 캐패시터(117)가 복수의 캐패시터들로 구성되는 경우에는 캐패시터 개수 및 캐패시턴스 값은 제2 서브 디지털-아날로그 변환기(114)에 포함된 캐패시터 개수 및 캐패시턴스 값과 매칭될 수 있다. 예를 들어, 만일 제2 서브 디지털-아날로그 변환기(114)가 5비트로 구현되어 <4:0>만큼의 샘플링

을 위해 캐패시터가 <4:0>로 배치되면 제1 샘플링 캐패시터(117) 또한, 제2 서브 디지털-아날로그 변환기(114)의 캐패시터 배치 개수 및 개별 캐패시턴스 값들과 일치하는 <4:0> 캐패시터로 병렬 구성될 수 있다. 이에 따라, 제1 샘플링 캐패시터(117)는 제1 서브 디지털-아날로그 변환기(112)에서 출력된 제1 아날로그 전압을 샘플링하면서 동시에 제2 서브 디지털-아날로그 변환기(114)와의 미스매치를 최소화시킬 수 있다.

[0062] 제2 서브 디지털-아날로그 변환기(114)는 복수의 캐패시터들을 포함할 수 있고, 제3 서브 디지털-아날로그 변환기(116)는 복수의 저항들을 포함할 수 있다. 이러한 내용은 도 3을 더 참조하여 설명하도록 한다.

[0063] 도 3은 도 1에 있는 제2 및 제3 서브 디지털-아날로그 변환기들의 구성을 나타내는 회로도이다. 보다 구체적으로, 도 3(a)는 5 비트로 구현된 제3 서브 디지털-아날로그 변환기(116)의 회로도의 일 실시예이고, 도 3(b)는 제3 서브 디지털-아날로그 변환기(116)의 출력단과 연결되고 5 비트로 구현된 제2 서브 디지털-아날로그 변환기(114)의 회로도의 일 실시예를 나타낸다.

[0064] 도 1 내지 도 3를 참조하면, 제2 서브 디지털-아날로그 변환기(114)는 n 개의 중위 비트들을 결정하기 위한 제1 아날로그 전압들을 생성하기 위하여 병렬로 연결된 n 개의 커패시터들(118 참조)을 통해 서로 다른 2^n 개의 아날로그 전압들 중 하나를 선택적으로 형성하여 출력할 수 있다. 일 실시예에서, 제2 서브 디지털-아날로그 변환기(114)에서 병렬로 연결된 n 개의 커패시터들(118 참조) 각각은 제1 기준 전압(VREFN), 제2 기준 전압(VREFP) 및 아날로그 입력 전압(예를 들어, 이미지 센서 픽셀에 의해 센싱된 V_{SIGNAL} 또는 V_{RESET}) 중 적어도 하나와 연결된 스위치와 그 일단이 연결되고 제2 입력단(124)과 다른 일단이 연결되어, 각 스위치들의 턴-온 상태에 따라 형성된 아날로그 전압을 비교기(120)의 제2 입력단(124)으로 출력할 수 있다. 각각의 스위치는 SAR 부(130)에 의해 연결 상태가 제어되어 해당 제어에 따라 형성된 특정 아날로그 전압을 제1 아날로그 전압으로 출력할 수 있다.

[0065] 일 실시예에서, 제2 서브 디지털-아날로그 변환기(114)는 적어도 하나 이상의 캐패시터로 구성된 제2 샘플링 캐패시터(118) 및 스위치 SW4와 SW6를 포함하여 통합적으로 구성될 수 있고(도 3(b) 참조), 이 경우, 제2 서브 디지털-아날로그 변환기(114)에 있는 병렬로 연결된 n 개의 커패시터들(118 참조)은 제2 샘플링 캐패시터(118)에 해당하여 디지털-아날로그 변환기로서 동작하면서 동시에 샘플링 캐패시터로서 기능할 수 있다. 이때, 제2 샘플링 커패시터(118)를 구성하는 복수의 캐패시터들(310)은 자신과 같은 캐패시터 개수 및 캐패시턴스 값을 가지는 제1 샘플링 캐패시터(117)와 매칭되도록 설계되어 상호 간의 미스매치를 최소화시키도록 구현될 수 있다. 다른 일 실시예에서, 제2 서브 디지털-아날로그 변환기(114)는 그 출력단이 제2 입력단(124)과 별도의 샘플링 캐패시터를 통해 연결될 수도 있다.

[0066] 이에 따라, 제2 서브 디지털-아날로그 변환기(114)는 $(m + n + j)$ 개의 디지털 비트들에 해당하는 N 개의 디지털 비트들 중 n 개의 중위 비트들을 결정하기 위한 아날로그 전압들 각각을 제1 아날로그 전압으로 출력할 수 있다.

[0067] 제3 서브 디지털-아날로그 변환기(116)는 복수의 저항들을 포함할 수 있다. 일 실시예에서, 제3 서브 디지털-아날로그 변환기(116)는 j 개의 하위 비트들을 결정하기 위한 제1 아날로그 전압들을 생성하기 위해 직렬로 연결된 $(2^j + 1)$ 또는 2^j 개의 저항들(320)을 통해 서로 다른 2^j 또는 $(2^j - 1)$ 개의 아날로그 전압들을 형성할 수 있고, 생성된 2^j 또는 $(2^j - 1)$ 개의 아날로그 전압들 각각은 제2 서브 디지털-아날로그 변환기(114)의 입력단과 스위치를 통해 연결될 수 있으며, 각각의 스위치는 SAR 부(130)에 의해 연결 상태가 제어되어 2^j 개의 아날로그 전압들 중 해당 제어에 따른 특정 기준 전압을 제1 아날로그 전압으로 출력할 수 있다.

[0068] 일 실시예에서, 제3 서브 디지털-아날로그 변환기(116)는 제2 서브 디지털-아날로그 변환기(114)의 입력단과 연결될 수 있다. 보다 구체적으로, 제3 서브 디지털-아날로그 변환기(116)는 비교기(120)의 제2 입력단(124)과 제2 서브 디지털-아날로그 변환기(114)를 통해 연결될 수 있고, 일 실시예에서, 아날로그 전압들이 형성된 출력단이 제2 서브 디지털-아날로그 변환기(114)에 있는 특정 캐패시터(예를 들어, 310a)의 일단과 스위치를 통해 연결되도록 배치될 수 있다. 이에 따라, 제3 서브 디지털-아날로그 변환기(116)는 비교기(120)의 제2 입력단(124)과 해당 특정 캐패시터(예를 들어, 310a)를 통해 연결될 수 있고, 최종적으로 $(m + n + j)$ 개의 디지털 비트들에 해당하는 N 개의 디지털 비트들 중 j 개의 하위 비트들을 결정하기 위한 아날로그 전압들 각각을 제1 아날로그 전압으로 출력할 수 있다.

[0070] 비교기(120)는 제1 아날로그 전압과 제2 아날로그 전압을 비교하여 비교 결과를 제공한다. 보다 구체적으로, 비교기(120)는 디지털-아날로그 변환부(110)에 의해 생성된 제1 아날로그 전압과 비교기(120)의 다른 입력 전압에 해당하고 비교 대상 전압으로서 샘플링된 제2 아날로그 전압을 입력으로 수신하여, 제2 아날로그 전압이 제1 아

날로그 전압을 초과하는지 여부에 따라 해당 비교 결과를 디지털 신호로 생성할 수 있다. 예를 들어, 비교기(120)는 제1 서브 디지털-아날로그 변환기(112)를 통해 생성되어 제1 입력단(117)에 입력된 제1 아날로그 전압이 5V 이면 비교 대상 전압으로서 제2 샘플링 캐패시터(118)에 샘플링되어 제2 입력단(118)에 입력된 제2 아날로그 전압 2.3V 과 제1 아날로그 전압 5V 를 비교하여 디지털 신호 1을 출력할 수 있다.

[0071] 일 실시예에서, 비교기(120)는 전압 증폭도는 다소 낮으나 반응 시간이 상대적으로 빠른 비교기 회로로 구현될 수 있다. 다른 일 실시예에서, 비교기(120)는 전압 증폭도는 높으나 반응 시간이 상대적으로 느린 증폭기 회로를 포함하여 구현될 수도 있고, 예를 들어, 제1 아날로그 전압과 제2 아날로그 전압 간의 차이를 증폭하여 출력할 수 있는 증폭기인 프리-앰프(126) 및 프리-앰프(126)의 출력단과 연결되어 해당 증폭된 출력을 기초로 0 또는 1의 디지털 신호를 출력할 수 있는 비교기인 컴퍼레이터(128)를 통해 구현될 수 있다.

[0072] SAR 부(130)는 제1 아날로그 전압과 제2 아날로그 전압 간의 비교 결과를 수신하여 N 개의 디지털 비트들을 결정한다. 보다 구체적으로, SAR 부(130)는 변환시작 제어신호의 수신에 따라 축차 비교형 아날로그-디지털 변환기(120)의 축차 비교형 아날로그-디지털 변환 수행 과정 전반을 제어할 수 있고, 클럭 단위로 N 개의 디지털 비트들에 대해 상위 비트들에서 중위 비트들, 하위 비트들 순으로 순차적 변환을 수행할 수 있다.

[0073] SAR 부(130)는 이러한 변환 과정에서 미리 설정되었거나 이전의 클럭 사이클을 통해 갱신된 N 개의 디지털 비트들을 디지털-아날로그 변환부(110)에 제공하여 디지털-아날로그 변환부(110)가 제공된 N 개의 디지털 비트들에 대응되는 제1 아날로그 전압을 생성하도록 동작 전반을 제어할 수 있으며, 비교기(120)에서 제1 아날로그 전압과 비교 대상 전압으로서의 제2 아날로그 전압이 비교되도록 제어하여 해당 비교 결과에 따라 해당 클럭에 대응되는 특정 디지털 비트의 값을 결정할 수 있다.

[0074] SAR 부(130)는 해당 클럭에 대응되는 특정 디지털 비트가 결정되면 갱신된 N 개의 디지털 비트들을 디지털-아날로그 변환부(110)의 입력단에 피드백하여 다음 클럭 시에 대응되는 다른 특정 디지털 비트의 결정 과정에서 갱신된 N 개의 디지털 비트들에 대응되는 제1 아날로그 전압이 생성되도록 제어할 수 있고, 이러한 과정을 반복적으로 수행하여 최종적으로 N 개의 디지털 비트들을 결정할 수 있다.

[0075] SAR 부(130)는 제1 서브 디지털-아날로그 변환기(112)를 통해 생성되어 제1 입력단(122)에 입력된 제1 아날로그 전압과 비교기(120)의 제2 입력단(124)에 샘플링된 제2 아날로그 전압 간의 비교 결과를 수신하여 m 개의 상위 비트들을 순차적으로 결정할 수 있다. 일 실시예에서, SAR 부(130)는 복수의 캐패시터들로 구성된 제2 서브 디지털-아날로그 변환기(114)와 복수의 저항들로 구성된 제3 서브 디지털-아날로그 변환기(116)를 고정시킨 상태에서, 복수의 저항들로 구성된 제1 서브 디지털-아날로그 변환기(112)를 동작시키어 해당 클럭에 대응되는 특정 상위 비트를 결정할 수 있고, 이러한 과정을 반복하는 m 번의 클럭 순환을 통해 순차적으로 m 개의 상위 비트들을 결정할 수 있다.

[0076] SAR 부(130)는 제2 서브 디지털-아날로그 변환기(114)를 통해 생성되어 제2 입력단(124)에 입력된 제1 아날로그 전압과 비교기(120)의 제1 입력단(122)에 샘플링된 제2 아날로그 전압 간의 비교 결과를 수신하여 n 개의 중위 비트들을 순차적으로 결정할 수 있다. 일 실시예에서, SAR 부(130)는 복수의 저항들로 각각 구성된 제1 및 제3 서브 디지털-아날로그 변환기(112, 116)를 고정시킨 상태에서, 복수의 캐패시터들로 구성된 제2 서브 디지털-아날로그 변환기(114)를 동작시키어 해당 클럭에 대응되는 특정 중위 비트를 결정할 수 있고, 이러한 과정을 반복하는 n 번의 클럭 순환을 통해 순차적으로 n 개의 중위 비트들을 결정할 수 있다.

[0077] SAR 부(130)는 제3 서브 디지털-아날로그 변환기(116)를 통해 생성되어 제2 입력단(124)에 입력된 제1 아날로그 전압과 비교기(120)의 제1 입력단(122)에 샘플링된 제2 아날로그 전압 간의 비교 결과를 수신하여 j 개의 하위 비트들을 순차적으로 결정할 수 있다. 일 실시예에서, SAR 부(130)는 복수의 저항들과 캐패시터들로 각각 구성된 제1 및 제2 서브 디지털-아날로그 변환기들(112, 114)을 고정시킨 상태에서, 복수의 저항들로 구성된 제3 서브 디지털-아날로그 변환기(116)를 동작시키어 해당 클럭에 대응되는 특정 하위 비트를 결정할 수 있고, 이러한 과정을 반복하는 j 번의 클럭 순환을 통해 순차적으로 j 개의 하위 비트들을 결정할 수 있다.

[0078] 일 실시예에서, SAR 부(130)는 이러한 디지털-아날로그 변환 과정에서 제1 및 제2 샘플링 캐패시터들(117, 118) 중 적어도 하나에 아날로그 입력 전압을 샘플링하여 제2 아날로그 전압을 비교기(120)의 제1 또는 제2 입력단(122, 124)에 제공할 수 있다. 예를 들어, SAR 부(130)는 디지털-아날로그 변환부(110)에 입력된 아날로그 입력 전압(예를 들어, 이미지 센서 픽셀에 의해 생성된 V_{SIGNAL} 또는 V_{RESET})이 제1 및 제2 샘플링 캐패시터들(117, 118)에 샘플링되도록 제어할 수 있고, 제1, 제2 또는 제3 서브 디지털-아날로그 변환기(112~116)의 동작에 따라 샘플링된 아날로그 입력 전압이 제2 아날로그 전압으로 비교기(120)의 제1 또는 제2 입력단(122, 124)에 입력되

도록 스위치 연결 상태 등을 포함하는 로직 전반을 제어할 수 있다.

- [0079] 일 실시예에서, SAR 부(130)는 N 개의 디지털 비트들을 결정하는 아날로그-디지털 변환 과정에서, 제1 및 제2 샘플링 캐패시터(117, 118)의 단자 중에서 비교기(120)의 입력단과 연결되지 않은 단자의 전압을 3 개의 그룹으로 나누어 조절할 수 있다. 예를 들어, SAR 부(130)는 N 개의 디지털 비트들을 구성하는 3 개의 디지털 비트 그룹들 b_1 , b_2 및 b_3 (b_1 , b_2 , b_3 은 각각 멀티 비트 데이터)을 순차적으로 결정하는 과정 전반을 제어할 수 있고, 이러한 과정에서 복수의 캐패시터들로 구성된 제1 및 제2 샘플링 캐패시터(117, 118)의 단자 중 비교기(120)의 제1 또는 제2 입력단(122, 124)과 연결되지 않은 단자의 전압을 제3 서브 디지털-아날로그 변환기(116)에 연결함으로써 각각 3 개의 그룹으로 나누어 조절할 수 있다.
- [0081] 일 실시예에서, 제1, 제2 및 제3 서브 디지털-아날로그 변환기들(112~116) 중 적어도 하나는 해당 저항 타입 또는 캐패시터 타입에 대응되는 복수의 리던던시 저항들 또는 복수의 리던던시 캐패시터들을 더 포함할 수 있고, SAR 부(130)는 비교기(120)로부터 해당 복수의 리던던시 저항들 또는 복수의 리던던시 캐패시터들을 통해 생성된 제1 아날로그 전압과 샘플링된 제2 아날로그 전압 간의 비교 결과를 수신하여 이를 기초로 k 개의 리던던시 디지털 비트를 더 결정할 수 있다.
- [0082] 예를 들어, SAR 부(130)는 12비트 변환 과정에 있어서, 비-이진(non-binary) 탐색 알고리즘을 기초로 각 클럭마다 제1 서브 디지털-아날로그 변환기(112)를 통해 상위 4비트를 순차적으로 결정할 수 있고, 제1 개수(예를 들어, 1개)의 리던던시 캐패시터들을 더 포함하는 제2 서브 디지털-아날로그 변환기(114)를 통해 중위 5 비트(리던던시 1비트 + 그 다음의 중위 4비트)를 순차적으로 결정할 수 있으며, 제2 개수(예를 들어, $(2^5 - 2^4)$ 개)의 리던던시 저항들을 더 포함하는 제3 서브 디지털-아날로그 변환기(116)를 통해 하위 5 비트(리던던시 1비트 + 그 다음의 하위 4비트)를 순차적으로 결정할 수 있다. 즉, SAR 부(130)는 이러한 과정에서 캐패시터를 이용한 중위 5 비트와 저항을 이용한 하위 5 비트에서 각각의 상위 1 비트씩을 오차를 보정하기 위한 여분의 비트로 활용할 수 있다.
- [0083] 이때, 제2 및 제3 서브 디지털-아날로그 변환기들(114, 116) 각각을 통해 생성될 수 있는 아날로그 전압들 간의 전압 차이는 추가된 리던던시 비트에 따라 추가된 1 단계를 통해 에러 발생률을 최소화시키기 위한 설계 값에 가하도록 설계될 수 있고, 해당 설계 값에 따라 제2 및 제3 서브 디지털-아날로그 변환기(114, 116)에 있는 복수의 캐패시터들 또는 저항들의 개수 및 파라미터 값 등이 결정될 수 있다. 이에 따라, SAR 부(130)는 N 개의 디지털 비트들을 결정하는 과정에서 초기 또는 중간에 에러가 발생하더라도 리던던시 비트를 통해 오차를 보정하여 에러 발생률을 최소화시킬 수 있다.
- [0085] 상기에서는 본 출원의 바람직한 일 실시예로서 복수의 저항들로 구성된 제1 및 제3 서브 디지털 아날로그 변환기들(112, 116)과 복수의 캐패시터들로 구성된 제2 서브 디지털 아날로그 변환기(114)로 구성된 디지털-아날로그 변환부(110)를 포함하는 일 실시예에 관해 설명하였으나, 여기에서, "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되지 아니함은 물론이다. 예를 들어, 제2 서브 디지털 아날로그 변환기(114)를 복수의 저항들로 구성하고, 제1 서브 디지털 아날로그 변환기(114)를 복수의 캐패시터들로 구성하는 등 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 출원을 다양하게 수정 및 변경시킬 수 있다.
- [0087] 상기에서는 본 출원의 바람직한 일 실시예로서 도 1을 참조하여 측차 비교형 아날로그-디지털 변환기(100)가 3 개의 서브 디지털-아날로그 변환기들인 제1, 제2 및 제3 서브 디지털 아날로그 변환기들(112~116)로 구성된 디지털-아날로그 변환부(110)를 포함하는 일 실시예에 관해 설명하였으나, 다른 일 실시예에서, 측차 비교형 아날로그-디지털 변환기(100)는 다음과 같이 그 구조를 확장하여 적용할 수 있다.
- [0088] 일 실시예에서, 측차 비교형 아날로그-디지털 변환기(100)는 N 개(N은 자연수)의 디지털 비트들을 수신하고 적어도 하나는 복수의 저항들로 구성되고 나머지 중 적어도 하나는 복수의 캐패시터들로 구성된 L 개의 서브 디지털-아날로그 변환기들을 통해 제1 아날로그 전압을 출력하는 디지털-아날로그 변환부(110)를 포함할 수 있다. 여기에서, L은 3 이상의 자연수로서, 설계자에 의해 설정될 수 있다.
- [0089] 일 실시예에서, L 개의 서브 디지털-아날로그 변환기들 중 하나는 비교기(120)의 제1 입력단(122)과 연결된 제1 샘플링 캐패시터(117)와 연결되어 L 개의 디지털 비트 그룹들로 구성된 N 개의 디지털 비트들을 구성하는 b_1 , b_2 , ..., b_L 그룹들 중 하나의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 제1 아날로그 전압으로 출력할 수 있다. 여기에서, b_1 , b_2 , ..., b_L 각각은 멀티 비트 데이터에 해당할 수 있다. 만일 $L=3$ (상

기 $m+n+j$ 의 예에서 L 은 3)인 경우, 예를 들어, 도 1에서와 같이, 3 개의 서브 디지털-아날로그 변환기들 중 하나인 제1 서브 디지털-아날로그 변환기(112)는 제1 샘플링 캐패시터(117)와 연결되도록 배치될 수 있고, N 개의 디지털 비트들을 구성하는 b_1 , b_2 및 b_3 그룹들 중 b_1 그룹(예를 들어, b_1 그룹은 m 개의 상위 비트들로 구성됨)에 있는 m 개의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 제1 아날로그 전압으로 출력할 수 있다.

[0090] 일 실시예에서, L 개의 서브 디지털-아날로그 변환기들 중 다른 하나는 비교기(120)의 제2 입력단(124)과 연결된 제2 샘플링 캐패시터(118)를 포함하고, 제2 샘플링 캐패시터(118)를 통해 b_1 , b_2 , ..., b_L 그룹들 중 다른 하나의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 제1 아날로그 전압으로 출력할 수 있다. 만일 $L=3$ 인 경우, 예를 들어, 도 1에서와 같이, 3 개의 서브 디지털-아날로그 변환기들 중 다른 하나인 제2 서브 디지털-아날로그 변환기(114)는 복수의 캐패시터들로 구성된 제2 샘플링 캐패시터(118)를 포함하는 캐패시터 타입의 디지털-아날로그 변환기일 수 있고, N 개의 디지털 비트들을 구성하는 b_1 , b_2 및 b_3 그룹들 중 b_2 그룹(예를 들어, b_2 그룹은 n 개의 중위 비트들로 구성됨)에 있는 n 개의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 제1 아날로그 전압으로 출력할 수 있다.

[0091] 일 실시예에서, L 개의 서브 디지털-아날로그 변환기들 중 나머지는 L 개의 서브 디지털-아날로그 변환기들 중 다른 하나의 입력단과 연결되어 b_1 , b_2 , ..., b_L 그룹들 중 나머지의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 상기 제1 아날로그 전압으로 출력할 수 있다. 만일 $L=3$ 인 경우, 예를 들어, 도 1에서와 같이, 3 개의 서브 디지털-아날로그 변환기들 중 나머지는 제3 서브 디지털-아날로그 변환기(116)는 다른 하나인 제2 서브 디지털-아날로그 변환기(114)의 입력단과 캐스캐이드로 연결될 수 있고, N 개의 디지털 비트들을 구성하는 b_1 , b_2 및 b_3 그룹들 중 b_3 그룹(예를 들어, b_3 그룹은 j 개의 하위 비트들로 구성됨)에 있는 j 개의 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 제1 아날로그 전압으로 출력할 수 있다.

[0092] 위의 실시예에서, 만일 $L=5$ 인 경우, 예를 들어, 5 개의 서브 디지털-아날로그 변환기들 중 나머지는 3 개의 서브 디지털-아날로그 변환기들은 다른 하나인 제2 서브 디지털-아날로그 변환기(114)의 입력단과 캐스캐이드의 형태로 연결될 수 있고, 해당 3 개의 서브 디지털-아날로그 변환기들 각각은 N 개의 디지털 비트들을 구성하는 b_1 , b_2 , b_3 , b_4 및 b_5 그룹들 중 b_3 , b_4 및 b_5 그룹들 각각에 있는 디지털 비트들을 순차적으로 결정하기 위한 아날로그 전압들 각각을 제1 아날로그 전압으로 출력할 수 있다.

[0093] 일 실시예에서, SAR 부(130)는 제1 및 제2 샘플링 캐패시터들(117, 118)의 단자들 중 비교기(120)의 입력단과 연결되지 않은 단자의 전압을 L 개의 그룹으로 각각 나누어 조절하여 b_1 , b_2 , ..., b_L 그룹들 각각을 순차적으로 결정하도록 제어할 수 있다. 만일 $L=3$ 인 경우, 예를 들어, SAR 부(130)는 N 개의 디지털 비트들을 구성하는 3 개의 디지털 비트 그룹들 b_1 , b_2 및 b_3 을 순차적으로 결정하는 과정 전반을 제어할 수 있고, 이러한 과정에서 복수의 캐패시터들로 구성된 제1 및 제2 샘플링 캐패시터(117, 118)의 단자 중 비교기(120)의 제1 또는 제2 입력단(122, 124)과 연결되지 않은 단자의 전압을 제3 서브 디지털-아날로그 변환기(116)에 연결하도록 각 스위치의 연결 상태를 제어함으로써 각각 3 개의 그룹으로 나누어 조절할 수 있다.

[0094] 위의 실시예에서, 만일 $L=5$ 인 경우, 예를 들어, SAR 부(130)는 N 개의 디지털 비트들을 구성하는 5 개의 디지털 비트 그룹들 b_1 , b_2 , b_3 , b_4 및 b_5 을 순차적으로 결정하는 과정 전반을 제어할 수 있고, 이러한 과정에서 복수의 캐패시터들로 구성된 제1 및 제2 샘플링 캐패시터(117, 118)의 단자 중 비교기(120)의 제1 또는 제2 입력단(122, 124)과 연결되지 않은 단자의 전압을 5 개의 서브 디지털-아날로그 변환기들 중 나머지는 3 개의 서브 디지털-아날로그 변환기들 각각에 연결하도록 각 스위치의 연결 상태를 제어함으로써 각각 5 개의 그룹으로 나누어 조절할 수 있다. 일 실시예에서, 촉차 비교형 아날로그-디지털 변환기(100)는 높은 비트 수로 정밀한 해상도를 구현하고자 하는 경우 L 의 설계 값을 증가시키어 각 서브 디지털-아날로그 변환기들을 제어하기 위해 필요한 배선의 개수를 감소시킬 수 있고, 이에 따라, 면적 효율을 증가시킬 수 있다.

[0096] 도 4는 도 1에 있는 촉차 비교형 아날로그-디지털 변환기를 통해 N 개의 디지털 비트들을 결정하는 과정을 제어하기 위한 타이밍 다이어그램의 일 실시예를 나타내는 도면이다.

[0097] 도 4를 참조하면, 해당 일 실시예에서는 듀얼 코르레레이티드 더블 샘플링 (Dual Correlated Double Sampling: DCDS)를 구현하기 위한 타이밍 다이어그램을 표시하였다. 이에 따라, 도 1에 있고 이미지 센서 픽셀에 의해 출력된 신호임을 나타내는 V_{PIX} 는 두 개의 신호, 즉 (1) 이미지 센서 픽셀에 출력되지만 검출된 명암의 정보를 담

지 않고 회로 보정을 위해서만 출력된 V_{RESET} 과 (2) 이미지 센서 픽셀 회로의 보정값과 픽셀회로에서 검출된 신호를 모두 포함한 V_{SIGNAL} 이 출력이 될 수 있다. V_{RESET} 은 제1 및 제2 샘플링 커패시터(117 및 118)에 모두 샘플링 후 (단계 S410), 아날로그-디지털 컨버전 (단계 S420)을 거치게 되며, V_{SIGNAL} 은 제2 샘플링 커패시터(118)에 샘플링된 후 (단계 S430) 제1 샘플링 커패시터 (117)에 샘플되어있는 V_{RESET} 값과 비교한 아날로그-디지털 변환이 수행될 수 있다 (단계 S440). (단계 S420)과 (단계 S440)은 아날로그-디지털 변환 단계로서 각각의 단계에서 순차적인 제1, 제2, 제3 서브 디지털-아날로그 변환 단계를 모두 거칠 수 있다.

[0098] SAR 부(130)는 아래와 같은 과정들을 통해 이미지 센서 픽셀의 리셋(reset) 값을 N 비트의 디지털 신호로 변환할 수 있다. 도 4에서, SW1 ~ SW6은 도 1에 있는 측차 비교형 아날로그-디지털 변환기(100)의 스위치 SW1 ~ SW6을 나타낸다.

[0099] SAR 부(130)는 제1 샘플링 단계(V_{RESET} Sampling)(단계 S410)에서, 스위치 SW1~SW4를 턴-온 상태로 제어하고 SW5~SW6을 턴-오프 상태로 제어하여 입력 전압에 해당되는 제2 아날로그 전압(예를 들어, 이미지 센서 픽셀에 의해 출력된 V_{RESET})을 제1 및 제2 샘플링 캐패시터(117, 118)에 샘플링하도록 제어할 수 있다.

[0100] SAR 부(130)는 제1 서브 디지털-아날로그 변환 단계(단계 S420)에서, 스위치 SW1~SW4를 턴-오프 상태로 제어하고 SW5~SW6을 턴-온 상태로 제어하여 커패시터 타입의 제2 서브 디지털-아날로그 변환기(114)와 저항 타입의 제3 서브 디지털-아날로그 변환기(116)를 고정된 상태에서 저항 타입의 제1 서브 디지털-아날로그 변환기(112)를 동작시키는 코스(coarse) 동작을 제어할 수 있다. 이러한 코스 동작에서, SAR 부(130)는 미리 설정된 N 개의 디지털 비트들을 기초로 제1 서브 디지털-아날로그 변환기(112)에 의해 생성된 제1 아날로그 전압과 제2 샘플링 캐패시터(118)에 샘플링된 제2 아날로그 전압 간의 비교 결과에 따라 최상위 비트를 결정하여 N 개의 디지털 비트들을 갱신할 수 있고, 이러한 m 번의 클럭 사이클을 통해 순차적으로 m 개의 상위 비트들을 결정할 수 있다.

[0101] SAR 부(130)는 상기에 이어서 수행되는 제2 서브 디지털-아날로그 변환 단계(단계 S420)에서, 저항 타입의 제1 및 제3 서브 디지털-아날로그 변환기(112, 116)를 고정된 상태에서 커패시터 타입의 제2 서브 디지털-아날로그 변환기(114)를 동작시키는 파인(fine) 동작을 제어할 수 있다. 이러한 파인 동작에서, SAR 부(130)는 제1 서브 디지털-아날로그 변환 과정을 통해 갱신된 N 개의 디지털 비트들을 기초로 제2 서브 디지털-아날로그 변환기(114)에 의해 생성된 제1 아날로그 전압과 제1 샘플링 캐패시터(117)에 샘플링된 제2 아날로그 전압 간의 비교 결과에 따라 해당 클럭에 대응되는 중위 비트를 결정하여 N 개의 디지털 비트들을 갱신할 수 있고, 이러한 n 번의 클럭 사이클을 통해 순차적으로 n 개의 중위 비트들을 결정할 수 있다.

[0102] SAR 부(130)는 상기에 이어서 수행되는 제3 서브 디지털-아날로그 변환 단계(단계 S420)에서, 저항 타입의 제1 서브 디지털-아날로그 변환기(112)와 캐패시터 타입의 제2 서브 디지털-아날로그 변환기(114)를 고정된 상태에서 저항 타입의 제3 서브 디지털-아날로그 변환기(116)를 동작시키는 F-파인(F-fine) 동작을 제어할 수 있다. 이러한 F-파인 동작에서, SAR 부(130)는 제2 서브 디지털-아날로그 변환 과정을 통해 갱신된 N 개의 디지털 비트들을 기초로 제3 서브 디지털-아날로그 변환기(116)에 의해 생성된 제1 아날로그 전압과 제1 샘플링 캐패시터(117)에 샘플링된 제2 아날로그 전압 간의 비교 결과에 따라 해당 클럭에 대응되는 하위 비트를 결정하여 N 개의 디지털 비트들을 갱신할 수 있고, 이러한 j 번의 클럭 사이클을 통해 순차적으로 j 개의 하위 비트들을 결정할 수 있다.

[0103] SAR 부(130)는 상기와 같은 과정들을 통해 이미지 센서 픽셀에서 이미지 신호를 담고 있는 픽셀(V_{SIGNAL}) 정보를 N 비트의 디지털 신호로 변환할 수 있다.

[0104] SAR 부(130)는 제2 샘플링 단계(V_{SIGNAL} Sampling)(단계 S430)에서, 스위치 SW1, SW2, SW4를 턴-온 상태로 제어하고 SW5~SW6을 턴-오프 상태로 제어하여 입력 전압에 해당되는 제2 아날로그 전압(예를 들어, 이미지 센서 픽셀에 의해 출력되고 이미지 신호를 담고 있는 V_{SIGNAL})을 제2 샘플링 캐패시터(118)에 샘플링하도록 제어할 수 있다.

[0105] SAR 부(130)는 앞서 서술한 것과 같이, 제1, 제2 및 제3 서브 디지털-아날로그 변환 단계(단계 S440)을 수행하여 m 개의 상위 비트들, n 개의 중위 비트들 및 j 개의 하위비트들을 순차적으로 결정 및 갱신하여 최종적으로 N 개의 디지털 비트들을 결정할 수 있다.

[0107] 도 5는 본 발명의 일 실시예에 따른 CMOS(Complementary Metal-Oxide Semiconductor) 이미지 센서를 설명하는

도면이다.

- [0108] 도 5를 참조하면, CMOS 이미지 센서(500)는 축차 비교형 아날로그-디지털 변환기(510), 이미지 센서 픽셀 어레이(520), 기준 전압 생성부(530), 컬럼 제어부(540), 로우 제어부(550), 디지털 이미지 처리부(560) 및 제어부(570)를 포함할 수 있다.
- [0109] 축차 비교형 아날로그-디지털 변환기(510)는 CMOS 이미지 센서(500) 내에 배치되는 컬럼용 아날로그-디지털 변환기에 해당될 수 있고, 로우 제어부(550)의 제어에 의해 선택된 이미지 센서 픽셀 어레이(520)의 이미지 센서 픽셀 스트링들로부터 아날로그 전압을 수신하여 컬럼 제어부(540)의 제어에 따라 디지털 데이터를 생성할 수 있다.
- [0110] 축차 비교형 아날로그-디지털 변환기(510)는 복수의 이미지 센서 픽셀 스트링들에 독립되거나 공통되는 제1, 제2 및 제3 서브 디지털-아날로그 변환기들(112~116)로 구성될 수 있다.
- [0111] 일 실시예에서, 축차 비교형 아날로그-디지털 변환기(510)는 저항 타입의 제1 및 제3 서브 디지털-아날로그 변환기들(112, 116)을 공유 가능한 구조로 CMOS 이미지 센서(500)에 배치될 수 있다. 이러한 내용은 도 6을 참조하여 설명하도록 한다. 도 6은 도 5에 있는 축차 비교형 아날로그-디지털 변환기가 저항 타입의 제1 및 제3 서브 디지털-아날로그 변환기들을 공유 가능한 구조로 CMOS 이미지 센서에 배치된 일 실시예를 나타내는 도면이다.
- [0112] 도 6을 참조하면, 축차 비교형 아날로그-디지털 변환기(510)는 복수의 이미지 센서 픽셀 스트링들에 공통되고 복수의 저항들을 포함하는 제1 및 제3 서브 디지털-아날로그 변환기들(112, 116)과, 각각이 복수의 이미지 센서 픽셀 스트링들에 독립되고 복수의 커패시터들을 포함하는 복수의 제2 서브 디지털-아날로그 변환기들(114)로 구성될 수 있다. 예를 들어, 저항 타입의 제1 및 제3 서브 디지털-아날로그 변환기들(112, 116) 각각은 CMOS 이미지 센서 칩으로 구현된 CMOS 이미지 센서(100) 내에서 단일하게 배치되거나 컬럼 개수 미만으로 배치되어 복수의 제2 서브 디지털-아날로그 변환기들(114a, 114b, ... 114d)과 연결될 수 있고, 커패시터 타입의 제2 서브 디지털-아날로그 변환기들(114)은 컬럼 개수만큼 배치되어 각각은 복수의 이미지 센서 픽셀 스트링들 각각과 연결될 수 있다.
- [0113] 축차 비교형 아날로그-디지털 변환기(510)는 컬럼 각각의 아날로그-디지털 변환 과정에서 컬럼수 미만으로 배치된 제1 및 제3 서브 디지털-아날로그 변환기들(112, 116)을 공유할 수 있다. 보다 구체적으로, 컬럼 개수 미만으로 배치된 저항 타입의 제1 및 제3 서브 디지털-아날로그 변환기들(112, 116)은 컬럼 별로 이미지 센서 픽셀 스트링에 의해 센싱된 아날로그 전압을 디지털 데이터로 변환하는 컬럼 아날로그-디지털 변환 동작 과정에서 컬럼들에 공유될 수 있다.
- [0114] 예를 들어, 축차 비교형 아날로그-디지털 변환기(510)는 칩 내에 1개 배치된 저항 타입의 제1 서브 디지털-아날로그 변환기(112)를 공유하여 컬럼 각각의 m 개의 상위 비트들을 결정하고, 컬럼수로 배치된 커패시터 타입의 복수의 제2 서브 디지털-아날로그 변환기들(114)을 통해 컬럼 각각의 n 개의 중위 비트들을 결정할 수 있으며, 칩 내에 1개 배치된 저항 타입의 제3 서브 디지털-아날로그 변환기(116)를 공유하여 컬럼 각각의 j 개의 하위 비트들을 결정하여 컬럼 각각의 N 개의 디지털 비트들을 결정할 수 있다.
- [0115] 이러한 제1 및 제3 서브 디지털-아날로그 변환기들(112, 116)의 배치 개수는 1개 이상 컬럼수 미만으로 하되 컬럼 간의 공유에 따른 시간 지연을 고려하여 설계자에 의해 적절한 개수로 산출될 수 있다. 이에 따라, CMOS 이미지 센서(500)는 칩 내에서 적절한 최소 개수로 배치된 제1 및 제3 서브 디지털-아날로그 변환기들(112, 116)을 공유하여 축차 비교형 아날로그-디지털 변환기(510)를 동작시킴으로써 축차 비교형 타입을 적용하여 고속 변환에 용이하면서도 면적 효율을 현저하게 개선시킬 수 있는 현저한 효과가 있다.
- [0116] 다른 일 실시예에서, 축차 비교형 아날로그-디지털 변환기(510)는 커패시터 타입의 제2 서브 디지털-아날로그 변환기를 공유 가능한 구조로 CMOS 이미지 센서(500)에 배치될 수도 있다. 축차 비교형 아날로그-디지털 변환기(510)는 각각이 복수의 이미지 센서 픽셀 스트링들에 독립되고 복수의 저항들을 포함하는 복수의 제1 및 제3 서브 디지털-아날로그 변환기들(112, 116)과, 복수의 이미지 센서 픽셀 스트링들에 공통되고 복수의 커패시터들을 포함하는 제2 서브 디지털-아날로그 변환기(114)로 구성될 수 있다.
- [0117] 보다 구체적으로, 축차 비교형 아날로그-디지털 변환기(510)는 컬럼 각각의 아날로그-디지털 변환 과정에서 컬럼수 미만으로 배치된 제2 서브 디지털-아날로그 변환기(114)를 공유할 수 있다. 예를 들어, 축차 비교형 아날로그-디지털 변환기(510)는 컬럼수로 배치된 저항 타입의 복수의 제1 서브 디지털-아날로그 변환기(112)들을 통해 컬럼 각각의 m 개의 상위 비트들을 결정하고, 컬럼수 미만으로 배치된 커패시터 타입의 제2 서브 디지털-아

날로그 변환기(114)를 공유하여 컬럼 각각의 n 개의 중위 비트들을 결정하며, 컬럼수로 배치된 저항 타입의 복수의 제3 서브 디지털-아날로그 변환기(116)들을 통해 컬럼 각각의 j 개의 하위 비트들을 결정할 수 있다.

- [0118] 또 다른 일 실시예에서, 축차 비교형 아날로그-디지털 변환기(510)는 N 개의 디지털 비트들 중 상위, 중위 및 하위 비트들을 각각 결정하기 위한 아날로그-디지털 변환 동작 과정에서 컬럼 수 미만으로 배치된 저항 타입의 제1 서브 디지털-아날로그 변환기(112), 컬럼 수 만큼 배치된 커패시터 타입의 제2 서브 디지털-아날로그 변환기(114) 및 컬럼 수 미만으로 배치된 저항 타입의 제3 서브 디지털-아날로그 변환기(116)의 동작 순서를 변경하여 적용할 수 있다.
- [0119] 예를 들어, 축차 비교형 아날로그-디지털 변환기(510)는 컬럼 수 만큼 배치된 커패시터 타입의 제2 서브 디지털-아날로그 변환기(114)를 제일 먼저 적용하며 m 개의 상위 비트들을 결정하고, 컬럼수 미만으로 배치된 제1 서브 디지털-아날로그 변환기 (112)를 두 번째로 적용하여 n 개의 중위 비트들을 결정하며, 컬럼 수 미만으로 배치된 제3 서브 디지털-아날로그 변환기를 세 번째로 적용하여 j 개의 하위 비트들을 결정할 수 있다.
- [0120] 축차 비교형 아날로그-디지털 변환기(510)는 이러한 컬럼 각각의 아날로그-디지털 변환 과정에 있어서 앞서 서술한 축차 비교형 아날로그-디지털 변환기(100)의 기능적 요소들을 포함할 수 있다.
- [0121] 이미지 센서 픽셀 어레이(520)는 복수의 이미지 센서 픽셀 스트링들로 구성된다. 이미지 센서 픽셀 스트링은 복수의 이미지 센서 픽셀들을 스트링 단위로 포함할 수 있고, 이미지 센서 픽셀 각각은 입사되는 광(light) 정보를 수신하여 이에 대응하는 아날로그 신호를 출력할 수 있다. 아날로그 신호를 출력하는 단자는 도 1의 V_{PIX} 단자이며, 픽셀 어레이 회로 보정을 위한 V_{RESET} 신호와 픽셀에서 검출된 광정보를 포함한 V_{SIGNAL} 신호를 출력할 수 있다.
- [0122] 기준 전압 생성부(530)는 적어도 하나의 기준 전압을 생성하여 축차 비교형 아날로그-디지털 변환기(510)에 제공할 수 있다.
- [0123] 컬럼 제어부(540)는 축차 비교형 아날로그-디지털 변환기(510)에 있는 각각의 컬럼을 선택하여 해당 컬럼과 대응되는 디지털 출력 신호를 디지털 이미지 처리부(560)에 보낼 수 있다. 축차 비교형 아날로그-디지털 변환기(510)는 컬럼 제어부(540)의 제어에 따라 병렬로 복수의 이미지 센서 픽셀 스트링들을 처리하여 각각에 대응하는 디지털 신호들을 생성할 수 있다.
- [0124] 로우 제어부(550)는 각각의 로우를 선택하여 해당 로우에 있는 이미지 센서 픽셀들과 대응되는 아날로그 신호들 각각을 축차 비교형 아날로그-디지털 변환기(510)에 보낼 수 있고, 일 실시예에서, 로우 디코더(row decoder)로 구현될 수 있다.
- [0125] 디지털 이미지 처리부(560)는 축차 비교형 아날로그-디지털 변환기(120)에 의해 변환된 디지털 신호들을 수신하여 디지털 도메인 상에서 처리된 디지털 이미지 신호 처리 결과를 출력할 수 있다.
- [0126] 제어부(570)는 CMOS 이미지 센서(500)의 동작 전반을 제어할 수 있고, 축차 비교형 아날로그-디지털 변환기(510), 이미지 센서 픽셀 어레이(520), 기준 전압 생성부(530), 컬럼 제어부(540), 로우 제어부(550) 및 디지털 이미지 처리부(560) 간의 데이터 흐름을 제어할 수 있다.
- [0128] 상기에서는 본 출원의 바람직한 일 실시예로서 도 6을 참조하여 CMOS 이미지 센서(500)가 3 개의 서브 디지털-아날로그 변환기들인 제1, 제2 및 제3 서브 디지털 아날로그 변환기들(112~116)을 포함하여 구성된 축차 비교형 아날로그-디지털 변환기(510)를 포함하는 일 실시예에 관해 설명하였으나, 다른 일 실시예에서, CMOS 이미지 센서(500)는 다음과 같이 그 구조를 확장하여 적용할 수 있다.
- [0129] 일 실시예에서, CMOS 이미지 센서(500)는 (i) 각각이 복수의 이미지 센서 픽셀 스트링들에 공통되고 복수의 저항들을 포함하는 L 개의 서브 디지털-아날로그 변환기들 중 적어도 하나(이하, 공통 서브 디지털-아날로그 변환기)와 (ii) 각각이 복수의 이미지 센서 픽셀 스트링들에 독립되고 L 개의 서브 디지털-아날로그 변환기들 중 나머지(이하, 독립 서브 디지털-아날로그 변환기)로 구성된 축차 비교형 아날로그-디지털 변환기(510)를 포함할 수 있다.
- [0130] 일 실시예에서, 축차 비교형 아날로그-디지털 변환기(510)는 컬럼 각각에 관한 아날로그-디지털 변환 과정에서 컬럼수 미만으로 배치된 적어도 하나의 공통 서브 디지털-아날로그 변환기를 공유하여 N 개의 디지털 비트들을 구성하는 L 개의 디지털 비트 그룹들 중 적어도 일부를 순차적으로 결정할 수 있고, 컬럼수로 배치된 독립 서브 디지털-아날로그 변환기를 통해 L 개의 디지털 비트 그룹들 중 나머지를 순차적으로 결정할 수 있다. 만일 $L=3$

인 경우, 예를 들어, 도 6에서와 같이, 복수의 저항들로 구성된 제1 서브 디지털-아날로그 변환기(112)를 공유하여 N 개의 디지털 비트들을 구성하는 b_1 , b_2 및 b_3 그룹들 중 b_1 그룹(예를 들어, b_1 그룹은 m 개의 상위 비트들로 구성됨)에 있는 m 개의 디지털 비트들을 순차적으로 결정할 수 있고, 복수의 커패시터들로 구성된 제2 서브 디지털-아날로그 변환기(114)를 통해 b_2 그룹(예를 들어, b_2 그룹은 n 개의 중위 비트들로 구성됨)에 있는 n 개의 디지털 비트들을 순차적으로 결정할 수 있으며, 복수의 저항들로 구성된 제3 서브 디지털-아날로그 변환기(116)를 공유하여 b_3 그룹(예를 들어, b_3 그룹은 j 개의 하위 비트들로 구성됨)에 있는 j 개의 디지털 비트들을 순차적으로 결정할 수 있다.

[0131] 위의 실시예에서, 만일 $L=5$ 인 경우, 예를 들어, 컬럼 각각에 관한 아날로그-디지털 변환 과정에서 5 개의 서브 디지털-아날로그 변환기들 중 컬럼수 미만으로 배치되고 복수의 저항들로 구성된 3 개의 서브 디지털-아날로그 변환기들 각각을 공통 서브 디지털-아날로그 변환기로서 공유하여 b_1, b_2, b_3, b_4 및 b_5 그룹들 중 서로 다른 특정 그룹 각각의 디지털 비트들을 순차적으로 결정할 수 있고, 복수의 커패시터들로 구성된 나머지 2 개의 서브 디지털-아날로그 변환기들 각각을 독립 서브 디지털-아날로그 변환기로서 구동시켜 b_1, b_2, b_3, b_4 및 b_5 그룹들 중 나머지 그룹의 디지털 비트들을 순차적으로 결정할 수 있다.

[0132] 일 실시예에서, CMOS 이미지 센서(500)는 높은 비트 수로 정밀한 해상도를 구현하고자 하는 경우 L의 설계 값을 증가시켜서 각 서브 디지털-아날로그 변환기들을 제어하기 위해 칩 전체적으로 필요한 배선의 개수를 크게 감소시킬 수 있고, 컬럼수 미만으로 배치된 저항 타입의 서브 디지털-아날로그 변환기들을 공유하여 면적 효율을 크게 증가시킬 수 있다.

[0134] 상기에서는 본 출원의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 통상의 기술자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 출원을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0136] 100: 축차 비교형 아날로그-디지털 변환기

110: 디지털-아날로그 변환부

112: 제1 서브 디지털-아날로그 변환기

114: 제2 서브 디지털-아날로그 변환기

116: 제3 서브 디지털-아날로그 변환기

117: 제1 샘플링 캐패시터

118: 제2 샘플링 캐패시터

120: ㅁ|교기

122: 제1 입력단

124: 제2 입력단

130: SAR

500: CMOS 이미지 센서

510: 축차 비교형 아날로그-디지털 변환기

520: 이미지 센서 픽셀 어레이

530: 기준 전압 생성부

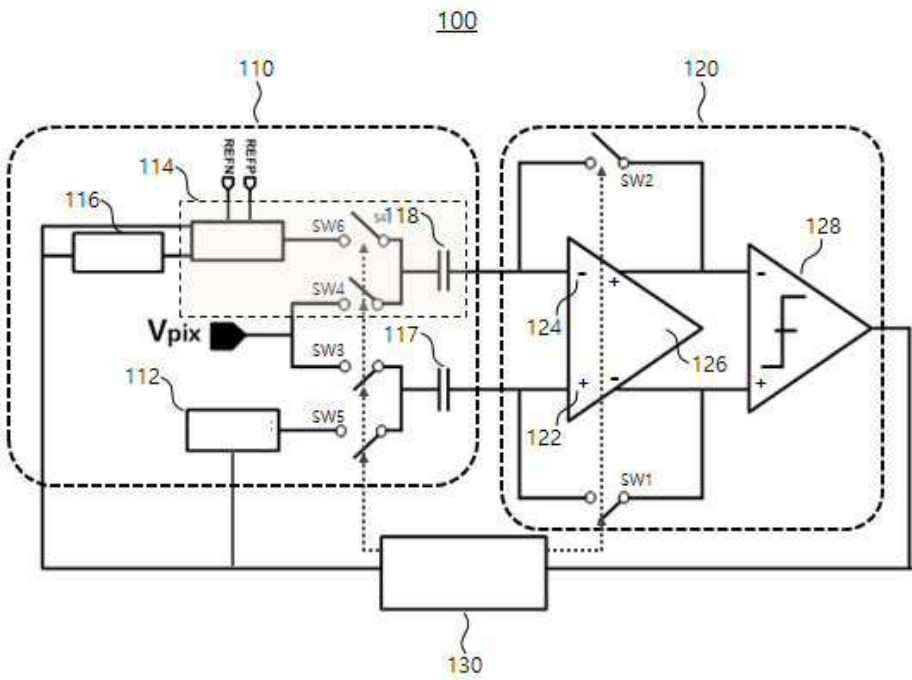
540: 컬럼 제어부

550: 로우 제어부

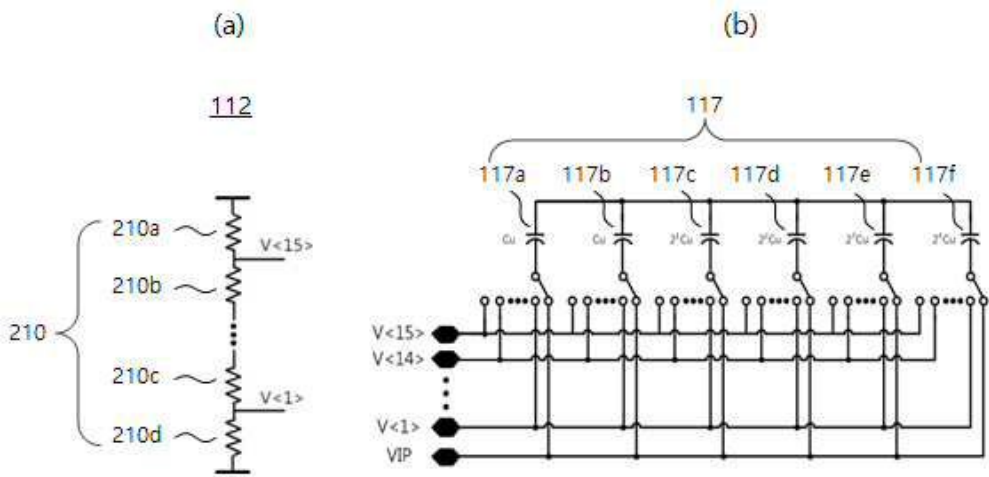
560: 디지털 이미지 처리부

도면

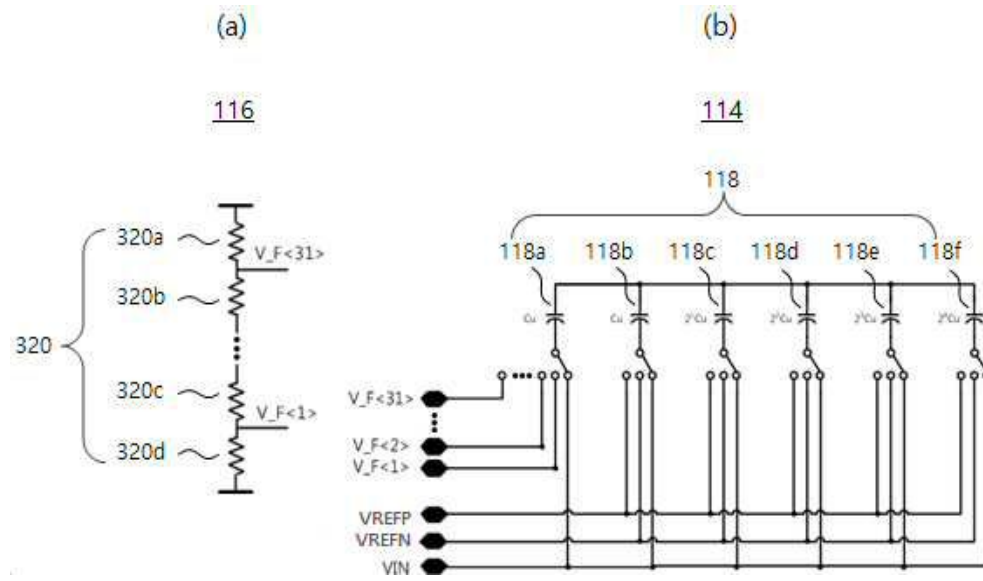
도면1



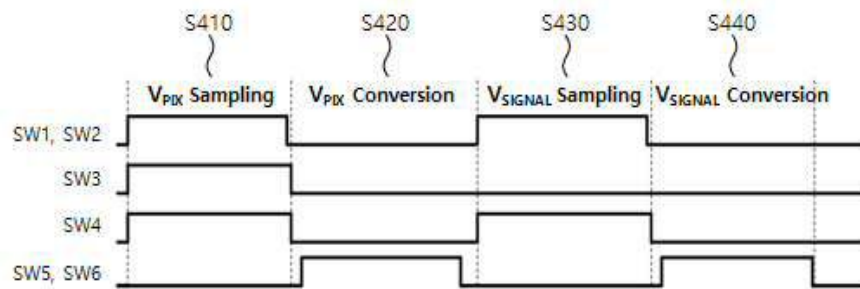
도면2



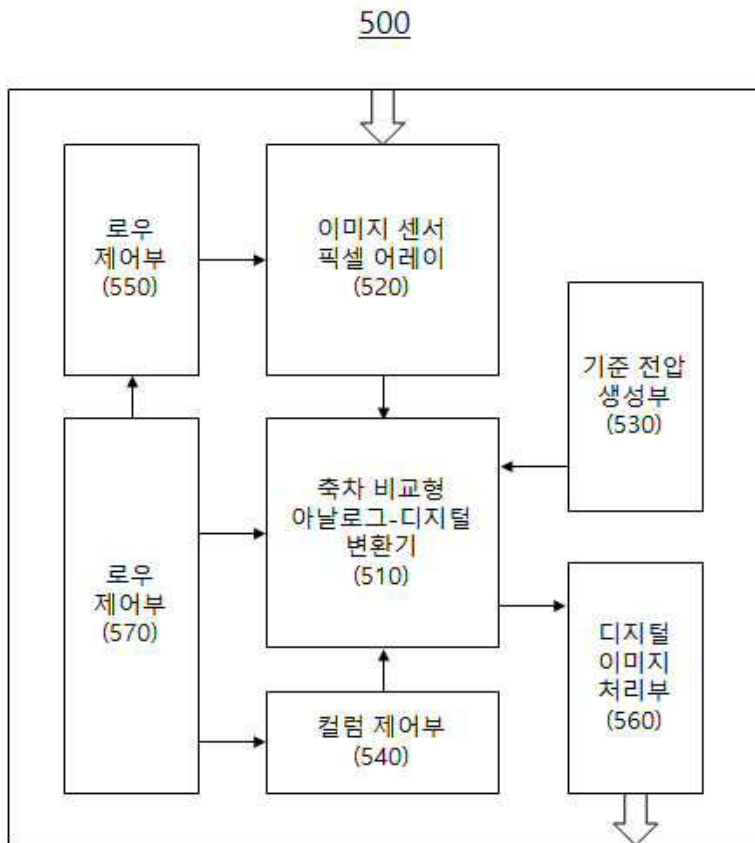
도면3



도면4



도면5



도면6

