

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開2002-182977(P2002-182977A)

【公開日】平成14年6月28日(2002.6.28)

【出願番号】特願2001-329766(P2001-329766)

【国際特許分類第7版】

G 06 F 12/06

G 06 F 12/14

G 06 F 12/16

【F I】

G 06 F 12/06 5 4 0 C

G 06 F 12/14 3 1 0 J

G 06 F 12/16 3 2 0 B

【手続補正書】

【提出日】平成16年10月26日(2004.10.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリシステム(59a～59d)であって、該メモリシステムの各々は、メモリ(85a～85d)と、データを記憶し且つ検索するためのメモリコントローラ(82a～82d)とを有する、メモリシステムと、

データ値の書き込み要求を伝達するように構成された少なくとも1つのプロセッサ(62)であって、前記要求は、バスアドレスを含むことからなる、少なくとも1つのプロセッサと、

前記バスアドレスをメモリアドレスにマッピングするよう構成されたマッピングシステム(68)であって、

前記メモリアドレスの各々は、前記メモリシステムのうちの1つの中のメモリロケーションを識別し、

前記マッピングシステムは、

バスアドレスの連続するセットをマッピングするよう構成され、これにより、該バスアドレスの連続するセットからマッピングされたメモリアドレスが、複数の前記メモリシステムにわたってインタリープされ、

前記複数のメモリシステムの各々を識別する複数のチェックサムシステム識別子を、前記書き込み要求に応答して識別するよう更に構成され、

前記チェックサムシステム識別子を利用して、前記データ値に基づいて更新されるチェックサム値の位置を示すように構成されることからなる、マッピングシステムとを備える、処理システム(50)。

【請求項2】

前記チェックサム識別子の各々は、前記書き込み要求のうちの各々1つに応答して、前記マッピングシステムによって識別され、且つ、該1つの書き込み要求に関連付けられたデータ値に基づいて更新されるチェックサム値を記憶する前記メモリシステムのうちの1つを識別する、請求項1に記載の処理システム。

【請求項3】

前記マッピングシステムは、

複数のエントリを有する第1のマッパ(76)であって、

前記第1のマッパの前記エントリの各々は、前記メモリシステムのうちの1つを識別するメモリシステム識別子を含み、

前記第1のマッパは、前記エントリを利用して前記バスアドレスを前記メモリアドレスにマッピングするように構成されることからなる、第1のマッパと、

複数のエントリを有する第2のマッパ(71)であって、

前記第2のマッパの前記エントリの各々は、複数のアクセスキーのうちの1つを含み、

前記第2のマッパは、前記バスアドレスの各々を、前記アクセスキーのうちの1つにマッピングするよう構成されることからなる、第2のマッパとを備え、

前記第2のマッパの前記エントリの合計数は、前記第1のマッパの前記エントリの合計数を超える。

前記マッピングシステムは、前記バスアドレスのうちの1つからマッピングされた前記アクセスキーのうちの1つを、前記1つのバスアドレスからマッピングされた前記メモリアドレスのうちの1つと共に、伝達するように構成され、

前記1つのメモリアドレスによって識別された前記メモリシステムのうちの1つは、前記1つのメモリアドレスからマッピングされた前記1つのアクセスキーに基づいて、前記1つのメモリアドレスによって識別されたメモリロケーションへの記憶を許可するように構成されることからなる、請求項1に記載の処理システム。

【請求項4】

メモリシステム(59a～59d)であって、該メモリシステムの各々は、

メモリ(85a～85d)と、

前記メモリにデータを記憶するための、且つ前記メモリからデータを検索するためのメモリコントローラ(82a～82d)

とを有することからなる、メモリシステムと、

連続するバスアドレスを含む、データ値の書き込み要求を伝達するための手段(62)と、

前記連続するバスアドレスをメモリアドレスにマッピングすることにより、前記メモリアドレスの各々が、前記メモリシステムのうちの異なる1つの中のメモリロケーションを識別するための、マッピング手段(68)であって、該マッピング手段は、

データ値の前記書き込み要求に応答して、チェックサムシステム識別子を選択するように構成され、これにより、該チェックサムシステム識別子が、前記複数の前記メモリシステムの各々を識別し、

前記チェックサムシステム識別子に基づいて、前記複数の前記メモリシステムの各々の中に記憶されたチェックサム値を更新するよう構成されることからなる、マッピング手段

とを備える、システム(50)。

【請求項5】

前記マッピング手段は、前記連続するバスアドレスをアクセスキーにマッピングするための手段(71)を含み、

前記メモリコントローラは、前記バスアドレスのうちの1つからマッピングされた前記メモリアドレスのうちの1つに基づき、且つ、該1つのバスアドレスからマッピングされた前記アクセスキーのうちの1つに基づいて、前記メモリシステムのうちの1つの中のロケーションに記憶することを許可するように構成されることからなる、請求項4に記載のシステム。

【請求項6】

メモリシステムにわたってデータ値とチェックサムとをインタリープするための方法であって、

メモリシステム(59a～59d)を提供するステップであって、該メモリシステムの各々が、メモリと、データを記憶し且つ検索するためのメモリコントローラ(82a～82d)とを有する、ステップと、

データ値の書き込み要求を受取るステップであって、該要求は、連続するバスアドレスを含む、ステップと、

前記連続するバスアドレスをメモリアドレスにマッピングするステップと、

前記メモリアドレスに基づいて、複数の前記メモリシステムの各々を識別するステップと、

データ値の前記書き込み要求に応答して、チェックサムシステム識別子を選択するステップと、

前記チェックサムシステム識別子に基づいて、前記複数の前記メモリシステムの各々を識別するステップと、

前記チェックサム識別子に基づいて、前記複数の前記メモリシステムの各々の中に記憶されたチェックサム値を更新するステップ

とを含む、方法。

【請求項7】

前記メモリアドレスに基づいて、前記メモリシステム内に前記データ値を記憶するステップと、

前記更新するステップにおいて、前記チェックサム値を更新するために、前記データ値を利用するステップ

とを更に含む、請求項6に記載の方法。

【請求項8】

前記更新されたチェックサム値のうちの1つに基づいて、前記データ値のうちの1つを回復するステップを更に含む、請求項6に記載の方法。

【請求項9】

前記連続するバスアドレスを前記マッピングするステップは、前記連続するバスアドレスの各々について、複数のメモリシステム識別子から1つのメモリシステム識別子を選択するステップを含み、

前記方法は、

前記連続するバスアドレスの各々を、複数のアクセスキーのうちの1つにマッピングするステップであって、前記複数のアクセスキーから前記1つのアクセスキーを選択するステップを含む、ステップ

を更に含み、

前記複数のアクセスキーの合計数は、前記メモリシステム識別子の合計数を超えることからなる、請求項6に記載の方法。

【請求項10】

メモリシステム(59a～59d)を提供するステップであって、該メモリシステムの各々は、メモリ(85a～85d)と、データを記憶し且つ検索するためのメモリコントローラ(82a～82d)とを有することからなる、ステップと、

データ値の書き込み要求を受取るステップであって、該要求は、連続するバスアドレスを含むことからなる、ステップと、

前記連続するバスアドレスをメモリアドレスにマッピングするステップと、

前記メモリシステムの各々にわたって前記メモリアドレスをインタリープするステップと、

前記メモリアドレスに基づいて、前記データ値を記憶するステップと、

チェックサムシステム識別子に、前記メモリアドレスを関連付けるステップであって、該チェックサムシステム識別子の各々は、該チェックサムシステム識別子の各々に関連付けられた前記メモリアドレスのうちの1つに記憶されたデータ値に基づいて、チェックサムを記憶する前記メモリシステムのうちの1つを識別する、ステップと、

前記メモリシステムの各々にわたって前記チェックサム識別子をインタリープするステ

ップ

とを含む、方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

図7に示すように、メモリシステム59a～59dの各々は、それぞれメモリコントローラ82a～82dとそれぞれメモリユニット85a～85dとを含む。メモリユニット85a～85dの各々は、データを記憶し検索することができる複数のメモリロケーションを含む。上述した書き込み要求のメモリシステム識別子によって識別されるメモリシステム59a、59b、59cまたは59dのメモリコントローラ82a、82b、82cまたは82dは、書き込み要求のデータ値（すなわち、上記記憶要求に応じて記憶されるデータ値）を、メモリユニットオフセットに基づいて、識別されたメモリシステム59a、59b、59cまたは59dのメモリユニット85a、85b、85cまたは85dに記憶するように構成される。これに関して、メモリユニットオフセットは、メモリユニット85a～85dの各々のロケーションに対応し、識別されたメモリシステム59a、59b、59cまたは59dのメモリコントローラ82a、82b、82cまたは82dは、上記メモリユニット85a、85b、85cまたは85dのメモリユニットオフセットに対応するメモリユニットロケーションに書き込み要求のデータ値を記憶するように構成される。