

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97124473

※申請日期：97.6.27

※IPC 分類：

一、發明名稱：(中文/英文)

H01L 24/15 (2006.01)

使用選擇性沈積可逆電阻切換元件之記憶體單元及其形成方法

MEMORY CELL THAT EMPLOYS A SELECTIVELY DEPOSITED
REVERSIBLE RESISTANCE-SWITCHING ELEMENT AND
METHODS OF FORMING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克3D公司

SANDISK 3D LLC

代表人：(中文/英文)

E 俄爾 湯普森

THOMPSON, E. EARLE

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號

601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U. S. A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 艾波 史瑞克
SCHRICKER, APRIL
2. S 布萊德 賀納
HERNER, S. BRAD
3. 邁可 W 柯涅維奇
KONEVECKI, MICHAEL W.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.
3. 加拿大 CANADA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年06月29日；11/772,090

2. 美國；2007年06月29日；11/772,084

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

在一些態樣中，提供一種形成一記憶體單元之方法，該方法包括：(1)在一基板上形成一第一導體；(2)在該第一導體上形成一二極體；(3)使用一選擇性沈積製程在該第一導體上形成一可逆電阻切換元件；及(4)在該二極體及該可逆電阻切換元件上形成一第二導體。提供眾多其他態樣。

六、英文發明摘要：

In some aspects, a method of forming a memory cell is provided that includes (1) forming a first conductor above a substrate; (2) forming a diode above the first conductor; (3) forming a reversible resistance-switching element above the first conductor using a selective deposition process; and (4) forming a second conductor above the diode and the reversible resistance-switching element. Numerous other aspects are provided.

七、指定代表圖：

(一)本案指定代表圖為：第 (2A) 圖。

(二)本代表圖之元件符號簡單說明：

200	記憶體單元
202	可逆電阻切換元件
204	二極體
206	第一導體/底部導體
208	第二導體/頂部導體
210	障壁層
212	導電層
213	障壁層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於非揮發性記憶體，且更特定言之，係關於一種使用選擇性沈積可逆電阻切換元件的記憶體單元及其形成方法。

本申請案主張2007年6月29日申請之名為"MEMORY CELL THAT EMPLOYS A SELECTIVELY DEPOSITED REVERSIBLE RESISTANCE-SWITCHING ELEMENT AND METHODS OF FORMING THE SAME"的美國專利申請案序號第11/772,090號(代理人檔案號SD-MXD-0333X)之優先權及2007年6月29日申請之名為"MEMORY CELL THAT EMPLOYS A SELECTIVELY DEPOSITED REVERSIBLE RESISTANCE-SWITCHING ELEMENT AND METHODS OF FORMING THE SAME"的美國專利申請案序號第11/772,084號(代理人檔案號SD-MXD-0333Y)之優先權，該兩申請案之全文特此以引用的方式併入本文中。

對相關申請案之交叉參考

本申請案係關於以下專利申請案，為了所有目的，該等專利申請案中之每一者的全文特此以引用的方式併入本文中：

2007年6月29日申請且名為"METHOD TO FORM A REWRITEABLE MEMORY CELL COMPRISING A DIODE AND A RESISTIVITY-SWITCHING GROWN OXIDE"的美國專利申請案序號第11/772,081號(檔案號MD-304X)。

2007年6月29日申請且名為"MEMORY CELL THAT EMPLOYS A SELECTIVELY GROWN REVERSIBLE RESISTANCE-SWITCHING ELEMENT AND METHODS OF FORMING THE SAME"的美國專利申請案序號第11/772,082號(檔案號MD-335X)。

2007年6月29日申請且名為"MEMORY CELL THAT EMPLOYS A SELECTIVELY GROWN REVERSIBLE RESISTANCE-SWITCHING ELEMENT AND METHODS OF FORMING THE SAME"的美國專利申請案序號第11/772,088號(檔案號MD-335Y)。

【先前技術】

已知由可逆電阻切換元件形成之非揮發性記憶體。舉例而言，2005年5月9日申請且名為"REWRITEABLE MEMORY CELL COMPRISING A DIODE AND A RESISTANCE-SWITCHING MATERIAL"的美國專利申請案序號第11/125,939號(下文為"939申請案")描述一種包括一與一諸如金屬氧化物或金屬氮化物之可逆電阻率切換材料串聯耦接之二極體的可重寫非揮發性記憶體單元，該案之全文特此以引用的方式併入本文中。

然而，由可重寫電阻率切換材料製造記憶體器件係困難的；且使用電阻率切換材料的形成記憶體器件之經改良方法係所要的。

【發明內容】

在本發明之第一態樣中，提供一種形成一記憶體單元之方法，該方法包括：(1)在一基板上形成一導引元件；及

(2)使用選擇性沈積製程形成一耦接至該導引元件的可逆電阻切換元件。

在本發明之第二態樣中，提供一種形成一記憶體單元之方法，該方法包括：(1)在一基板上形成一第一導體；(2)在該第一導體上形成一二極體；(3)使用選擇性沈積製程在該第一導體上形成一可逆電阻切換元件；及(4)在該二極體及該可逆電阻切換元件上形成一第二導體。

在本發明之第三態樣中，提供一種形成一記憶體單元之方法，該方法包括：(1)在一基板上形成一第一導體；(2)在該第一導體上形成一垂直多晶二極體；(3)在該垂直多晶二極體上選擇性地形成一包括一氧化鎳層之可逆電阻切換元件；及(4)在該垂直多晶二極體上形成一第二導體。

在本發明之第四態樣中，提供一種形成一記憶體單元之方法，該方法包括：(1)形成一具有一源極區及一汲極區之薄膜電晶體；(2)形成一耦接至該電晶體之源極區或汲極區的第一導體；(3)在第一導體上選擇性地形成一包括一氧化鎳層的可逆電阻切換元件；及(4)在該可逆電阻切換元件上形成一第二導體。

在本發明之第五態樣中，提供一種記憶體單元，該記憶體單元包括：(1)一導引元件；及(2)一耦接至該導引元件並使用一選擇性沈積製程而形成的可逆電阻切換元件。

在本發明之第六態樣中，提供一種記憶體單元，該記憶體單元包括：(1)一第一導體；(2)一形成於該第一導體上的第二導體；(3)一形成於第一導體與第二導體之間的二極

體；及(4)一使用選擇性沈積製程而形成於第一導體與第二導體之間的可逆電阻切換元件。

在本發明之第七態樣中，提供一種記憶體單元，該記憶體單元包括：(1)一第一導體；(2)一在該第一導體上形成的垂直多晶二極體；(3)一形成於該垂直多晶二極體上之包括氧化鎳層的可逆電阻切換元件；及(4)一形成於該垂直多晶二極體上的第二導體。

在本發明之第八態樣中，提供一種記憶體單元，該記憶體單元包括：(1)一具有一源極區及一汲極區的薄膜電晶體；(2)一耦接至源極區或汲極區的第一導體；(3)一選擇性地形成於第一導體上之包括氧化鎳層的可逆電阻切換元件；及(4)一形成於該可逆電阻切換元件上的第二導體。

在本發明之第九態樣中，提供複數個非揮發性記憶體單元，該複數個非揮發性記憶體單元包括：(1)大體上平行、大體上共面的在第一方向上延伸之第一複數個導體；(2)複數個二極體；(3)複數個可逆電阻切換元件；及(4)大體上平行、大體上共面的在一不同於第一方向之第二方向上延伸的第二複數個導體。在每一記憶體單元中，該等二極體中之一者及該等可逆電阻切換元件中之一者經串聯配置，安置於該等第一導體中之一者與該等第二導體中之一者之間。此外，使用選擇性沈積製程來形成每一可逆電阻切換元件。

在本發明之第十態樣中，提供一種整體式三維記憶體陣列，其包括一形成於基板上之第一記憶體層級。該第一記

憶體層級包括複數個記憶體單元，每一記憶體單元具有：

(1)一導引元件；及(2)一耦接至該導引元件並使用選擇性沈積製程而形成的可逆電阻切換元件。該整體式三維記憶體陣列亦包括整體地形成於該第一記憶體層級上的至少一第二記憶體層級。根據本發明之此等及其他實施例提供眾多其他態樣。

自以下實施方式、附加申請專利範圍及隨附圖式將更充分顯而易見本發明之其他特徵及態樣。

【實施方式】

如上文所述，由可重寫電阻率切換材料製造記憶體器件係困難的。舉例而言，許多可重寫電阻率切換材料難以用化學方法蝕刻，從而增加製造成本及與其在積體電路中之使用相關聯的複雜性。

根據本發明，難以用化學方法蝕刻之可重寫電阻率切換材料可在未經蝕刻的情況下用於一記憶體單元內。舉例而言，在至少一實施例中，提供一記憶體單元，其包括一使用選擇性沈積製程而形成的可逆電阻率切換材料，使得可逆電阻率切換材料可在未經蝕刻的情況下用於記憶體單元內。

在一或多個例示性實施例中，可使用氧化鎳作為可逆電阻率切換材料來形成可逆電阻切換元件。如(例如)在先前所併入的'939申請案中所描述，氧化鎳膜已展示為適用於記憶體單元。

諸如 Ni 、 Ni_xP_y 、 NiO 、 NiO_x 、 NiO_xP_y 等之含鎳膜難以用

化學方法蝕刻。在至少一實施例中，經由使用選擇性沈積製程，氧化鎳層可在氧化鎳層未經蝕刻之情況下用於記憶體單元之可逆電阻切換元件中。舉例而言，可藉由使用一諸如電鍍、無電沈積或其類似者之沈積製程以選擇性地僅將一含鎳層沈積於形成於基板上的導電表面上而形成可逆電阻切換元件。以此方式，僅基板上之導電表面經圖案化及/或經蝕刻(在沈積含鎳層之前)且含鎳層未經圖案化及/或經蝕刻。

在一些實施例中，可選擇性地沈積氧化鎳而在其他實施例中，可選擇性地沈積鎳且接著將其氧化以形成氧化鎳。在任一狀況下，可消除對於蝕刻鎳及/或氧化鎳層的需要且記憶體單元製造顯著簡化。

根據本發明，可選擇性地沈積其他材料，且接著將其退火及/或氧化(若需要)，以形成供記憶體單元中使用的可逆或可一次程式化電阻率切換材料。舉例而言，可(諸如)藉由電鍍而選擇性地沈積Nb、Ta、V、Al、Ti、Co、鈷-鎳合金等之層，且將其氧化以形成可逆電阻率切換材料。

例示性本發明記憶體單元

圖1為根據本發明所提供的例示性記憶體單元100之示意說明。記憶體單元100包括一耦接至一導引元件104之可逆電阻切換元件102。

可逆電阻切換元件102包括一具有一可在兩個或兩個以上狀態之間可逆地切換的電阻率之可逆電阻率切換材料(未單獨展示)。舉例而言，元件102之可逆電阻率切換材料

可在製造後即處於一初始低電阻率狀態，該低電阻率狀態可在施加第一電壓及/或電流後即切換至一高電阻率狀態。施加第二電壓及/或電流可使可逆電阻率切換材料返回至低電阻率狀態。或者，可逆電阻切換元件102可在製造後即處於一初始高電阻狀態，該高電阻狀態可在施加適當電壓及/或電流後即可逆地切換至一低電阻狀態。當用於記憶體單元中時，一電阻狀態可表示一二進位"0"而另一電阻狀態可表示一二進位"1"，但是可使用兩個以上資料/電阻狀態。舉例而言，在先前所併入的'939申請案中描述了眾多可逆電阻率切換材料及使用可逆電阻切換元件的記憶體單元之操作。

在本發明之至少一實施例中，使用一選擇性沈積製程來形成可逆電阻切換元件102。如下文將進一步描述，選擇性沈積製程的使用允許一可逆電阻率切換材料提供於可逆電阻切換元件102內而無需蝕刻可逆電阻率切換材料。藉此簡化可逆電阻切換元件102的製造。

導引元件104可包括藉由選擇性地限制跨越可逆電阻切換元件102之電壓及/或流經可逆電阻切換元件102之電流而展現非歐姆傳導的薄膜電晶體、二極體或另一適當導引元件。以此方式，記憶體單元100可用作二維記憶體陣列或三維記憶體陣列之部分且在不影響陣列中其他記憶體單元之狀態的情況下可將資料寫入至記憶體單元100及/或自記憶體單元100讀取資料。

下文參看圖2A至圖6描述記憶體單元100、可逆電阻切換

元件102及導引元件104之例示性實施例。

記憶體單元之第一例示性實施例

圖2A為根據本發明所提供的記憶體單元200之第一實施例的簡化透視圖。參看圖2A，記憶體單元200包括一在第一導體206與第二導體208之間與二極體204串聯耦接的可逆電阻切換元件202。在一些實施例中，障壁層210及/或導電層212可形成於可逆電阻切換元件202與二極體204之間。舉例而言，障壁層210可包括氮化鈦、氮化鉭、氮化鎢等，且導電層212可包括鎢或另一適當金屬層。如下文將進一步描述，障壁層210及/或導電層212可在形成二極體204期間充當硬遮罩。在(例如)2006年5月13日申請且名為"CONDUCTIVE HARD MASK TO PROTECT PATTERNED FEATURES DURING TRENCH ETCH"的美國專利申請案序號第11/444,936號(下文為"936申請案")中描述了此硬遮罩，該案之全文特此以引用的方式併入本文中。額外障壁層213(諸如，氮化鈦、氮化鉭、氮化鎢等)亦可形成於二極體204與第一導體206之間。

如下文將進一步描述，選擇性地形成可逆電阻切換元件202，以便簡化記憶體單元200之製造。在至少一實施例中，可逆電阻切換元件202包括藉由選擇性地沈積鎳，且接著氧化鎳層所形成之氧化鎳層之至少一部分。舉例而言，可使用無電沈積、電鍍或類似選擇性製程來選擇性地沈積Ni、Ni_xP_y或另一類似形式的鎳，且接著將其氧化以形成氧化鎳(例如，使用快速熱氧化或另一氧化製程)。在

其他實施例中，氧化鎳自身可被選擇性地沈積。舉例而言，可使用選擇性沈積製程，在二極體204上選擇性地沈積含NiO-、NiO_x-或NiO_xP_y之層，且接著將其退火及/或氧化(若需要)。下文參看圖3進一步描述此等及其他實施例。儘管可逆電阻切換元件202在圖2A中展示為位於二極體204上，但是應理解在替代實施例中，可逆電阻切換元件202可位於二極體204之下(如下文(例如)參看圖6所描述)。在一些實施例中，可逆電阻切換元件202之僅一部分(諸如，一或多個細絲(filament))可切換及/或為可切換的。

二極體204可包括諸如垂直多晶p-n或p-i-n二極體之任何適當二極體，不管是以二極體之n區在p區上向上指向，還是以二極體之p區在n區上向下指向。下文參看圖3描述二極體204之例示性實施例。

第一導體206及/或第二導體208可包括任何適當導電材料，諸如，鎢、任何適當金屬、重摻雜半導體材料、導電矽化物、導電矽化物-鍍化物、導電鍍化物或其類似物。在圖2A之實施例中，第一導體206及第二導體208為軌道形狀且在不同方向(例如，彼此大體上垂直)上延伸。可使用其他導體形狀及/或組態。在一些實施例中，障壁層、黏著層、抗反射塗層及/或其類似物(未圖示)可與第一及/或第二導體206一起使用以改良器件效能及/或輔助器件製造。

如所述，其他材料可用於形成可逆電阻切換元件202。舉例而言，諸如Nb、Ta、V、Al、Ti、Co、鈷-鎳合金等之

材料可類似地選擇性地沈積於二極體204上(諸如，如圖2A中所示，沈積於障壁層210上及/或導電層212上)，且(若需要)將其氧化及/或退火以形成可逆電阻切換元件202。

圖2B為由圖2A之複數個記憶體單元200形成的第一記憶體層級214之一部分的簡化透視圖。為簡單起見，未單獨展示可逆電阻切換元件202、二極體204、障壁層210及213以及導電層212。記憶體陣列214為一"交叉點"陣列，其包括多個記憶體單元所耦接的複數個位元線(第二導體208)及字線(第一導體206)(如所示)。可使用其他記憶體陣列組態，同樣可使用多個記憶體層級。舉例而言，圖2C為包括一位於第二記憶體層級220之下之第一記憶體層級218的整體式三維陣列216之一部分的簡化透視圖。在圖2C之實施例中，每一記憶體層級218、220包括交叉點陣列中的複數個記憶體單元200。應理解，額外層(例如，層間介電質)可存在於第一記憶體層級218與第二記憶體層級220之間，但為簡單起見在圖2C中未展示。可使用其他記憶體陣列組態，同樣可使用額外記憶體層級。在圖2C之實施例中，所有二極體可在同一方向上"指向"(諸如向上或向下，此視是使用具有一在二極體之底部之p摻雜區的p-i-n二極體還是使用具有一在二極體之頂部之p摻雜區的p-i-n二極體而定)，從而簡化二極體製造。

在一些實施例中，如在(例如)美國專利第6,952,030號"High-density three-dimensional memory cell"中所描述，可形成記憶體層級，為了所有目的，該專利之全文特此以

引用的方式併入本文中。舉例而言，如圖2D中所示，第一記憶體層級之上部導體可用作一位於第一記憶體層級上的第二記憶體層級之下部導體。在此等實施例中，如在2007年3月27日申請且名為"LARGE ARRAY OF UPWARD POINTING P-I-N DIODES HAVING LARGE AND UNIFORM CURRENT"之美國專利申請案序號第11/692,151號(下文中為"'151申請案")中所描述，在鄰近記憶體層級上之二極體較佳在相反方向上指向，為了所有目的，該案之全文特此以引用的方式併入本文中。舉例而言，第一記憶體層級218之二極體可為如由箭頭A₁所指示的向上指向之二極體(例如，其中p區在二極體之底部)，而第二記憶體層級220之二極體可為如由箭頭A₂所指示的向下指向之二極體(例如，其中n區在二極體之底部)，或反之亦然。

整體式三維記憶體陣列為在單一基板(諸如，晶圓)上形成多個記憶體層級且無介入基板之記憶體陣列。形成一記憶體層級之層直接在現有層級之層上沈積或生長。對比而言，堆疊記憶體已藉由在單獨基板上形成記憶體層級及將記憶體層級黏著於彼此頂部來建構，如在Leedy之美國專利第5,915,167號"Three dimensional structure memory"中所揭示。該等基板在黏結前可變薄或自記憶體層級移除，但由於該等記憶體層級最初形成於單獨基板上，因此此等記憶體並非真正的整體式三維記憶體陣列。

圖3為圖2A之記憶體單元200之例示性實施例的橫截面圖。參看圖3，記憶體單元200包括可逆電阻切換元件

202、二極體204以及第一導體206及第二導體208。

如所述，二極體204可為垂直p-n或p-i-n二極體，其可向上指向或向下指向。在鄰近記憶體層級共用導體的圖2D之實施例中，鄰近記憶體層級較佳具有在相反方向上指向的二極體，諸如，第一記憶體層級之向下指向的p-i-n二極體及鄰近第二記憶體層級之向上指向的p-i-n二極體(或反之亦然)。

在一些實施例中，二極體204可由多晶半導體材料形成，諸如，多晶矽、多晶矽-鍺合金、多晶鍺(polygermanium)或任何其他適當材料。舉例而言，二極體204可包括重摻雜n+多晶矽區302、在n+多晶矽區302上的輕摻雜或固有(無意摻雜)多晶矽區304及在固有區304上的重摻雜p+多晶矽區306。在一些實施例中，如在(例如)2005年12月9日申請且名為"DEPOSITED SEMICONDUCTOR STRUCTURE TO MINIMIZE N-TYPE DOPANT DIFFUSION AND METHOD OF MAKING"的美國專利申請案序號第11/298,331號(下文中為"331申請案")中所描述，薄(例如，幾百埃或更小)鍺及/或矽-鍺合金層(未圖示)(在使用矽-鍺合金層時具有約10%或更多的鍺)可形成於n+多晶矽區302上以防止及/或減少摻雜劑自n+多晶矽區302遷移至固有區304中，為了所有目的，該案之全文特此以引用的方式併入本文中。應理解，n+區及p+區之位置可交換。障壁層308(諸如，氮化鈦、氮化鉭、氮化鎢等)可形成於第一導體206與n+區302之間(例如，以防止及/或減少金屬原子遷移至多晶

矽區中)。

當二極體204係由沈積之矽(例如，非晶或多晶)製造時，矽化物層310可形成於二極體204上以使所沈積之矽處於低電阻率狀態(在製造時)。此低電阻率狀態允許記憶體單元200更早程式化，因為無需大電壓來將所沈積之矽切換至低電阻率狀態。舉例而言，諸如鈦或鈷之矽化物形成金屬層312可沈積於p+多晶矽區306上。在用於使形成二極體204之所沈積矽結晶的隨後退火步驟(下文描述)期間，矽化物形成金屬層312與二極體204之所沈積之矽反應以形成矽化物層310，從而消耗矽化物形成金屬層312之全部或部分。

如美國專利第7,176,064號"Memory Cell Comprising a Semiconductor Junction Diode Crystallized Adjacent to a Silicide"中所描述，矽化物形成材料(諸如，鈦及/或鈷)在退火期間與所沈積之矽反應以形成矽化物層，該案之全文特此以引用的方式併入本文中。矽化鈦及矽化鈷之晶格間隔接近於矽之晶格間隔，且看來在所沈積之矽結晶時，此等矽化物層可充當鄰近沈積矽之"結晶模板"或"晶種"(例如，在退火期間矽化物層310增強矽二極體204之晶體結構)。藉此提供較低電阻率矽。對於矽-鎳合金及/或鎳二極體，可達成類似結果。

在圖3之實施例中，藉由選擇性沈積製程形成可逆電阻切換元件202。在一些實施例中，可逆電阻切換元件202可形成於導電矽化物形成金屬層312上(或在形成於矽化物形

成金屬層312上的導電障壁層上)。(如下文參看圖4A至圖4D所描述，可在形成二極體204期間圖案化此等層)。然而，在其他實施例中，金屬硬遮罩可在電阻切換元件202形成之前形成於矽化物形成金屬層312上。舉例而言，障壁層314及/或導電層316可形成於矽化物形成金屬層312上。障壁層314可包括氮化鈦、氮化鉭、氮化鎢等，且導電層316可包括鎢或另一適當金屬層。如下文將進一步描述，障壁層314及/或導電層316可在二極體204形成期間充當硬遮罩且可減輕可在頂部導體208形成期間發生的任何過蝕刻(如先前所併入的'936申請案中所描述)。舉例而言，障壁層314及導電層316可經圖案化及蝕刻，且接著在蝕刻二極體204期間充當一遮罩。導電層316、障壁層314、矽化物形成金屬層312、二極體204(p+多晶矽層306、固有層304、n+多晶矽層302)及障壁層308之蝕刻建立一柱結構318。介電材料320沈積於柱結構318頂部並沈積在柱結構318周圍，以便將柱結構318與在包括記憶體單元200之記憶體層級上製造的其他記憶體單元(未圖示)之其他類似柱結構隔離。接著執行CMP或介電質回蝕步驟以平坦化介電材料320並自導電層316之頂部移除介電材料。

在平坦化介電材料320後，可逆電阻切換元件202可藉由選擇性沈積製程而形成於經圖案化且經蝕刻之導電層316上。舉例而言，氧化鎳層可藉由以下方法選擇性地形成於經圖案化且經蝕刻之導電層316上：(1)選擇性地沈積氧化鎳(諸如， NiO 、 NiO_x 、 NiO_xPy)，且若需要，則退火及/或

氧化氧化鎳；及/或(2)選擇性地沈積鎳且接著氧化鎳。在任一狀況下，因為氧化鎳僅沈積於導電層316之經圖案化且經蝕刻的頂部表面上，所以可消除對於蝕刻鎳及/或氧化鎳層的需要且記憶體單元製造顯著簡化。此外，可形成氧化鎳之任何所要的厚度。在一些實施例中，約1000埃或更小(且更佳約500埃或更小)的氧化鎳層厚度用於可逆電阻切換元件202(但是可使用其他厚度範圍)。

在一實施例中，在形成、圖案化及蝕刻導電層316之後，無電沈積製程用於將鎳或氧化鎳選擇性地沈積於導電層316上。舉例而言，藉由將導電層316浸沒於水溶液中，水溶液可用於將鎳或氧化鎳選擇性地形成於導電層316上。水溶液可包括(例如)一或多種溶解鹽/前驅體、錯合劑及/或用於調節溶液pH值的緩衝劑。在一些實施例中，水溶液可包括鎳鹽及/或鎳鹽氫氧化物，諸如，硫酸鎳、亞硫酸鎳、磷酸鎳、磷化鎳、氫氧化鎳、磷酸氫或其混合物。其他例示性組份可包括 NiSO_4 、 NaH_2PO_2 、檸檬酸鈉、 $(\text{NH}_4)_2\text{SO}_4$ 或其類似物。應理解，鎳或氧化鎳(或兩者)可視用於形成水溶液的確切組份及/或其他製程條件而沈積於導電層316上。

例示性製程條件包括將導電層316浸沒於含鎳水溶液中持續約1秒至約5分鐘，同時水溶液保持在約20°C與85°C之間的溫度下。在電化學學會期刊，1407-1411 (1999)，146(4)頁，N. Takano等人之"Mechanism of the Chemical Deposition of Nickel on Silicon Wafers in Aqueous Solution"中

描述了可用於選擇性地形成鎳或氧化鎳層的額外例示性水溶液及/或製程條件，為了所有目的，該文之全文特此以引用的方式併入本文中。如所述，所沈積之鎳或氧化鎳可包括Ni、Ni_xP_y、NiO、NiO_x、NiO_xP_y或其他類似材料。

在形成鎳或氧化鎳後，熱氧化製程可用於由經選擇性沈積之鎳形成氧化鎳或改良經選擇性沈積之氧化鎳的形態及/或電特性。例示性氧化條件包括在氧環境(諸如O₂)中在約400°C至800°C之溫度下快速熱氧化持續約20秒至10分鐘。可使用其他氧化或退火製程、氧種類、時間及/或溫度。

可用於將含鎳層形成於經圖案化且經蝕刻之導電層316上的另一適當選擇性沈積製程包括習知鎳電鍍。任何適當電鍍製程可用於將鎳選擇性地沈積於導電層316上。此後，如上文所描述可氧化經電鍍之鎳以形成氧化鎳。

如所述，其他材料可用於形成可逆電阻切換元件202。舉例而言，諸如Nb、Ta、V、Al、Ti、Co、鈷-鎳合金等之材料可類似地選擇性地沈積於二極體204上(諸如，如圖2A中所示，沈積於障壁層210上及/或沈積於導電層212上)且經退火及/或氧化(若需要)。

在形成可逆電阻切換元件202後，形成頂部導體208。在一些實施例中，一或多個障壁層及/或黏著層322可在沈積導電層324之前形成於可逆電阻切換元件202上。導電層324及障壁層322可一起經圖案化及/或蝕刻以形成頂部導體208。在一些實施例中，可使用如下文參看圖4A至圖4D所描述之鑲嵌製程來形成頂部導體208。

在形成頂部導體208後，記憶體單元200可經退火以使二極體204之所沈積之半導體材料結晶(及/或形成矽化物層310)。在至少一實施例中，可在氮中在約600°C至800°C(且更佳在約650°C與750°C之間)之溫度下持續約10秒至約2分鐘執行退火。可使用其他退火時間、溫度及/或環境。如所述，矽化物層310可在下面沈積的形成二極體204之半導體材料的退火期間充當"結晶模板"或"晶種"。藉此提供較低電阻率二極體材料。

下文參看圖4A至圖4D描述用於製造根據本發明之記憶體單元的例示性製程。

用於記憶體單元的例示性製造過程

圖4A至圖4D說明在製造根據本發明之第一記憶體層級期間基板400之一部分的橫截面圖。如下文將描述，第一記憶體層級包括複數個記憶體單元，每一記憶體單元包括一使用選擇性沈積製程而形成的可逆電阻切換元件。額外記憶體層級可製造於第一記憶體層級上(如先前參看圖2C至圖2D所描述)。

參看圖4A，基板400係展示為已經歷若干處理步驟。基板400可為任何適當基板，諸如具有或不具有額外電路之矽、鍺、矽-鍺、未摻雜、摻雜、塊狀、絕緣體上矽(SOI)或其他基板。舉例而言，基板400可包括一或多個n井區或p井區(未圖示)。

隔離層402形成於基板400上。在一些實施例中，隔離層402可為二氧化矽、氮化矽、氮氧化矽之層或任何其他適

當絕緣層。

在形成隔離層402後，黏著層404形成於隔離層402上(例如，藉由物理氣相沈積或另一方法)。舉例而言，黏著層404可為約20埃至約500埃(且較佳約100埃)的氮化鈦或另一適當黏著層(諸如，氮化鋁、氮化鎢、一或多個黏著層之組合或其類似物)。可使用其他黏著層材料及/或厚度。在一些實施例中，黏著層404可為可選的。

在形成黏著層404後，導電層406沈積於黏著層404上。導電層406可包括藉由任何適當方法(例如，化學氣相沈積(CVD)、物理氣相沈積(PVD)等)而沈積的任何適當導電材料，諸如鎢或另一適當金屬、重摻雜半導體材料、導電矽化物、導電矽化物-鍍化物、導電鍍或其類似物。在至少一實施例中，導電層406可包含約200埃至約2500埃之鎢。可使用其他導電層材料及/或厚度。

在形成導電層406後，圖案化並蝕刻黏著層404及導電層406。舉例而言，可使用習知微影技術(使用軟遮罩或硬遮罩)及濕式蝕刻處理或乾式蝕刻處理來圖案化並蝕刻黏著層404及導電層406。在至少一實施例中，圖案化並蝕刻黏著層404及導電層406，以便形成大體上平行、大體上共平面導體408(如圖4A中所示)。導體408之例示性寬度及/或導體408之間的時間隔自約200埃至約2500埃變化，但是可使用其他導體寬度及/或間隔。

在已形成導體408後，介電層410形成於基板400上，以便填充導體408之間的空隙。舉例而言，約3000埃至7000

埃的二氧化矽可沈積於基板400上且使用化學機械研磨或回蝕製程來平坦化以形成一平坦表面412。平坦表面412包括由介電材料所隔開的導體408之暴露頂部表面(如所示)。可使用其他介電材料(諸如，氮化矽、氮氧化矽、低K介電質等)及/或其他介電層厚度。例示性低K介電質包括碳摻雜之氧化物、矽碳層或其類似物。

在本發明之其他實施例中，可使用一鑲嵌製程來形成導體408，在鑲嵌製程中形成且圖案化介電層410以建立導體408之開口或空隙。接著可用黏著層404及導電層406(及/或導電晶種、導電填充物及/或障壁層(若需要))來填充開口或空隙。接著可平坦化黏著層404及導電層406以形成平坦表面412。在此實施例中，黏著層404將順每一開口或空隙之底部及側壁排列。

在平坦化後，形成每一記憶體單元之二極體結構。參看圖4B，障壁層414形成於基板400之經平坦化頂部表面412上。障壁層414可為約20埃至約500埃(且較佳約100埃)的氮化鈦或另一適當障壁層，諸如，氮化鈦、氮化鎢、一或多個障壁層之組合、與其他層組合的障壁層(諸如，鈦/氮化鈦、鈦/氮化鈦或鎢/氮化鎢堆疊，或其類似物)。可使用其他障壁層材料及/或厚度。

在沈積障壁層414之後，開始沈積用於形成每一記憶體單元之二極體(例如，圖2A至圖3中之二極體204)的半導體材料。每一二極體可為如先前描述之垂直p-n或p-i-n二極體。在一些實施例中，每一二極體係由多晶半導體材料

(諸如，多晶矽、多晶矽-鍍合金、多晶鍍)或任何其他適當材料形成。為方便起見，本文中描述一多晶矽、向下指向之二極體的形成。應理解，可使用其他材料及/或二極體組態。

參看圖4B，在形成障壁層414後，重摻雜n+矽層416沈積於障壁層414上。在一些實施例中，在沈積時，n+矽層416處於非晶狀態。在其他實施例中，在沈積時，n+矽層416處於多晶狀態。CVD或另一適當製程可用於沈積n+矽層416。在至少一實施例中，可(例如)由約100埃至約1000埃(較佳約100埃)的具有約 10^{21} cm^{-3} 之摻雜濃度的磷或砷摻雜矽而形成n+矽層416。可使用其他層厚度、摻雜類型及/或摻雜濃度。n+矽層416可(例如)藉由在沈積期間使供體氣體流動而在原位摻雜。可使用其他摻雜方法(例如，植入)。

在沈積n+矽層416後，輕摻雜固有及/或無意摻雜之矽層418形成於n+矽層416上。在一些實施例中，在沈積時，固有矽層418處於非晶狀態。在其他實施例中，在沈積時，固有矽層418處於多晶狀態。CVD或另一適當沈積方法可用於沈積固有矽層418。在至少一實施例中，固有矽層418厚度可為約500埃至約4800埃，較佳約2500埃。可使用其他固有層厚度。

薄(例如，幾百埃或更小)鍍及/或矽-鍍合金層(未圖示)可在固有矽層418沈積之前形成於n+矽層416上以防止及/或減少摻雜劑自n+矽層416遷移至固有矽層418中(如先前所

併入的'331申請案中所描述)。

重摻雜p型矽沈積並藉由離子植入而摻雜或在沈積期間經原位摻雜以形成p+矽層420。舉例而言，毯覆式p+植入可用於在固有矽層418內植入預定深度的硼。例示性可植入分子離子包括 BF_2 、 BF_3 、B及其類似物。在一些實施例中，可使用約 $1\text{--}5 \times 10^{15}$ 離子/ cm^2 的植入劑量。可使用其他植入種類及/或劑量。此外，在一些實施例中，可使用擴散製程。在至少一實施例中，所得p+矽層420具有約100埃至700埃的厚度，但是可使用其他p+矽層尺寸。

在形成p+矽層420後，矽化物形成金屬層422沈積於p+矽層420上。例示性矽化物形成金屬包括濺鍍或以其他方式沈積之鈦或鈷。在一些實施例中，矽化物形成金屬層422具有約10埃至約200埃(較佳約20埃至約50埃且更佳約20埃)的厚度。可使用其他矽化物形成金屬層材料及/或厚度。

障壁層424沈積於矽化物形成金屬層422上。障壁層424可為約20埃至約500埃(且較佳約100埃)的氮化鈦或另一適當障壁層，諸如，氮化鈮、氮化鎢、一或多個障壁層之組合、與其他層組合的障壁層(諸如，鈦/氮化鈦、鈮/氮化鈮或鎢/氮化鎢堆疊，或其類似物)。可使用其他障壁層材料及/或厚度。

在形成障壁層424後，導電層426形成於障壁層424上。導電層426可為約50埃至約1000埃(且較佳約500埃)的導電材料，諸如鎢或另一適當金屬。

接著將障壁層414，矽區416、418及420，矽化物形成金

屬層 422，障壁層 424 及導電層 426 圖案化並蝕刻成柱 428。舉例而言，最初，蝕刻導電層 426 及障壁層 424。蝕刻繼續，蝕刻矽化物形成金屬層 422，矽區 420、418 及 416 以及障壁層 414。導電層 426 及障壁層 414 在矽蝕刻期間充當一硬遮罩。硬遮罩為用於圖案化下面的層之蝕刻的蝕刻層；若已消耗導電層 426 上存在的所有光阻，則硬遮罩可替代其而提供圖案。以此方式，在單一光微影步驟中形成柱 428。習知微影技術及濕式或乾式蝕刻處理可用於形成柱 428。每一柱 428 包括向下指向之 p-i-n 二極體 430。可類似地形成向上指向之 p-i-n 二極體。

在形成柱 428 後，介電層 432 沈積於柱 428 上以填充柱 428 之間的空隙。舉例而言，可沈積約 200 埃至 7000 埃之二氧化矽並使用化學機械研磨或回蝕製程來將其平坦化以形成一平坦表面 434。平坦表面 434 包括由介電材料 432 隔開的柱 428 之暴露的頂部表面(如所示)。可使用其他介電材料(諸如，氮化矽、氮氧化矽、低 K 介電質等)及/或其他介電層厚度。例示性低 K 介電質包括碳摻雜之氧化物、矽碳層或其類似物。

在形成平坦表面 434 後，可逆電阻切換元件 436(圖 4C)選擇性地形成於每一柱 428 上。舉例而言，氧化鎳層可藉由以下方法而選擇性地形成於每一導電柱 428 上：(1)選擇性地沈積氧化鎳；及/或(2)選擇性地沈積鎳且接著氧化鎳。在任一狀況下，可消除對於蝕刻鎳及/或氧化鎳層的需要且記憶體單元製造顯著簡化。如先前所描述，可使用用於

選擇性地沈積鎳或氧化鎳的任何適當方法，諸如，無電沈積、電鍍或其類似者。在至少一實施例中，形成於每一導電柱428上的可逆電阻切換元件436包括一具有約1000埃或更小之厚度(且更佳約500埃或更小之厚度)的氧化鎳層。可使用其他氧化鎳厚度。氧化鎳層可包括(例如)NiO、NiO_x及NiO_xP_y或其他類似材料。可類似地選擇性地沈積、氧化及/或退火諸如Nb、Ta、V、Al、Ti、Co、鈷-鎳合金等之其他材料以在每一柱428上形成一選擇性沈積可逆電阻切換元件。

參看圖4D，在形成可逆電阻切換元件436後，可以類似於形成導體408之底部集合的方式將導體438之第二集合形成於柱428上。舉例而言，如圖4D中所示，在一些實施例中，一或多個障壁層及/或黏著層440可在用於形成導體438上部第二集合的導電層442之沈積之前沈積於可逆電阻切換元件436上。

導電層442可由藉由任何適當方法(例如，CVD、PVD等)沈積的任何適當導電材料(諸如，鎢、另一適當金屬、重摻雜半導體材料、導電矽化物、導電矽化物-鍍化物、導電鍍化物或其類似物)形成。可使用其他導電層材料。障壁層及/或黏著層440可包括氮化鈦或另一適當層(諸如，氮化鈮、氮化鎢、一或多個層之組合或任何其他適當材料)。所沈積之導電層442及障壁及/或黏著層440可經圖案化並經蝕刻以形成導體438之第二集合。在至少一實施例中，上部導體438為大體上平行、大體上共平面之在不同

於下部導體408之方向上延伸的導體。

在本發明之其他實施例中，上部導體438可使用一鑲嵌製程來形成，在鑲嵌製程中介電層形成並經圖案化以建立導體438之開口或空隙。如在'936申請案中所描述，導電層426及障壁層424可在形成上部導體438之開口或空隙期間減輕此介電層之過蝕刻的影響，從而防止偶然缺少二極體430。

開口或空隙可以黏著層440及導電層442(及/或導電晶種、導電填充物及/或障壁層(若需要))來填充。接著可平坦化黏著層440及導電層442以形成一平坦表面。

在形成上部導體438後，結構可經退火以使二極體430之所沈積半導體材料結晶(及/或藉由矽化物形成金屬層422與p+區420之反應而形成矽化物區)。在至少一實施例中，可在約600°C至800°C(且較佳在約650°C與750°C之間)的溫度下在氮中持續約10秒至約2分鐘執行退火。可使用其他退火時間、溫度及/或環境。隨每一矽化物形成金屬層區422與p+區420之反應所形成的矽化物區可在形成二極體430的下面沈積半導體材料的退火(例如，將任何非晶半導體材料改變成多晶半導體材料及/或改良二極體430之全部結晶性質)期間充當"結晶模板"或"晶種"。藉此提供較低電阻率二極體材料。

第一替代例示性記憶體單元

圖5為根據本發明所提供的例示性記憶體單元500之橫截面圖。記憶體單元500包括一薄膜電晶體(TFT)，諸如一耦

接至一形成於基板505上之可逆電阻切換元件504的薄膜金屬氧化物半導體場效電晶體(MOSFET)502。舉例而言，MOSFET 502可為形成於任何適當基板上的n通道或p通道薄膜MOSFET。在所示實施例中，絕緣區506(諸如，二氧化矽、氮化矽、氮氧化物等)形成於基板505上且所沈積之半導體區507(諸如，所沈積之矽、鍺、矽-鍺等)形成於絕緣區506上。薄膜MOSFET 502形成於所沈積之半導體區507內且藉由絕緣區506而與基板505絕緣。

MOSFET 502包括源極/汲極區508、510及通道區512，以及閘極介電層514、閘電極516及分隔物518a至518b。在至少一實施例中，源極/汲極區508、510可為p型摻雜區且通道區512可為n型摻雜區，而在其他實施例中，源極/汲極區508、510可為n型摻雜區且通道區512可為p型摻雜區。任何其他MOSFET組態或任何適當製造技術可用於薄膜MOSFET 502。在一些實施例中，MOSFET 502可藉由使用STI、LOCOS或其他類似製程而形成的隔離區(未圖示)電隔離。或者，MOSFET 502之閘極區、源極區及/或汲極區可與形成於基板505上的其他電晶體(未圖示)共用。

可逆電阻切換元件504包括一形成於導電插塞526上之可逆電阻率切換材料522。在至少一實施例中，可逆電阻率切換材料522係使用一如先前關於圖1至圖4D之實施例所描述的選擇性沈積製程而形成。舉例而言，氧化鎳層可藉由以下方法選擇性地形成於導電插塞526上：(1)選擇性地沈積氧化鎳；及/或(2)選擇性地沈積鎳並接著氧化鎳。例示

性選擇性沈積製程包括無電沈積、電鍍或其類似者。其他材料可根據本發明而經選擇性地沈積、氧化及/或退火以形成供記憶體單元500中使用的可逆電阻率切換材料(例如，Nb、Ta、V、Al、Ti、Co、鈷-鎳合金等)。

如圖5中所示，可逆電阻切換元件504藉由第一導電插塞526而耦接至MOSFET 502之源極/汲極區510且藉由第二導電插塞530(其延伸穿過介電層532)而耦接至第一金屬層級(M1)線528。同樣，第三導電插塞534將MOSFET 502之源極/汲極區508耦接至M1線536。導電插塞及/或線可由諸如鎢、另一金屬、重摻雜半導體材料、導電矽化物、導電矽化物-鍍化物、導電鍍化物或其類似物之任何適當材料(具有或不具有障壁層)形成。注意，當MOSFET 502為一n通道器件時，區508充當MOSFET 502之汲極且區510充當源極；且當MOSFET 502為一p通道器件時，區508充當MOSFET 502之源極且區510充當汲極。介電層532可包括任何適當介電質，諸如二氧化矽、氮化矽、氮氧化矽、低K介電質等。

在記憶體單元500中，薄膜MOSFET 502以類似於用於圖2A至圖4D之記憶體單元中的二極體之方式操作為導引元件，從而選擇性地限制跨越可逆電阻切換元件504所施加的電壓及/或流經可逆電阻切換元件504之電流。

在至少一實施例中，可逆電阻切換元件504包括一具有約1000埃或更小之厚度(且更佳約500埃或更小之厚度)的氧化鎳層。可使用其他氧化鎳厚度。

第二替代記憶體單元

圖6為根據本發明所提供的例示性記憶體單元600之橫截面圖。除可逆電阻切換元件202形成於二極體204之下外，記憶體單元600類似於圖3之記憶體單元200。特定言之，如圖6中所示，可逆電阻切換元件202藉由將一導電材料602沈積於經圖案化且經蝕刻之底部導體206上而形成。根據本發明，接著可退火及/或氧化導電材料602(若需要)，以形成一供記憶體單元600中使用的可逆電阻率切換材料604。舉例而言，導電材料602可包括(諸如)藉由電鍍而選擇性地沈積並經氧化以形成可逆電阻率切換材料層604的Ni、 Ni_xP_y 、NiO、 NiO_x 、 NiO_xP_y 、Nb、Ta、V、Al、Ti、Co、鈷-鎳合金等之層。可逆電阻率切換材料層604之與二極體204垂直重疊及/或對準的一部分可充當記憶體單元600之二極體204與第一導體206之間的可逆電阻切換元件202。在一些實施例中，可逆電阻切換元件202之僅一部分(諸如，一或多個細絲)可切換及/或為可切換的。因為層604選擇性地沈積於已被圖案化且被蝕刻之底部導體206上，所以可逆電阻率切換材料層604無需蝕刻。

以上描述僅揭示本發明之例示性實施例。一般熟習此項技術者將易於顯而易見對於屬於本發明之範疇的上文所揭示裝置及方法的修改。舉例而言，儘管已主要關於鎳及氧化鎳之選擇性沈積而描述本發明，但是應理解，其他材料可經選擇性地沈積以用於可逆電阻切換元件(諸如，形成(例如) Ta_2O_5 、 Nb_2O_5 、 Al_2O_3 、 V_2O_5 、CoO、 $(\text{Co}_x\text{Ni}_y)\text{O}_z$ 及

TiO₂的Ta、Nb、Al、V、Co、鈷-鎳合金、Ti等)中。

因此，儘管已結合本發明之例示性實施例揭示了本發明，但是應理解，其他實施例可屬於如以下申請專利範圍所界定之本發明之精神及範疇。

【圖式簡單說明】

圖1為根據本發明所提供的例示性記憶體單元之示意說明。

圖2A為根據本發明所提供的記憶體單元之第一實施例的簡化透視圖。

圖2B為由圖2A之複數個記憶體單元所形成的第一記憶體層級之一部分的簡化透視圖。

圖2C為根據本發明所提供的第一例示性三維記憶體陣列之一部分的簡化透視圖。

圖2D為根據本發明所提供的第二例示性三維記憶體陣列之一部分的簡化透視圖。

圖3為圖2A之記憶體單元之一例示性實施例的橫截面圖。

圖4A至圖4D說明根據本發明之單一記憶體層級的製造期間的基板之一部分的橫截面圖。

圖5為根據本發明所提供之第一替代記憶體單元的橫截面圖。

圖6為根據本發明所提供之第二替代記憶體單元的橫截面圖。

【主要元件符號說明】

100	記憶體單元
102	可逆電阻切換元件
104	導引元件
200	記憶體單元
202	可逆電阻切換元件
204	二極體
206	第一導體/底部導體
208	第二導體/頂部導體
210	障壁層
212	導電層
213	障壁層
214	第一記憶體層級/記憶體陣列
216	整體式三維陣列
218	第一記憶體層級
220	第二記憶體層級
302	重摻雜 n+多晶矽區/n+多晶矽區/n+多晶矽層
304	輕摻雜或固有(無意摻雜)多晶矽區/固有區/固有層
306	重摻雜 p+多晶矽區/p+多晶矽層/p+多晶矽區
308	障壁層
310	矽化物層
312	矽化物形成金屬層
314	障壁層
316	導電層
318	柱結構

320	介電材料
322	障壁層及/或黏著層
324	導電層
400	基板
402	隔離層
404	黏著層
406	導電層
408	導體
410	介電層
412	平坦表面
414	障壁層
416	重摻雜 n+矽層/矽區
418	輕摻雜固有及/或無意摻雜之矽層/矽區
420	p+矽層/p+區/矽區
422	矽化物形成金屬層
424	障壁層
426	導電層
428	柱
430	向下指向之 p-i-n 二極體
432	介電層/介電材料
434	平坦表面
436	可逆電阻切換元件
438	導體
440	障壁層及/或黏著層

442	導電層
500	記憶體單元
502	薄膜金屬氧化物半導體場效電晶體(MOSFET)
504	可逆電阻切換元件
505	基板
506	絕緣區
507	所沈積之半導體區
508	源極/汲極區
510	源極/汲極區
512	通道區
514	閘極介電層
516	閘電極
518a	分隔物
518b	分隔物
522	可逆電阻率切換材料
526	第一導電插塞
528	第一金屬層級(M1)線
530	第二導電插塞
532	介電層
534	第三導電插塞
536	M1線
600	記憶體單元
602	導電材料
604	可逆電阻率切換材料/可逆電阻率切換材料層

十、申請專利範圍：

1. 一種形成一記憶體單元之方法，其包含：
 在一基板上形成一導引元件(steering element)；及
 使用一選擇性沈積製程來選擇性地形成耦接至該導引元件之一可逆電阻切換元件，而不蝕刻該可逆電阻切換元件。
2. 如請求項1之方法，其中形成該導引元件包含形成一二極體。
3. 如請求項1之方法，其中形成該導引元件包含形成一多晶二極體。
4. 如請求項1之方法，其中形成該導引元件包含形成一垂直多晶二極體。
5. 如請求項1之方法，其中形成該導引元件包含形成一具有處於一低電阻率狀態之多晶材料的垂直多晶二極體。
6. 如請求項1之方法，其中形成該導引元件包含形成一p-n二極體或一p-i-n二極體。
7. 如請求項1之方法，其中形成該導引元件包含形成一薄膜電晶體。
8. 如請求項1之方法，其中形成該導引元件包含形成一薄膜金屬氧化物半導體場效電晶體(MOSFET)。
9. 如請求項1之方法，其中形成該可逆電阻切換元件包含形成NiO、NiO_x及NiO_xP_y中之至少一者。
10. 如請求項9之方法，其中形成該可逆電阻切換元件包含形成一具有一為約1000埃或更小之氧化物厚度的可逆電

阻切換元件。

11. 如請求項10之方法，其中形成該可逆電阻切換元件包含形成一具有一為約500埃或更小之氧化物厚度的可逆電阻切換元件。
12. 如請求項1之方法，其中形成該可逆電阻切換元件包含選擇性地形成一含鎳層。
13. 如請求項12之方法，其中形成該含鎳層包含選擇性地形成一含NiO、NiO_x或NiO_xP_y之層。
14. 如請求項13之方法，進一步包含退火或氧化該含NiO、NiO_x或NiO_xP_y之層。
15. 如請求項12之方法，其中形成該含鎳層包含選擇性地形成一Ni或NiO_xP_y層，且進一步包含氧化該Ni或NiO_xP_y層。
16. 如請求項13之方法，其中形成該含鎳層包含無電沈積該含鎳層。
17. 如請求項13之方法，其中形成該含鎳層包含使用電鍍形成該含鎳層。
18. 如請求項1之方法，進一步包含串聯耦接該導引元件與可逆電阻切換元件。
19. 如請求項1之方法，其進一步包含：
 - 在該基板上形成一第一導體；
 - 在該第一導體上形成該導引元件，其中該導引元件包含一二極體；
 - 在該第一導體上選擇性地形成該可逆電阻切換元件；

及

在該二極體及該可逆電阻切換元件上形成一第二導體。

20. 如請求項19之方法，其中形成該二極體包含形成一垂直多晶二極體。
21. 如請求項20之方法，進一步包含形成一與該垂直多晶二極體之多晶材料接觸的矽化物、矽化物-鍺化物或鍺化物區，使得該多晶材料處於一低電阻率狀態。
22. 如請求項19之方法，其中形成該可逆電阻切換元件包含形成一具有一為約500埃或更小之氧化物厚度的可逆電阻切換元件。
23. 如請求項19之方法，其中形成該可逆電阻切換元件包含選擇性地形成一含鎳層。
24. 如請求項23之方法，其中形成該含鎳層包含選擇性地形成一含NiO、NiO_x或NiO_xP_y之層。
25. 如請求項23之方法，其中形成該含鎳層包含選擇性地形成一Ni或NiO_xP_y層，且進一步包含氧化該Ni或NiO_xP_y層。
26. 如請求項1之方法，其進一步包含：
在該基板上形成一第一導體；
在該第一導體上形成該導引元件，其中該導引元件包含一垂直多晶二極體；
在該垂直多晶二極體上選擇性地形成包括一層氧化鎳層之該可逆電阻切換元件；及

在該垂直多晶二極體上形成一第二導體。

27. 如請求項26之方法，進一步包含形成一與該垂直多晶二極體之多晶材料接觸的矽化物、矽化物-鍺化物或鍺化物區，使得該多晶材料處於一低電阻率狀態。
28. 如請求項26之方法，其中選擇性地形成該可逆電阻切換元件包含形成一具有一為約500埃或更小之氧化物厚度的可逆電阻切換元件。
29. 如請求項26之方法，其中形成該垂直多晶二極體包含形成一垂直多晶矽二極體。
30. 如請求項1之方法，其進一步包含：

在該基板上形成該導引元件，其中該導引元件包含一具有一源極區及一汲極區之薄膜電晶體；

形成一耦接至該電晶體之該源極區或該汲極區的第一導體；

在該第一導體上選擇性地形成包括一層氧化鎳層之該可逆電阻切換元件；及

在該可逆電阻切換元件上形成一第二導體。

31. 如請求項30之方法，其中形成該薄膜電晶體包含形成一n通道或一p通道薄膜金屬氧化物半導體場效電晶體。
32. 如請求項30之方法，其中選擇性地形成該可逆電阻切換元件包含形成一具有一為約500埃或更小之氧化物厚度的可逆電阻切換元件。
33. 如請求項1之方法，其中形成該可逆電阻切換元件包含形成Ta₂O₅、Nb₂O₅、Al₂O₃、V₂O₅、CoO、(Co_xNi_y)O_z及

TiO₂中之至少一者。

34. 一種記憶體單元，其使用如請求項1之方法而形成。
35. 一種記憶體單元，其使用如請求項9之方法而形成。
36. 一種記憶體單元，其使用如請求項19之方法而形成。
37. 一種記憶體單元，其使用如請求項22之方法而形成。
38. 一種記憶體單元，其使用如請求項26之方法而形成。
39. 一種記憶體單元，其使用如請求項30之方法而形成。
40. 一種記憶體單元，其包含：
 - 一導引元件；及
 - 一可逆電阻切換元件，其耦接至該導引元件，其中該可逆電阻切換元件係在不蝕刻該可逆電阻切換元件的情況下被選擇性地形成。
41. 如請求項40之記憶體單元，其中該導引元件包含一二極體。
42. 如請求項41之記憶體單元，其中該二極體包含一垂直多晶二極體。
43. 如請求項42之記憶體單元，其中該垂直多晶二極體包括處於一低電阻率狀態之多晶材料。
44. 如請求項41之記憶體單元，其中該二極體包含一p-n二極體或一p-i-n二極體。
45. 如請求項40之記憶體單元，其中該導引元件包含一薄膜電晶體。
46. 如請求項45之記憶體單元，其中該薄膜電晶體包含一金屬氧化物半導體場效電晶體(MOSFET)。

47. 如請求項40之記憶體單元，其中該可逆電阻切換元件包含NiO、NiO_x及NiO_xP_y中之至少一者。
48. 如請求項47之記憶體單元，其中該可逆電阻切換元件具有一為約1000埃或更小之氧化物厚度。
49. 如請求項47之記憶體單元，其中該可逆電阻切換元件具有一為約500埃或更小之氧化物厚度。
50. 如請求項40之記憶體單元，進一步包含一含鎳層，且其中該可逆電阻切換元件係藉由氧化或退火該含鎳層而形成。
51. 如請求項50之記憶體單元，其中該含鎳層係使用一無電沈積或電鍍製程而選擇性地沈積。
52. 如請求項40之記憶體單元，其中該導引元件及該可逆電阻切換元件係串聯耦接。
53. 如請求項40之記憶體單元，其進一步包含：
 - 一第一導體；及
 - 一第二導體，其形成於該第一導體上，其中：
 - 該導引元件包含一二極體，其形成於該第一導體與該第二導體之間，且
 - 該可逆電阻切換元件係形成於該第一導體與該第二導體之間。
54. 如請求項53之記憶體單元，其中該二極體包含一垂直多晶二極體。
55. 如請求項54之記憶體單元，進一步包含一與該垂直多晶

二極體之多晶材料接觸的矽化物、矽化物-鍺化物或鍺化物區，使得該多晶材料處於一低電阻率狀態。

56. 如請求項53之記憶體單元，其中該可逆電阻切換元件包含NiO、NiO_x及NiO_xP_y中之至少一者。

57. 如請求項53之記憶體單元，進一步包含一含鎳層，且其中該可逆電阻切換元件係藉由氧化或退火該含鎳層而形成。

58. 如請求項53之記憶體單元，其中該含鎳層係使用一無電沈積或電鍍製程而選擇性地沈積。

59. 如請求項40之記憶體單元，其進一步包含：

一第一導體，其中該導引元件包含一垂直多晶二極體，其形成於該第一導體上；

及

一第二導體，其形成於該垂直多晶二極體上，

其中該可逆電阻切換元件包括一選擇性地形成於該垂直多晶二極體上之氧化鎳層。

60. 如請求項59之記憶體單元，進一步包含一與該垂直多晶二極體之多晶材料接觸的矽化物、矽化物-鍺化物或鍺化物區，使得該多晶材料處於一低電阻率狀態。

61. 如請求項59之記憶體單元，其中該可逆電阻切換元件包含NiO、NiO_x及NiO_xP_y中之至少一者。

62. 如請求項61之記憶體單元，其中該可逆電阻切換元件具有一為約1000埃或更小之氧化物厚度。

63. 如請求項61之記憶體單元，其中該可逆電阻切換元件具

有一為約500埃或更小之氧化物厚度。

64. 如請求項40之記憶體單元，其中該導引元件包含一具有一源極區及一汲極區之薄膜電晶體，且其中該記憶體單元進一步包含：

一第一導體，其耦接至該源極區或該汲極區；

及

一第二導體，其形成於該可逆電阻切換元件上，

其中該可逆電阻切換元件包括一選擇性地形成於該第一導體上之氧化鎳層。

65. 如請求項64之記憶體單元，其中該薄膜電晶體包含一n通道或一p通道金屬氧化物半導體場效電晶體。

66. 如請求項64之記憶體單元，其中該可逆電阻切換元件包含NiO、NiO_x及NiO_xP_y中之至少一者。

67. 如請求項66之記憶體單元，其中該可逆電阻切換元件具有一為約1000埃或更小之氧化物厚度。

68. 如請求項66之記憶體單元，其中該可逆電阻切換元件具有一為約500埃或更小之氧化物厚度。

69. 如請求項40之記憶體單元，其中該可逆電阻切換元件包含Ta₂O₅、Nb₂O₅、Al₂O₃、V₂O₅、CoO、(Co_xNi_y)O_z及TiO₂中之至少一者。

70. 一種非揮發性記憶體單元，該複數個非揮發性記憶體單元包含：

實質上平行、實質上共平面之在一第一方向上延伸的第一複數個導體；

複數個二極體；

複數個可逆電阻切換元件；及

實質上平行、實質上共平面之在一不同於該第一方向之第二方向上延伸的第二複數個導體；

其中，在每一記憶體單元中，該等二極體中之一者及該等可逆電阻切換元件中之一者係串聯配置、安置於該等第一導體中之一者與該等第二導體中之一者之間；且

其中每一可逆電阻切換元件係在不蝕刻該可逆電阻切換元件的情況下選擇性地形成。

71. 如請求項70之複數個記憶體單元，其中每一二極體為一垂直多晶二極體。

72. 如請求項71之複數個記憶體單元，進一步包含一與每一垂直多晶二極體之多晶材料接觸的矽化物、矽化物-鍺化物或鍺化物區，使得該多晶材料處於一低電阻率狀態。

73. 如請求項70之複數個記憶體單元，其中每一可逆電阻切換元件包含NiO、NiO_x及NiO_xP_y中之至少一者。

74. 一種整體式(monolithic)三維記憶體陣列，其包含：

一第一記憶體層級，其形成於一基板上，該第一記憶體層級包含：

複數個記憶體單元，其中該第一記憶體層級之每一記憶體單元包含：

一導引元件；及

一可逆電阻切換元件，其耦接至該導引元件，其中該可逆電阻切換元件係在不蝕刻該可逆電阻切換

元件的情況下選擇性地形成；及

至少一第二記憶體層級，其整體地形成於該第一記憶體層級上。

75. 如請求項74之整體式三維記憶體陣列，其中每一導引元件包含一垂直多晶二極體。
76. 如請求項75之整體式三維記憶體陣列，其中每一垂直多晶二極體包含一垂直多晶矽二極體。
77. 如請求項74之整體式三維記憶體陣列，其中每一可逆電阻切換元件包含NiO、NiO_x及NiO_xP_y中之至少一者。
78. 如請求項74之整體式三維記憶體陣列，其中每一記憶體單元之一個別導引元件及可逆電阻切換元件係串聯耦接。

十一、圖式：

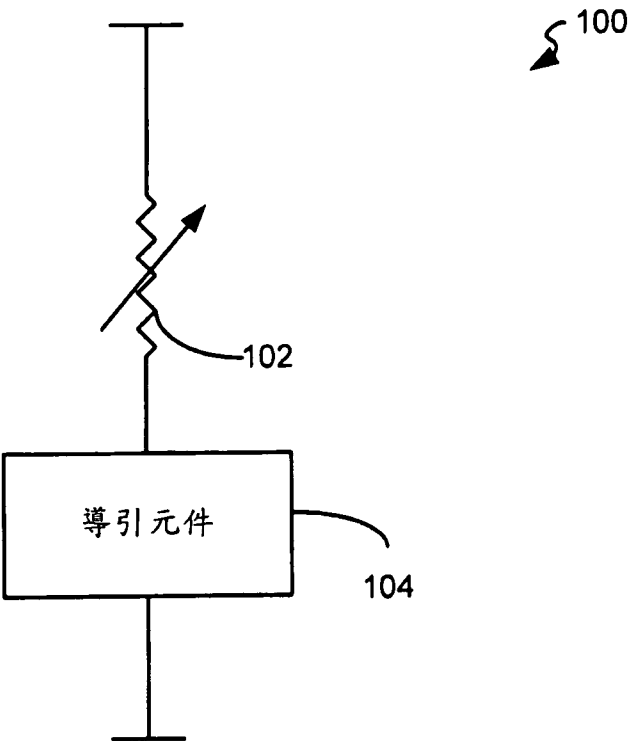


圖 1

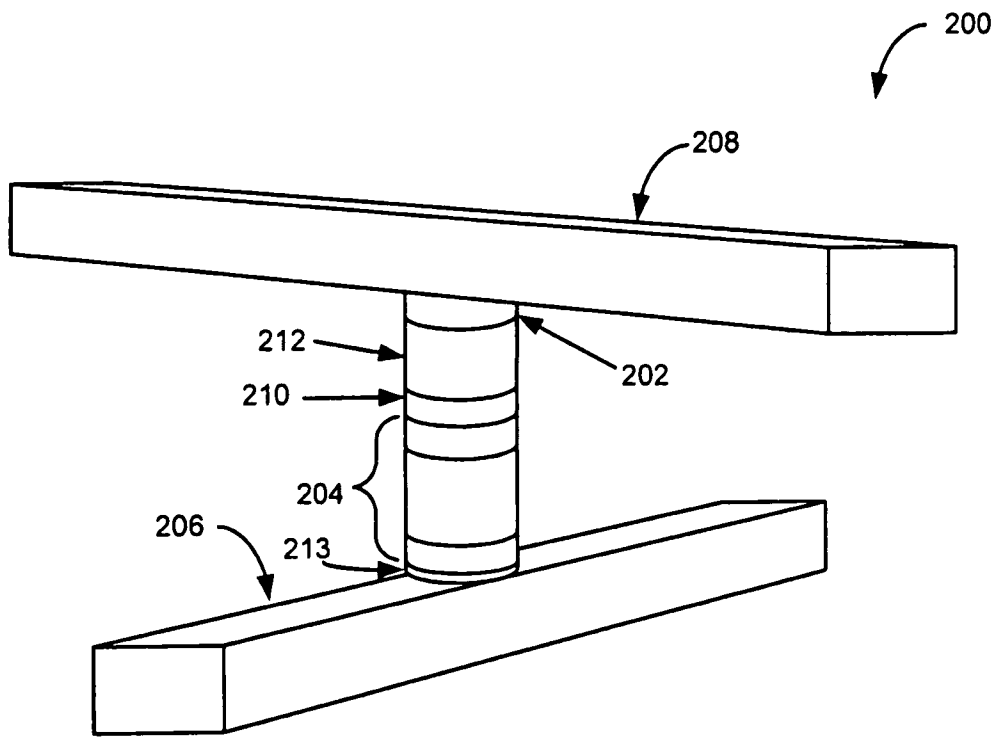


圖 2A

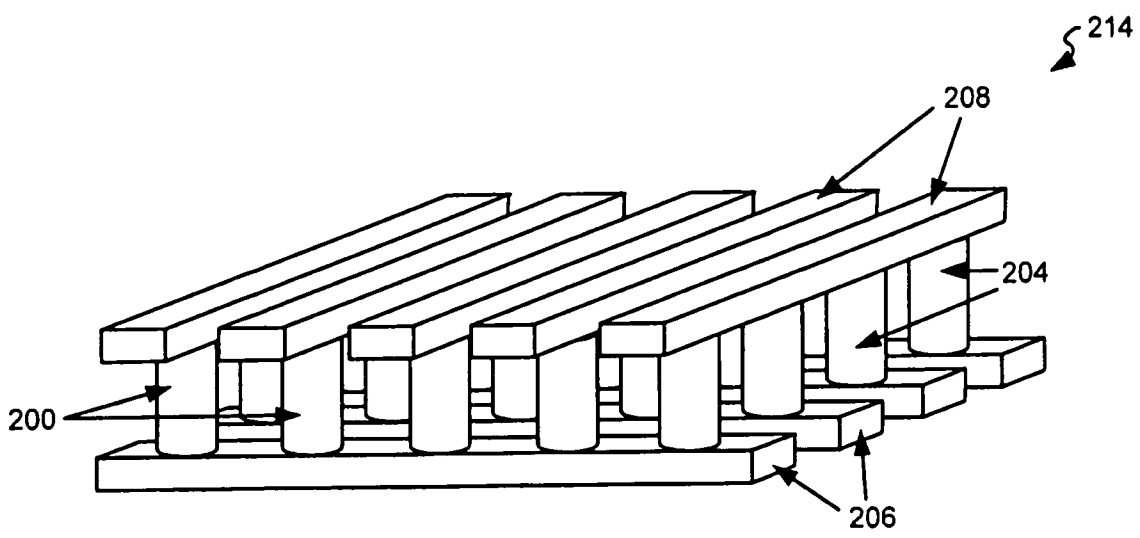


圖 2B

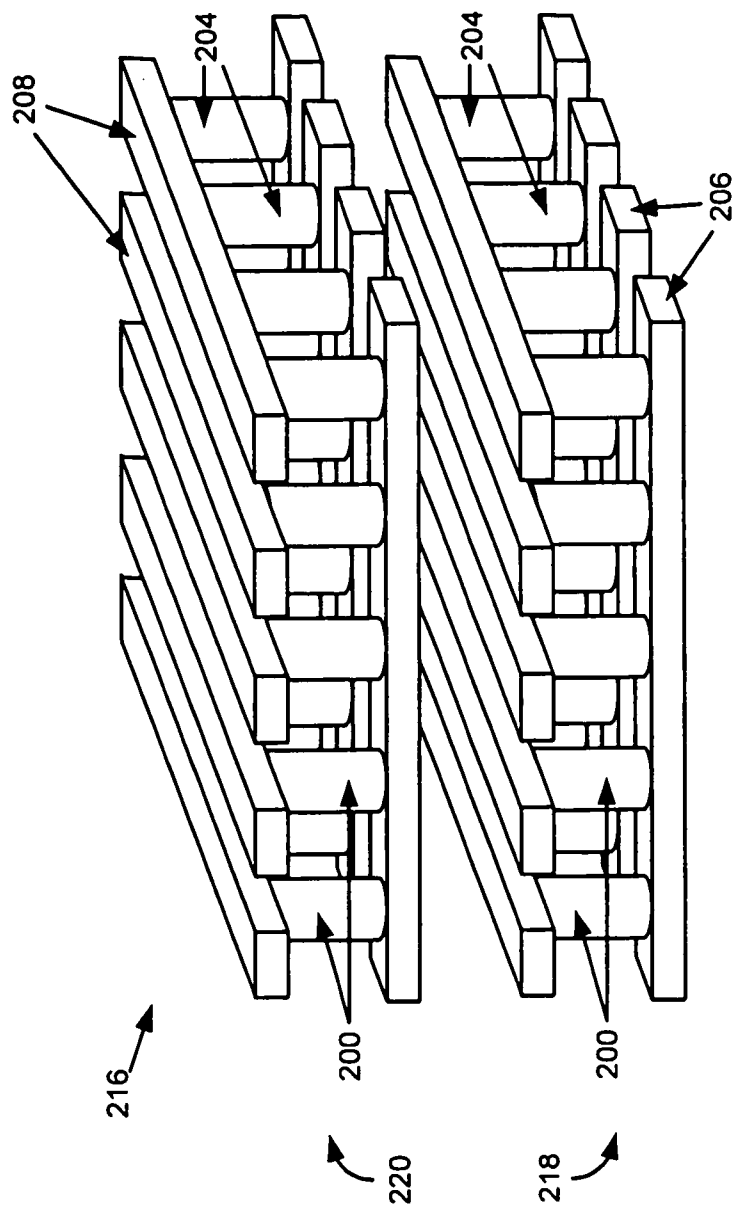


圖2C

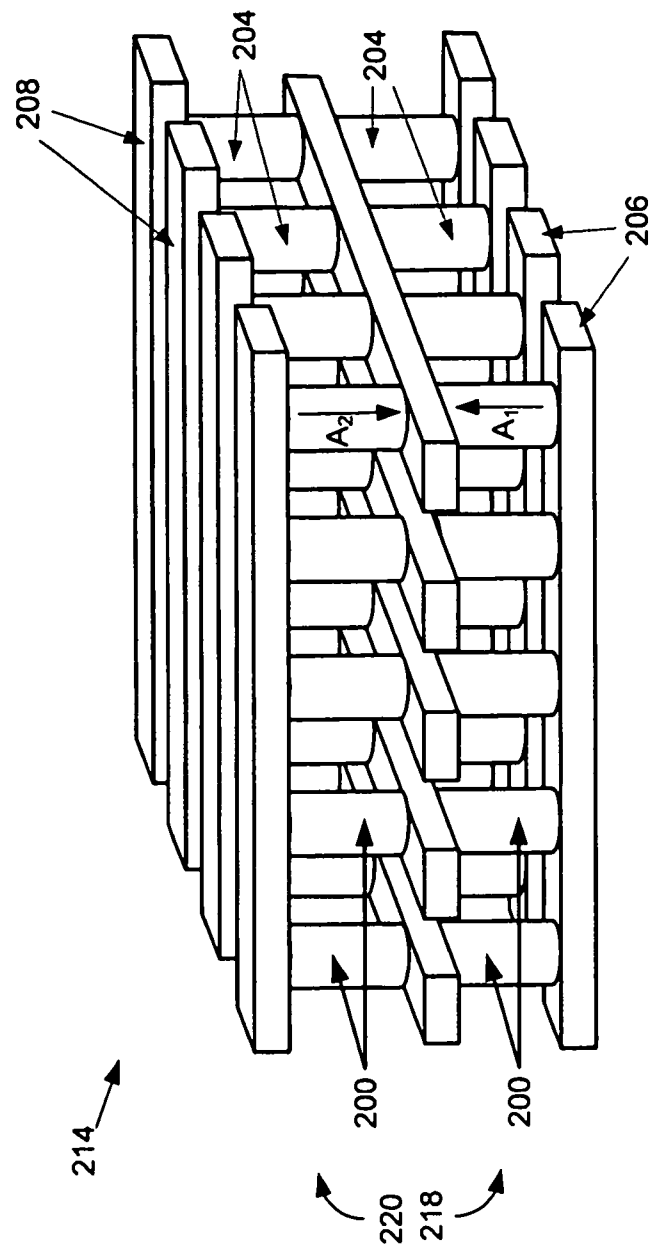


圖 2D

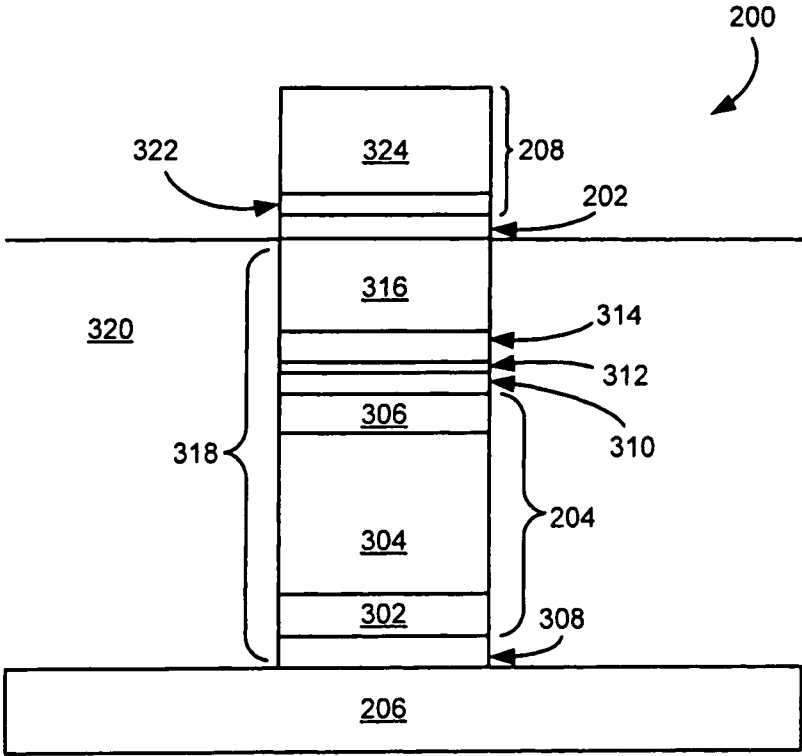


圖 3

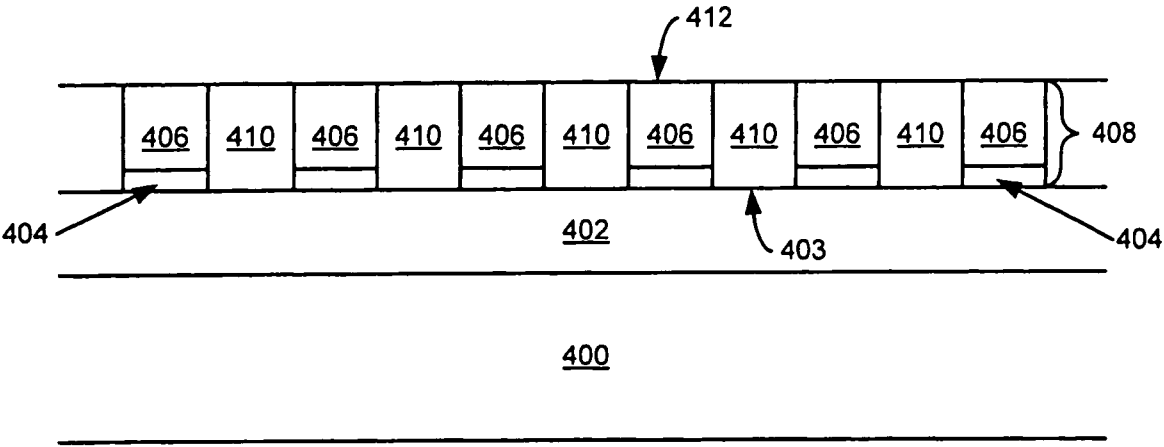


圖 4A

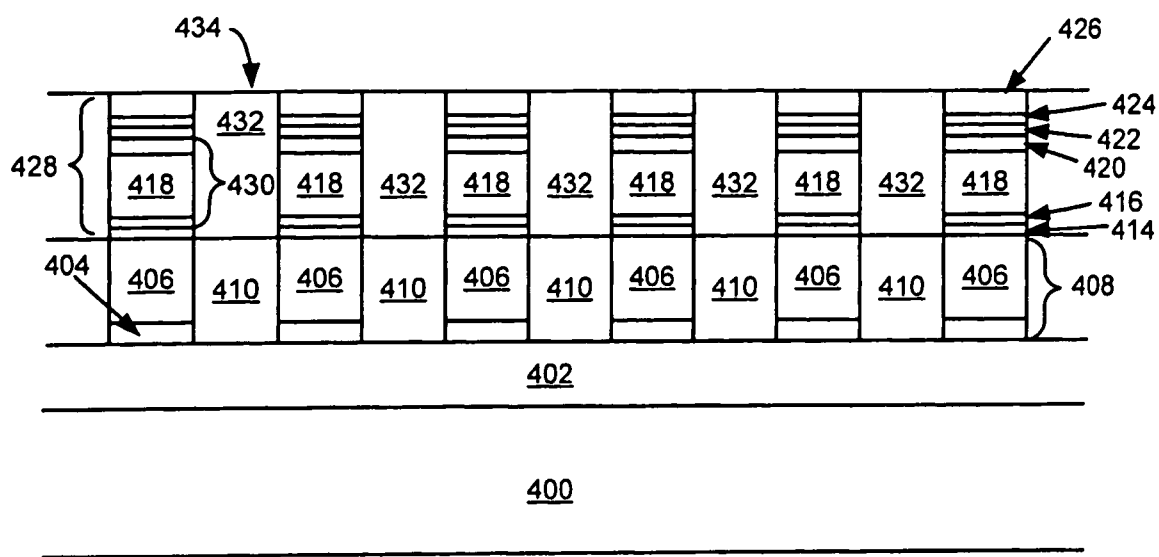


圖 4B

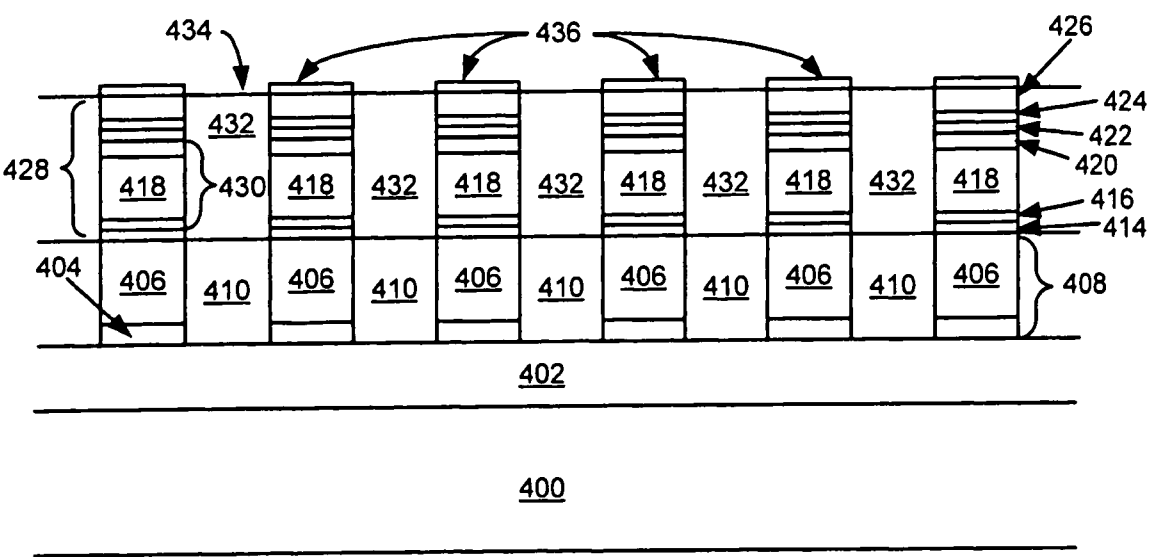


圖 4C

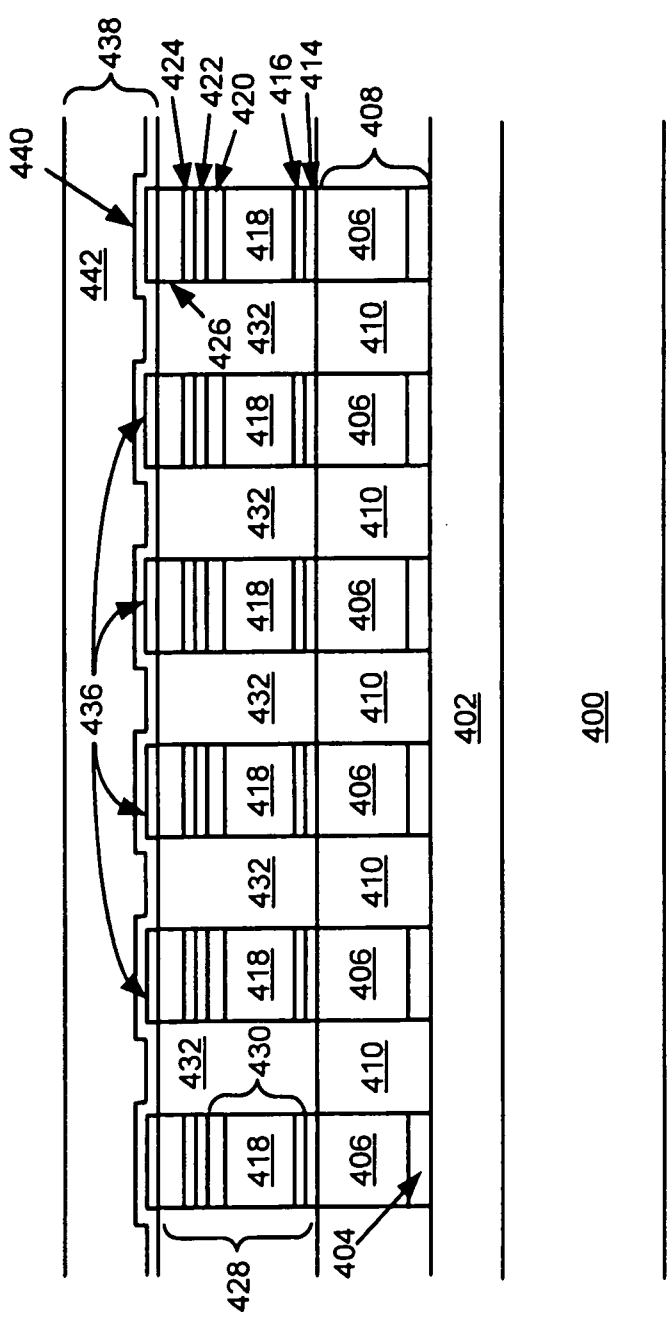


圖 4D

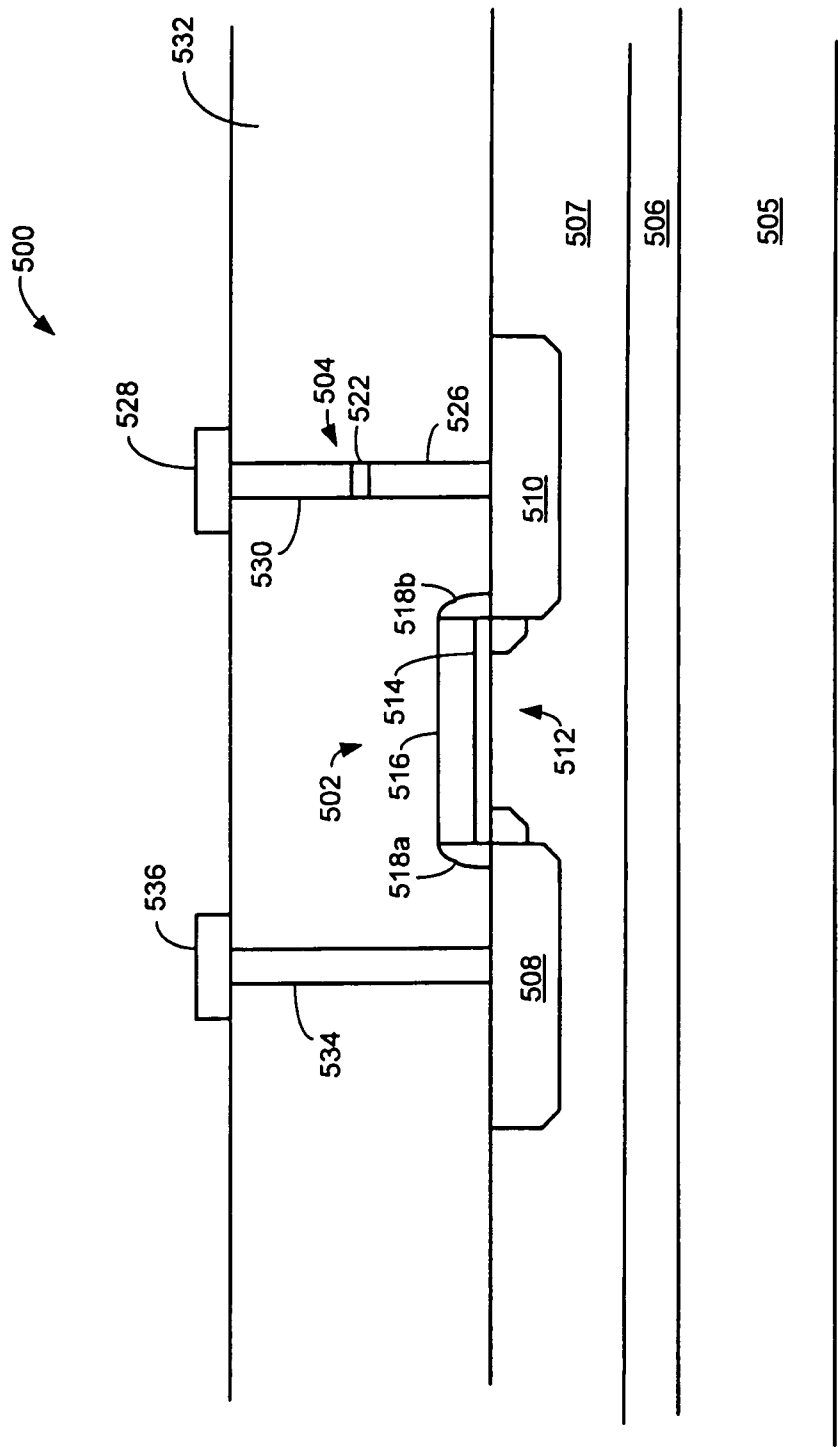


圖 5

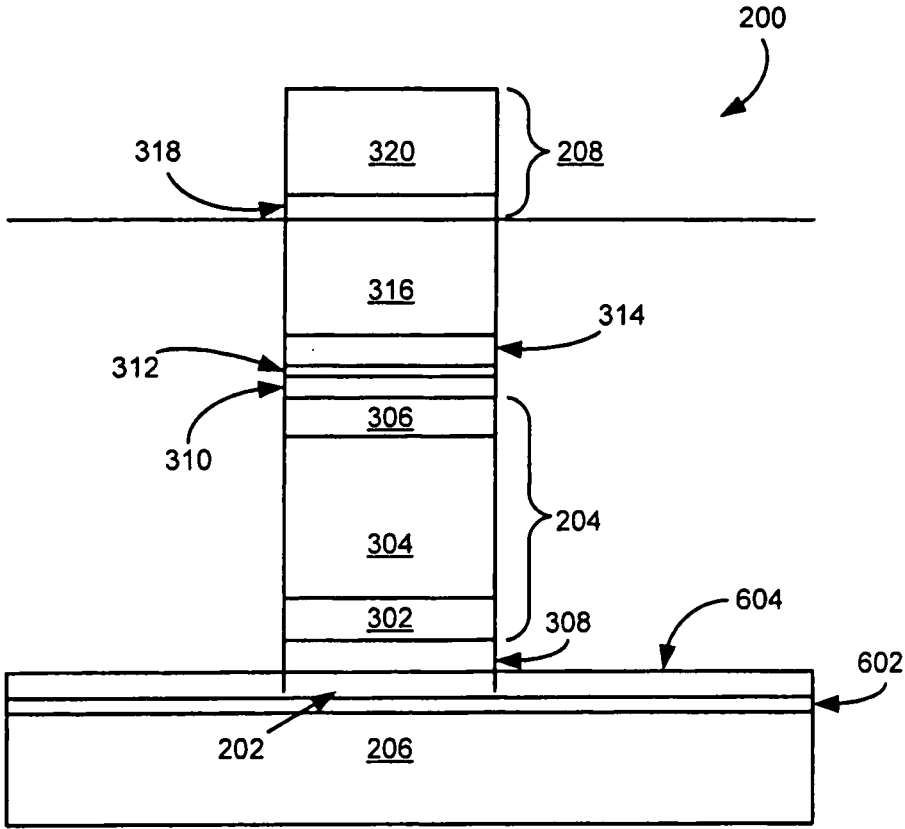


圖6