(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/196173 A1

(51) 国際特許分類:
H01L 27/088 (2006.01) *G06F 1/26* (2006.01)
H02J 7/00 (2006.01)

(21) 国際出願番号： PCT/JP2020/012043

(22) 国際出願日： 2020年3月18日(18.03.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-054504 2019年3月22日(22.03.2019) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ Kyoto (JP).

(72) 発明者: 宮長 晃一 (**MIYANAGA Koichi**); 〒6158585 京都府京都市右京区西院溝崎町２１ローム株式会社内 Kyoto (JP).

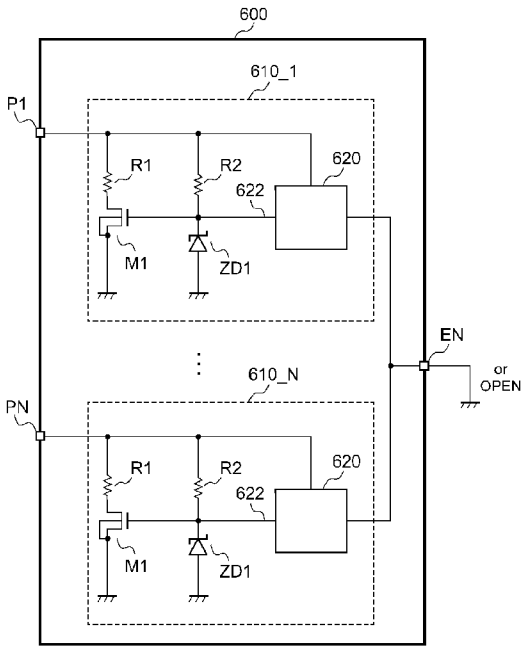
(74) 代理人: 森下 賢樹 (**MORISHITA Sakaki**); 〒1500021 東京都渋谷区恵比寿西２－１１－１２ Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) **Title:** SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称： 半導体集積回路



(57) **Abstract:** A semiconductor integrated circuit 600 includes a plurality of terminal circuits 610_1-610_N corresponding to a plurality of object pins P1-P#. Each of the plurality of terminal circuits 610_1-610_N includes a first resistor R1 and a first transistor M1 that are provided in series between the corresponding object pin P# and ground. A second resistor R2 is provided between the corresponding object pin P# and a control electrode of the first transistor M1. An enable circuit 620 has an output node 622 connected to the control electrode of the first transistor M1; (i) a current Is is sinked from the output node 622 when an enable pin EN is in a first state, and (ii) the output node 622 is fixed low when the enable pin is in a second state.

WO 2020/196173 A1

［続葉有］

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：半導体集積回路６００は、複数の対象ピンＰ１～Ｐ＃に対応する複数の終端回路６１０＿１～６１０＿Ｎを備える。複数の終端回路６１０＿１～６１０＿Ｎはそれぞれ、対応する対象ピンＰ＃と接地の間に直列に設けられた第１抵抗Ｒ１および第１トランジスタＭ１を備える。対応する対象ピンＰ＃と第１トランジスタＭ１の制御電極の間には、第２抵抗Ｒ２が設けられる。イネーブル回路６２０は、その出力ノード６２２が第１トランジスタＭ１の制御電極と接続されており、（i）イネーブルピンＥＮが第１状態であるとき、出力ノード６２２から電流Ｉｓをシンクし、（ii）イネーブルピンが第２状態であるとき、出力ノード６２２をローに固定する。

明　細　書

発明の名称 ： 半導体集積回路

技術分野

[0001] 本発明は、終端回路に関する。

背景技術

[0002] 携帯電話端末、スマートホン、タブレット端末、ノート型コンピュータ、ポータブルオーディオプレイヤをはじめとする電池駆動デバイスは、再充電可能な二次電池とともに、それを充電するための充電回路を内蔵する。充電回路には、外部からＵＳＢケーブルを介して供給されたＤＣ電圧（バス電圧V_{BUS}）や、外部のＡＣアダプタからのＤＣ電圧にもとづいて二次電池を充電するものが存在する。

[0003] 現在、モバイル機器に搭載される充電回路は、USB Battery Charging Specificationと呼ばれる規格（以下、ＢＣ規格という）に準拠したものが主流である。ＵＳＢホストあるいはチャージャ（以下、ＵＳＢ給電装置と総称する）には、いくつかの種類が存在する。ＢＣ revision 1.2規格においては、ＵＳＢ給電装置の種類として、ＳＤＰ（Standard Downstream Port）、ＤＣＰ（Dedicated Charging Port）、ＣＤＰ（Charging Downstream Port）が定義されている。そしてＵＳＢ給電装置が供給できる電流（電流容量）は、その種類に応じて規定されている。具体的には、ＤＣＰ、ＣＤＰでは１５００ｍＡ、ＳＤＰでは、ＵＳＢのバージョンに応じて１００ｍＡ、５００ｍＡ、９００ｍＡのように規定されている。

[0004] ＵＳＢを利用した二次電池充電の方式、システムとして、USB Power Deliveryと呼ばれる規格（以下、ＵＳＢ－ＰＤ規格という）が策定されている。ＵＳＢ－ＰＤ規格では、供給可能な電力がＢＣ規格の７．５Ｗから、最大１００Ｗまで大幅に増大する。具体的にはＵＳＢ－ＰＤ規格では、ＵＳＢバス電圧として、５Ｖより高い電圧（具体的には、９Ｖ，１２Ｖ，１５Ｖ，２０Ｖ等）の供給が許容されており、充電電流も、ＢＣ規格よりも大きな量（具体

的には、２Ａ，３Ａ、５Ａ等）の供給が許容される。ＵＳＢ－ＰＤ規格は、ＵＳＢ ｔｙｐｅ－Ｃ規格にも採用されている。

[0005] 図１は、給電システム１００Ｒのブロック図である。この給電システム１００Ｒは、ＵＳＢ Ｔｙｐｅ－Ｃ規格に準拠しており、ＵＳＢケーブル１０６を介して接続される給電装置２００Ｒと受電装置３００Ｒを備える。たとえば給電装置２００ＲはＡＣアダプタ１０２に搭載され、あるいは電子機器に搭載される。受電装置３００Ｒは、スマートホン、タブレット端末、デジタルカメラ、デジタルビデオカメラ、ポータブルオーディオプレイヤなど、電池駆動型の電子機器４００に搭載される。

[0006] 給電装置２００Ｒは、電源回路２０２、給電側のＰＤコントローラ（以下、給電側コントローラという）２０４およびバススイッチＳＷ１を含む。電子機器４００のレセプタクル１０８にはＵＳＢケーブル１０６が着脱可能に接続される。なおレセプタクル１０８が省略され、ＵＳＢケーブル１０６がＡＣアダプタ１０２と一体となっている充電アダプタも存在する。

[0007] レセプタクル１０８は、バス電圧V_{BUS}を供給するためのＶＢＵＳ端子、接地電圧V_{GND}を供給するためのＧＮＤ端子ならびにＣＣ（Configuration Channel）ポートを含む。実際には、ＣＣポートは２個設けられるが、図１では１個に簡略化して示す。電源回路２０２は、バス電圧V_{BUS}を発生する。電源回路２０２は、図示しない外部電源（たとえば商用交流電源）からのＡＣ１００Ｖを受け、それを直流のバス電圧V_{BUS}に変換するＡＣ／ＤＣコンバータを含んでもよい。電源回路２０２が発生したバス電圧V_{BUS}は、ＵＳＢケーブル１０６のバスラインおよびバススイッチＳＷ１を介して受電装置３００Ｒに供給される。

[0008] 給電側コントローラ２０４および受電側コントローラ３１０はそれぞれ、ＵＳＢ Ｔｙｐｅ－Ｃに関するポートコントローラであり、ＣＣラインを介して互いに接続され、通信機能を提供する。給電側コントローラ２０４と受電側コントローラ３１０は、給電装置２００Ｒが供給すべきバス電圧V_{BUS}の電圧レベルをネゴシエートする。給電側コントローラ２０４は、決定した電

圧レベルが得られるように電源回路２０２を制御し、またバススイッチＳＷ１のオン、オフを制御する。

[0009] 電子機器４００は、バッテリ４０２、レセプタクル４０４、負荷（システム）４０６および受電装置３００Ｒを備える。バッテリ４０２は再充電可能な２次電池である。負荷回路４０６は、ＣＰＵやメモリ、液晶ディスプレイ、オーディオ回路などを含む。レセプタクル４０４にはＵＳＢケーブル１０６を介してＡＣアダプタ１０２が着脱可能に接続される。

[0010] 受電装置３００Ｒは、アダプタ１０２からの電力を受け、充電回路３０２を充電する。受電装置３００Ｒは、充電回路３０２、受電側コントローラ３１０、バススイッチＳＷ２を備える。

[0011] 充電回路３０２は、ＵＳＢケーブル１０６およびバススイッチＳＷ２を介して給電装置２００Ｒからのバス電圧V_{BUS}（受電装置３００Ｒ側において、アダプタ電圧V_{ADP}とも表記する）を受け、バッテリ４０２を充電する。充電回路３０２は、降圧ＤＣ／ＤＣコンバータ、リニアレギュレータあるいはそれらの組み合わせで構成される。

[0012] 充電回路３０２から負荷回路４０６へは、アダプタ電圧V_{ADP}およびバッテリ４０２の電圧V_{BAT}の少なくとも一方に応じたシステム電圧V_{SYS}が供給される。負荷回路４０６は、パワーマネージメントＩＣ（Integrated Circuit）、ＤＣ／ＤＣコンバータやリニアレギュレータなどを含むマルチチャンネル電源や、マイコン、液晶ディスプレイ、ディスプレイドライバなどを含む。

[0013] 受電側コントローラ３１０には、受電装置３００Ｒが要求するバス電圧V_{BUS}および最大電流を規定するデータ（要求ＰＤＯ：Power Data Object）が規定されている。ＡＣアダプタ１０２と電子機器４００が接続されると、給電側コントローラ２０４と受電側コントローラ３１０とがネゴシエーションを行い、要求ＰＤＯにもとづいてバス電圧V_{BUS}の電圧レベルが決定される。また受電側コントローラ３１０は、バススイッチＳＷ２のオン、オフを制御する。

[0014] 図２は、図１の給電システム１００の動作シーケンス図である。給電装置２００Ｒと受電装置３００ＲがＵＳＢケーブル１０６を介して接続されると、給電側コントローラ２０４は、ＣＣポートの状態にもとづいてその接続を検出する（Ｓ１００）。具体的には、受電装置３００Ｒの受電側コントローラ３１０は、ＣＣポートを、所定の抵抗値を有するプルダウン抵抗（終端抵抗）Ｒｄによってプルダウンした状態で待機する。給電装置２００Ｒと受電装置３００Ｒが接続されると、給電装置２００ＲのＣＣポートには、受電装置３００Ｒ側のプルダウン抵抗Ｒｄと、自分自身の状態に応じた電圧が発生する。これをもって給電装置２００Ｒの給電側コントローラ２０４は、受電装置３００Ｒ（電子機器４００）の接続を検出できる。

[0015] そしてバススイッチＳＷ１をオンし（Ｓ１０２）、デフォルトの５Ｖのバス電圧V_{BUS}を供給する。バススイッチＳＷ１がオンすると、受電側コントローラ３１０が動作可能となる。

[0016] 続いて、給電側コントローラ２０４と受電側コントローラ３１０がネゴシエーションを行い、要求電圧にもとづいてバス電圧V_{BUS}を決定する（Ｓ１０４）。給電側コントローラ２０４は、バス電圧V_{BUS}を、５Ｖの初期電圧から要求電圧に変更する（Ｓ１０６）。

[0017] バス電圧V_{BUS}の要求電圧への変更が完了すると、そのことが給電側コントローラ２０４から受電側コントローラ３１０に通知される（Ｓ１０８）。受電側コントローラ３１０は、この通知に応答して、バススイッチＳＷ２をオンする（Ｓ１１０）。これにより充電回路３０２および負荷回路４０６にバス電圧V_{BUS}が供給される（Ｓ１１２）。

先行技術文献

特許文献

[0018] 特許文献1：特開２０１３－１９８２６２号公報

特許文献2：特開２００６－６０９７７号公報

特許文献3：特開２００６－３０４５００号公報

発明の概要

発明が解決しようとする課題

[0019] 図３は、ＰＤコントローラ５００の回路図である。ＰＤコントローラ５００は、ロジック回路５１０、プルダウン抵抗Rd_1，Rd_2、トランジスタMd_1，Md_2を備える。

[0020] ロジック回路５１０は、トランジスタMd_1，Md_2のオン、オフを制御する。トランジスタMd_1，Md_2がオンとなると、ＣＣ１ポートとＣＣ２ポートは、抵抗Rd_1，Rd_2によってプルダウンされる。

[0021] ＰＤコントローラ５００が、図１の電子機器４００に搭載され、受電側コントローラ３１０として使用される場合を考える。ロジック回路５１０は、ＰＤコントローラ５００の電源端子ＶＣＣに供給される電圧を電源として動作する。バッテリ４０２の残量がゼロのデッドバッテリー状態では、ロジック回路５１０が動作不能となるため、トランジスタMd_1，Md_2をオンできなくなる。そこで、ＰＤコントローラ５００には、電圧クランプ回路５２０__１，５２０__２が設けられる。

[0022] 電圧クランプ回路５２０__１，５２０__２は、デッドバッテリー状態においてアクティブとなり、ＣＣ１ポート、ＣＣ２ポートを、プルダウン抵抗$R2_1$，$R2_2$によってプルダウンする。電圧クランプ回路５２０__１，５２０__２は同様に構成される。

[0023] 電圧クランプ回路５２０__＃（＃＝１，２）は、抵抗$R2_{\#}$，$R3_{\#}$，トランジスタ$M1_{\#}$，$M2_{\#}$を含む。バッテリ残量が残っており、ロジック回路５１０が動作可能であるとき、トランジスタ$M2_{\#}$はオンされ、トランジスタ$M1_{\#}$がオフとなり、電圧クランプ回路５２０__＃は非アクティブとなる。

[0024] デッドバッテリー状態においてロジック回路５１０が動作不能となると、トランジスタ$M2_{\#}$のオンが維持できなくなる。トランジスタ$M2_{\#}$がオフの状態は、電圧クランプ回路５２０__＃がアクティブの状態である。対応するＣＣ＃ポートに、給電装置２００Ｒの給電側コントローラ２０４が接続されると、トランジスタ$M1_{\#}$のゲートが、抵抗$R3_{\#}$を介してプルアップされ、トランジスタ$M1_{\#}$がオンとなる。これにより抵抗$R2_{\#}$が終端抵抗としてＣ

Ｃ＃ポートに接続される。

[0025] ＰＤコントローラ５００は、図１の給電側コントローラ２０４としても、受電側コントローラ３１０としても動作可能に構成される。もしＰＤコントローラ５００を給電側コントローラ２０４として用いる場合、デッドバッテリー状態は存在しないから、電圧クランプ回路５２０＿１，５２０＿２の機能を停止（ディセーブル）することが望まれる。そのために、トランジスタＭ１$_{\#}$のゲートは、イネーブルピンＥＮ＃と接続される。イネーブルピンＥＮ＃を外部の接地と接続することにより、トランジスタＭ１$_{\#}$が固定的にオフとなり、電圧クランプ回路５２０＿＃をディセーブルとすることができる。ＰＤコントローラ５００を受電側コントローラ３１０として使用する場合、イネーブルピンＥＮ＃をオープンとすればよい。

[0026] ここで、電圧クランプ回路５２０＿１，５２０＿２の状態（イネーブル／ディセーブル）の設定は共通であるため、本来的には、１個のイネーブルピンＥＮで設定することができる。しかしながら、トランジスタＭ１$_1$とＭ１$_2$のゲートを、共通の１個のイネーブルピンＥＮに接続することはできない。なぜなら電圧クランプ回路５２０＿１，５２０＿２の相互干渉を引き起こすからである。

[0027] 本発明はかかる課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、単一のイネーブルピンで、イネーブル状態、ディセーブル状態を設定可能な終端回路の提供にある。

課題を解決するための手段

[0028] 本発明のある態様は、半導体集積回路に関する。半導体集積回路は、終端すべき複数の対象ピンと、イネーブルピンと、複数の対象ピンに対応する複数の終端回路と、を備える。複数の終端回路はそれぞれ、対応する対象ピンと接地の間に直列に設けられた第１抵抗および第１トランジスタと、対応する対象ピンと第１トランジスタの制御電極の間に設けられた第２抵抗と、出力ノードが第１トランジスタの制御電極と接続され、（ｉ）イネーブルピンが第１状態であるとき、出力ノードから電流をシンクし、（ｉｉ）イネーブルピ

ンが第２状態であるとき、出力ノードをローに固定するイネーブル回路と、を備える。

[0029] 本発明のある態様は、半導体集積回路に関する。半導体集積回路は、終端すべき複数の対象ピンと、イネーブルピンと、複数の対象ピンに対応する複数の終端回路と、を備える。複数の終端回路はそれぞれ、対応する対象ピンと接地の間に直列に設けられた第１抵抗および第１トランジスタと、対応する対象ピンと第１トランジスタの制御電極の間に設けられた第２抵抗と、出力ノードが第１トランジスタの制御電極と接続されており、（ｉ）イネーブルピンが第１状態であるとき、第２抵抗より大きい出力インピーダンスを有し、（ｉｉ）イネーブルピンが第２状態であるとき、出力ノードをローに固定するイネーブル回路と、を備える。

発明の効果

[0030] 本発明のある態様によれば、単一のイネーブルピンで、複数の終端回路のイネーブル状態、ディセーブル状態を設定できる。

図面の簡単な説明

[0031] [図1]給電システムのブロック図である。

[図2]図１の給電システムの動作シーケンス図である。

[図3]ＰＤコントローラの回路図である。

[図4]実施の形態に係る半導体集積回路の回路図である。

[図5]イネーブルピンＥＮが第１状態であるときの半導体集積回路の等価回路図である。

[図6]イネーブルピンＥＮが第２状態であるときの半導体集積回路の等価回路図である。

[図7]バイアス回路の具体的な構成例を示す回路図である。

[図8]終端回路の別の構成例を示す回路図である。

[図9]終端回路の別の構成例を示す回路図である。

[図10]ＵＳＢＰＤコントローラの回路図である。

[図11]受電装置を備える電子機器を示す図である。

発明を実施するための形態

[0032] （実施の形態の概要）

本明細書に開示される一実施の形態は、半導体集積回路に関する。半導体集積回路は、終端すべき複数の対象ピンと、イネーブルピンと、複数の対象ピンに対応する複数の終端回路と、を備える。複数の終端回路はそれぞれ、対応する対象ピンと接地の間に直列に設けられた第１抵抗および第１トランジスタと、対応する対象ピンと第１トランジスタの制御電極の間に設けられた第２抵抗と、出力ノードが第１トランジスタの制御電極と接続され、（ｉ）イネーブルピンが第１状態であるとき、出力ノードから電流をシンクし、（ｉｉ）イネーブルピンが第２状態であるとき、出力ノードをローに固定するイネーブル回路と、を備える。

[0033] イネーブルピンを第１状態に設定すると、イネーブル回路がシンクする電流によって、第２抵抗に電圧降下が発生し、第１トランジスタの制御電極に対象ピンの電圧よりわずかに低い電圧を発生し、第１トランジスタをオンさせることができる。つまり終端回路はイネーブル状態となる。イネーブルピンを第２状態に設定すると、出力ノード、すなわち第１トランジスタの制御電極がローに固定され、第１トランジスタをオフに固定することができる。つまり終端回路はディセーブル状態となる。この実施の形態によれば、イネーブル回路を介在させることにより、複数の終端回路間の相互干渉を抑制でき、単一のイネーブルピンで、複数の終端回路のイネーブル状態、ディセーブル状態を設定できる。

[0034] 別の観点から見ると、イネーブル回路は、（ｉ）イネーブルピンが第１状態であるとき、第２抵抗より大きい出力インピーダンスを有し、（ｉｉ）イネーブルピンが第２状態であるとき、第２抵抗より小さい出力インピーダンスを有すると言える。

[0035] イネーブル回路は、出力ノードと接地の間に設けられた第２トランジスタと、イネーブルピンの状態に応じて、第２トランジスタの状態を変化させるバイアス回路と、を含んでもよい。

[0036] バイアス回路は、イネーブルピンが第１状態であるとき、第２トランジスタの制御電極に相対的に低い電圧を印加し、イネーブルピンが第２状態であるとき、第２トランジスタの制御電極に相対的に高い電圧を印加するように構成されてもよい。これによりイネーブル回路の出力インピーダンスを変化させることができる。

[0037] バイアス回路は、一端が対象ピンと接続される第３抵抗と、高電位側の電極および制御電極が第３抵抗の他端と接続され、低電位側の電極がイネーブルピンと接続される第３トランジスタと、を含んでもよい。

[0038] 第３トランジスタのバックゲートは接地されてもよい。これにより、第３トランジスタのバックゲートとソース間のボディダイオードによって、複数の対象ピン間のアイソレーションを高めることができる。

[0039] イネーブル回路は、前記対象ピンから前記イネーブルピンに流れる電流を折り返し、出力ノードからシンクするカレントミラー回路を含んでもよい。イネーブルピンが接地されるとき、カレントミラー回路の入力側に電流が流れ、それが折り返されて、出力ノードから電流をシンクできる。イネーブルピンがオープンであるとき、カレントミラー回路の入力側には電流が流れず、出力ノードはローに固定される。

[0040] イネーブルピンは、ローまたはハイインピーダンスとされてもよい。

[0041] 複数の終端回路はそれぞれ、第１トランジスタの制御電極と接地の間に設けられたツェナーダイオードをさらに備えてもよい。これにより回路素子を保護できる。

[0042] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0043] 本明細書において、「部材Ａが、部材Ｂと接続された状態」とは、部材Ａ

と部材Ｂが物理的に直接的に接続される場合や、部材Ａと部材Ｂが、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

[0044] 同様に、「部材Ｃが、部材Ａと部材Ｂの間に設けられた状態」とは、部材Ａと部材Ｃ、あるいは部材Ｂと部材Ｃが直接的に接続される場合のほか、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

[0045] 図４は、実施の形態に係る半導体集積回路６００の回路図である。半導体集積回路６００は、終端すべき複数Ｎ個（Ｎ≧２）の対象ピンＰ１～ＰＮと、イネーブルピンＥＮと、複数の対象ピンＰ１～ＰＮに対応する複数の終端回路６１０＿１～６１０＿Ｎと、を備える。複数の終端回路６１０＿１～６１０＿Ｎは同様に構成される。

[0046] 複数の終端回路６１０＿＃（＃＝１，…Ｎ）はそれぞれ、第１抵抗Ｒ１、第１トランジスタＭ１、第２抵抗Ｒ２、ツェナーダイオードＺＤ１、イネーブル回路６２０を備える。第１抵抗Ｒ１および第１トランジスタＭ１は、対応する対象ピンＰ＃と接地の間に直列に設けられる。第２抵抗Ｒ２は、対応する対象ピンＰ＃と第１トランジスタＭ１の制御電極（ゲート）の間に設けられる。

[0047] イネーブル回路６２０はその出力ノード６２２が第１トランジスタＭ１のゲートと接続される。イネーブル回路６２０は、（ｉ）イネーブルピンＥＮが第１状態（たとえば接地）であるとき、出力ノード６２２から電流Ｉｓをシンクし、（ｉｉ）イネーブルピンＥＮが第２状態（たとえばオープン）であるとき、出力ノード６２２をローに固定するように構成される。

[0048] ツェナーダイオードＺＤ１は、第１トランジスタＭ１のゲートと接地の間に設けられる。

[0049] 以上が半導体集積回路６００の構成である。続いてその動作を説明する。

図５は、イネーブルピンＥＮが第１状態であるときの半導体集積回路６００の等価回路図である。ここではピンＰ＃とそれに関する部分のみを示す。使用において半導体集積回路６００の対象ピンＰ＃は、配線７０２を介して、外部回路７００のピン７０４と接続される。外部回路７００の内部において、ピン７０４は、プルアップ抵抗Ｒｐによってプルアップされ、あるいはソース電流源ＣＳと接続される。このときに対象ピンＰ＃に発生する電圧をＶｐ＃とする。

[0050] イネーブル回路６２０が電流Ｉｓをシンクすることにより、第２抵抗Ｒ２には、電圧降下Ｒ２×Ｉｓが発生する。したがって、第１トランジスタＭ１のゲート電圧Ｖｇ１は、Ｖｐ＃－Ｒ２×Ｉｓとなる。

[0051] Ｖｇ１＞Ｖｇｓ（ｔｈ）となるように、言い換えれば、Ｖｐ＃－Ｒ２×Ｉｓ＞Ｖｇｓ（ｔｈ）が成り立つように、抵抗値Ｒ２，電流量Ｉｓが定められる。Ｖｇｓ（ｔｈ）はＮチャンネルＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）のゲートソース間しきい値電圧である。これにより第１トランジスタＭ１をオンすることができる。つまり対象ピンＰ＃は抵抗Ｒ１によって終端（プルダウン）され、終端回路６１０＿＃はイネーブル状態となる。

[0052] 図６は、イネーブルピンＥＮが第２状態であるときの半導体集積回路６００の等価回路図である。

[0053] 第２状態において、イネーブル回路６２０の出力インピーダンスは、第２抵抗Ｒ２の抵抗値より十分に小さくなる。これによりイネーブル回路６２０の出力ノード６２２はロー（接地電圧０Ｖ付近）に固定される。これにより、第１トランジスタＭ１をオフすることができる。このとき、対象ピンＰ＃は抵抗Ｒ１によって終端（プルダウン）されず、したがって終端回路６１０＿＃はディセーブル状態となる。

[0054] 以上が半導体集積回路６００の動作である。この半導体集積回路６００によれば、複数の終端回路６１０＿１～６１０＿Ｎのイネーブル状態、ディセーブル状態を、ひとつのイネーブルピンＥＮによって設定できる。また、第

１トランジスタＭ１のゲートとイネーブルピンＥＮの間にイネーブル回路６２０を介在させることにより、複数の終端回路６１０＿１～６１０＿Ｎの相互干渉を抑制できる。

[0055] またツェナーダイオードＺＤ１を設けることにより、対象ピンＰ＃に高電圧が発生したときに、第１トランジスタＭ１のゲートおよびイネーブル回路６２０の出力ノードの電圧をクランプすることができ、第１トランジスタＭ１およびイネーブル回路６２０の内部素子を保護することができる。

[0056] 図７は、イネーブル回路６２０の具体的な構成例を示す回路図である。イネーブル回路６２０は、出力ノード６２２と接地の間に設けられた第２トランジスタＭ２と、イネーブルピンＥＮの状態に応じて、第２トランジスタＭ２の状態を変化させるバイアス回路６２４と、を含む。

[0057] イネーブル回路６２０は、イネーブルピンＥＮが第１状態（ショート）であるとき、第２トランジスタＭ２のゲートに相対的に低い電圧V_Lを印加し、イネーブルピンＥＮが第２状態（オープン）であるとき、第２トランジスタＭ２のゲートに相対的に高い電圧V_Hを印加するように構成される。

[0058] バイアス回路６２４は、第３抵抗Ｒ３と第３トランジスタＭ３を含む。第３抵抗Ｒ３の一端は、対象ピンＰ＃と接続される。第３トランジスタＭ３は、高電位側の電極（ドレイン）および制御電極（ゲート）が第３抵抗Ｒ３の他端と接続され、低電位側の電極（ソース）がイネーブルピンＥＮと接続される。

[0059] 好ましくは第３トランジスタＭ３のバックゲートは接地される。これにより、第３トランジスタＭ３のバックゲートとソース間のボディダイオードＢＤによって、複数の対象ピンＰ＃（＃＝１～Ｎ）間のアイソレーションを高めることができる。

[0060] 以上が終端回路６１０の構成例である。続いてその動作を説明する。トランジスタＭ２とＭ３は、カレントミラー回路６２６を構成する。トランジスタＭ２とＭ３のサイズ比を１：Ｎとする。このカレントミラー回路６２６は、対象ピンＰ＃からイネーブルピンＥＮに流れる電流I_1を折り返し、１／Ｎ

倍の電流Ｉｓ（＝Ｉ$_1$／Ｎ）を出力ノード６２２からシンクする。

[0061] イネーブルピンＥＮが接地される第１状態では、対象ピンＰ＃から接地に対して電流経路（第３抵抗Ｒ３および第３トランジスタＭ３）が有効になるから、電流Ｉ$_1$が流れ、それに比例する電流Ｉｓが出力ノード６２２からシンクされ、第１トランジスタＭ１のゲートに高い電圧を発生し、第１トランジスタＭ１をオンすることができる。

[0062] イネーブルピンＥＮがオープン（あるいは高電位が印加される）となる第２状態では、対象ピンＰ＃から接地に対して電流経路が存在しない。したがって電流Ｉ$_1$が流れず、第２トランジスタＭ２のゲートは第３抵抗Ｒ３によって高電圧Ｖｐ＃にプルアップされる。これにより、第２トランジスタＭ２がフルオンし、第１トランジスタＭ１のゲートがローに固定される。

[0063] 図８は、終端回路６１０＿＃の別の構成例を示す回路図である。図８において図７の第３トランジスタＭ３は、整流回路Ｄ１に置換されている。整流回路Ｄ１は、ひとつあるいは直列に接続される複数のダイオードを含む。整流回路Ｄ１は、イネーブルピンＥＮが接地されるときに、電位差ΔＶ（＝Ｖｆ）を発生する定電圧源と把握することもできる。

[0064] イネーブルピンＥＮが接地されるとき、第２トランジスタＭ２のゲートには、整流回路Ｄ１の順方向電圧Ｖｆが印加される。Ｖｆは、第２トランジスタＭ２に適切なシンク電流Ｉｓが流れるように設計すればよい。

[0065] イネーブルピンＥＮがオープンのとき、第２トランジスタＭ２のゲートには、第３抵抗Ｒ３を介して、対象ピンＰ＃の高電圧Ｖｐ＃が印加される。これにより第２トランジスタＭ２はフルオンする。

[0066] なお対象ピンＰ＃の高電圧Ｖｐ＃が予め規定されているアプリケーションでは、整流回路Ｄ１を抵抗（抵抗値をＲ４とする）で置換してもよい。イネーブルピンＥＮが接地されるとき、抵抗Ｒ３とＲ４が形成する分圧回路によって電圧Ｖｐ＃が分圧され、分圧後の電圧Ｖ$_L$＝Ｖｐ＃×Ｒ４／（Ｒ３＋Ｒ４）が、第２トランジスタＭ２のゲートに印加される。

[0067] 図７や図８において、第２トランジスタＭ２は可変インピーダンス素子と

みなすことができる。この観点から、終端回路６１０は、図９のように把握することもできる。図９は、終端回路６１０＿＃の別の構成例を示す回路図である。

[0068] イネーブル回路６２０は、（i）イネーブルピンＥＮが第１状態であるとき、第２抵抗Ｒ２より大きい出力インピーダンスＲｏ１を有し、（ii）イネーブルピンが第２状態であるとき、第２抵抗Ｒ２より小さい出力インピーダンスＲｏ２を有する。

[0069] 第１トランジスタＭ１のゲート電圧Ｖｇ１は、Ｖｇ１＝Ｖｐ＃×Ｒｏ／（Ｒ２＋Ｒｏ）で与えられる。Ｒｏ１≫Ｒ２であるとき、ゲート電圧Ｖｇ１は、高くなり、第１トランジスタＭ１をオンすることができる。Ｒｏ２≪Ｒ２であるとき、ゲート電圧Ｖｇ１は低くなり、第１トランジスタＭ１をオフすることができる。

[0070] イネーブル回路６２０は、出力ノード６２２と接地の間に設けられた可変インピーダンス素子６２８と、可変インピーダンス素子６２８のインピーダンス（すなわちイネーブル回路６２０の出力インピーダンスＲｏ）を制御するインピーダンス制御部６３０を含む。インピーダンス制御部６３０は、イネーブルピンＥＮの状態に応じて、可変インピーダンス素子６２８のインピーダンスＲｏを変化させる。

[0071] 続いて半導体集積回路６００の用途を説明する。図１０は、ＵＳＢ（Universal Serial Bus）ＰＤ（Power Delivery）コントローラ８００の回路図である。このＰＤコントローラ８００は、図１の受電側コントローラ３１０あるいは給電側コントローラ２０４として利用される。

[0072] ＰＤコントローラ８００は、２個のＣＣ（Configuration Channel）ピンＣＣ１，ＣＣ２を有する。ＰＤコントローラ８００は、ロジック回路８１０、プルダウン回路８２０＿１、８２０＿２、電圧クランプ回路８３０＿１，８３０＿２を備える。

[0073] ロジック回路８１０の電源端子ＶＣＣには、バッテリ電圧あるいはそれにもとづいて生成される電源電圧が供給される。ロジック回路８１０は、この

電源電圧がＵＶＬＯ（低電圧ロックアウト）のしきい値より高いときに、プルダウン回路８２０＿１，８２０＿２の状態を制御する。また電圧クランプ回路８３０＿１、８３０＿２の第４トランジスタＭ４をオンに固定し、電圧クランプ回路８３０＿１，８３０＿２を無効化する。

[0074] 電圧クランプ回路８３０＿１，８３０＿２は、上述の終端回路６１０に対応する。電圧クランプ回路８３０＿１，８３０＿２は共通のイネーブルピンＥＮと接続され、イネーブル・ディセーブルが制御される。ＰＤコントローラ８００が、シンクデバイスに実装される場合、イネーブルピンＥＮは第１状態とされる。これによりデッドバッテリー状態において、ロジック回路８１０が動作不能であるときに、ＣＣ１ピン、ＣＣ２ピンをプルダウンすることができる。

[0075] ＰＤコントローラ８００が、ソースデバイスに実装される場合、イネーブルピンＥＮは第２状態とされる。これにより電圧クランプ回路８３０＿１，８３０＿２はディセーブル状態となる。

[0076]（用途）

最後に受電装置３００の用途を説明する。図１１は、受電装置３００を備える電子機器９００を示す図である。ここで例示する電子機器９００は、スマートホンやタブレット端末である。電子機器９００は、上述のバッテリ４０２や受電装置３００に加えて、レセプタクル９０２、筐体９０４、ディスプレイパネル９０６、ＣＰＵ９１０やベースバンドＩＣ９１２を備える。受電装置３００は、レセプタクル９０２に供給されるバス電圧を受け、バッテリ４０２を充電するとともに、ＣＰＵ９１０やベースバンドＩＣ９１２などの負荷に、電源電圧を供給する。なお電子機器９００は、ノートＰＣやデジタルカメラ、デジタルビデオカメラ、オーディオプレイヤなどであってもよい。

[0077] 実施の形態にもとづき、具体的な用語を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形

例や配置の変更が認められる。

産業上の利用可能性

[0078] 本発明は、電子回路に関する。

符号の説明

[0079] １００　給電システム
１０２　アダプタ
１０６　ＵＳＢケーブル
１０８　レセプタクル
２００　給電装置
２０２　電源回路
２０４　給電側コントローラ
ＳＷ１　バススイッチ
２０６　５Ｖ電源
４００　電子機器
４０２　バッテリ
４０４　レセプタクル
４０６　負荷
３００　受電装置
３０２　充電回路
３１０　受電側コントローラ
ＳＷ２　バススイッチ
９００　電子機器
５００　ＰＤコントローラ
５２０　電圧クランプ回路
６００　半導体集積回路
Ｐ１，Ｐ２　対象ピン
ＥＮ　イネーブルピン
６１０　終端回路

Ｍ１　第１トランジスタ

Ｍ２　第２トランジスタ

Ｍ３　第３トランジスタ

Ｍ４　第４トランジスタ

Ｒ１　第１抵抗

Ｒ２　第２抵抗

Ｒ３　第３抵抗

６２０　イネーブル回路

６２２　出力ノード

６２４　バイアス回路

６３０　インピーダンス制御部

８００　ＰＤコントローラ

８１０　ロジック回路

８２０　プルダウン回路

８３０　電圧クランプ回路

請求の範囲

[請求項1] 終端すべき複数の対象ピンと、

イネーブルピンと、

前記複数の対象ピンに対応する複数の終端回路と、

を備え、

前記複数の終端回路はそれぞれ、

対応する対象ピンと接地の間に直列に設けられた第１抵抗および第１トランジスタと、

対応する対象ピンと前記第１トランジスタの制御電極の間に設けられた第２抵抗と、

出力ノードが前記第１トランジスタの制御電極と接続されており、（ｉ）前記イネーブルピンが第１状態であるとき、前記出力ノードから電流をシンクし、（ｉｉ）前記イネーブルピンが第２状態であるとき、前記出力ノードをローに固定するイネーブル回路と、

を備えることを特徴とする半導体集積回路。

[請求項2] 終端すべき複数の対象ピンと、

イネーブルピンと、

前記複数の対象ピンに対応する複数の終端回路と、

を備え、

前記複数の終端回路はそれぞれ、

対応する対象ピンと接地の間に直列に設けられた第１抵抗および第１トランジスタと、

対応する対象ピンと前記第１トランジスタの制御電極の間に設けられた第２抵抗と、

出力ノードが前記第１トランジスタの制御電極と接続されており、（ｉ）前記イネーブルピンが第１状態であるとき、前記第２抵抗より大きい出力インピーダンスを有し、（ｉｉ）前記イネーブルピンが第２状態であるとき、前記第２抵抗より小さい出力インピーダンスを有す

るイネーブル回路と、

を備えることを特徴とする半導体集積回路。

[請求項3] 前記イネーブル回路は、

前記出力ノードと接地の間に設けられた第２トランジスタと、

前記イネーブルピンの状態に応じて、前記第２トランジスタの状態を変化させるバイアス回路と、

を含むことを特徴とする請求項１または２に記載の半導体集積回路。

[請求項4] 前記バイアス回路は、前記イネーブルピンが前記第１状態であるとき、前記第２トランジスタの制御電極に相対的に低い電圧を印加し、前記イネーブルピンが前記第２状態であるとき、前記第２トランジスタの制御電極に相対的に高い電圧を印加するように構成されることを特徴とする請求項３に記載の半導体集積回路。

[請求項5] 前記バイアス回路は、

一端が前記イネーブルピンと接続される第３抵抗と、

高電位側の電極および制御電極が前記第３抵抗の他端と接続され、低電位側の電極が前記イネーブルピンと接続される第３トランジスタと、

を含むことを特徴とする請求項３または４に記載の半導体集積回路。

[請求項6] 前記第３トランジスタのバックゲートは接地されることを特徴とする請求項５に記載の半導体集積回路。

[請求項7] 前記イネーブル回路は、前記対象ピンから前記イネーブルピンに流れる電流を折り返し、前記出力ノードからシンクするカレントミラー回路を含むことを特徴とする請求項１または２に記載の半導体集積回路。

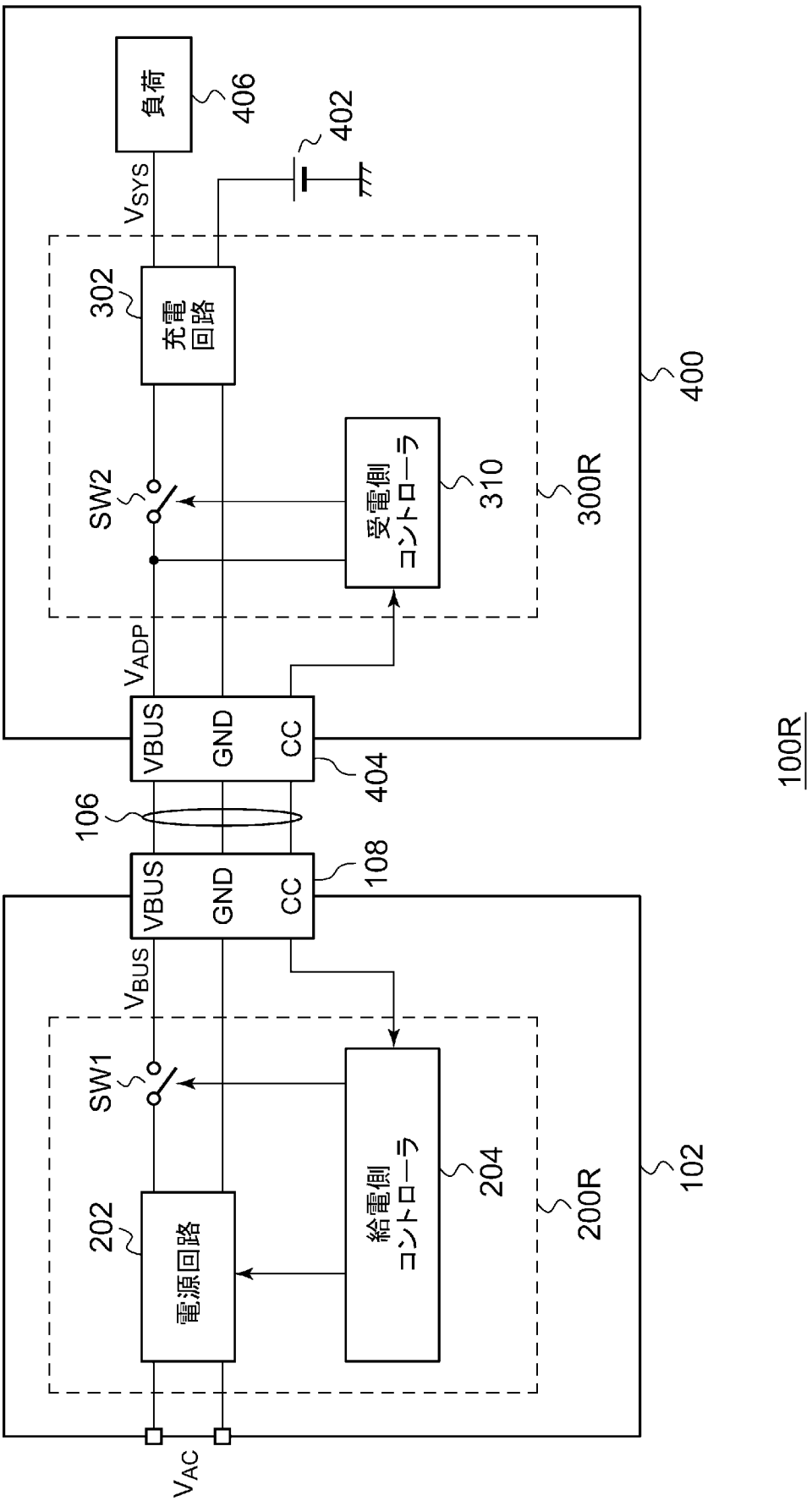
[請求項8] 前記イネーブルピンは、ローまたはハイインピーダンスとされることを特徴とする請求項１から７のいずれかに記載の半導体集積回路。

[請求項9] 前記複数の終端回路はそれぞれ、前記第１トランジスタの制御電極と接地の間に設けられたツェナーダイオードをさらに備えることを特徴とする請求項１から８のいずれかに記載の半導体集積回路。

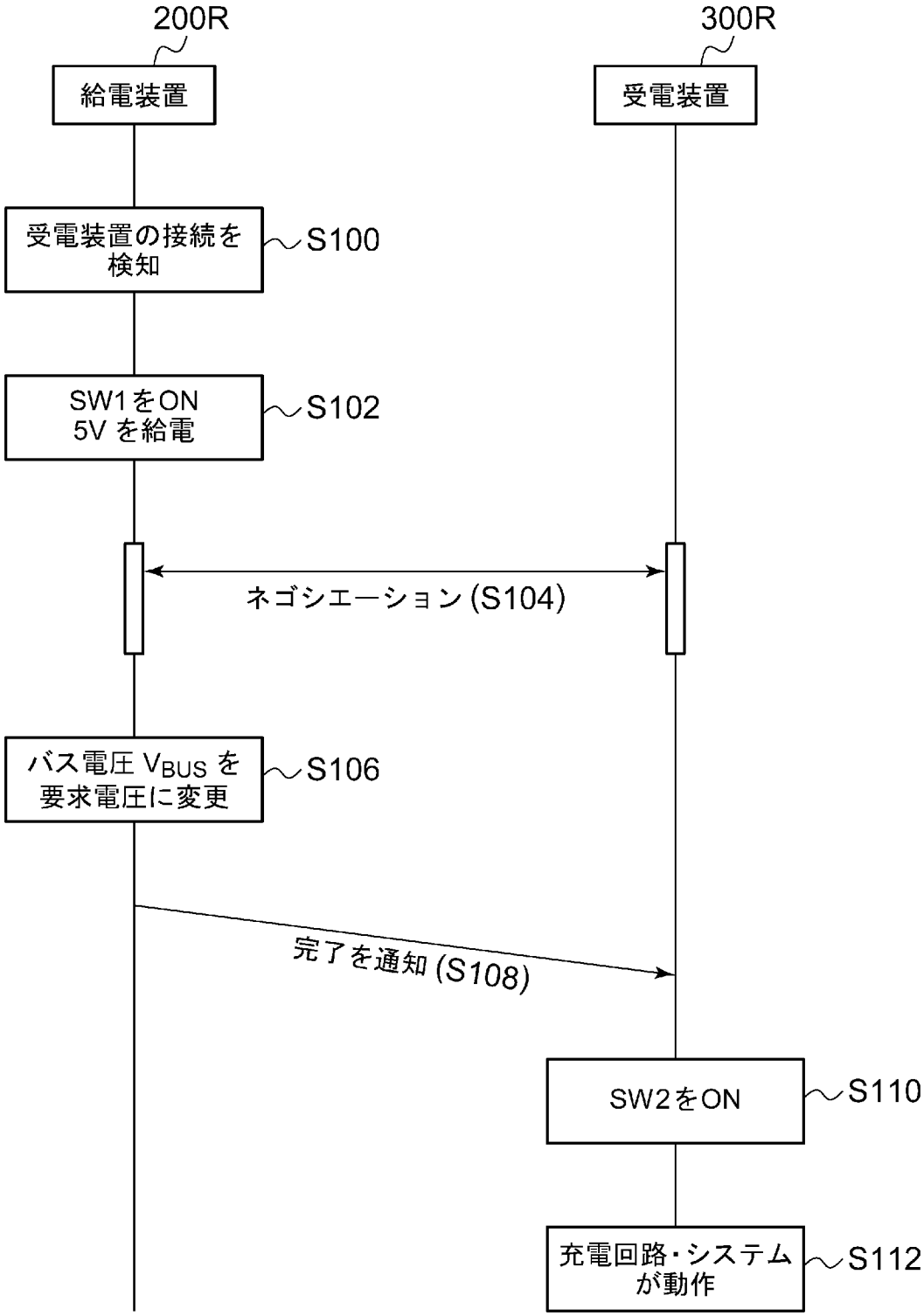
[請求項10] 前記半導体集積回路はＵＳＢ（Universal Serial Bus）ＰＤ（Power Delivery）コントローラであり、

前記複数の対象ピンは、２個のＣＣ（Configuration Channel）ピンであることを特徴とする請求項１から９のいずれかに記載の半導体集積回路。

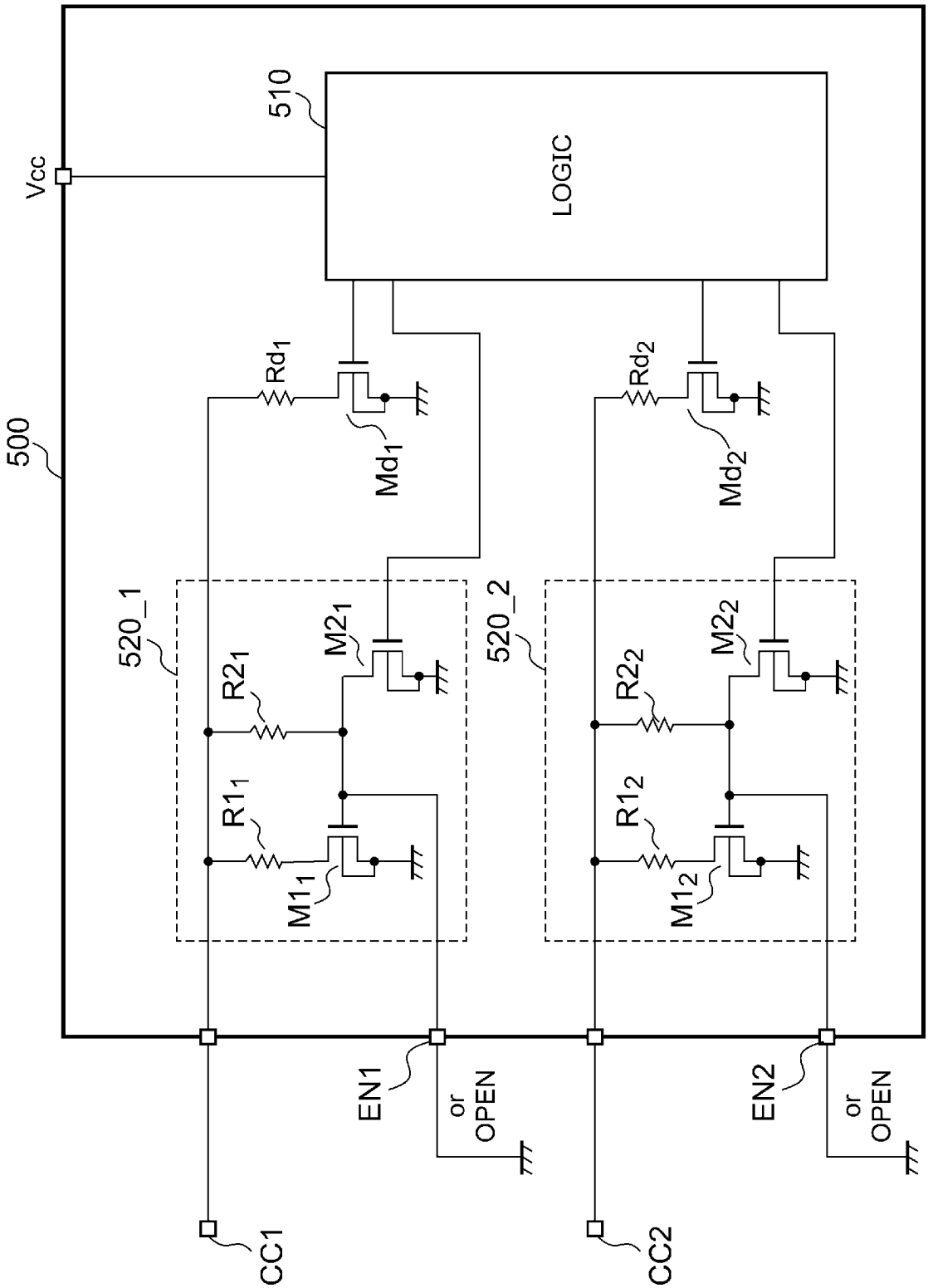
[図1]


負荷
406
402
VSYS
302
充電回路
SW2
受電側コントローラ
310
300R
400
VADP
VBUS
GND
CC
404
106
108
VBUS
GND
CC
VBUS
SW1
202
電源回路
給電側コントローラ
204
200R
102
VAC
100R

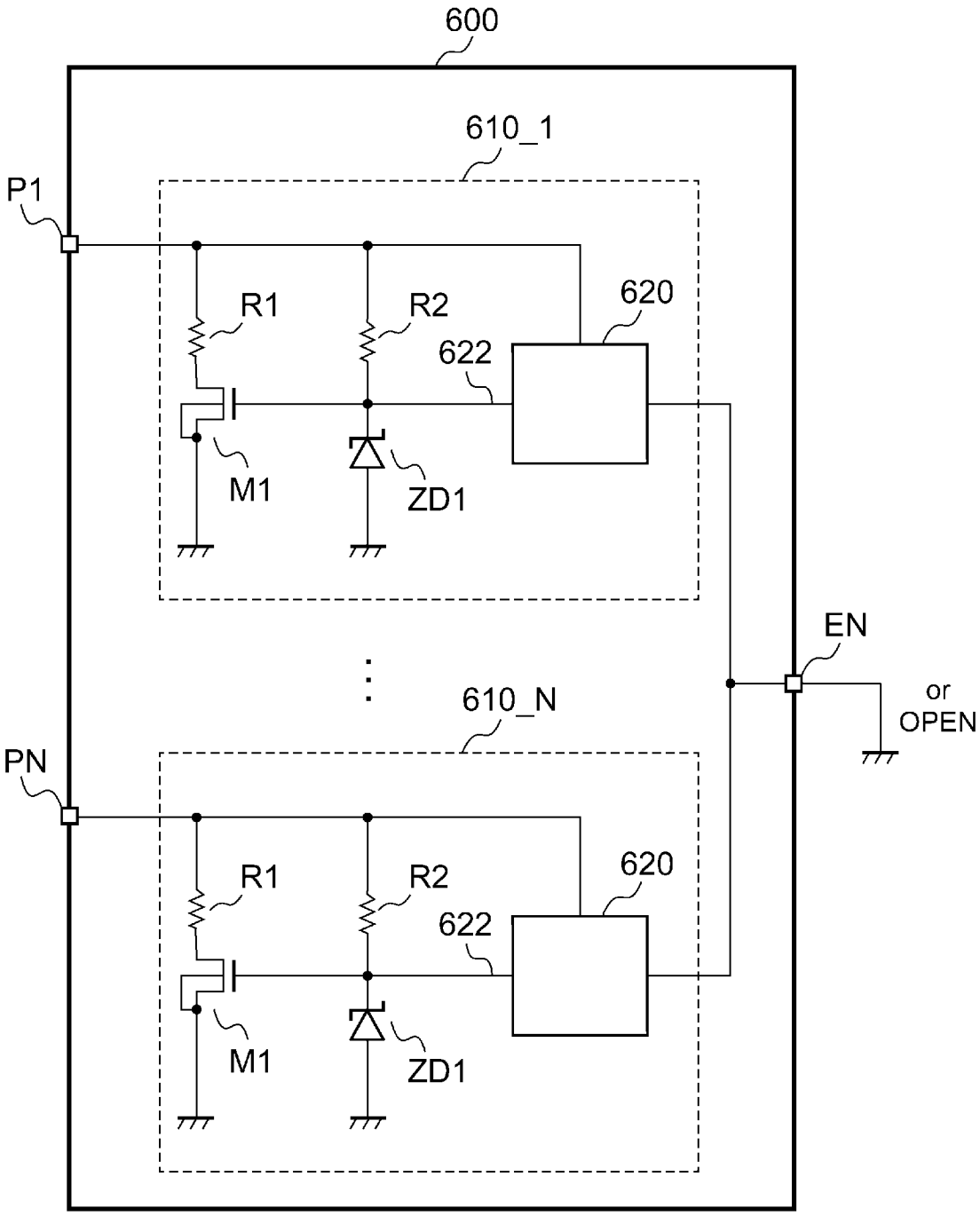
[図2]


200R
300R
給電装置
受電装置
受電装置の接続を検知
S100
SW1をON
5V を給電
S102
ネゴシエーション (S104)
バス電圧 V_{BUS} を要求電圧に変更
S106
完了を通知 (S108)
SW2をON
S110
充電回路・システムが動作
S112

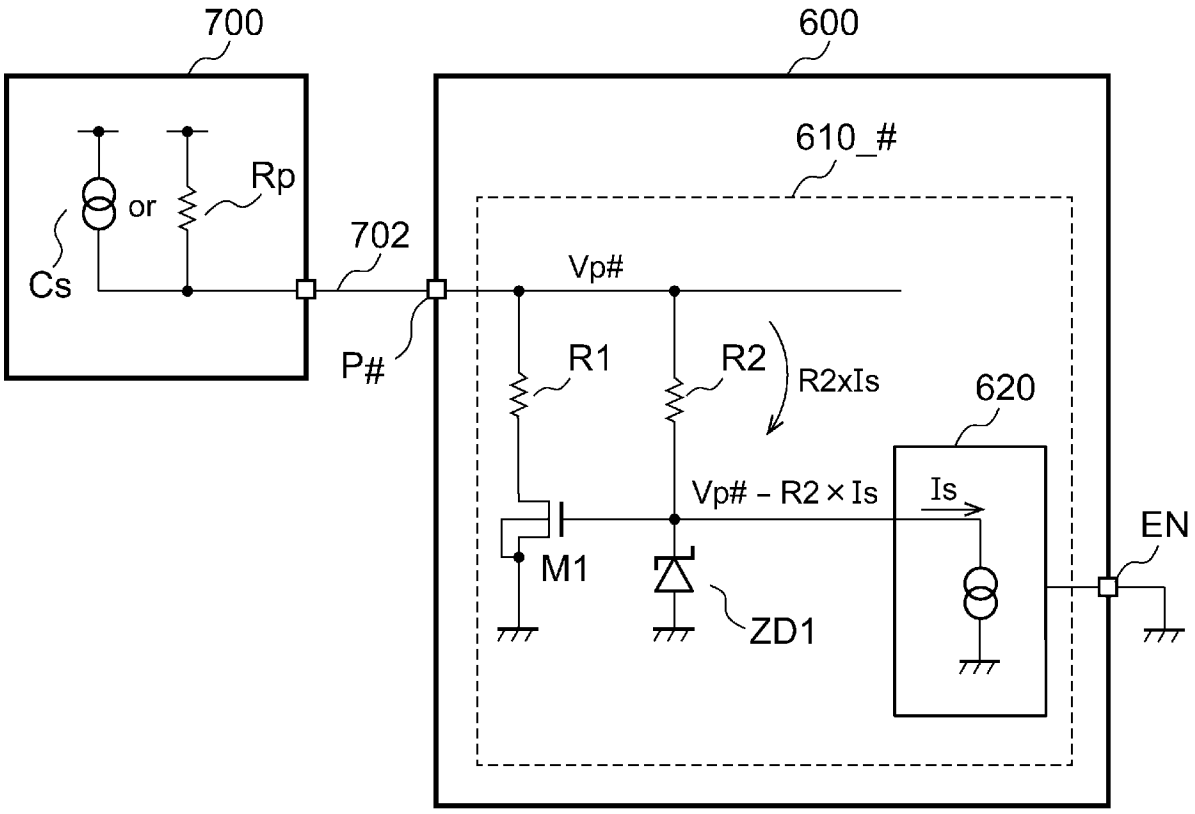
[図3]


500
510
LOGIC
Vcc
Rd1
Md1
Rd2
Md2
520_1
520_2
R21
M21
R11
M11
R22
M22
R12
M12
EN1
or
OPEN
EN2
or
OPEN
CC1
CC2

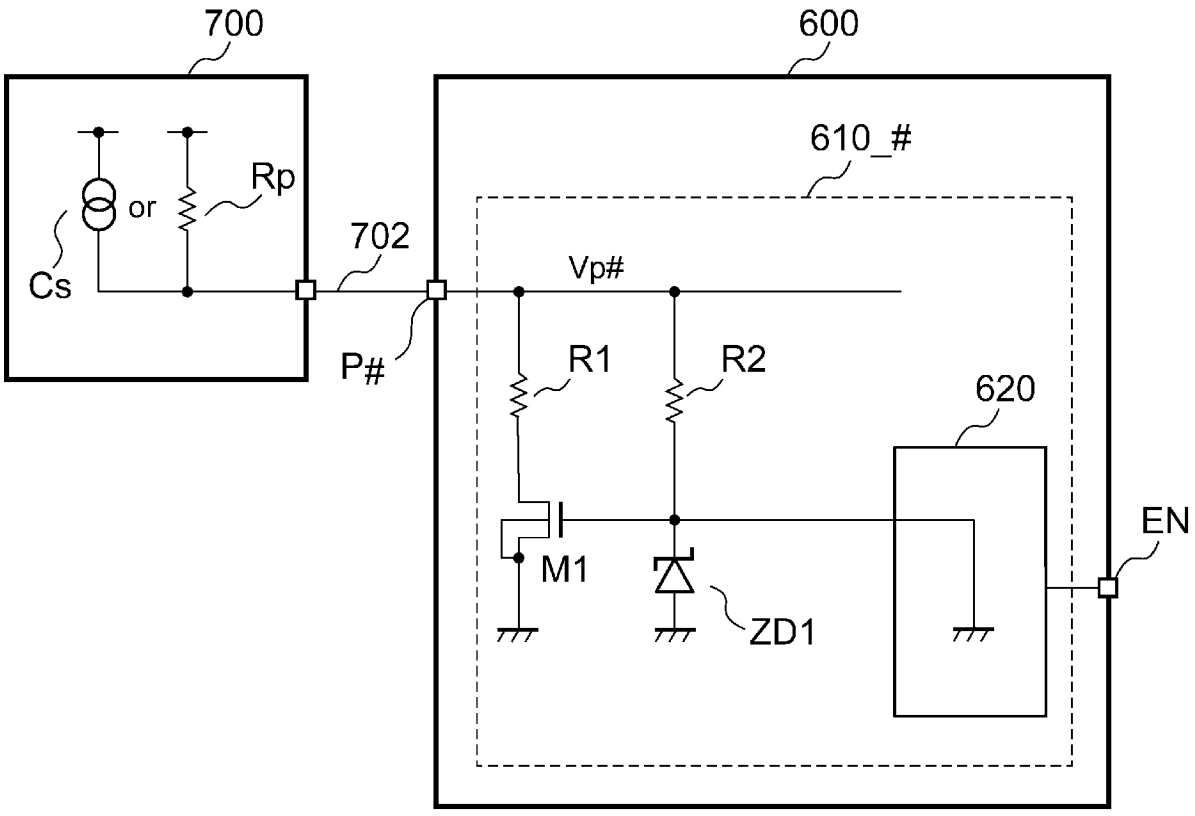
[図4]


600
610_1
P1
R1
R2
620
622
M1
ZD1
EN
or
OPEN
610_N
PN
R1
R2
620
622
M1
ZD1

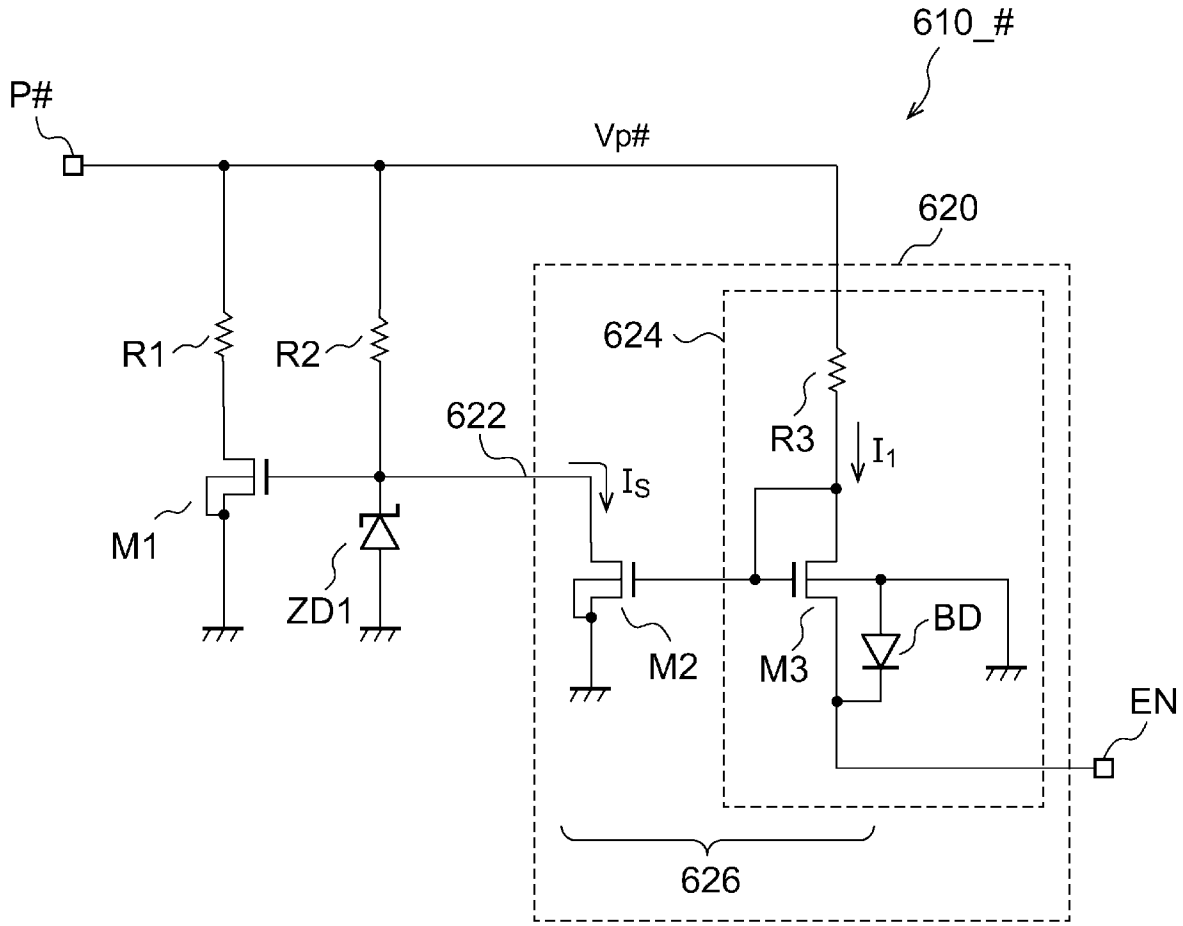
[図5]


700
600
610_#
Rp
or
Cs
702
Vp#
P#
R1
R2
R2xIs
620
Vp# – R2 × Is
Is
EN
M1
ZD1

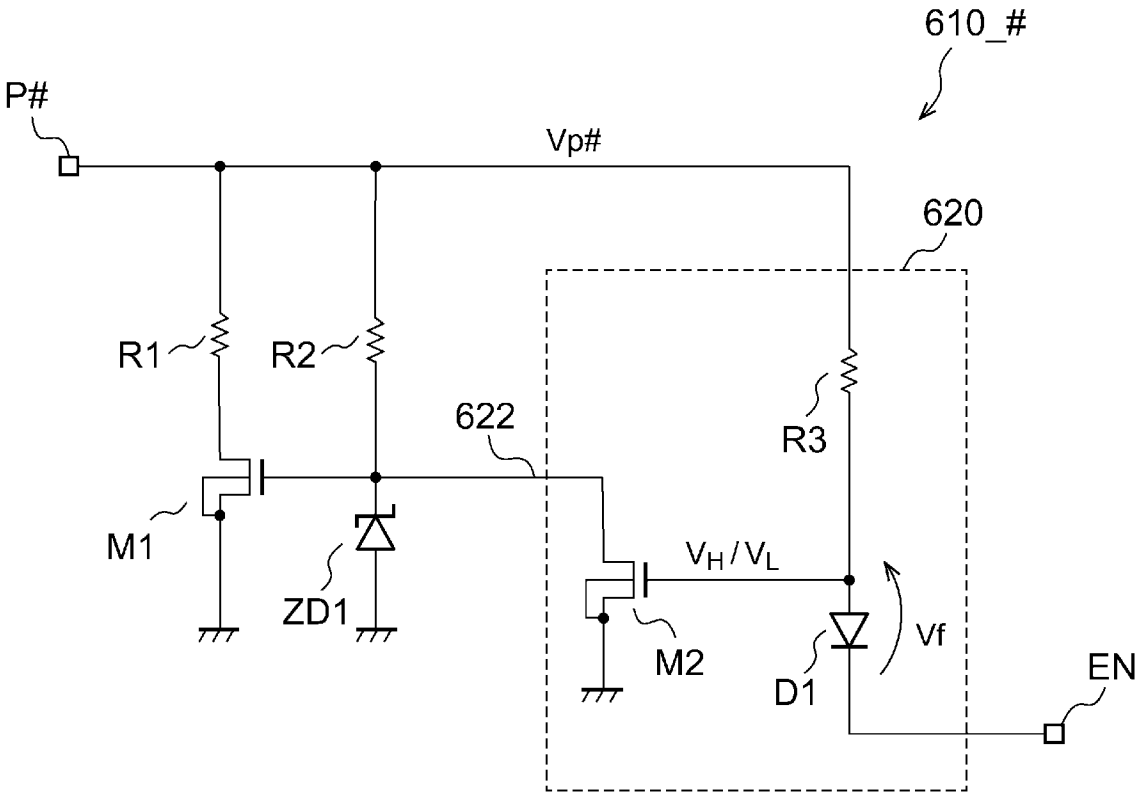
[図6]


700
600
610_#
Rp
or
Cs
702
Vp#
P#
R1
R2
620
EN
M1
ZD1

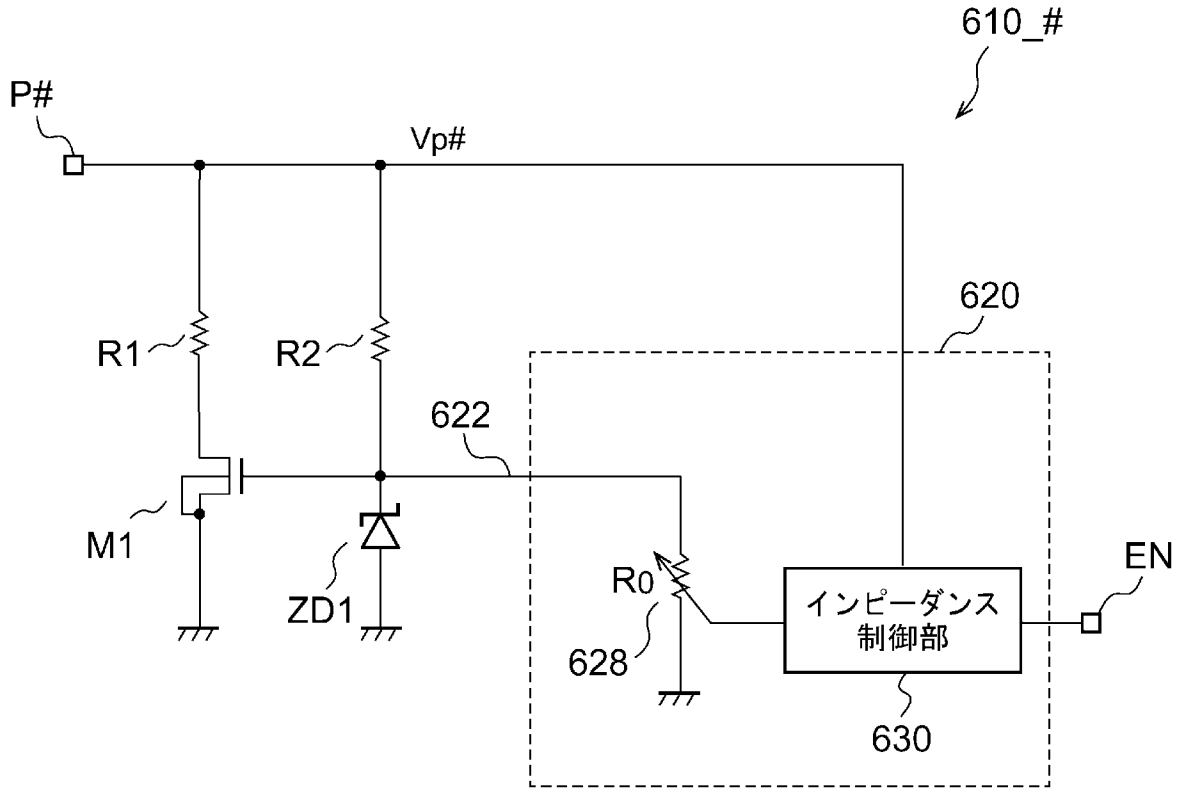
[図7]


610_#
P#
Vp#
620
624
R1
R2
R3
622
I_1
I_S
M1
ZD1
M2
M3
BD
EN
626

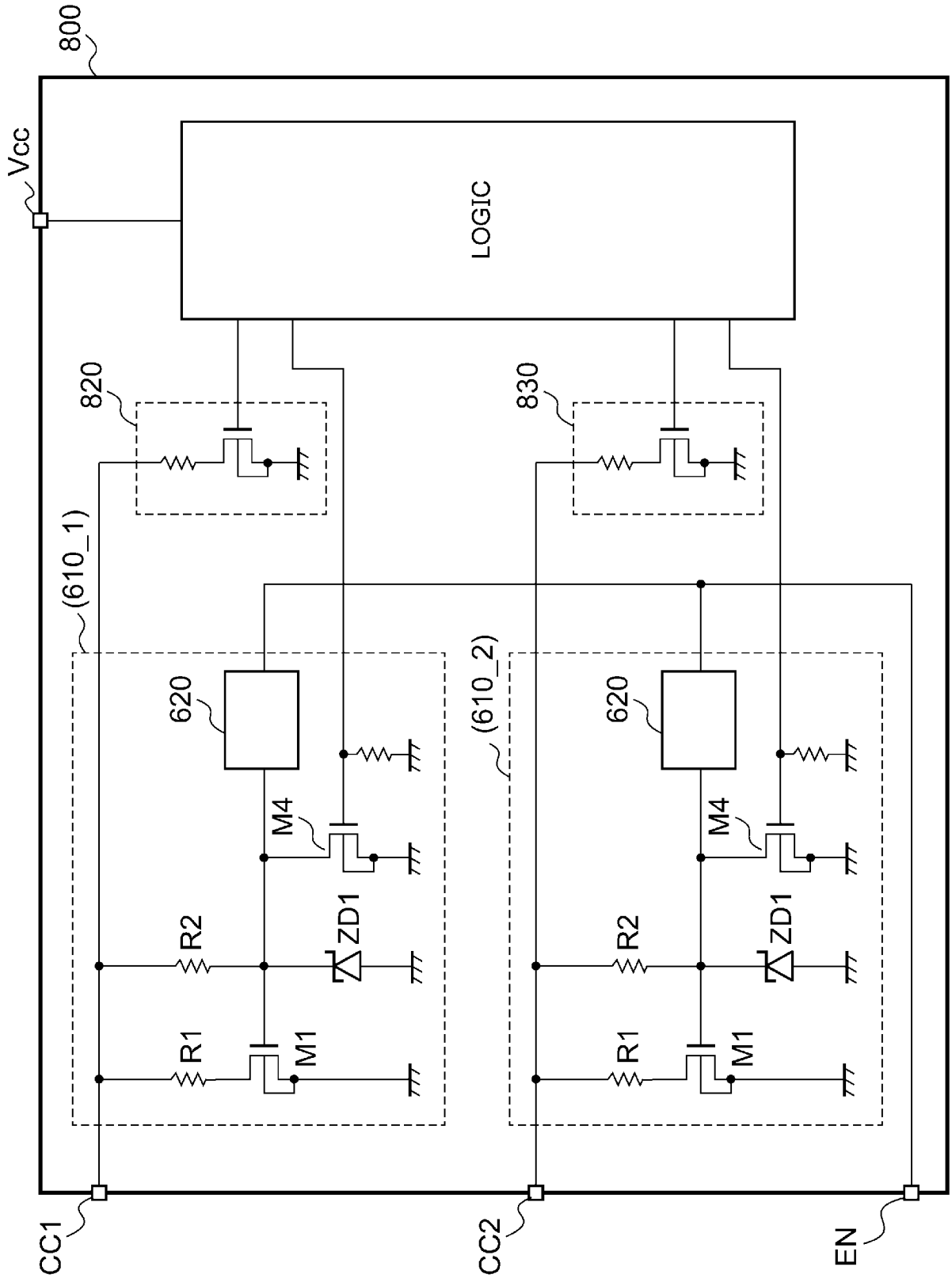
[図8]


610_#
P#
Vp#
620
R1
R2
R3
622
M1
ZD1
V_H / V_L
M2
D1
Vf
EN

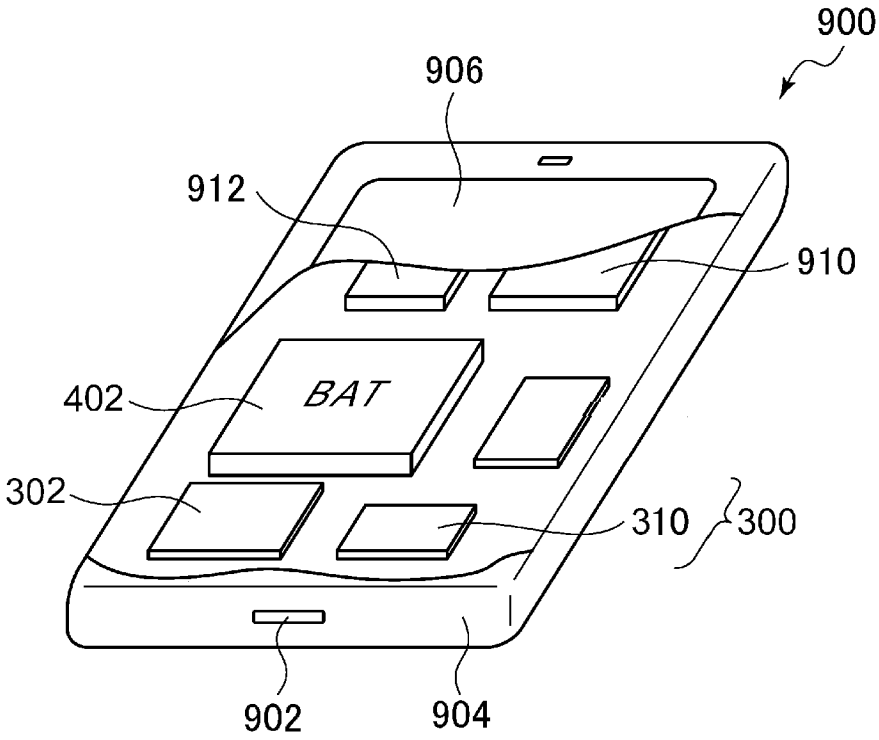
[図9]



[図10]


800
Vcc
LOGIC
820
830
(610_1)
(610_2)
620
620
M4
M4
R2
R2
ZD1
ZD1
R1
R1
M1
M1
CC1
CC2
EN

[図11]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/012043

A. CLASSIFICATION OF SUBJECT MATTER
H01L 27/088(2006.01)i; H02J 7/00(2006.01)i; G06F 1/26(2006.01)i
FI: H01L27/088 J; G06F1/26 306; H02J7/00 303A
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/088; H02J7/00; G06F1/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-136346 A (FUJITSU LTD.) 01.06.1993 (1993-06-01) entire text, all drawings	1-10
A	JP 2007-28330 A (NEC ELECTRONICS CORP.) 01.02.2007 (2007-02-01) entire text, all drawings	1-10
A	JP 2003-133943 A (ELPIDA MEMORY, INC.) 09.05.2003 (2003-05-09) entire text, all drawings	1-10
A	JP 2000-36733 A (NEC CORP.) 02.02.2000 (2000-02-02) entire text, all drawings	1-10
A	JP 8-293778 A (HITACHI, LTD.) 05.11.1996 (1996-11-05) entire text, all drawings	1-10
A	JP 2014-187162 A (TOSHIBA CORP.) 02.10.2014 (2014-10-02) entire text, all drawings	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 June 2020 (08.06.2020)	16 June 2020 (16.06.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/012043

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 5-136346 A	01 Jun. 1993	(Family: none)	
JP 2007-28330 A	01 Feb. 2007	US 2007/0018503 A1	
JP 2003-133943 A	09 May 2003	US 2003/0080774 A1	
		KR 10-2003-0036003 A	
JP 2000-36733 A	02 Feb. 2000	(Family: none)	
JP 8-293778 A	05 Nov. 1996	(Family: none)	
JP 2014-187162 A	02 Oct. 2014	US 2014/0285231 A1	

国際調査報告

国際出願番号
PCT/JP2020/012043

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/088(2006.01)i; H02J 7/00(2006.01)i; G06F 1/26(2006.01)i
FI: H01L27/088 J; G06F1/26 306; H02J7/00 303A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/088; H02J7/00; G06F1/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 5-136346 A (富士通株式会社) 01.06.1993 (1993-06-01) 全文，全図	1-10
A	JP 2007-28330 A (ＮＥＣエレクトロニクス株式会社) 01.02.2007 (2007-02-01) 全文，全図	1-10
A	JP 2003-133943 A (エルピーダメモリ株式会社) 09.05.2003 (2003-05-09) 全文，全図	1-10
A	JP 2000-36733 A (日本電気株式会社) 02.02.2000 (2000-02-02) 全文，全図	1-10
A	JP 8-293778 A (株式会社日立製作所) 05.11.1996 (1996-11-05) 全文，全図	1-10
A	JP 2014-187162 A (株式会社東芝) 02.10.2014 (2014-10-02) 全文，全図	1-10

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
08.06.2020	16.06.2020

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

市川　武宜 5F 4056

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/012043

引用文献	公表日	パテントファミリー文献	公表日
JP 5-136346 A	01.06.1993	（ファミリーなし）	
JP 2007-28330 A	01.02.2007	US 2007/0018503 A1	
JP 2003-133943 A	09.05.2003	US 2003/0080774 A1	
		KR 10-2003-0036003 A	
JP 2000-36733 A	02.02.2000	（ファミリーなし）	
JP 8-293778 A	05.11.1996	（ファミリーなし）	
JP 2014-187162 A	02.10.2014	US 2014/0285231 A1	