

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 2 日(02.10.2014)



(10) 国際公開番号

WO 2014/155619 A1

- (51) 国際特許分類:
H01L 21/52 (2006.01) *H01L 21/60* (2006.01)
- (21) 国際出願番号: PCT/JP2013/059323
- (22) 国際出願日: 2013 年 3 月 28 日(28.03.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社安川電機(KABUSHIKI KAISHA YASKAWA DENKI) [JP/JP]; 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 Fukuoka (JP).
- (72) 発明者: 小熊 清典(KOGUMA, Kiyonori); 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 株式会社安川電機内 Fukuoka (JP). 竹中国浩(TAKENAKA, Kunihiko); 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 株式会社安川電機内 Fukuoka (JP). 山口 芳文(YAMAGUCHI, Yoshifumi); 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 株式会社安川電機内 Fukuoka (JP). 本田 友和(HONDA, Tomokazu); 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 株式会社安川電機内 Fukuoka (JP). 氏田 祐(UJITA, Yu); 〒8060004 福岡県北九州市八幡西区黒崎城石

2 番 1 号 株式会社安川電機内 Fukuoka (JP). 佐々木 亮(SASAKI, Akira); 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 株式会社安川電機内 Fukuoka (JP).

- (74) 代理人: 宮園 博一(MIYAZONO, Hirokazu); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 1 3 番 9 号 新大阪MTビル 1 号館 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, POWER CONVERSION DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置、電力変換装置および半導体装置の製造方法

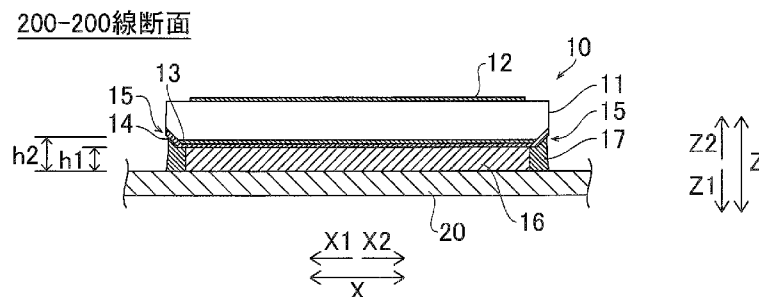


FIG. 3:
200-200 Linear cross-section

(57) Abstract: A semiconductor device (100, 100a-100c) comprises a conductive member (20), a semiconductor device component (10) disposed on top of the conductive member, and a bonding layer for bonding the conductive member and the semiconductor device component. When viewed in plan view, the bonding layer includes the following: a first bonding layer (16) that is disposed inward from the outer edge of the semiconductor device component; and a second bonding layer (17) that is disposed on the outer side of the first bonding layer and has smaller porosity than the first bonding layer.

(57) 要約: この半導体装置 (100、100a~100c) は、導電部材 (20) と、導電部材上に配置される半導体装置用部品 (10) と、導電部材と半導体装置用部品とを接合する接合層とを備える。そして、接合層は、平面視において、半導体装置用部品の外縁よりも内側に配置された第 1 接合層 (16) と、第 1 接合層の外側に配置され、第 1 接合層よりも小さい空隙率を有する第 2 接合層 (17) とを含む。



WO 2014/155619 A1



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体装置、電力変換装置および半導体装置の製造方法

技術分野

[0001] この発明は、半導体装置、電力変換装置および半導体装置の製造方法に関する。

背景技術

[0002] 従来、導電部材と部品とが接合層により接合されている半導体装置が知られている。このような半導体装置は、たとえば、特開２０１２－００９７０３号公報に開示されている。

[0003] 上記特開２０１２－００９７０３号公報には、導電パターンを有する基板と、基板の導電パターン上に配置される半導体素子と、基板の導電パターンと半導体素子との間に配置され、導電パターンと半導体素子とを接合する接合層とを備えた半導体装置が開示されている。この半導体装置の接合層は、縦断面において、３層構造の焼結パターンを含んでいる。また、３層構造の焼結パターンのうちの最上層の焼結パターンは半導体素子の裏面の全面に接合されており、最下層の焼結パターンは基板の導電パターンに接合されている。

先行技術文献

特許文献

[0004] 特許文献１：特開２０１２－００９７０３号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記特開２０１２－００９７０３号公報に開示された半導体装置では、接合層を構成する３層の焼結パターンのうちの最上層が半導体素子の裏面の内側および外周部近傍を含む全面に接合されているため、最上層の焼結パターンの空隙率が大きい場合には、粒子間の接合力が弱いことか

ら、熱応力が加わった場合に、最上層の焼結パターンがはく離したり焼結パターンにクラック（亀裂）が生じる場合があるという問題点がある。また、最上層の焼結パターンの空隙率が小さい場合には、部品と接合層との熱膨張率の差に起因して、熱応力がかった際に、空隙率が大きい場合に比べて、熱応力が緩和されにくいため、焼結パターンに結合する半導体素子が破壊される場合があるという問題点がある。

[0006] この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、部品の外周部近傍の接合層のはく離やクラックの発生を抑制しつつ、部品と接合層との熱膨張率の差に起因して、熱応力がかった際に、部品が破壊されることを抑制することが可能な半導体装置、電力変換装置および半導体装置の製造方法を提供することである。

課題を解決するための手段

[0007] 第1の局面による半導体装置は、導電部材と、導電部材上に配置される半導体装置用部品と、導電部材と半導体装置用部品との間に配置され、導電部材と半導体装置用部品とを接合する接合層とを備え、接合層は、平面視において、半導体装置用部品の外縁よりも内側に配置された第1接合層と、第1接合層の外側に配置され、第1接合層よりも小さい空隙率を有する第2接合層とを含む。

[0008] 第1の局面による半導体装置では、平面視において、半導体装置用部品の外縁よりも内側に配置された第1接合層と、第1接合層の外側に配置され、第1接合層よりも小さい空隙率を有する第2接合層とを含む接合層を設けることによって、外側は第1接合層よりも小さい空隙率を有する第2接合層により接合されるので、粒子間の結合力が強い小さい空隙率を有する第2接合層により半導体装置用部品の外周部近傍の接合層のはく離やクラック（亀裂）の発生を抑制することができる。また、半導体装置用部品の内側を第2接合層よりも大きい空隙率を有する第1接合層により接合することによって、半導体装置用部品と接合層との熱膨張率の差に起因して、熱応力がかった際に、大きい空隙率を有する第1接合層により熱応力が緩和されるので、半

導体装置用部品が破壊されることを抑制することができる。これにより、部品の外周部近傍の接合層のはく離やクラックの発生を抑制しつつ、部品と接合層との熱膨張率の差に起因して、熱応力がかかった際に、部品が破壊されることを抑制することができる。

[0009] 第2の局面による電力変換装置は、導電部材と、導電部材上に配置される電力変換装置用部品と、導電部材と電力変換装置用部品との間に配置され、導電部材と電力変換装置用部品とを接合する接合層とを備え、接合層は、平面視において、電力変換装置用部品の外縁よりも内側に配置された第1接合層と、第1接合層の外側に配置され、第1接合層よりも小さい空隙率を有する第2接合層とを含む。

[0010] 第2の局面による電力変換装置では、平面視において、電力変換装置用部品の外縁よりも内側に配置された第1接合層と、第1接合層の外側に配置され、第1接合層よりも小さい空隙率を有する第2接合層とを含む接合層を設けることによって、外側は第1接合層よりも小さい空隙率を有する第2接合層により接合されるので、粒子間の結合力が強い小さい空隙率を有する第2接合層により電力変換装置用部品の外周部近傍の接合層のはく離やクラック（亀裂）の発生を抑制することができる。また、電力変換装置用部品の内側を第2接合層よりも大きい空隙率を有する第1接合層により接合することによって、電力変換装置用部品と接合層との熱膨張率の差に起因して、熱応力がかかった際に、大きい空隙率を有する第1接合層により熱応力が緩和されるので、電力変換装置用部品が破壊されることを抑制することができる。これにより、部品の外周部近傍の接合層のはく離やクラックの発生を抑制しつつ、部品と接合層との熱膨張率の差に起因して、熱応力がかかった際に、部品が破壊されることを抑制することが可能な電力変換装置を提供することができる。

[0011] 第3の局面による半導体装置の製造方法は、導電部材に第1金属ペースト層を形成する工程と、第1金属ペースト層を覆うように半導体装置用部品を配置する工程と、第1金属ペースト層を熱処理することにより、導電部材と

半導体装置用部品とを接合する第1接合層を形成する工程と、半導体装置用部品の端部近傍に第1金属ペースト層よりも小さい平均粒径を有する金属粒子を含む第2金属ペースト層を形成する工程と、第2金属ペースト層を熱処理することにより、導電部材と半導体装置用部品の端部近傍とを接合するとともに、第1接合層よりも小さい空隙率を有する第2接合層を形成する工程とを備える。

[0012] 第3の局面による半導体装置の製造方法では、導電部材と半導体装置用部品の端部近傍とを接合するとともに、第1接合層よりも小さい空隙率を有する第2接合層を形成する工程を設けることによって、半導体装置用部品の外側は第1接合層よりも小さい空隙率を有する第2接合層により接合されるので、粒子間の結合力が強い小さい空隙率を有する第2接合層により半導体装置用部品の外周部近傍の接合層のはく離やクラック（亀裂）の発生を抑制することができる。また、半導体装置用部品の内側を第2接合層よりも大きい空隙率を有する第1接合層により接合することによって、半導体装置用部品と接合層との熱膨張率の差に起因して、熱応力がかかった際に、大きい空隙率を有する第1接合層により熱応力が緩和されるので、半導体装置用部品が破壊されることを抑制することができる。これにより、部品の外周部近傍の接合層のはく離やクラックの発生を抑制しつつ、部品と接合層との熱膨張率の差に起因して、熱応力がかかった際に、部品が破壊されることを抑制することが可能な半導体装置の製造方法を提供することができる。

発明の効果

[0013] 上記のように、部品の外周部近傍の接合層のはく離やクラックの発生を抑制しつつ、部品と接合層との熱膨張率の差に起因して、熱応力がかかった際に、部品が破壊されることを抑制することができる。

図面の簡単な説明

[0014] [図1]一実施形態による3相インバータ装置の回路図である。

[図2]一実施形態による導電部材に配置された半導体素子を示した平面図である。

[図3]図2の200-200線に沿った断面図である。

[図4]一実施形態による3相インバータ装置の接合層の一例を示したSEM画像である。

[図5]一実施形態による半導体ウエハにパターン電極を形成する工程を説明するための断面図である。

[図6]一実施形態による半導体ウエハに略V字形状の溝部を形成する工程を説明するための断面図である。

[図7]一実施形態による半導体ウエハに金属層を形成する工程を説明するための断面図である。

[図8]一実施形態による半導体ウエハのダイシング工程を説明するための断面図である。

[図9]一実施形態による半導体素子を示した図である。

[図10]一実施形態による第1金属ペースト層を形成する工程を説明するための断面図である。

[図11]一実施形態による第1金属ペースト層上に半導体素子を配置する工程を説明するための断面図である。

[図12]一実施形態による第1接合層を形成する工程を説明するための断面図である。

[図13]一実施形態による第2金属ペースト層を形成する工程を説明するための断面図である。

[図14]第1変形例による導電部材に配置された半導体素子を示した平面図である。

[図15]第2変形例による導電部材に配置された柱状電極を示した平面図である。

発明を実施するための形態

[0015] 以下、実施形態を図面に基づいて説明する。

[0016] まず、図1を参照して、第1実施形態によるパワーモジュール100a、100bおよび100cを含む3相インバータ装置100の構成について説

明する。なお、パワーモジュール100a～100cおよび3相インバータ装置100は、「半導体装置」および「電力変換装置」の一例である。

[0017] 図1に示すように、3相インバータ装置100は、U相、V相およびW相の電力変換をそれぞれ行う3つのパワーモジュール100a、100bおよび100cが電氣的に並列に接続されることにより構成されている。

[0018] パワーモジュール100a、100bおよび100cは、それぞれ、直流電源（図示せず）から入力端子PおよびNを介して入力される直流電力を3相（U相、V相およびW相）の交流電力に変換するように構成されている。そして、パワーモジュール100a、100bおよび100cは、それぞれ、上記のように変換したU相、V相およびW相の交流電力を、出力端子U、VおよびWを介して外部に出力するように構成されている。なお、出力端子U、VおよびWは、モータ（図示せず）などに接続されている。

[0019] パワーモジュール100aは、2個の半導体スイッチ素子1aおよび2aを含む。半導体スイッチ素子1a（2a）は、3つの電極（ゲート電極G1a（G2a）、ソース電極S1a（S2a）およびドレイン電極D1a（D2a））を有している。また、半導体スイッチ素子1aおよび2aは、たとえば、SiCデバイスや、GaNデバイスや、Siデバイス（MOSFET（電界効果型トランジスタ）、IGBT（絶縁ゲートバイポーラトランジスタ）、または、バイポーラトランジスタなど）などにより構成されている。なお、半導体スイッチ素子1aおよび2aは、「半導体装置用部品」、「半導体素子」および「電力変換装置用部品」の一例である。

[0020] 半導体スイッチ素子1aおよび2aは、それぞれ、制御端子3aおよび4aを介して外部から入力される制御信号に基づいてスイッチングを行うことにより、入力端子PおよびNを介して入力される直流電力をU相の交流電力に変換して出力端子Uを介して外部に出力するように構成されている。

[0021] 半導体スイッチ素子1aのドレイン電極D1aは、入力端子Pに接続されており、ゲート電極G1aは、制御端子3aに接続されている。また、半導体スイッチ素子1aのソース電極S1aは、出力端子Uおよび半導体スイッ

チ素子 2 a のドレイン電極 D 2 a に接続されている。

[0022] 半導体スイッチ素子 2 a のドレイン電極 D 2 a は、出力端子 U に接続されており、ゲート電極 G 2 a は、制御端子 4 a に接続されている。また、半導体スイッチ素子 2 a のソース電極 S 2 a は、入力端子 N に接続されている。

[0023] また、上記パワーモジュール 1 0 0 a と同様に、パワーモジュール 1 0 0 b も、2 個の半導体スイッチ素子 1 b および 2 b を含む。半導体スイッチ素子 1 b (2 b) は、3 つの電極 (ゲート電極 G 1 b (G 2 b) 、ソース電極 S 1 b (S 2 b) およびドレイン電極 D 1 b (D 2 b)) を有している。なお、半導体スイッチ素子 1 b および 2 b は、「半導体装置用部品」、「半導体素子」および「電力変換装置用部品」の一例である。

[0024] 半導体スイッチ素子 1 b および 2 b は、それぞれ、制御端子 3 b および 4 b を介して外部から入力される制御信号に基づいてスイッチングを行うことにより、入力端子 P および N を介して入力される直流電力を V 相の交流電力に変換して出力端子 V を介して外部に出力するように構成されている。

[0025] また、上記パワーモジュール 1 0 0 a および 1 0 0 b と同様に、パワーモジュール 1 0 0 c も、2 個の半導体スイッチ素子 1 c および 2 c を含む。半導体スイッチ素子 1 c (2 c) は、3 つの電極 (ゲート電極 G 1 c (G 2 c) 、ソース電極 S 1 c (S 2 c) およびドレイン電極 D 1 c (D 2 c)) を有している。なお、半導体スイッチ素子 1 c および 2 c は、「半導体装置用部品」、「半導体素子」および「電力変換装置用部品」の一例である。

[0026] 半導体スイッチ素子 1 c および 2 c は、それぞれ、制御端子 3 c および 4 c を介して外部から入力される制御信号に基づいてスイッチングを行うことにより、入力端子 P および N を介して入力される直流電力を W 相の交流電力に変換して出力端子 W を介して外部に出力するように構成されている。

[0027] 次に、図 2 ～図 4 を参照して、本実施形態の 3 相インバータ装置 1 0 0 (パワーモジュール 1 0 0 a 、 1 0 0 b および 1 0 0 c) の半導体素子 1 0 と、導電部材 2 0 との接合構造について説明する。なお、半導体素子 1 0 は、パワーモジュール 1 0 0 a (1 0 0 b 、 1 0 0 c) の半導体スイッチ素子 1

aおよび2a（1bおよび2b、1cおよび2c）を含む電力変換装置用部品である。また、半導体素子10は、「半導体装置用部品」および「電力変換装置用部品」の一例である。

[0028] 図2および図3に示すように、半導体素子10は、導電部材20上に配置されている。また、半導体素子10と導電部材20とは、半導体素子10と導電部材20との間に配置された接合層（第1接合層16および第2接合層17）により接合されている。なお、導電部材20は、図示しない基板上に導電パターンとして設けられていてもよいし、図示しない電子部品上の端子用電極または接合用電極として設けられていてもよい。

[0029] 半導体素子10は、図2に示すように、平面視において（Z方向から見て）、略矩形形状に形成されている。また、図3に示すように、半導体素子10は、素子部11と、端子用電極12と、接合用電極13と、金属層14と、面取り部15とを含む。素子部11は、たとえば、SiCや、GaNや、Siなどを含む半導体材料により構成されている。

[0030] 端子用電極12は、素子部11の上面（Z2方向側の表面）に設けられている。端子用電極12は、たとえば、ドレイン電極や、ソース電極、または、ゲート電極などを含む。接合用電極13は、素子部11の下面（Z1方向側の表面）に設けられている。また、接合用電極13は、金属層14を介して導電部材20と接合するために設けられている。

[0031] 金属層14は、面取り部15の表面および面取り部15以外の導電部材20側（Z1方向側）の表面に形成されている。つまり、金属層14は、接合用電極13の下面（Z1方向側の表面）および面取り部15の表面を覆うように形成されている。また、金属層14は、導電部材20と接合するために設けられている。

[0032] 図3に示すように、面取り部15は、素子部11（半導体素子10）の導電部材20側（Z1方向側）の端部に設けられている。具体的には、面取り部15は、略矩形形状の半導体素子10の導電部材20側（Z1方向側）の4隅を含む4辺に沿って周状に設けられている。また、面取り部15は、素

子部 11 の下面（Z1 方向側の表面）に対して所定の角度を有する斜めの平坦面を有する。

[0033] ここで、本実施形態では、図 2 および図 3 に示すように、半導体素子 10 と導電部材 20 とを接合する接合層は、第 1 接合層 16 と、第 2 接合層 17 とを含んでいる。図 2 に示すように、平面視において（Z 方向から見て）、第 1 接合層 16 は、半導体素子 10 の外縁よりも内側に配置されている。第 2 接合層 17 は、第 1 接合層 16 の外側に配置されている。また、第 2 接合層 17 は、平面視において、半導体素子 10 の端部近傍に配置されている。

[0034] 具体的には、図 3 に示すように、第 1 接合層 16 は、半導体素子 10 の面取り部 15 よりも内側に配置されている。また、第 2 接合層 17 は、面取り部 15 の内側に配置された第 1 接合層 16 と、面取り部 15 との両方に接続（接合）するように配置されている。言い換えると、第 1 接合層 16 は、金属層 14 を介して半導体素子 10 の面取り部 15 以外の導電部材 20 側（Z1 方向側）の表面に接続（接合）されている。また、第 2 接合層 17 は、金属層 14 を介して半導体素子 10 の面取り部 15 に接続（接合）されている。

[0035] 図 2 に示すように、平面視において、第 2 接合層 17 の平面積は、第 1 接合層 16 の平面積よりも小さい。また、図 3 に示すように、第 2 接合層 17 の最大厚み h_2 は、第 1 接合層 16 の最大厚み h_1 よりも大きい。つまり、第 2 接合層 17 は、面取り部 15 に接続（接合）されているため、その分、最大厚みが大きい。

[0036] また、図 2 および図 3 に示すように、第 2 接合層 17 は、略矩形形状の半導体素子 10 の 4 隅を含む 4 辺に沿って周状に半導体素子 10 に接続（接合）されている。

[0037] また、本実施形態では、図 4 に示すように、第 2 接合層 17 の空隙率は、第 1 接合層 16 の空隙率よりも小さい。つまり、第 1 接合層 16 は、ポーラス（空隙率が大きい）な状態であり、第 2 接合層 17 は、緻密（空隙率が小さい）な状態である。具体的には、第 1 接合層 16 の空隙率は、10% 以上

30%以下であり、第2接合層17の空隙率は、1%以下である。なお、接合層の空隙率は、たとえば、図4に示すように、SEM（走査型電子顕微鏡）画像から、SEM画像の単位面積あたりの白に写る金属部分の面積と黒に写る空隙部分の面積とを測定し計算により求められる。

[0038] また、本実施形態では、第1接合層16および第2接合層17は、互いに同じ金属を含む金属材料により形成されている。具体的には、第1接合層16および第2接合層17は、それぞれ、Agを主に含む金属材料により形成されている。

[0039] また、第2接合層17は、第1接合層16を形成する金属材料に含まれる金属粒子の平均粒径よりも小さい平均粒径を有する金属粒子を含む金属材料により形成されている。たとえば、第1接合層16は、主にサブミクロン（たとえば、100nm～600nm）サイズのAg粒子を含む金属材料により形成されている。また、たとえば、第2接合層17は、主に50nm以下のサイズのAg粒子を含む金属材料により形成されている。

[0040] 次に、図3および図5～図13を参照して、本実施形態による3相インバータ装置100（パワーモジュール100a、100bおよび100c）の製造方法について説明する。

[0041] 3相インバータ装置100（パワーモジュール100a、100bおよび100c）の製造方法は、半導体素子10を形成する工程と、導電部材20に第1金属ペースト層16aを形成する工程と、半導体素子10を配置する工程と、第1接合層16を形成する工程と、第2金属ペースト層17aを形成する工程と、第2接合層17を形成する工程とを備えている。

[0042] 半導体素子10を形成する工程は、半導体ウエハ11aに端子用電極12および電極層13aを形成する工程と、半導体ウエハ11aの一方表面に略V字形状の断面を有する溝部15aを形成する工程と、溝部15aを含む半導体ウエハ11aの一方表面を覆うように金属層14aを形成する工程と、半導体ウエハ11aをダイシングする工程とを含む。

[0043] 半導体ウエハ11aに端子用電極12および電極層13aを形成する工程

では、図5に示すように、半導体ウエハ11aの上面（Z2方向側の表面）に半導体素子10に対応した端子用電極12が複数形成される。また、半導体ウエハ11aの下面（Z1方向側の表面）に電極層13aが形成される。

[0044] 半導体ウエハ11aの一方表面に略V字形状の断面を有する溝部15aを形成する工程では、図6に示すように、半導体ウエハ11aの下面（Z1方向側の表面）がV字形のダイシングブレードを用いてハーフカットされることにより、半導体ウエハ11aに溝部15aが形成される。また、電極層13aが溝部15aにより分割されて、複数の接合用電極13が形成される。

[0045] 溝部15aを含む半導体ウエハ11aの一方表面を覆うように金属層14aを形成する工程では、図7に示すように、半導体ウエハ11aの下面（Z1方向側の表面）にスパッタ法により、金属層14aが形成される。また、金属層14aは、半導体ウエハ11aの下面（Z1方向側の表面）の溝部15aおよび接合用電極13を覆うように形成される。

[0046] 半導体ウエハ11aをダイシングする工程では、図8に示すように、半導体ウエハ11aが溝部15aに沿って分割（ダイシング）されることにより、端部に面取り部15を有するとともに面取り部15が設けられた側（Z1方向側）の表面を覆う金属層14を有する複数の半導体素子10（図9参照）が形成される。

[0047] 導電部材20に第1金属ペースト層16aを形成する工程では、図10に示すように、導電部材20のZ2側の表面に半導体素子10の平面積よりも小さくなるように、第1金属ペースト層16aが塗布される。また、第1金属ペースト層16aは、サブミクロンサイズのAg粒子を主成分とする金属粒子が有機溶媒に分散した状態のペースト状の材料により形成される。

[0048] 半導体素子10を配置する工程では、図11に示すように、第1金属ペースト層16aを覆うようにZ2方向側に半導体素子10が配置される。第1接合層16を形成する工程では、図12に示すように、第1金属ペースト層16aを熱処理することにより、導電部材20と半導体素子10とを接合する第1接合層16が形成される。たとえば、200℃で1時間加熱すること

により、第1金属ペースト層16aから有機溶媒が気化して飛ばされて、金属(Ag)により構成された第1接合層16が形成される。

[0049] また、本実施形態では、第2金属ペースト層17aを形成する工程では、図13に示すように、半導体素子10の端部近傍に第1金属ペースト層16aよりも小さい平均粒径を有する金属粒子を含む第2金属ペースト層17aが形成される。具体的には、ディスペンスノズル(図示せず)により、半導体素子10と導電部材20との間にペースト状の材料が供給されて、第2金属ペースト層17aが形成される。また、第2金属ペースト層17aは、ナノサイズのAg粒子を主成分とする金属粒子が有機溶媒に分散した状態のペースト状の材料により形成される。

[0050] 第2接合層17を形成する工程では、第2金属ペースト層17aを熱処理することにより、図3に示すように、導電部材20と半導体素子10の端部近傍とを接合するとともに、第1接合層16よりも小さい空隙率を有する第2接合層17が形成される。たとえば、200℃で1時間加熱することにより、第2金属ペースト層17aから有機溶媒が気化して飛ばされて、金属(Ag)により構成された第2接合層17が形成される。

[0051] 本実施形態では、上記のように、平面視において(Z方向から見て)、半導体素子10の外縁よりも内側に配置された第1接合層16と、第1接合層16の外側に配置され、第1接合層16よりも小さい空隙率を有する第2接合層17とを含む接合層を設けることによって、外側は第1接合層16よりも小さい空隙率を有する第2接合層17により接合されるので、粒子間の結合力が強い小さい空隙率を有する第2接合層により半導体素子10の外周部近傍の接合層のはく離やクラック(亀裂)を抑制することができる。また、半導体素子10の内側を第2接合層17よりも大きい空隙率を有する第1接合層16により接合することによって、半導体素子10と接合層との熱膨張率の差に起因して、熱応力がかかった際に、大きい空隙率を有する第1接合層16により熱応力が緩和されるので、半導体素子10が破壊されることを抑制することができる。これにより、半導体素子10の外周部近傍の接合層

のはく離やクラックを抑制しつつ、半導体素子 10 と接合層との熱膨張率の差に起因して、熱応力がかかった際に、半導体素子 10 が破壊されることを抑制することができる。

[0052] また、本実施形態では、上記のように、第 2 接合層 17 を、半導体素子 10 の端部近傍に接続することによって、熱応力が集中する半導体素子 10 の端部近傍を、第 1 接合層 16 よりも小さい空隙率を有する第 2 接合層 17 により接続することができるので、半導体素子 10 の外周部近傍の接合層のはく離やクラック（亀裂）を効果的に抑制することができる。

[0053] また、本実施形態では、上記のように、第 1 接合層 16 および第 2 接合層 17 を、互いに同じ金属を含む金属材料により形成することによって、第 1 接合層 16 および第 2 接合層 17 の熱膨張率の差が大きくなるのを抑制することができるので、第 1 接合層 16 と第 2 接合層 17 とがはく離することを抑制することができる。

[0054] また、本実施形態では、上記のように、第 2 接合層 17 を、半導体素子 10 の面取り部 15 に接続することによって、面取り部 15 がない場合に比べて、第 2 接合層 17 と半導体素子 10 との接続面積を大きくすることができるので、第 2 接合層 17 による導電部材 20 と半導体素子 10 との接合強度を向上させることができる。

[0055] また、本実施形態では、上記のように、第 1 接合層 16 を、平面視において（Z 方向から見て）、半導体素子 10 の面取り部 15 よりも内側に配置し、第 2 接合層 17 を、面取り部 15 の内側に配置された第 1 接合層 16 と、面取り部 15 との両方に接続する。これにより、小さい空隙率を有する第 2 接合層 17 を、第 1 接合層 16 に対して隙間なく配置することができるので、第 1 接合層 16 のはく離やクラック（亀裂）を効果的に抑制することができる。

[0056] また、本実施形態では、上記のように、第 1 接合層 16 を、金属層 14 を介して半導体素子 10 の面取り部 15 以外の導電部材 20 側（Z1 方向側）の表面に接続するとともに、第 2 接合層 17 を、金属層 14 を介して半導体

素子 10 の面取り部 15 に接続する。これにより、第 2 接合層 17 を金属層 14 を介して面取り部 15 に接続することができるので、第 2 金属層 17 をより確実に面取り部 15 に接続することができる。

[0057] また、本実施形態では、上記のように、第 2 接合層 17 の最大厚み h_2 を、第 1 接合層 16 の最大厚み h_1 よりも大きくすることによって、小さい空隙率を有する第 2 接合層 17 の厚み方向の長さを大きくして、第 2 接合層 17 と半導体素子 10 との接続面積を大きくすることができる。これにより、第 2 接合層 17 による導電部材 20 と半導体素子 10 との接合強度を向上させることができる。

[0058] また、本実施形態では、上記のように、半導体素子 10 を、平面視において（Z 方向から見て）、略矩形形状に形成するとともに、第 2 接合層 17 を、略矩形形状の半導体素子 10 の 4 隅に接続する。これにより、熱応力が最も集中する略矩形形状の半導体素子 10 の 4 隅を、小さい空隙率を有する第 2 接合層 17 により接続することができるので、半導体素子 10 の外周部近傍の接合層のはく離やクラックを効果的に抑制することができる。

[0059] また、本実施形態では、上記のように、略矩形形状の半導体素子 10 の導電部材 20 側（Z1 方向側）の面の 4 辺に沿って周状に面取り部 15 を設けるとともに、第 2 接合層 17 を、略矩形形状の半導体素子 10 の 4 辺に沿って周状に接続する。これにより、第 2 接合層 17 と、半導体素子 10 とを略矩形形状の 4 辺に沿って周状に接続して、第 2 接合層 17 による導電部材 20 と半導体素子 10 との接合強度を容易に向上させることができる。

[0060] また、本実施形態では、上記のように、平面視において（Z 方向から見て）、第 2 接合層 17 の平面積を、第 1 接合層 16 の平面積よりも小さくする。これにより、比較的接合強度の大きい緻密な（空隙率が小さい）第 2 接合層 17 と半導体素子 10 との接続面積が大きくなるのを抑制することができるので、空隙率が小さい第 2 接合層 17 と半導体素子 10 との熱膨張率の差に起因して、半導体素子 10 が破壊されることを容易に抑制することができる。

- [0061] また、本実施形態では、上記のように、第1接合層16および第2接合層17を、それぞれ、Agを含む金属材料により形成することによって、接合層の耐熱性および結合力を向上させることができる。
- [0062] また、本実施形態では、上記のように、第1接合層16の空隙率を、10%以上30%以下にして、第2接合層17の空隙率を、1%以下にする。これにより、半導体素子10と接合層との接合強度を確保しつつ、半導体素子10と接合層との熱膨張率の差に起因して、熱応力がかかった際に、半導体素子10が破壊されることをより確実に抑制することができる。
- [0063] また、本実施形態では、上記のように、第2接合層17を、第1接合層16を形成する金属材料に含まれる金属粒子の平均粒径よりも小さい平均粒径を有する金属粒子を含む金属材料により形成する。これにより、第2接合層17の空隙率を第1接合層16の空隙率よりも容易に小さくすることができる。
- [0064] なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。
- [0065] たとえば、上記実施形態では、電力変換装置の一例として3相インバータ装置を示したが、3相インバータ装置以外の電力変換装置であってもよい。また、半導体装置の一例として、3相インバータ装置を示したが、3相インバータ装置以外の半導体装置であってもよい。
- [0066] また、上記実施形態では、第2接合層が略矩形形状の半導体装置用部品（半導体素子）の4辺に沿って周状に接続されている構成を示したが、図14に示す第1変形例のように、第2接合層27は略矩形形状の半導体装置用部品（半導体素子）の少なくとも4隅に接続されていればよい。この場合、半導体装置用部品の面取り部は、少なくとも4隅に設けられていればよい。
- [0067] また、上記実施形態では、半導体装置用部品および電力変換装置用部品として、半導体素子を用いる例を示したが、半導体装置用部品および電力変換

装置用部品は、半導体素子以外の部品であってもよい。たとえば、図 15 に示す第 2 変形例のように、半導体装置用部品および電力変換装置用部品は、導電部材 20 上に配置した柱状電極 30 のような部品であってもよい。この場合、導電部材 20 と柱状電極 30 とを、第 1 接合層 31 と、第 1 接合層 31 の外側に配置され、第 1 接合層 31 よりも小さい空隙率を有する第 2 接合層 32 とで接合してもよい。

[0068] また、上記実施形態では、第 1 接合層および第 2 接合層は、Ag を含む金属材料により形成されている構成を示したが、第 1 接合層および第 2 接合層は、Au、Ag、または Cu のうち少なくとも 1 つを含む金属材料により形成されていればよい。また、Au、Ag、または Cu を含まないその他の金属材料または非金属材料により形成されていてもよい。

[0069] また、上記実施形態では、半導体装置用部品（半導体素子）の面取り部は、半導体素子の下面に対して所定の角度を有する斜めの平坦面を有するように形成されている例を示したが、面取り部は、曲面を有する R 面取りであってもよい。

[0070] また、上記実施形態では、第 1 接合層の空隙率が 10% 以上 30% 以下であり、第 2 接合層の空隙率が 1% 以下である構成の例を示したが、第 2 接合層の空隙率が第 1 接合層の空隙率よりも小さければ、第 1 接合層の空隙率および第 2 接合層の空隙率は、その他の割合であってもよい。

[0071] また、上記実施形態では、半導体素子を形成する工程は、電極層 13a を形成する工程を含む構成を示したが、半導体素子を形成する工程は、電極層 13a を形成する工程を含まなくてもよい。この場合、溝部を形成した後、溝部を含む半導体ウエハの一方表面を覆うように金属層 14a を形成することにより、電極層 13a を予め形成していなくても、金属層 14a が電極層 13a を兼ねることになる。

符号の説明

[0072] 1a、1b、1c、2a、2b、2c 半導体スイッチ素子（半導体装置用部品、半導体素子、電力変換装置用部品、）

- 1 0 半導体素子（半導体装置用部品、電力変換装置用部品）
- 1 4 金属層
- 1 5 面取り部
- 1 6、3 1 第1接合層（接合層）
- 1 6 a 第1金属ペースト層
- 1 7、2 7、3 2 第2接合層（接合層）
- 1 7 a 第2金属ペースト層
- 2 0 導電部材
- 3 0 柱状電極（半導体装置用部品、電力変換装置用部品）
- 1 0 0 3相インバータ装置（半導体装置、電力変換装置）
- 1 0 0 a、1 0 0 b、1 0 0 c パワーモジュール（半導体装置、電力変換装置）

請求の範囲

- [請求項1] 導電部材（20）と、
 前記導電部材上に配置される半導体装置用部品（1a～1c、2a～2c、10、30）と、
 前記導電部材と前記半導体装置用部品との間に配置され、前記導電部材と前記半導体装置用部品とを接合する接合層とを備え、
 前記接合層は、
 平面視において、前記半導体装置用部品の外縁よりも内側に配置された第1接合層（16、31）と、
 前記第1接合層の外側に配置され、前記第1接合層よりも小さい空隙率を有する第2接合層（17、27、32）とを含む、半導体装置。
- [請求項2] 前記第2接合層は、前記半導体装置用部品の端部近傍に接続している、請求項1に記載の半導体装置。
- [請求項3] 前記第1接合層および前記第2接合層は、互いに同じ金属を含む金属材料により形成されている、請求項1または2に記載の半導体装置。
- [請求項4] 前記半導体装置用部品は、前記導電部材側の面の端部に設けられた面取り部（15）を含み、
 前記第2接合層は、前記半導体装置用部品の前記面取り部に接続している、請求項1～3のいずれか1項に記載の半導体装置。
- [請求項5] 前記第1接合層は、平面視において、前記半導体装置用部品の面取り部よりも内側に配置されており、
 前記第2接合層は、前記面取り部の内側に配置された前記第1接合層と、前記面取り部との両方に接続している、請求項4に記載の半導体装置。
- [請求項6] 前記半導体装置用部品は、半導体素子（1a～1c、2a～2c、10）を含むとともに、前記半導体素子の前記面取り部の表面および

前記面取り部以外の前記導電部材側の表面に形成された金属層（１４）を含み、

前記第１接合層は、前記金属層を介して前記半導体素子の前記面取り部以外の前記導電部材側の表面に接続されており、

前記第２接合層は、前記金属層を介して前記半導体素子の前記面取り部に接続されている、請求項４または５に記載の半導体装置。

[請求項７] 前記第２接合層の最大厚みは、前記第１接合層の最大厚みよりも大きい、請求項４～６のいずれか１項に記載の半導体装置。

[請求項８] 前記半導体装置用部品は、平面視において、略矩形形状に形成されており、

前記第２接合層は、略矩形形状の前記半導体装置用部品の少なくとも４隅に接続されている、請求項１～７のいずれか１項に記載の半導体装置。

[請求項９] 前記略矩形形状の半導体装置用部品は、前記導電部材側の面の少なくとも４隅に設けられた面取り部を含む、請求項８に記載の半導体装置。

[請求項１０] 前記第２接合層は、前記略矩形形状の半導体装置用部品の４辺に沿って周状に接続されている、請求項８または９に記載の半導体装置。

[請求項１１] 平面視において、前記第２接合層の平面積は、前記第１接合層の平面積よりも小さい、請求項１～１０のいずれか１項に記載の半導体装置。

[請求項１２] 前記第１接合層および前記第２接合層は、それぞれ、Au、AgまたはCuのうち少なくとも１つを含む金属材料により形成されている、請求項１～１１のいずれか１項に記載の半導体装置。

[請求項１３] 前記第１接合層の空隙率は、１０％以上３０％以下であり、
前記第２接合層の空隙率は、１％以下である、請求項１～１２のいずれか１項に記載の半導体装置。

[請求項１４] 前記第２接合層は、前記第１接合層を形成する金属材料に含まれる

金属粒子の平均粒径よりも小さい平均粒径を有する金属粒子を含む金属材料により形成されている、請求項 1 ～ 13 のいずれか 1 項に記載の半導体装置。

[請求項15]

導電部材（20）と、

前記導電部材上に配置される電力変換装置用部品（1a～1c、2a～2c、10、30）と、

前記導電部材と前記電力変換装置用部品との間に配置され、前記導電部材と前記電力変換装置用部品とを接合する接合層とを備え、

前記接合層は、

平面視において、前記電力変換装置用部品の外縁よりも内側に配置された第1接合層（16、31）と、

前記第1接合層の外側に配置され、前記第1接合層よりも小さい空隙率を有する第2接合層（17、27、32）とを含む、電力変換装置。

[請求項16]

導電部材（20）に第1金属ペースト層（16a）を形成する工程と、

前記第1金属ペースト層を覆うように半導体装置用部品（1a～1c、2a～2c、10、30）を配置する工程と、

前記第1金属ペースト層を熱処理することにより、前記導電部材と前記半導体装置用部品とを接合する第1接合層（16、31）を形成する工程と、

前記半導体装置用部品の端部近傍に前記第1金属ペースト層よりも小さい平均粒径を有する金属粒子を含む第2金属ペースト層（17a）を形成する工程と、

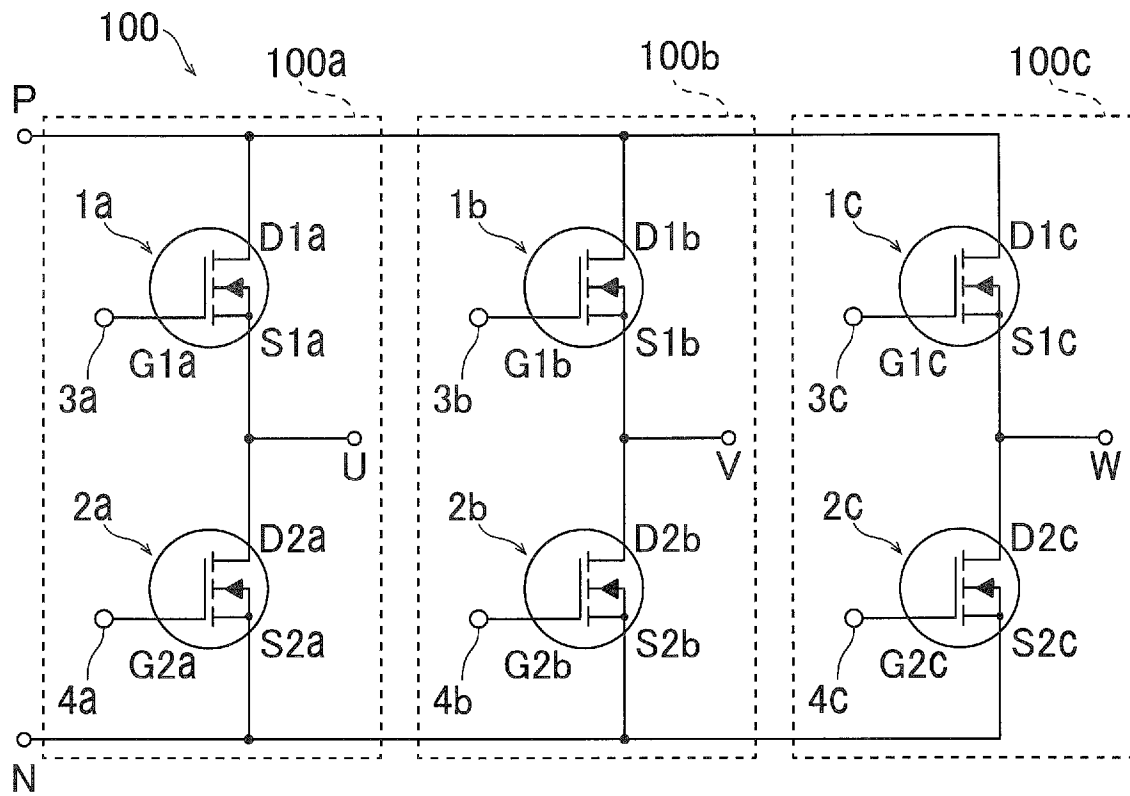
前記第2金属ペースト層を熱処理することにより、前記導電部材と前記半導体装置用部品の端部近傍とを接合するとともに、前記第1接合層よりも小さい空隙率を有する第2接合層（17、27、32）を形成する工程とを備える、半導体装置の製造方法。

[請求項17] 前記半導体装置用部品の前記導電部材側の面の端部に面取り部（15）を形成する工程をさらに備え、

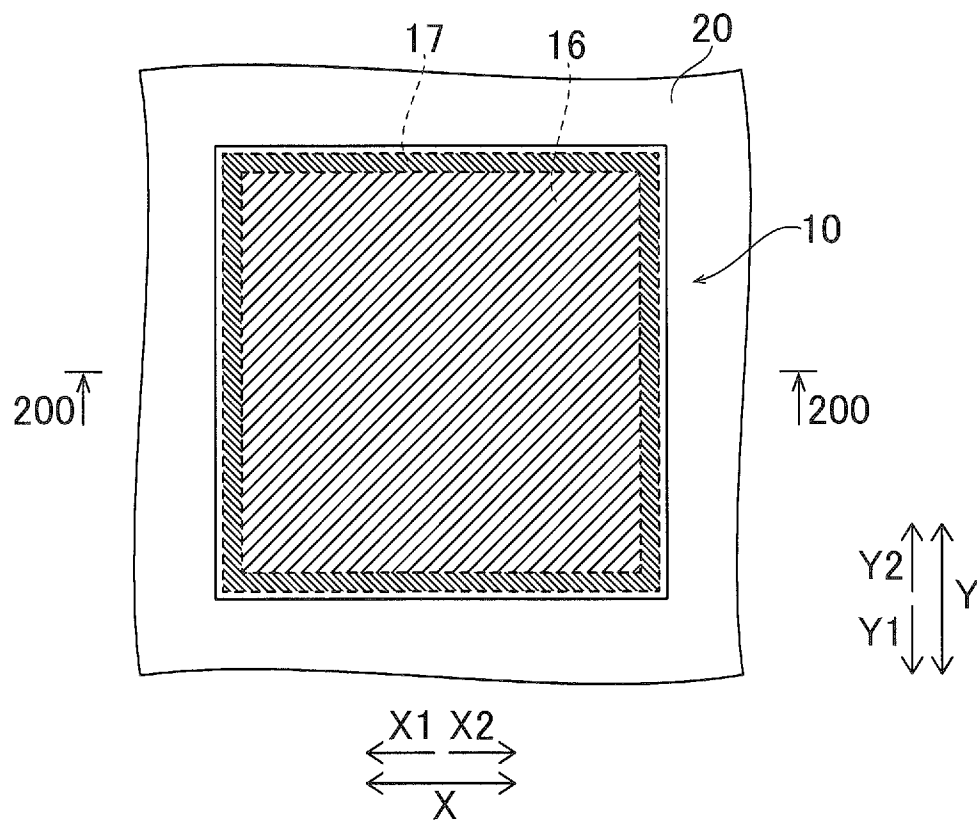
前記第2接合層を形成する工程は、前記半導体装置用部品の前記面取り部に前記第2接合層が接続するように形成する工程を含む、請求項16に記載の半導体装置の製造方法。

[請求項18] 前記第2接合層を形成する工程は、略矩形形状の前記半導体装置用部品の少なくとも4隅に前記第2接合層が接続するように形成する工程を含む、請求項16または17に記載の半導体装置の製造方法。

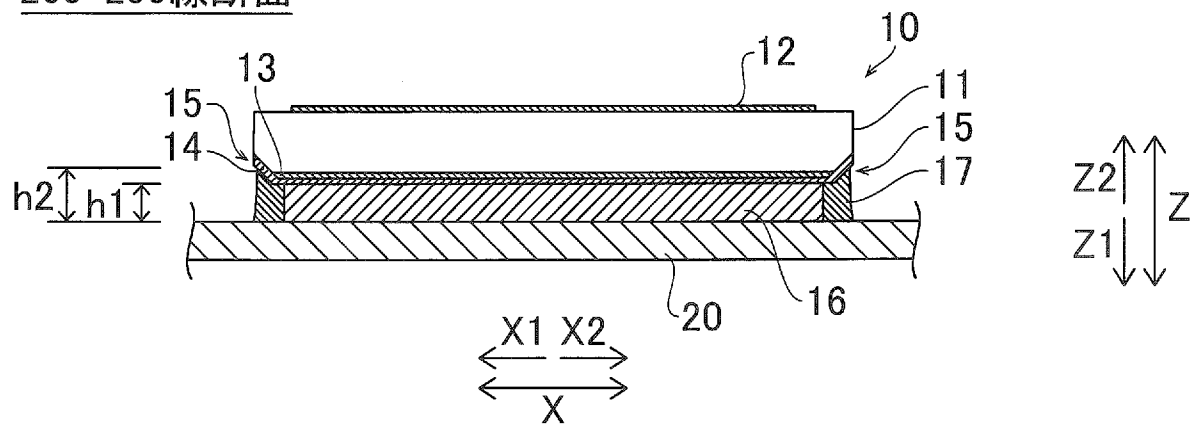
[図1]



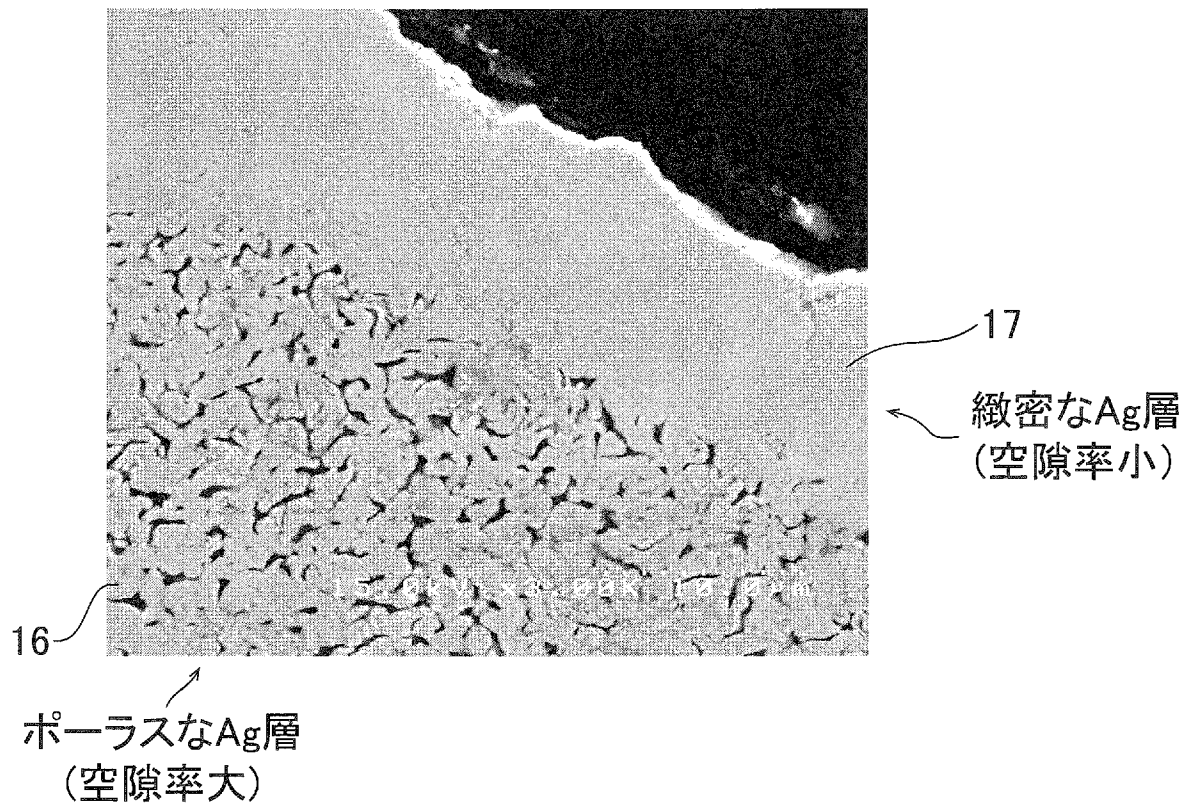
[図2]



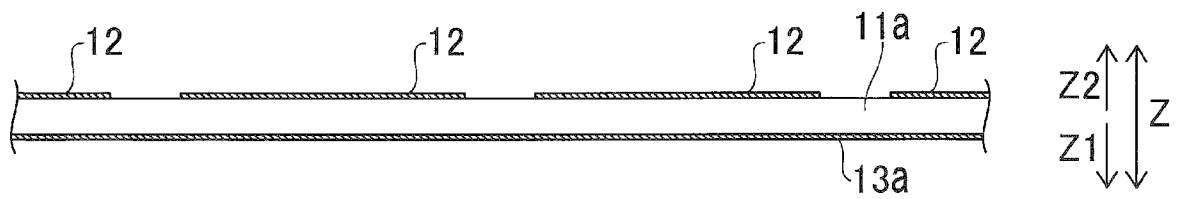
[図3]

200-200線断面

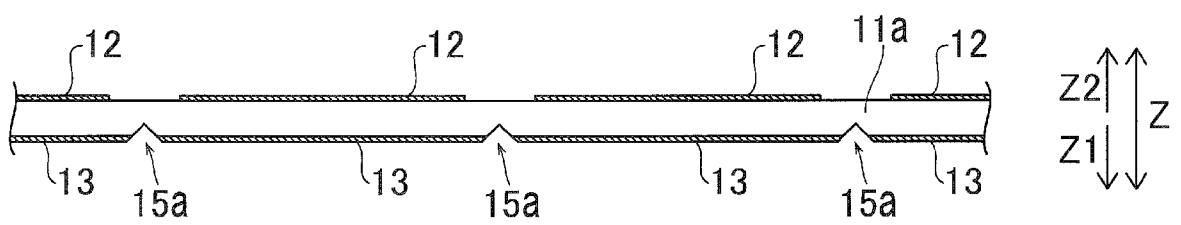
[図4]

SEM画像

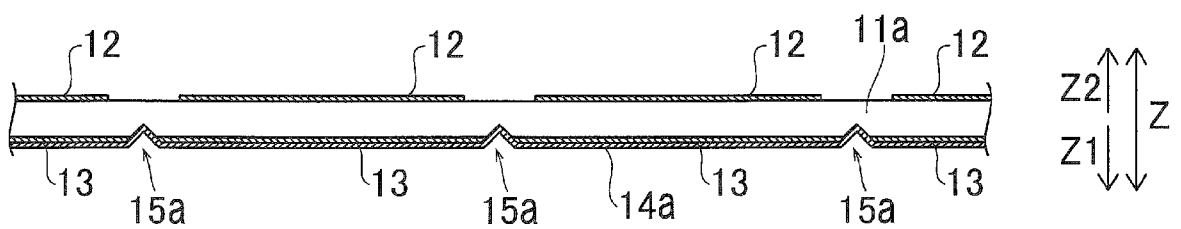
[図5]



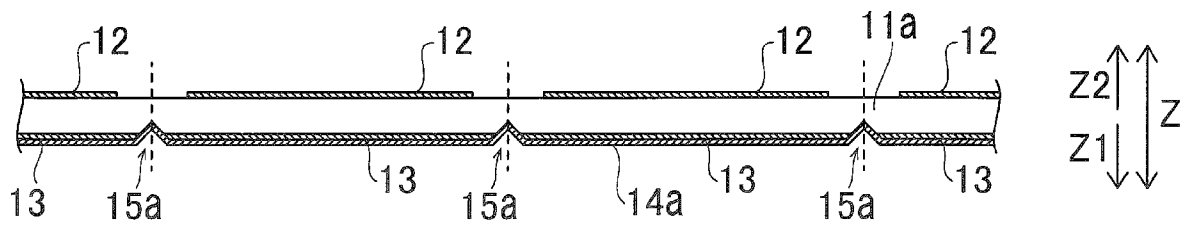
[図6]



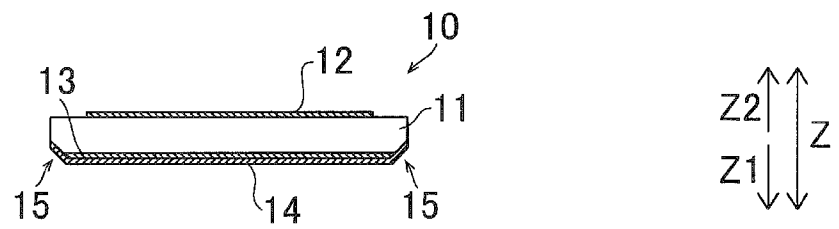
[図7]



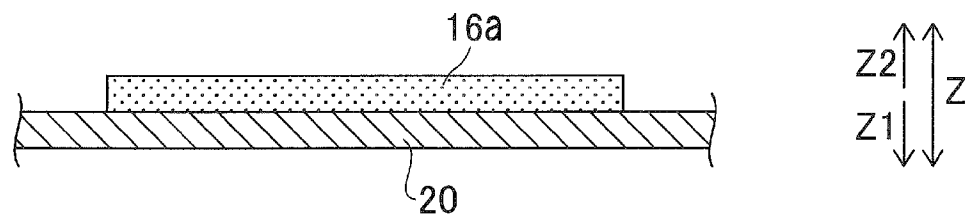
[図8]



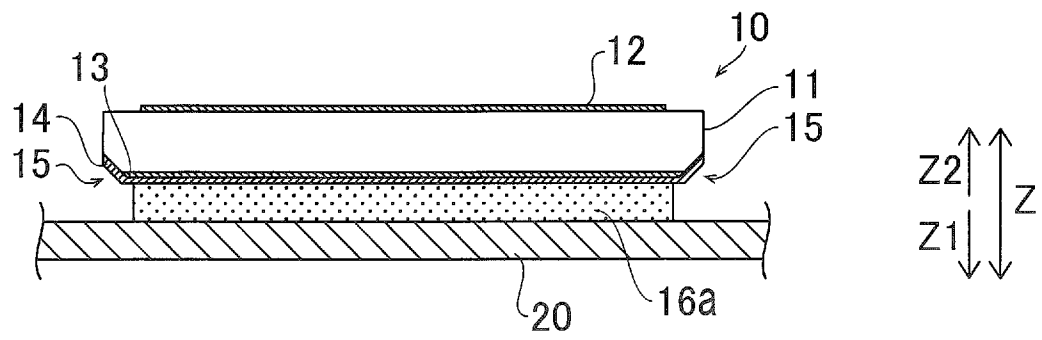
[図9]



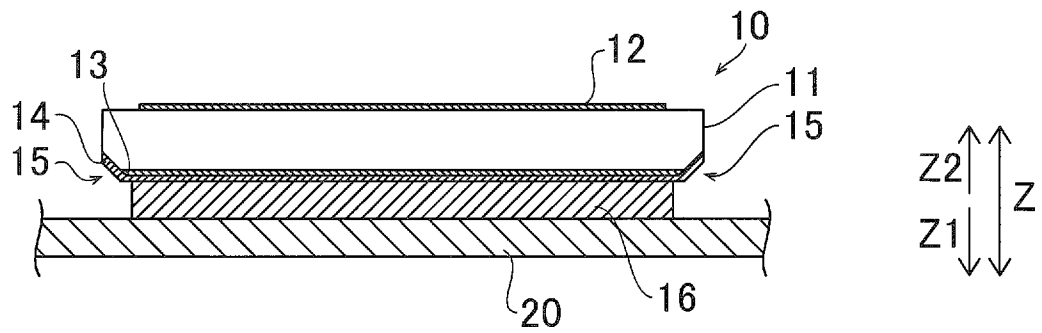
[図10]



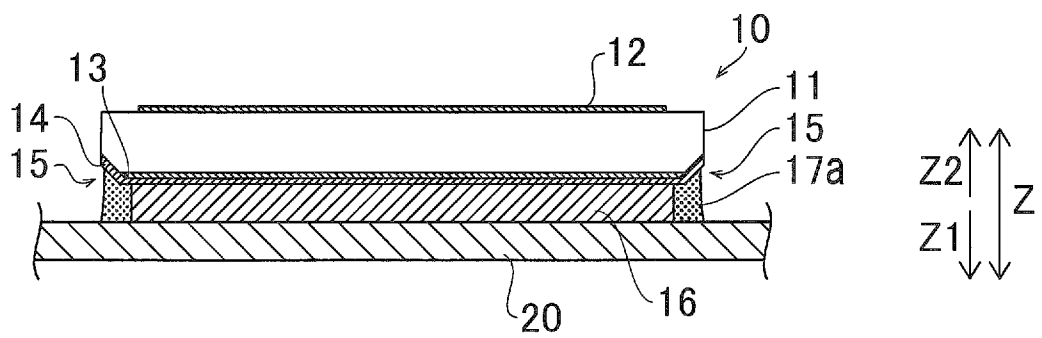
[図11]



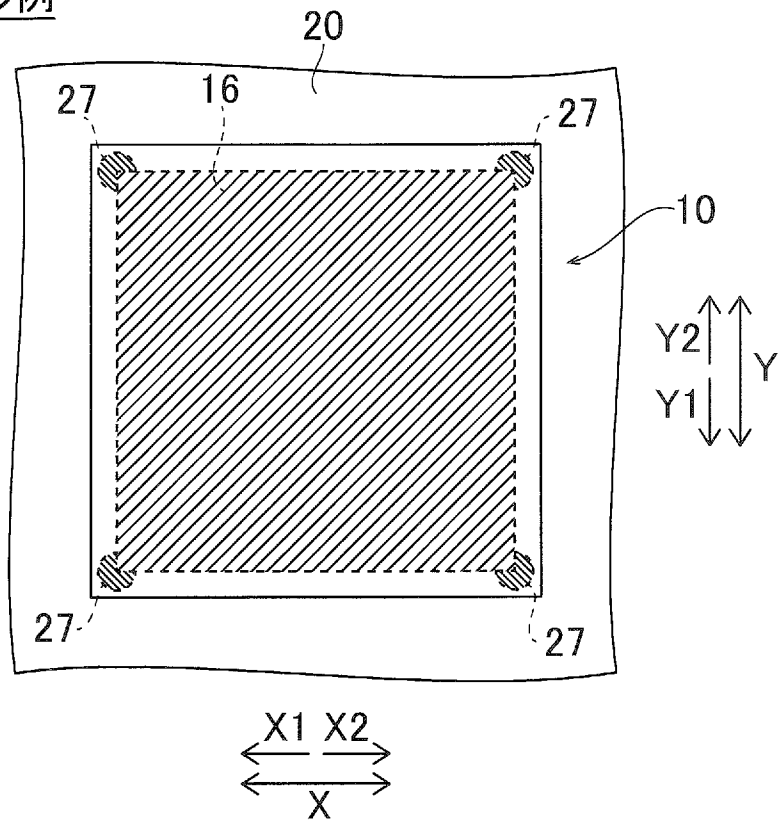
[図12]



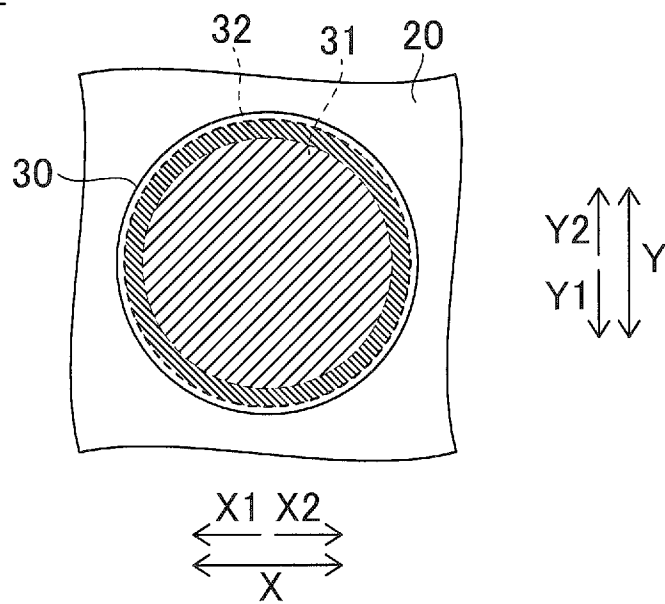
[図13]



[図14]

第1変形例

[図15]

第2変形例

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/059323

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/52 (2006.01) i, H01L21/60 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/52, H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-165871 A (Denso Corp.), 25 August 2011 (25.08.2011), paragraph [0045]; fig. 1	1-3, 8, 10-13, 15
<u>Y</u> <u>A</u>	& US 2011/0192630 A1	<u>4-7, 9</u> <u>14, 16-18</u>
Y <u>A</u>	JP 6-177178 A (Nissan Motor Co., Ltd.), 24 June 1994 (24.06.1994), paragraphs [0013] to [0017]; fig. 4 to 7 (Family: none)	4-7, 9 <u>1-3, 8, 10-18</u>
A	JP 2008-85097 A (Kyocera Corp.), 10 April 2008 (10.04.2008), paragraphs [0039] to [0057]; fig. 6 (Family: none)	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
09 May, 2013 (09.05.13)

Date of mailing of the international search report
21 May, 2013 (21.05.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/52(2006.01)i, H01L21/60(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/52, H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2011-165871 A（株式会社デンソー）2011.08.25, 段落【0045】、【図1】 & US 2011/0192630 A1	1-3, 8, 10-13, 15
<u>Y</u> <u>A</u>		<u>4-7, 9</u> <u>14, 16-18</u>
Y <u>A</u>	JP 6-177178 A（日産自動車株式会社）1994.06.24, 段落【0013】－【0017】、【図4】－【図7】 （ファミリーなし）	4-7, 9 <u>1-3, 8, 10-18</u>

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

0 9 . 0 5 . 2 0 1 3

国際調査報告の発送日

2 1 . 0 5 . 2 0 1 3

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田代 吉成

電話番号 03-3581-1101 内線 3471

4 R

4 8 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-85097 A (京セラ株式会社) 2008.04.10, 段落【0039】－【0057】 , 【図6】 (ファミリーなし)	1-18