

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2009-211052

(P2009-211052A)

(43) 公開日 平成21年9月17日 (2009.9.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 623A	2H093
G09G 3/22 (2006.01)	G09G 3/22 E	2H193
G09G 3/36 (2006.01)	G09G 3/20 680G	5C006
G02F 1/133 (2006.01)	G09G 3/20 642P	5C080
	G09G 3/20 621M	
審査請求 未請求 請求項の数 9 O L (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2009-735 (P2009-735)	(71) 出願人	000001007 キヤノン株式会社
(22) 出願日	平成21年1月6日 (2009.1.6)		東京都大田区下丸子3丁目30番2号
(31) 優先権主張番号	特願2008-26462 (P2008-26462)	(74) 代理人	100085006 弁理士 世良 和信
(32) 優先日	平成20年2月6日 (2008.2.6)	(74) 代理人	100100549 弁理士 川口 嘉之
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100106622 弁理士 和久田 純一
		(74) 代理人	100131532 弁理士 坂井 浩一郎
		(74) 代理人	100125357 弁理士 中村 剛
		(74) 代理人	100131392 弁理士 丹羽 武司
		最終頁に続く	

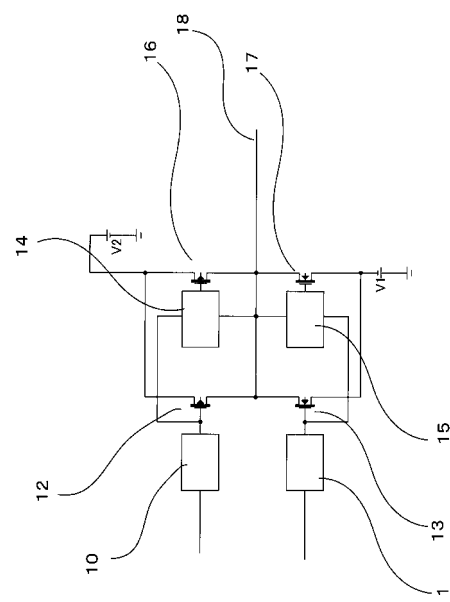
(54) 【発明の名称】 表示パネルの駆動回路および表示装置

(57) 【要約】

【課題】簡易な構成で、複数の駆動手段を適正なタイミングで制御することのできる、表示パネルの駆動回路および画像表示装置を提供する。

【解決手段】配線および前記配線に接続される表示素子を有する表示パネルを駆動するための駆動回路であって、前記配線の電位を第1の電位に向けて遷移させる第1の駆動手段と、前記配線の電位を前記第1の電位に保つ第2の駆動手段と、前記第2の駆動手段を制御する制御信号を、前記第1の駆動手段の出力に応じて出力する制御回路と、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

配線および前記配線に接続される表示素子を有する表示パネルを駆動するための駆動回路であって、

前記配線の電位を第 1 の電位に向けて遷移させる第 1 の駆動手段と、

前記配線の電位を前記第 1 の電位に保つ第 2 の駆動手段と、

前記第 2 の駆動手段を制御する制御信号を、前記第 1 の駆動手段の出力に応じて出力する制御回路と、を備えることを特徴とする表示パネルの駆動回路。

【請求項 2】

前記第 1 の駆動手段と第 2 の駆動手段がともにスイッチであることを特徴とする請求項 1 に記載の表示パネルの駆動回路。

10

【請求項 3】

前記第 2 の駆動手段が、前記配線の電圧降下を補正するためのアンプを有することを特徴とする請求項 1 に記載の表示パネルの駆動回路。

【請求項 4】

前記配線は、前記表示素子をマトリクス駆動するための走査信号が印加される走査配線であり、

前記表示パネルは、更に、前記表示素子をマトリクス駆動するための変調信号が印加される変調配線を有することを特徴とする請求項 1 乃至 3 のいずれかに記載の表示パネルの駆動回路。

20

【請求項 5】

前記配線の電位を前記第 1 の電位とは異なる第 2 の電位に向けて遷移させる第 3 の駆動手段と、

前記配線の電位を前記第 2 の電位に保つ第 4 の駆動手段と、

前記第 4 の駆動手段を制御する制御信号を、前記第 3 の駆動手段の出力に応じて出力する回路と、を更に有することを特徴とする請求項 1 乃至 4 のいずれかに記載の表示パネルの駆動回路。

【請求項 6】

前記第 2 の駆動手段を制御する制御信号を出力する前記制御回路が、電圧比較器とゲート回路で構成されることを特徴とする請求項 1 乃至 5 のいずれかに記載の表示パネルの駆動回路。

30

【請求項 7】

前記第 1 の駆動手段を制御する制御信号を出力する第 2 の制御回路と、前記第 2 の制御回路から出力される前記制御信号の電圧レベルを上昇させるレベルシフトと、を有しており、

前記第 2 の駆動手段を制御する制御信号を出力する前記制御回路は、前記第 2 の制御回路に供給される電源電圧よりも高い電源電圧を供給されることを特徴とする請求項 1 乃至 6 のいずれかに記載の表示パネルの駆動回路。

【請求項 8】

前記第 2 の制御回路に供給される前記電源電圧は 3.3 ボルト以下であり、

40

前記第 2 の駆動手段を制御する制御信号を出力する前記制御回路に供給される前記電源電圧は 5 ボルト以上であることを特徴とする請求項 7 に記載の表示パネルの駆動回路。

【請求項 9】

請求項 1 乃至 8 のいずれかに記載の駆動回路と、

前記駆動回路によって駆動される表示パネルと、を備えることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネルの駆動回路および表示装置に関する。

【背景技術】

50

【0002】

電子線表示装置、プラズマ表示装置、有機EL表示装置などの平面型表示装置が知られている。この種の表示装置は、多数の表示素子がマトリクス状に配列された表示パネル（マトリクスパネル）と、表示素子を駆動するための駆動回路と、を備えている。

【0003】

特開2004-4429号公報（特許文献1）には、マトリクスパネルの駆動回路が開示されている。この駆動回路は、配線に所定の電圧を印加するための駆動手段として、オン抵抗の異なる複数のMOSFETを用いる。複数のMOSFETを順次にオンすることにより、信号の波形暴れを抑制している。

【0004】

従来は、ロジック回路から出力される制御信号によって、各MOSFETのオン／オフを個別に制御していた。しかし、この構成では、オン期間が少しずつずれるように、各MOSFETのオン／オフのタイミングを適正に制御するのが困難であった。また、MOSFETごとにレベルシフタが必要であり、回路の複雑化と大型化を招いていた。

【特許文献1】特開2004-4429号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、簡易な構成で、複数の駆動手段を適正なタイミングで制御することのできる、表示パネルの駆動回路および表示装置を提供することである。

【課題を解決するための手段】

【0006】

本発明の第一態様は、

配線および前記配線に接続される表示素子を有する表示パネルを駆動するための駆動回路であって、

前記配線の電位を第1の電位に向けて遷移させる第1の駆動手段と、

前記配線の電位を前記第1の電位に保つ第2の駆動手段と、

前記第2の駆動手段を制御する制御信号を、前記第1の駆動手段の出力に応じて出力する制御回路と、を備えることを特徴とする表示パネルの駆動回路である。

【0007】

本発明の第二態様は、

前記駆動回路と、

前記駆動回路によって駆動される表示パネルと、を備えることを特徴とする表示装置である。

【発明の効果】

【0008】

本発明によれば、簡易な構成で、複数の駆動手段を適正なタイミングで制御することのできる、表示パネルの駆動回路および表示装置を提供できる。

【発明を実施するための最良の形態】

【0009】

以下、この発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態の全図においては、同一または対応する部分には同一の符号を付す。

【0010】

本発明は、多数の表示素子がマトリクス状に配列された表示パネル（マトリクスパネル）を有する画像表示装置に好ましく適用できる。この種の画像表示装置としては、電子線表示装置、プラズマ表示装置、有機EL表示装置などがある。電子線表示装置では、表示素子として、FE型電子放出素子、MIM型電子放出素子、表面伝導型放出素子などの冷陰極素子が好ましく用いられる。

【0011】

<第1実施形態>

(画像表示装置の構成)

図 4 A 及び図 4 B は、画像表示装置の構成を示す図であり、図 4 A は平面図、図 4 B は断面図である。画像表示装置は、マトリクスパネル（表示パネル）1、制御部 4、走査駆動部 5、変調駆動部 6 を備えている。走査駆動部 5 と変調駆動部 6 はそれぞれ IC（集積回路）で構成されている。マトリクスパネル 1 は、複数の電子放出素子 3 A（「電子源」ともいう）が配置されたリアプレート 1 A と、蛍光体 3 C が配置されたフェースプレート 3 B とを備える。ここでは電子放出素子 3 A として、表面伝導型放出素子が用いられている。リアプレート 1 A 上の電子放出素子は、走査配線 2 と変調配線 3 によってマトリクス駆動される。各走査配線 2 は、フレキシブルプリント配線板（FPC）等を介して走査駆動部 5 の出力端子に接続される。また各変調配線 3 は、FPC 等を介して変調駆動部 6 の出力端子に接続される。

10

【0012】

制御部 4 が走査駆動部 5 と変調駆動部 6 を制御し、走査配線 2 と変調配線 3 の間にたとえば数十ボルトの駆動電圧を印加することにより、電子放出素子 3 A から電子が放出される。フェースプレート 3 B には、数 kV から数十 kV の高圧が印加されている。電子放出素子 3 A から放出された電子は、フェースプレート 3 B に引き寄せられ、蛍光体 3 C に衝突する。これにより発光が得られる。このときの明るさは、所定期間中に蛍光体 3 C に衝突する電子の量により決まる。したがって、駆動電圧の値、もしくは、印加期間、またはその両方により、明るさを制御することが可能である。これにより階調表示が可能となる。

20

【0013】

この実施形態では、走査配線 2 に印加する走査信号および変調配線 3 に印加する変調信号の電圧を制御部 4 が制御することにより、さまざまな映像の表示を行う。また、上述したように、蛍光体 3 C の発光により得られる明るさは、電子放出素子の駆動電圧（走査信号と変調信号の電位差）によって決まる。したがって、正確な輝度特性を得るために、電子放出素子 3 A の駆動電圧の安定化、すなわち、駆動電圧の波形暴れ（オーバーシュート、アンダーシュート、リングングなど）の防止が重要となる。

【0014】

(駆動部)

走査駆動部 5 は、一または複数の走査配線 2 を選択するための駆動回路である。走査駆動部 5 は、選択する走査配線 2 には選択電位を印加し、それ以外の走査配線 2 には非選択電位を印加する。選択する走査配線 2 を順次切り替えることによって、垂直方向の走査が実現される。この走査駆動部 5 は、集積回路によって構成されている。一つの集積回路で全ての走査配線の走査を行う構成にすると、集積回路から各走査配線までの経路長の差が大きくなってしまう。この問題を解決するために、本実施形態では、複数（4 つ）の集積回路を用いて走査駆動部 5 を構成している。

30

【0015】

変調駆動部 6 は、入力画像信号に基づき変調された変調信号を、各変調配線 3 に印加する駆動回路である。変調信号は、単一または複数の定電圧電源の出力から生成される。変調駆動部 6 も複数の集積回路（ここでは 5 個の集積回路）によって構成される。

40

【0016】

(変調信号)

図 9 を参照して、変調信号について説明する。207 は、N ラインの走査配線に印加される走査信号の波形を示し、208 は、N + 1 ラインの走査配線に印加される走査信号の波形を示す。選択されるラインには、所定の期間（たとえば一水平走査期間）、マイナス数十 V ～ 数十 V の選択電位が印加される。209 は、ある変調配線に印加される変調信号の波形を示している。変調駆動部 6 は、走査配線に選択電位が印加されている期間（ローの期間）に、変調信号を出力する。この実施形態では、プラス数十 V のパルス幅変調波形の変調信号が用いられる。通常、表面伝導型放出素子を用いた画像表示装置においては、パルス幅が広いほど、輝度の積分値が大きくなり、明るくなる。したがって、図 9 の例で

50

は、Nラインの表示素子よりも、N + 1ラインの表示素子のほうが、輝度が大きくなる。

【0017】

(走査駆動部)

次に、走査駆動部5の構成および動作について具体的に説明する。図2は、走査駆動部5のブロック図である。図2に示すように、走査駆動部5は、シフトレジスタ部7とバッファスイッチ8とを有する。

【0018】

シフトレジスタ部7は、選択するラインを決定し、制御信号を生成・出力するロジック回路である。シフトレジスタ部7は、不図示のDフリップフロップにより構成されるシフトレジスタと、シフトレジスタの出力・シフトクロック・シフトデータの出力の論理演算を行う論理素子と、から構成される。

10

【0019】

バッファスイッチ8は、シフトレジスタ部7から出力されるシフトデータ(制御信号)を、走査配線の駆動に必要な電圧・電流レベルに変換し出力する機能をもつ回路である。

【0020】

上述したように、走査駆動部5には、電子放出素子3Aに正確な電圧を印加するために、駆動電圧の波形暴れ(オーバーシュート、アンダーシュートなど)を抑制することが要求される。この点について説明する。

【0021】

バッファスイッチの最も簡単な構成は、図7のPチャネル電界効果トランジスタ(以下「PchMOSFET」という)16とNチャネル電界効果トランジスタ(以下「NchMOSFET」という)17とで走査配線の電位を切り替える構成である。図7中、PchMOSFET16は、非選択電位V2用のスイッチであり、NchMOSFET17は、選択電位V1用のスイッチである。18A、18Bはレベルシフタである。しかしながら、図8に示すように、レベルシフトしたnラインシフトデータ101によってMOSFET16、17を制御すると、走査配線の駆動波形(A)104にオーバーシュートおよびアンダーシュートが発生する。

20

【0022】

そこで従来、図7のように、ドライブ能力の高いスイッチ(STRONG駆動PchMOSFET16、STRONG駆動NchMOSFET17)と、ドライブ能力の低いスイッチ(WEAK駆動PchMOSFET12、WEAK駆動NchMOSFET13)とを組み合わせる構成が採られている。走査配線の電位をV1またはV2に向けて遷移させる期間はドライブ能力の低いスイッチが用いられ、電位がV1またはV2に達するとドライブ能力の高いスイッチに切り替えられる。

30

【0023】

このときの制御信号について図9を用いて説明する。

【0024】

シフトレジスタ部で生成されたNライン非選択STRONG__SW信号202Aは、図7のレベルシフタ18Aによりレベルシフトされ、STRONG駆動PchMOSFET16をオフする。また、Nライン選択WEAK__SW信号201は、レベルシフタ11によりレベルシフトされ、WEAK駆動NchMOSFET13をオンする。これにより、Nライン駆動波形(B)207を非選択電位V2から選択電位V1まで下げる。次に、Nライン選択STRONG__SW信号202がレベルシフタ18Bでレベルシフトされ、STRONG駆動NchMOSFET17を駆動し、Nライン駆動波形(B)207を選択電位V1に保持する。次にNライン非選択WEAK__SW信号203がレベルシフタ10でレベルシフトされ、WEAK駆動PchMOSFET12をオンすることにより、Nライン駆動波形(B)207を非選択電位V2に戻す。このようなスルーレート制御によって、波形暴れを抑えながら、選択電位と非選択電位を切り替えることが可能となる。

40

【0025】

ところで、たとえば非選択電位 = 10V、選択電位 = -15Vとすると、非選択電位の

50

駆動手段であるSTRONG駆動PchMOSFET16およびWEAK駆動PchMOSFET12の制御には、たとえば5～10Vのゲート電圧が必要となる、一方、選択電位の駆動手段であるSTRONG駆動NchMOSFET17およびWEAK駆動NchMOSFET13の制御には、たとえば-10～-15Vのゲート電圧が必要となる。通常、シフトレジスタなどのロジック回路は低電圧のロジック電圧（たとえば3.3V）を用いている。したがって、シフトレジスタの出力を各MOSFETの制御信号（ゲート駆動信号）として利用するには、ゲートを駆動できる電圧へレベルシフトする必要がある。そこで従来は、図7に示すように、複数のMOSFET16, 17, 12, 13のそれぞれにレベルシフタ18A, 18B, 10, 11を用意していた。

【0026】

レベルシフタは、電圧-電流変換回路、電流-電圧変換回路を用いて実現することができる。しかしながら、既に述べたとおり、ゲート電圧は十数V～数十V或いはマイナス十数V～数十Vの電圧であるため、レベルシフタで用いる回路は高耐圧MOSである必要がある。高耐圧MOSの場合、CMOSに比較し、チップ面積が大きくなる。また、このレベルシフタは出力チャンネル数分必要となる。それゆえ、波形暴れを抑えるために図7のようにMOSFETの数を増やすと、それに伴いレベルシフタの数が増え、ICのチップ面積が大きくなってしまっていた。このような問題を解決すべく、本実施形態では、図1に示す構成のバッファスイッチ8を採用する。

【0027】

（バッファスイッチ）

図1は、バッファスイッチ8の回路構成を示している。このバッファスイッチ8は、選択電位V1用の駆動手段として、並列に接続された、WEAK駆動NchMOSFET13（第1の駆動手段）とSTRONG駆動NchMOSFET17（第2の駆動手段）とを備えている。WEAK駆動NchMOSFET13は、STRONG駆動NchMOSFET17よりもドライブ能力が低い（たとえばオン抵抗の大きい）スイッチであり、走査配線の電位を選択電位V1（第1の電位）に向けて遷移させるために用いられる。STRONG駆動NchMOSFET17は、走査配線の電位を選択電位V1に保つためのスイッチである。

【0028】

また、バッファスイッチ8は、非選択電位V2用の駆動手段として、並列に接続された、WEAK駆動PchMOSFET12（第3の駆動手段）とSTRONG駆動PchMOSFET16（第4の駆動手段）とを備えている。WEAK駆動PchMOSFET12は、STRONG駆動PchMOSFET16よりもドライブ能力が低いスイッチであり、走査配線の電位を非選択電位V2（第2の電位）に向けて遷移させるために用いられる。STRONG駆動PchMOSFET16は、走査配線の電位を非選択電位V2に保つためのスイッチである。

【0029】

WEAK駆動PchMOSFET12およびWEAK駆動NchMOSFET13のゲートには、それぞれ、レベルシフタ10、11が接続されている。レベルシフタ10、11は、シフトレジスタ部7（第2の制御回路）から出力される制御信号の電圧レベルを上昇させるための回路である。つまり、WEAK駆動PchMOSFET12およびWEAK駆動NchMOSFET13は、レベルシフト後の制御信号によって制御される。

【0030】

一方、STRONG駆動PchMOSFET16およびSTRONG駆動NchMOSFET17のゲートには、それぞれ、Pch用セルフスイッチ14、Nch用セルフスイッチ15（制御回路）が接続されている。Pch用セルフスイッチ14は、STRONG駆動PchMOSFET16を制御する制御信号を、WEAK駆動PchMOSFET12の出力18に応じて出力する回路である。また、Nch用セルフスイッチ15は、STRONG駆動NchMOSFET17を制御する制御信号を、WEAK駆動NchMOSFET13の出力18に応じて出力する回路である。つまり、STRONG駆動PchMOS

10

20

30

40

50

S F E T 1 6 および S T R O N G 駆動 N c h M O S F E T 1 7 は、シフトレジスタ部（ロジック回路）からの出力ではなく、バッファスイッチ内に設けられたセルフスイッチの出力で制御されるのである。

【0031】

（セルフスイッチの構成）

図3は、セルフスイッチの回路構成を示している。セルフスイッチは、オペアンプからなる電圧比較器43と、ANDゲート回路44とから構成される。P c h用セルフスイッチ14とN c h用セルフスイッチ15の基本構成は同一である。

【0032】

電圧比較器43の入力40は、W E A K 駆動 M O S F E T の出力18（図1参照）に接続され、入力41は、基準電位（R E F）に接続される。非選択電位V2側のP c h用セルフスイッチ14では、非選択電位V2より低い電位（たとえばV2－1ボルト）に基準電位R E Fが設定される。また、選択電位V1側のN c h用セルフスイッチ15では、選択電位V1より高い電位（たとえばV1＋1ボルト）に基準電位R E Fが設定される。

【0033】

V CとV Eは電圧比較器43の電源端子である。電圧比較器43は、選択電位V1または非選択電位V2と同程度の入出力電圧を扱うため、それに応じた電源電圧を必要とする。本実施形態では、V CをG N Dへ、V Eを選択電位V1－数V（たとえばV1－5ボルト）の電源へ接続した。このように、セルフスイッチには、シフトレジスタ部に供給される電源電圧（たとえば、数十ミリボルト以上3．3ボルト以下）よりも高い電源電圧（たとえば、5ボルト以上数十ボルト以下）が供給される。

【0034】

A N Dゲート回路44の入力は、電圧比較器43の出力と、W E A K 駆動 M O S F E T のゲート（レベルシフタの出力）と、に接続されている。またA N Dゲート回路44の出力は、S T R O N G 駆動 M O S F E T のゲートに接続されている。

【0035】

（P c h用セルフスイッチの動作）

P c h用セルフスイッチ14の動作について具体的に説明する。

【0036】

シフトレジスタ部から出力されレベルシフタ10でレベルシフトされた制御信号により、W E A K 駆動 P c h M O S F E T 1 2 がオンし、出力18の電位が非選択電位V2に向けて上昇する。P c h用セルフスイッチ14の電圧比較器43は、出力18の電位と基準電位R E F（たとえばV2－1ボルト）とを比較する。出力18の電位が基準電位R E Fを超えると、電圧比較器43がオン信号を出力する。A N Dゲート回路44は、電圧比較器43の出力と、レベルシフタ10の出力（W E A K 駆動 P c h M O S F E T 1 2 のゲート電圧）を反転した信号と、のA N Dをとる。すなわち、W E A K 駆動 P c h M O S F E T 1 2 がオン状態であり、且つ、出力18の電位が非選択電位V2（目標値）近くまで上昇したときに、A N Dゲート回路44からS T R O N G 駆動 P c h M O S F E T 1 6 に制御信号が出力される。これによりS T R O N G 駆動 P c h M O S F E T 1 6 がオンになる。なお、W E A K 駆動 N c h M O S F E T 1 3 がオンするまで、不図示のラッチ回路によってS T R O N G 駆動 P c h M O S F E T 1 6 のオン状態が維持される。

【0037】

（N c h用セルフスイッチの動作）

N c h用セルフスイッチ15の動作について具体的に説明する。

【0038】

シフトレジスタ部から出力されレベルシフタ11でレベルシフトされた制御信号により、W E A K 駆動 N c h M O S F E T 1 3 がオンし、出力18の電位が選択電位V1に向けて下降する。N c h用セルフスイッチ15の電圧比較器43は、出力18の電位と基準電位R E F（たとえばV1＋1ボルト）とを比較する。出力18の電位が基準電位R E Fより低くなると、電圧比較器43がオン信号を出力する。A N Dゲート回路44は、電圧比

較器 4 3 の出力と、レベルシフタ 1 1 の出力（WEAK 駆動 N c h M O S F E T 1 3 のゲート電圧）と、の AND をとる。すなわち、WEAK 駆動 N c h M O S F E T 1 3 がオン状態であり、且つ、出力 1 8 の電位が選択電位 V 1 （目標値）近くまで低下したときに、AND ゲート回路 4 4 から S T R O N G 駆動 N c h M O S F E T 1 7 に制御信号が出力される。これにより S T R O N G 駆動 N c h M O S F E T 1 7 がオンになる。なお、WEAK 駆動 P c h M O S F E T 1 2 がオンするまで、不図示のラッチ回路によって S T R O N G 駆動 N c h M O S F E T 1 7 のオン状態が維持される。

【0039】

従来のレベルシフタを用いた構成（図 7）では、各レベルシフタのタイミングにより各 M O S F E T の駆動を制御しているため、高速かつ高精度のレベルシフタが必要であった。これに対し、本実施形態の構成では、出力電位に応じて（つまり、出力電位が目標値に近づくと）、セルフスイッチが S T R O N G 駆動 M O S F E T の駆動を自動的に開始する。よって適切かつ正確なタイミングで各 M O S F E T を駆動することができる。そして、精度に対する要求が小さくなるので、回路を単純化できる。しかも、レベルシフタの数を大幅に削減できるので、駆動 I C のチップ面積を小さくできる。第 1 および第 2 の駆動手段をいずれも単純なスイッチ（M O S F E T）で構成したことも、回路規模の削減に効果がある。

【0040】

マトリクスパネルの静電容量や M O S F E T の性能のばらつきに依存して、電位の遷移時間がばらつく場合がある。そこで従来は、遷移時間のばらつきを考慮して、WEAK 駆動 M O S F E T から S T R O N G 駆動 M O S F E T への切り替えのための時間を多めにとる必要があった。これに対し、本実施形態では、セルフスイッチを用いることにより、遷移時間のばらつきを考慮する必要がなくなり、最短の時間での遷移が可能となる。

【0041】

<第 2 実施形態>

上記第 1 実施形態では、第 2 の駆動手段をスイッチで構成したが、第 2 実施形態では、第 2 の駆動手段をアンプとスイッチ（M O S F E T）で構成している点異なる。この第 2 実施形態は、フィードバックアンプによって、M O S F E T のオン抵抗に起因する電圧降下を補正するところに特徴がある。このような構成においても、セルフスイッチで第 2 の駆動手段を制御することにより、チップサイズを削減しながら大電流を安定に駆動することが可能となる。第 2 の駆動手段以外の構成は第 1 実施形態と同様であるため、以下、第 2 実施形態に特徴的な構成を中心に説明を行う。

【0042】

図 6 は、第 2 実施形態の走査駆動部のブロック図である。図 5 は、第 2 実施形態のバッファスイッチの回路構成を示している。

【0043】

マトリクスパネルの駆動においては、走査配線を選択するときに最も電流が流れる。すなわち、図 5 の S T R O N G 駆動 N c h M O S F E T 1 7 がオンするときに最も電流が流れる。一般に M O S F E T はオン抵抗を持っており、電流が大きい場合には電圧降下の影響が無視できなくなる。そこで本実施形態では、走査配線に対する出力電位に基づいて S T R O N G 駆動 N c h M O S F E T 1 7 のソース電位をフィードバック制御することによって、オン抵抗による電圧降下を補正している。

【0044】

図 5 および図 6 に示すように、バッファスイッチ 8 の出力 1 8 は、走査駆動回路の出力パッド（I C 駆動出力）9 に接続されている。フィードバックスイッチ 9 B は、シフトレジスタ部 7 からの信号に基づいて、アンプ 9 C の入力 9 A と接続する I C 駆動出力（出力パッド）9 を切り替える回路である。選択中のライン（走査配線）の電位が、アンプ 9 C にフィードバックされる。アンプ 9 C の他方の入力には、基準電位として選択電位 V 1 が接続されている。アンプ 9 C の出力は、バッファスイッチ 8 内の S T R O N G 駆動 N c h M O S F E T 1 7 のソースに接続される。なおアンプ 9 C は、オペアンプと、駆動能力を

上げるためのバッファ回路と、から構成される。

【0045】

選択ラインのバッファスイッチ8では、まずシフトレジスタからの制御信号によってWEAK駆動NchMOSFET13が駆動され、出力電位がV1に向けて下降する。出力電位が所定の値（たとえばV1+1ボルト）に達すると、Nch用セルフスイッチ15がSTRONG駆動NchMOSFET17をオンする。このとき、STRONG駆動NchMOSFET17のオン抵抗に起因する電圧降下があるため、出力電位は選択電位V1と一致しない。そこで、選択ラインの出力電位をフィードバックスイッチ9Bを介してアンプ9Cに入力する。アンプ9Cからは、出力電位と選択電位V1との差（つまり、電圧降下量）に応じた電圧が出力される。このアンプ出力がSTRONG駆動NchMOSFET17のソースにフィードバックされ、出力電位が調整される。このようなフィードバック制御によって、電圧降下が補償され、出力電位が選択電位V1に好適に保たれる。

10

【0046】

<第3実施形態>

上記、第1および第2の実施形態では、走査駆動部5は、画像表示装置のマトリクスパネルを駆動したが、本実施形態では、走査駆動部5は液晶表示装置のLEDバックライトを駆動する。これにより、バックライトの輝度むらを抑えながら、ローコスト線順次駆動が可能となる。図10A及び図10Bは、液晶表示装置のLEDバックライトの駆動を行う構成を示す図であり、図10Aは平面図、図10Bは断面図である。

【0047】

20

液晶表示装置のLEDバックライトは、LEDマトリクス51、制御部56、ライン駆動部57、カラム駆動部58を備えている。ライン駆動部57とカラム駆動部58はそれぞれIC（集積回路）で構成されている。

【0048】

LEDマトリクス51は、複数のLEDブロック54（LEDをシリーズ接続したもの）が配置され、液晶パネル55の裏面で液晶パネルに合わせて発光させることにより所望の画像を表示する。

【0049】

LEDマトリクス51上のLEDブロック54は、ライン選択配線52とカラム選択配線53によってマトリクス駆動される。各ライン選択配線52は、抵抗59を介してライン駆動部57の出力端子に接続される。また各カラム選択配線53は、カラム駆動部58の出力端子に接続される。

30

【0050】

制御部56がライン駆動部57とカラム駆動部58を制御し、ライン選択配線52とカラム選択配線53の間に抵抗59を介して、たとえば数十ボルトの駆動電圧を印加することにより、LEDブロック54を発光させる。液晶パネル55の映像に合わせて、LEDブロックを発光させることにより、画面の明るい箇所を明るく発光させ、また、画面の暗い箇所を暗く発光させることにより映像に合わせた輝度制御（ローカルディミング）が可能となる。

【0051】

40

この実施形態では、カラム選択配線53に切り替えるタイミング、選択時間と、ライン選択配線52に電圧を印加するタイミングを、制御部56が制御することにより、映像に同期して輝度制御を行う。

【0052】

上述したLEDブロック54の発光により得られる明るさは、LEDブロック54印加電圧（抵抗59により制御されたLEDブロック54印加電流）によって決まる。したがって、正確でばらつきの無い輝度特性を得るために、LEDブロック54の駆動電圧（駆動電流）の安定化、すなわち、駆動電圧の波形暴れ（オーバーシュート、アンダーシュート、リングングなど）の防止が重要となる。

【0053】

50

(駆動部)

ライン駆動部 57 は、一または複数のライン選択配線 52 を選択するための駆動回路である。ライン駆動部 57 は、選択するライン選択配線 52 にはマイナス数十 V の選択電位を印加し、それ以外のライン選択配線 52 には GND 電位を印加する。選択するライン選択配線 52 を順次切り替えることによって、垂直方向の LED ブロック 54 の選択が実現される。このライン駆動部 57 は、集積回路によって構成されている。

【0054】

カラム駆動部 58 は、入力画像信号に基づき、カラム選択配線 53 を選択し、また、選択時間を制御し、各 LED ブロック 54 の発光量を制御する駆動回路である。

【0055】

以上、述べた構成において、ライン駆動部 57、カラム駆動部 58 を、第 1 および第 2 の実施形態で述べた走査駆動部 5 および変調駆動部 6 の回路構成を用いて実現することにより、オーバーシュート、アンダーシュート、リングングを抑制できる。その結果、LED ブロック 54 に印加する電圧（電流）および時間を正確に制御できるため、正確な輝度制御が可能となり、高精細な映像表現が可能となる。

【図面の簡単な説明】

【0056】

【図 1】図 1 は、第 1 実施形態のバッファスイッチの回路構成を示す図である。

【図 2】図 2 は、第 1 実施形態の走査駆動部のブロック図である。

【図 3】図 3 は、セルフスイッチの回路構成を示す図である。

【図 4】図 4 A は、画像表示装置の平面図であり、図 4 B は、画像表示装置の断面図である。

【図 5】図 5 は、第 2 実施形態のバッファスイッチの回路構成を示す図である。

【図 6】図 6 は、第 2 実施形態の走査駆動部のブロック図である。

【図 7】図 7 は、従来のバッファスイッチの回路構成を示す図である。

【図 8】図 8 は、波形暴れの例を示す図である。

【図 9】図 9 は、図 7 の回路の動作を説明する図である。

【図 10】図 10 A は液晶バックライトを駆動する構成の平面図であり、図 10 B はその断面図である。

【符号の説明】

【0057】

1 マトリクスパネル

1 A リアプレート

2 走査配線

3 変調配線

3 A 電子放出素子

3 B フェースプレート

3 C 蛍光体

4 制御部

5 走査駆動部

6 変調駆動部

7 シフトレジスタ部（第 2 の制御回路）

8 バッファスイッチ

9 出力パッド

9 A アンプの入力

9 B フィードバックスイッチ

9 C アンプ

10 レベルシフタ

11 レベルシフタ

12 WEAK 駆動 Pch MOSFET（第 3 の駆動手段）

10

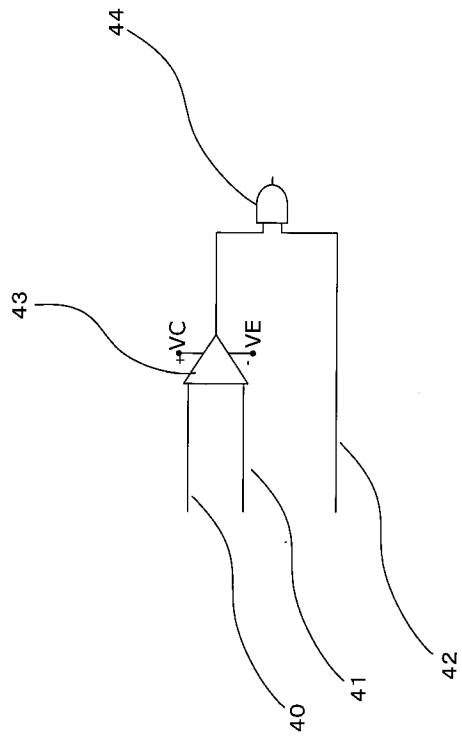
20

30

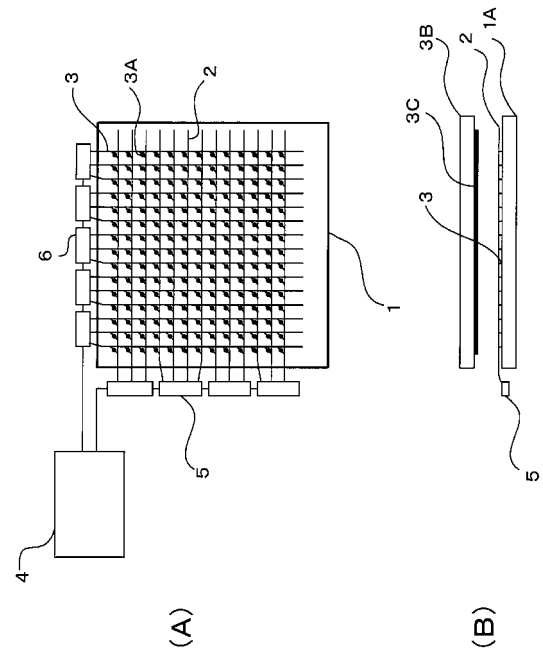
40

50

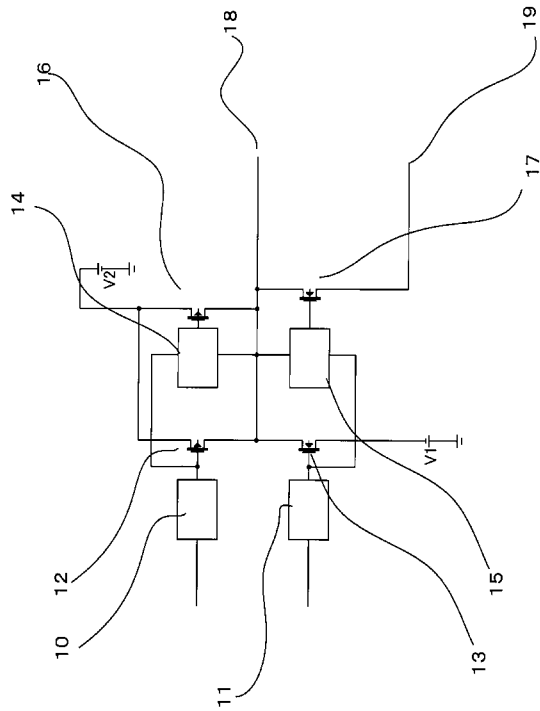
【図 3】



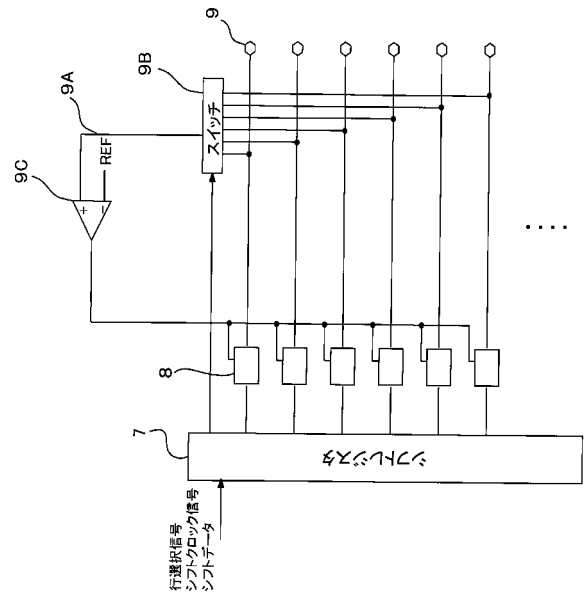
【図 4】



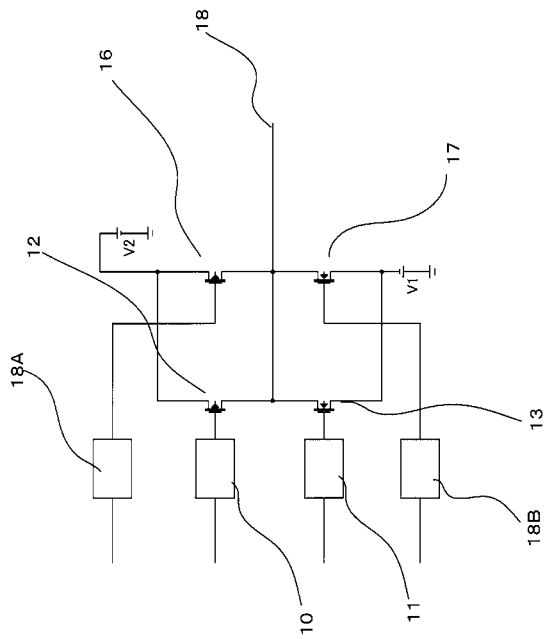
【図 5】



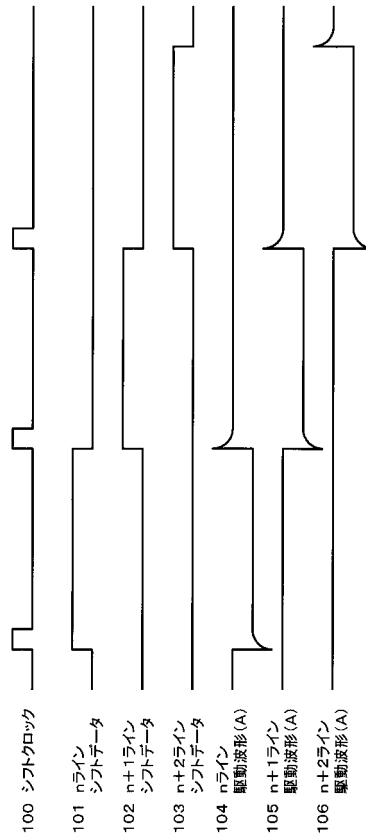
【図 6】



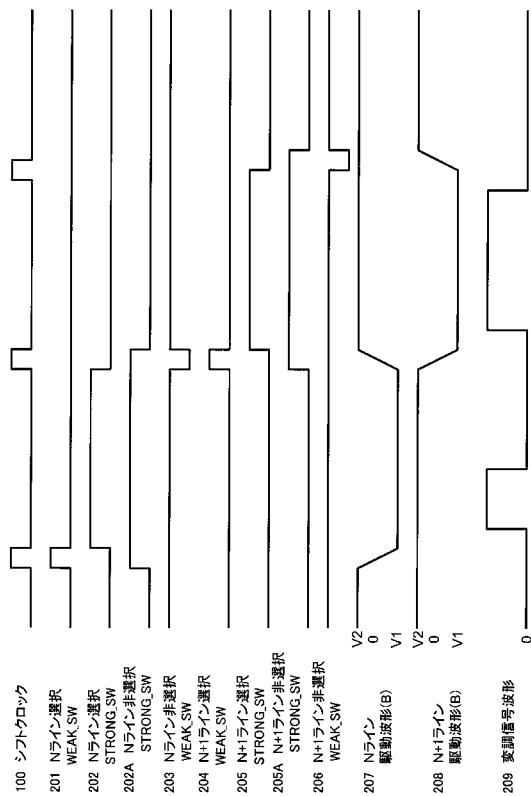
【図 7】



【図 8】

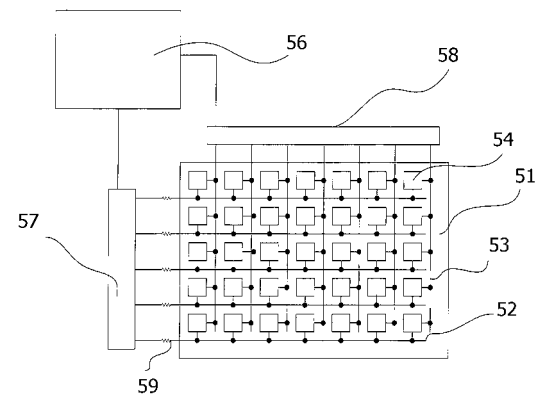


【図 9】

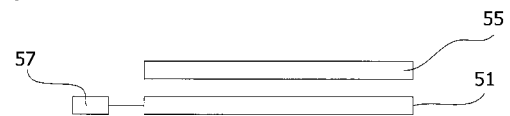


【図 10】

(A)



(B)



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
G 0 9 G 3/36
G 0 2 F 1/133 5 3 5

(72)発明者 篠 健治
神奈川県平塚市田村 9-2-5 S E D株式会社内

(72)発明者 野稲 泰一
神奈川県川崎市川崎区駅前本町 2-5-番地 1 東芝マイクロエレクトロニクス株式会社内

F ターム (参考) 2H093 NC02 NC42 NC59 ND07 NE06
2H193 ZF02
5C006 AF54 BF25 BF34 FA37
5C080 AA01 AA05 AA06 AA10 BB05 EE29 JJ02 JJ03 JJ04