

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7293537号  
(P7293537)

(45)発行日 令和5年6月20日(2023.6.20)

(24)登録日 令和5年6月12日(2023.6.12)

(51)国際特許分類 F I  
H 0 1 L 21/02 (2006.01) H 0 1 L 27/12 B  
H 0 1 L 27/12 (2006.01) H 0 1 L 21/02 B

請求項の数 21 (全17頁)

(21)出願番号	特願2020-543844(P2020-543844)	(73)特許権者	598054968
(86)(22)出願日	平成31年3月13日(2019.3.13)		ソイテック
(65)公表番号	特表2021-516864(P2021-516864 A)		Soitec
(43)公表日	令和3年7月8日(2021.7.8)		フランス国, 38190 ベルナン, パルク テクノロジーク デ フォンテーヌ, シュマン デ フランク
(86)国際出願番号	PCT/FR2019/050539		Parc Technologique des fontaines chimiques Des Franques 38190 Bernin, France
(87)国際公開番号	WO2019/186010		
(87)国際公開日	令和1年10月3日(2019.10.3)		
審査請求日	令和4年1月12日(2022.1.12)		
(31)優先権主張番号	1852795	(74)代理人	100107456
(32)優先日	平成30年3月30日(2018.3.30)		弁理士 池田 成人
(33)優先権主張国・地域又は機関	フランス(FR)	(74)代理人	100162352
			弁理士 酒巻 順一郎
		(74)代理人	100123995

最終頁に続く

(54)【発明の名称】 高周波用途のための基板及び関連付けられた製造方法

(57)【特許請求の範囲】

【請求項1】

半導体から作られたキャリア基板(1)を含む高周波マイクロエレクトロニクスデバイス用の基板(10)において、前記キャリア基板(1)に配置され、少なくとも第1の誘電体と前記第1の誘電体とは異なる第2の誘電体の粉末から形成された焼結複合層(2)を含み、前記焼結複合層(2)が、5ミクロンよりも大きな厚さと、前記キャリア基板(1)の熱膨張係数とプラスマイナス30%で一致する熱膨張係数と、を有することを特徴とする、基板(10)。

【請求項2】

前記焼結複合層(2)が、10ミクロン~100ミクロンの間に含まれる厚さを有する、請求項1に記載の基板(10)。

10

【請求項3】

前記キャリア基板(1)が、500オームcmよりも高い抵抗率を有する、請求項1又は2に記載の基板(10)。

【請求項4】

前記キャリア基板(1)がシリコンから作られている、請求項1~3のいずれか一項に記載の基板(10)。

【請求項5】

前記第1及び第2の誘電体が、酸化ケイ素、窒化ケイ素、窒化アルミニウム、アルミナ、及びムライトから選択されている、請求項1~4のいずれか一項に記載の基板(10)。

20

## 【請求項 6】

前記キャリア基板(1)と前記焼結複合層(2)との間に配置された保護層(3)を含む、請求項1~5のいずれか一項に記載の基板(10)。

## 【請求項 7】

前記焼結複合層(2)に配置された中間層(4)を含む、請求項1~6のいずれか一項に記載の基板(10)。

## 【請求項 8】

前記中間層(4)が、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、及び窒化アルミニウムから選択された材料から形成されている誘電体層である、請求項7に記載の基板(10)。

## 【請求項 9】

前記中間層(4)に配置された有用層(5)を含む、請求項7又は8に記載の基板(10)。

## 【請求項 10】

前記有用層(5)が、前記半導体、絶縁体、又は導体、又はさらには圧電体から選択された材料から構成されている、請求項9に記載の基板(10)。

## 【請求項 11】

請求項10に記載の基板(10)と、  
マイクロエレクトロニクスデバイスの層(20)であって、前記基板(10)に配置された層(20)と、  
を含む高周波マイクロエレクトロニクスデバイス構造(100)。

## 【請求項 12】

前記マイクロエレクトロニクスデバイス(20)が、アンテナアダプタ若しくはスイッチ、又は電力増幅器、又は低雑音増幅器、又は受動部品、又は高周波で動作する他の回路、又は高周波MEMS部品、又は高周波フィルタである、請求項11に記載の高周波マイクロエレクトロニクスデバイス構造(100)。

## 【請求項 13】

a) 第1の面(1a)を有する、半導体から作られたキャリア基板(1)を用意するステップと、

b) 少なくとも第1の誘電体と前記第1の誘電体とは異なる第2の誘電体の粉末の混合物から形成された層(2')を、前記キャリア基板(1)の前記第1の面(1a)に堆積させるステップと、

c) 前記粉末の混合物から形成された前記層(2')を焼結して、前記キャリア基板(1)の前記第1の面(1a)に強固に取り付けられた、5ミクロンよりも大きな厚さを有する焼結複合層(2)を得るステップであって、前記第1の誘電体、前記第2の誘電体、及び前記粉末の混合物中の前記誘電体の割合が、前記焼結複合層(2)に、前記キャリア基板(1)の熱膨張係数とプラスマイナス30%で一致する熱膨張係数を与えるように選択される、ステップと、  
を含むことを特徴とする、高周波マイクロエレクトロニクスデバイス用の基板(10)を製造するための方法。

## 【請求項 14】

前記キャリア基板(1)の前記第1の面(1a)が、ステップb)における前記粉末の混合物から形成された前記層(2')の前記堆積の前に、保護層(3)を含む、請求項13に記載の高周波マイクロエレクトロニクスデバイス用の基板(10)を製造するための方法。

## 【請求項 15】

前記保護層(3)が、窒化ケイ素、酸窒化ケイ素、及び酸化ケイ素から選択された少なくとも1つの材料によって形成される、請求項14に記載の高周波マイクロエレクトロニクスデバイス用の基板(10)を製造するための方法。

## 【請求項 16】

前記粉末の混合物が粘性ペーストの形態をとり、前記混合物によって形成された前記層

10

20

30

40

50

( 2 ' ) を、ステップ b ) において、スピンコーティングによって堆積させる、請求項 1 3 ~ 1 5 のいずれか一項に記載の高周波マイクロエレクトロニクスデバイス用の基板 ( 1 0 ) を製造するための方法。

【請求項 1 7】

前記粉末の混合物によって形成された前記層 ( 2 ' ) の前記堆積に続いて、前記粘性ペーストから少なくとも 1 つの液体成分を除去するために低温熱処理が行われる、請求項 1 6 に記載の高周波マイクロエレクトロニクスデバイス用の基板 ( 1 0 ) を製造するための方法。

【請求項 1 8】

前記焼結複合層 ( 2 ) を有用層 ( 5 ) と前記キャリア基板 ( 1 ) との間に配置するように、ステップ c ) の後に、前記有用層 ( 5 ) と前記キャリア基板 ( 1 ) とを接合するステップ d ) を含む、請求項 1 3 ~ 1 7 のいずれか一項に記載の高周波マイクロエレクトロニクスデバイス用の基板 ( 1 0 ) を製造するための方法。

10

【請求項 1 9】

前記有用層 ( 5 ) と前記焼結複合層 ( 2 ) との間に中間層 ( 4 ) が配置される、請求項 1 8 に記載の高周波マイクロエレクトロニクスデバイス用の基板 ( 1 0 ) を製造するための方法。

【請求項 2 0】

接合ステップ d ) のために用意される前記有用層 ( 5 ) が、前記半導体、絶縁体、又は導体、又はさらには圧電体から選択された材料から構成されているドナー基板 ( 5 ' ) である、請求項 1 8 又は 1 9 に記載の高周波マイクロエレクトロニクスデバイス用の基板 ( 1 0 ) を製造するための方法。

20

【請求項 2 1】

前記ドナー基板 ( 5 ' ) を前記高周波マイクロエレクトロニクスデバイスの製造のために前記有用層 ( 5 ) に望まれる厚さまで薄くするステップ e ) を含む、請求項 2 0 に記載の高周波マイクロエレクトロニクスデバイス用の基板 ( 1 0 ) を製造するための方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積化された高周波デバイスの分野に関する。詳細には、本発明は、前記デバイスに適した基板及び関連付けられた製造方法に関する。

30

【背景技術】

【0002】

高周波信号 ( 1 0 M H z ~ 1 0 0 G H z ) の送信又は受信を含むほとんどの用途では、デバイスの製造には、特に携帯電話規格 ( 2 G、3 G、L T E、L T E A d v a n c e d、L T E A d v a n c e d P R O、5 G など ) の進化によって生じる、ますます要求が厳しくなる仕様を満たす基板が必要である。基板の材料の特性は、特に以下を保証しなければならない。すなわち、

広い周波数範囲にわたって 1 0 0 0 オーム c m よりも高い有効抵抗率を介して典型的には達成される、低い挿入損失 ( 信号の減衰が少ない ) 及び良好な線形性 ( 高調波の原因となる信号の歪みが少ない ) と、

40

特にデバイスの動作範囲 [ - 4 0 ~ 1 5 0 ] におけるこれらの性能指数の温度安定性と、

シリコンの誘電率 (  $\epsilon_{\text{silicon}} = 11$  ) 以下の誘電率によって典型的には達成される、活性層とキャリア基板との間の低容量結合と、である。

【0003】

さらに、大量生産のニーズを満たすために、基板は、半導体産業、特にシリコン C M O S 製造ラインと互換性がなければならない。もちろん、基板には、これに加えて、大量市場用途、特に遠隔通信 ( セルラーネットワーク及び電話、W i - F i 接続、B l u e t o o t h ) の分野で採用されるために、コスト競争力がなければならない。

50

## 【 0 0 0 4 】

アンテナアダプタ及びスイッチ、電力増幅器、低雑音増幅器、又はさらには受動（R、L、C）部品などの高周波（RF）デバイスは、様々なタイプの基板に生成されることがある。

## 【 0 0 0 5 】

例えば、シリコンオンサファイア（SOS）基板が知られており、このタイプの基板は、マイクロエレクトロニクス技術でシリコン表面層に生成された構成要素が、 $20\text{ W/m}\cdot\text{K}$ よりも高いサファイア基板の熱伝導率及び1よりも低いサファイア基板の誘電率により、温度に依存しないサファイア基板の絶縁特性の恩恵を受けることを可能にする。例えば、このタイプの基板に製造されたアンテナスイッチ及び電力増幅器は、非常に良好な性能指数を有するが、この解決策の全体的なコストが非常に高いため、主にニッチ用途に使用されている。

10

## 【 0 0 0 6 】

キャリア層を含む高抵抗シリコン、キャリア基板に配置された（数百ナノメートル～数ミクロンの厚さの）トラッピング層、トラッピング層に配置された誘電体層、及び誘電体層に配置された半導体層に基づく基板も知られている。キャリア基板は、通常、 $1\text{ k}\Omega\cdot\text{cm}$ よりも高い抵抗率を有する。トラッピング層は、ドーピングされていないポリシリコンを含むことがある。従来技術による高抵抗シリコンから作られたキャリア基板とトラッピング層との組合せは、HR SOI基板（高抵抗シリコンから作られたキャリア基板を有するシリコンオンインシュレータ基板）の埋込み酸化物層の下に通常存在する寄生伝導層を除去することを可能にする。読者は、Woodhead Publishingから出版された、Oleg Kononchuk及びBich-Yen Nguyenによる「Silicon-on-insulator (SOI) Technology, manufacture and applications」のセクション10.7及び10.8に、知られている従来技術の高抵抗半導体基板に製造されたRFデバイスの性能に関するレビューを見出すであろう。

20

## 【 0 0 0 7 】

それにもかかわらず、ポリシリコントラッピング層は、高温の熱処理ステップにおいて部分的な再結晶化を受けるという欠点があり、これが層内のトラップ密度を低下させる一因となる。このトラップ密度の低下に関連するRFデバイスの性能の劣化は、ある特定の用途では許容できない場合がある。さらに、これらの基板では、使用温度範囲全体にわたって、特に $100^\circ\text{C}$ を超えて、RF性能の安定性を保証することは容易ではなく、これらの基板の抵抗率は、キャリア基板での熱キャリアの生成のために低下し、デバイス/基板の結合は、信号の減衰及び歪みの主な原因になる。

30

## 【 0 0 0 8 】

これらの基板の性能を改善するために、利用可能なトラップの数を増加させ、キャリア基板とデバイスとの間の距離を増加させるために、トラッピング層の厚さを（数ミクロンを超えて）増加させること、したがってキャリア基板で生成される熱キャリアの影響を制限することが考えられ得る。それにもかかわらず、この選択肢は、基板への応力及び基板の反りを増加させるという欠点を有し、これは、標準的なマイクロエレクトロニクス機器において処理するのが困難になるか、又は不可能にさえなる。

40

## 【 0 0 0 9 】

窒化アルミニウム又は炭化ケイ素から作られた基板などの他のキャリア基板は、RF特性の点で仕様を満たすが、標準の半導体産業技術とは直接互換性がない。転写される最終デバイス層のキャリア基板としてそれらの基板を使用することは、想定可能であるが、それにもかかわらず、回路転写技術のコストと組み合わせられたこれらの特定の材料のコストは、これらの解決策を大量に採用するには依然として高すぎる。

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 1 0 】

50

したがって、本発明の1つの主題は、従来技術の欠点のすべて又は一部を改善する、高周波用途に適した基板を提供することである。

【課題を解決するための手段】

【0011】

本発明は、半導体から作られたキャリア基板と、キャリア基板に配置され、少なくとも第1の誘電体と第1の誘電体とは異なる第2の誘電体の粉末から形成された焼結複合層と、を含む高周波マイクロエレクトロニクスデバイス用の基板に関し、前記焼結複合層が、5ミクロンよりも大きな厚さと、キャリア基板の熱膨張係数とプラスマイナス30%で一致する熱膨張係数と、を有する。

【0012】

本発明の有利な特徴によると、以下が単独で又は組み合わせて考慮される。

【0013】

焼結複合層は、10ミクロン～100ミクロンの間に含まれる厚さを有する。

【0014】

焼結複合層の熱膨張係数は、キャリア基板の熱膨張係数とプラスマイナス10%、又はさらにはプラスマイナス5%で一致する。

【0015】

キャリア基板の抵抗率は、500オームcmよりも高い。

【0016】

キャリア基板は、シリコンから作られている。

【0017】

第1及び第2の誘電体は、酸化ケイ素、窒化ケイ素、窒化アルミニウム、アルミナ、及びムライトから選択される。

【0018】

基板は、キャリア基板と焼結複合層との間に配置された保護層を含む。

【0019】

基板は、焼結複合層に配置された中間層を含む。

【0020】

中間層は、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、及び窒化アルミニウムから選択された材料から形成される誘電体層である。

【0021】

基板は、中間層に配置された有用層を含む。

【0022】

有用層は、半導体、絶縁体、又は導体、又はさらには圧電体から選択された材料で構成されている。

【0023】

本発明は、

上記のような基板と、

前記基板に配置されたマイクロエレクトロニクスデバイスの層と、を含む高周波マイクロエレクトロニクスデバイス構造にも関する。

【0024】

有利な実施形態によると、マイクロエレクトロニクスデバイスは、アンテナアダプタ若しくはスイッチ、又は電力増幅器、又は低雑音増幅器、又は受動部品、又は高周波で動作する他の回路、又は高周波MEMS部品、さらには高周波フィルタである。

【0025】

最後に、本発明は、以下のステップ、すなわち、

a) 第1の面を有する、半導体から作られたキャリア基板を用意するステップと、

b) キャリア基板の第1の面に、少なくとも第1の誘電体と第1の誘電体とは異なる第2の誘電体の粉末の混合物から形成された層を堆積させるステップと、

c) 粉末の混合物から形成された層を焼結して、キャリア基板の第1の面に強固に取

10

20

30

40

50

り付けられた、5ミクロンよりも大きな厚さを有する焼結複合層を得るステップであって、第1の誘電体、第2の誘電体、及び粉末の混合物中の前記誘電体の割合が、焼結複合層に、キャリア基板の熱膨張係数とプラスマイナス30%で一致する熱膨張係数を与えるように選択される、ステップと、

を含む、高周波マイクロエレクトロニクスデバイス用の基板を製造するための方法に関する。

【0026】

本発明の有利な特徴によると、以下が単独で又は組み合わせて考慮される。

【0027】

キャリア基板の第1の面は、ステップb)における粉末の混合物から形成された層の堆積の前に、保護層を含む。

10

【0028】

保護層は、窒化ケイ素、酸窒化ケイ素、及び酸化ケイ素から選択された少なくとも1つの材料によって形成される。

【0029】

粉末の混合物は、粘性ペーストの形態をとり、前記混合物によって形成された層を、ステップb)において、スピニングによって堆積させる。

【0030】

粉末の混合物によって形成された層の堆積に続いて、粘性ペーストから少なくとも1つの液体成分を除去するために、低温熱処理が行われる。

20

【0031】

本方法は、ステップc)の後に、焼結複合層を有用層とキャリア基板との間に配置するように、有用層とキャリア基板とを接合するステップd)を含む。

【0032】

中間層が有用層と焼結複合層との間に配置される。

【0033】

接合ステップd)のために用意される有用層は、半導体、絶縁体、又は導体、又はさらには圧電体から選択された材料から構成されたドナー基板である。

【0034】

本方法は、ドナー基板を高周波マイクロエレクトロニクスデバイスの製造のために有用層に望まれる厚さまで薄くするステップe)を含む。

30

【0035】

本発明の他の特徴及び利点は、本発明の以下の詳細な説明から明らかになり、その説明は、添付の図面を参照して与えられる。

【図面の簡単な説明】

【0036】

【図1a】本発明による基板を示す図である。

【図1】本発明による基板の焼結複合層を構成する可能性がある材料の特性を示す表1を示す図である。

【図1b】基板(厚さ750ミクロンのシリコンから作られた)の反りが150ミクロンに達する温度を、この基板に配置された複合層(厚さ5ミクロン)の熱膨張係数の関数として、前記複合層の様々なヤング率について示すグラフである。

40

【図2a】本発明による基板を示す図である。

【図2b】本発明による基板を示す図である。

【図3a】本発明による基板を示す図である。

【図3b】本発明による基板を示す図である。

【図4】本発明による高周波マイクロエレクトロニクスデバイス構造を示す図である。

【図5a】本発明による基板を製造するための方法を示す図である。

【図5b】本発明による基板を製造するための方法を示す図である。

【図5c】本発明による基板を製造するための方法を示す図である。

50

【図 5 d】本発明による基板を製造するための方法を示す図である。

【図 5 e】本発明による基板を製造するための方法を示す図である。

【発明を実施するための形態】

【0037】

説明では、図中の同じ参照符号が同じタイプの要素に使用される場合がある。図は、識別しやすくするために縮尺通りではない概略図である。特に、z 軸線に沿った層の厚さは、x 軸線及び y 軸線に沿った横方向の寸法に対して縮尺通りではなく、互いに対する層の相対的な厚さは、図では必ずしも考慮されていない。

【0038】

本発明は、半導体から作られたキャリア基板 1 を含む、高周波マイクロエレクトロニクスデバイスの製造に適した基板 10 に関する (図 1 a)。キャリア基板 1 は、単結晶シリコンから形成されるのが有利である。

10

【0039】

本発明による基板 10 は、キャリア基板 1 に配置された、少なくとも 2 つの異なる誘電体の粉末から形成された焼結複合層 2 も含む (図 1 a)。焼結層とは、粉末の混合物の圧密から生じる層を意味し、この圧密は、熱エネルギー及び任意選択で機械的エネルギーの入力によって得られるが、混合物の粉末材料の少なくとも 1 つを溶解させることはない。したがって、複合層の焼結された性質は、前記層の構造分析によって (例えば、走査型電子顕微鏡法によって) 検出することができる。誘電体粉末の粒子又はグレインは、互いに溶着しているように見え、複合層の密度は、圧密化のためのエネルギー入力中の混合物の圧縮の程度に依存する。

20

【0040】

焼結複合層 2 の各誘電体の粉末を形成する粒子は、典型的なガウス分布に従う寸法を有する。説明の残りの部分では、粒子の平均サイズは、所定の材料の粒子の等価平均直径に例えられる。粒子の平均サイズは、典型的には、約 1 ミクロン ~ 10 ミクロンの間で変動することがある。

【0041】

焼結複合層 2 を構成する少なくとも 2 つの誘電体 (第 1 及び第 2 の誘電体と呼ばれる) は、酸化ケイ素、窒化ケイ素、窒化アルミニウム、アルミナ、及びムライトから選択されるのが好ましく (表 1)、その理由は、特に、これらの材料の高い抵抗率及び高温処理との両立性のためである。

30

【0042】

焼結複合層 2 は、任意選択で、3 つ以上の異なる誘電体を含んでもよい。

【0043】

さらに、焼結複合層 2 は、5 ミクロンよりも大きな、又はさらには 10 ミクロンよりも大きな厚さを有する。焼結複合層 2 の厚さは、基板 10 に製造されることが意図された高周波マイクロエレクトロニクスデバイスのタイプに応じて選択される。

【0044】

一般に、RF デバイスによって生成される電磁場のキャリア基板 1 への侵入を防止又は少なくとも制限するために、焼結複合層 2 は、10 ミクロン ~ 100 ミクロンの間に含まれる厚さを有し、したがって、キャリア基板内 1 に現れる可能性があるこの電磁場と自由キャリア (例えば、熱キャリア) との相互作用も制限される。

40

【0045】

電磁場の侵入を制限するために、第 1 及び第 2 の誘電体は、場合により、好ましくは、焼結複合層 2 の等価誘電率を最大限低くするように選択される。(典型的には、シリコンの誘電率 11 よりも低い) 低誘電率は、より薄い厚さの複合層 2 の実施態様を可能にする。

【0046】

電磁場の侵入が焼結複合層 2 に閉じ込められる場合、キャリア基板 1 は、標準的な抵抗率 (典型的には、数 10 オーム cm) を有することができる。電磁場がキャリア基板 1 に比較的深く侵入する可能性がある場合、前記キャリア基板 1 の抵抗率は、500 オーム cm

50

mよりも高く、又はさらには1キロオームcmよりも高くなるように選択されるのが有利である。

【0047】

焼結複合層2は、キャリア基板1の熱膨張係数(CTE)と一致する熱膨張係数(CTE)も有する。複合層2の熱膨張係数は、前記層2を構成する誘電体の熱膨張係数の平均を、複合層2におけるそれらの体積分率によって重み付けすることによって定義される。「キャリア基板1の熱膨張係数と一致する」とは、前記熱膨張係数に可能な限り近いことを意味する。本発明によると、焼結複合層2のCTEは、キャリア基板1のCTEの値のプラスマイナス30%の範囲内である。焼結複合層2のCTEは、キャリア基板1のCTEの値のプラスマイナス10%の範囲内、さらにはプラスマイナス5%の範囲内、さらには

10

【0048】

例として、酸化ケイ素(SiO<sub>2</sub>)及びアルミナ(Al<sub>2</sub>O<sub>3</sub>)の粉末から、Al<sub>2</sub>O<sub>3</sub>の1体積に対してSiO<sub>2</sub>の2.7体積の割合で形成された焼結複合層2は、シリコンから作られたキャリア基板1の熱膨張係数(2.6<sup>E</sup>-6/°K)と一致する熱膨張係数(CTE 2.67<sup>E</sup>-6/°K)を有し、その差は、この場合、3%未満である。

【0049】

複合層2のCTEは、複合層2を備えた基板10が5ミクロンよりも大きな厚さを有するように、且つその反りが、基板10を構成する層、並びに基板10内及び基板10上の構成要素を生成するために使用されるマイクロエレクトロニクスプロセス中に約150ミクロンを超えないように選択されるのが有利である。前記マイクロエレクトロニクスプロセスは、場合により、特に、例えば900~1150の範囲の高温での熱処理を含むことが想起されるであろう。

20

【0050】

例として、図1bのグラフは、基板10(厚さ750ミクロン、直径300mmのシリコンから作られているキャリア基板1)の反りが150ミクロンに達する温度を、この基板に配置された複合層2(厚さ5ミクロン)の熱膨張係数の関数として、前記複合層2の様々なヤング率について示している。

【0051】

例えば、900の最大処理温度に対しては、複合層2が約70GPaの等価ヤング率(前記層2を構成する誘電体のヤング率を、それら誘電体の体積分率で重み付けした平均として定義される)を有する場合、実線の曲線よりも下に留まるためには(すなわち、基板10の反りを150ミクロン未満に維持するためには)、複合層2のCTEは、キャリア基板1のCTEの値と異なってもせいぜい+/-30%でなければならない。

30

【0052】

別の例によると、1100の最大処理温度に対しては、複合層2が約150GPaの等価ヤング率を有する場合、「E=150GPa」に対応する破線の曲線よりも下に留まるためには(すなわち、基板10の反りを150ミクロン未満に維持するためには)、複合層2のCTEは、キャリア基板1のCTEの値と異なってもせいぜい+/-11%でなければならない。

40

【0053】

一変形形態によると、基板10は、キャリア基板1と焼結複合層2との間に配置された保護層3を含むことができる。図2a及び図2bに示すように、基板10は、この場合、その第1の面1a、並びに可能性としては前記キャリア基板1の第2の面1b及び端面(図2b)に配置される保護層3を含む。基板10の製造方法の説明で分かるように、保護層3は、焼結複合層2に含まれる、又は前記層2の製造中に存在する不純物のキャリア基板1への拡散を回避又は少なくとも制限することを可能にする。

【0054】

基板10にマイクロエレクトロニクスデバイスを製造するためには、通常、有用層5が必要とされ、有用層5は、デバイスがその後、この層5内又は層5上に生成されるため、

50

「有用」と名前が付けられている。

【0055】

したがって、本発明による基板10は、焼結複合層2に配置された有用層5を含むことができる。有用層5は、場合により、半導体（シリコン、シリコン-ゲルマニウム、ゲルマニウム、炭化ケイ素などを含む）、絶縁体、又は導体、又はさらには圧電体（ニオブ酸リチウム、タンタル酸リチウムなどを含む）から選択された材料で構成される。

【0056】

1つの有利な実施形態によると、基板10は、焼結複合層2に配置された（図3a）、任意選択で前記複合層を完全に封入することができる（図3b）中間層4を含む。中間層4は、場合により、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、及び窒化アルミニウムなどから選択された材料から形成される誘電体層である。

10

【0057】

次いで、有用層5が中間層4に配置される。中間層4の機能は、特に、有用層5と複合層2とを互いに電氣的に絶縁すること、及び/又は拡散に対するバリアを形成して焼結複合層2中に存在する不純物による有用層5の汚染を防止することである場合がある。

【0058】

本発明による基板10は、誘電体の特性と、下にあるキャリア基板1の熱膨張係数と一致する熱膨張係数と、を有する焼結複合層2を含む。複合層2の厚さは、キャリア基板1への電磁波の侵入を防止する（又は大幅に制限する）ように、基板10に生成されることが意図されたRFマイクロエレクトロニクスデバイスに応じて選択されてもよい。複合層2の熱膨張係数は、キャリア基板1の熱膨張係数と一致しているため、基板10に誘起される応力及び反りの理由で、焼結複合層2の厚さを制限する必要はない。

20

【0059】

上述したように、熱膨張係数は、有用層5又はマイクロエレクトロニクスデバイス20を生成するために基板10に適用される熱処理中に（典型的には、900°~1150°）、前記基板の反りの大きさが、標準的なステップ及び標準的なマイクロエレクトロニクス機器に適合するしきい値未満に維持されるように選択することができ、特に、150ミクロン未満の反りが直径300mmの基板に対して目標とされる。

【0060】

したがって、焼結複合層2は、その誘電特性及びその適切な厚さのために、基板10に、以下を保証するのに必要とされる特性を提供する。

30

【0061】

低い挿入損失（信号の減衰が少ない）及び良好な線形性（高調波の原因である信号の歪みが少ない）と、

特にデバイスの動作範囲[-40 ~ 150]における、その性能指数の温度安定性と、

典型的には、シリコンの誘電率（ $\epsilon_{\text{silicon}} = 11$ ）以下の誘電率であるために達成される有用層とキャリア基板との間の低容量結合と、である。

【0062】

本発明は、図5a~図5eに示すように、高周波マイクロエレクトロニクスデバイスに適した基板10を製造するための方法にも関する。

40

【0063】

本方法は、最初に、a)半導体から作られたキャリア基板1を用意するステップを含む。キャリア基板1は、第1の面1aと呼ばれる前面と、第2の面1bと呼ばれる裏面と、を有する（図5a）。

【0064】

次いで、本方法は、キャリア基板1の第1の面1aに、少なくとも第1の誘電体と第1の誘電体とは異なる第2の誘電体の粉末の混合物から形成された層2'を堆積させるステップを含むステップb)を含む。

【0065】

50

任意選択で、キャリア基板 1 の第 1 の面 1 a は、粉末の混合物の層 2 ' の堆積前に生成された保護層 3 を含み、保護層 3 は、図 5 b に示すように、キャリア基板 1 を完全に封入することができ、すなわち、その裏面 1 b 及びその端面を覆うことができる。保護層 3 は、窒化ケイ素、酸窒化ケイ素、及び酸化ケイ素から選択された少なくとも 1 つの材料によって形成され、様々な、知られている化学堆積技法を使用して生成されてもよい。保護層 3 は、層 2 ' に含まれる不純物のキャリア基板 1 への拡散を回避又は少なくとも制限することを可能にする。

【 0 0 6 6 】

第 1 の変形実施形態によると、粉末の混合物は、粘性ペーストの形態をとる。

【 0 0 6 7 】

そのようなペーストは、通常、溶媒タイプ（特にアルコール、例えばエタノール）の液体化合物を粉末の乾燥混合物に添加することによって得られる。典型的には、使用される粉末は、平均サイズが約 1 ~ 10 ミクロンの間に含まれる粒子を含有する。5 ~ 10 ミクロンの厚さの複合層 2 を形成するためには、最小サイズの粒子が好ましい。

【 0 0 6 8 】

或いは、粉末の混合物は、高温でセラミックに変換することができるシリコン系のポリマーマトリックス（ポリマー由来のセラミック又は P D C）に組み込まれてもよい。P D C マトリックスを有する層 2 ' の場合、その後得られる焼結複合層 2 は、粉末の混合物の第 1 及び第 2 の誘電体を含むが、マトリックスのセラミックへの変換に由来するシリコンも含むことに留意されたい。複合層 2 中に 30 % 未満のシリコンを含有することを目標とするのが有利である。隙間（interstice）は、複合層 2 内に局在し、連続していないため、前記隙間内のシリコンの存在は、複合層 2 の誘電特性に影響を与えない。

【 0 0 6 9 】

ステップ b ) において前記混合物によって形成された層 2 ' を、優先的には、スピンコーティング若しくはディップコーティング、又はマスクを介したスクリーン印刷によって堆積させる。

【 0 0 7 0 】

ペーストの粘度は、粉末 / 液体化合物（溶剤及び / 又はポリマー）の比率によって調整される。ペーストの粘度は、5 ミクロンよりも大きな、又はさらには 10 ミクロンよりも大きな、そして最大約 100 ミクロンの厚さで、層 2 ' の均一な堆積を可能にするために選択される。

【 0 0 7 1 】

層 2 ' の堆積に続いて、低温（例えば 150 ~ 400）での熱処理が行われ、これにより、層 2 ' から溶媒（複数可）を除去することができ、その後のプロセスでの、特に（後述する）接合ステップ後の脱ガスを回避することができる。

【 0 0 7 2 】

第 2 の変形実施形態によると、粉末の混合物は、乾燥粉末の形態をとり、キャリア基板 1 の第 1 の面 1 a 上の層 2 ' に堆積される。この層 2 ' は、圧縮成形又は熱間等静圧圧縮成形によって成形することができる。いずれの場合も、混合物の粉末の粒子を互いに及び第 1 の面 1 a に強固に取り付けるために、圧縮応力が層 2 ' に加えられる。粉末状の混合物を基板に保持するために、及び前記基板 1 の表面全体に均一な圧縮応力を加えるために、特定のツールが必要である。

【 0 0 7 3 】

本発明による製造方法は、粉末の混合物から形成された層 2 ' を焼結して、キャリア基板 1 の第 1 の面 1 a に強固に取り付けられた焼結複合層 2 を得るステップを含むステップ c ) を含む（図 5 c）。

【 0 0 7 4 】

焼結は、通常、典型的には 1000 を超える高温で、数時間 ~ 約 24 時間の範囲であってもよい期間行われる。それにもかかわらず、焼結温度は、層 2 ' に含まれる粉末のうちの少なくとも 1 つの融点よりも低いままである。熱の影響下で、粉末の粒子が互いに溶着

10

20

30

40

50

され、以て、結果として生じる複合層 2 の凝集が達成される。複合層 2 は、キャリア基板 1 の第 1 の面 1 a にも強固に取り付けられる。

【 0 0 7 5 】

任意選択で、焼結は、機械的応力下でさらに行われてもよく、これにより、複合層 2 をさらに密にすることが可能になる。

【 0 0 7 6 】

したがって、焼結複合層 2 は、第 1 及び第 2 の誘電体の粒子から構成されている。粒子間には、圧縮の程度に応じて、空隙（又は P D C マトリックスから生じるセラミックを含む隙間）が多かれ少なかれ存在する場合がある。粒子サイズの分布に応じて、これらの隙間の体積分率は約 5 0 % に達する可能性があり、複合層 2 に良好な機械的強度を提供するために、優先的には、2 5 % 未満、又はさらには 1 5 % 未満に維持される。隙間は、（可動電荷に対する）トラップ密度を増加させ、これは、場合により、基板（トラッピング層）の高い抵抗率を維持することに有利であることに留意されたい。

10

【 0 0 7 7 】

ステップ b ) において堆積させる層 2 ' の厚さは、焼結複合層 2 に望まれる厚さを得るように選択される。具体的には、（溶媒及び / 又はポリマーを含むペーストの形態で、又は乾燥した形態で）堆積させた層 2 ' のタイプに応じて、焼結ステップ中の厚さの減少は、より大きくなるか、又はより小さくなる。状況に応じて、約 1 0 ~ 3 0 % の層 2 ' の体積の減少が起こる可能性がある。

【 0 0 7 8 】

焼結ステップの終わりに、本発明による焼結複合層 2 は、5 ミクロンよりも大きな厚さを有していなければならない。

20

【 0 0 7 9 】

加えて、本発明によると、第 1 の誘電体の性質、第 2 の誘電体の性質、及び粉末の混合物中の前記誘電体の割合は、焼結複合層 2 に、キャリア基板 2 の熱膨張係数とプラスマイナス 3 0 % よりも良好な範囲内で一致する熱膨張係数を与えるように選択される。

【 0 0 8 0 】

図 5 c に示すように、キャリア基板 1 の第 1 の面 1 a は、ステップ b ) における粉末の混合物から形成された層の堆積の前に、保護層 3 を含むのが有利である。保護層 3 は、窒化ケイ素、酸窒化ケイ素、及び酸化ケイ素から選択された少なくとも 1 つの材料によって形成されている。

30

【 0 0 8 1 】

さらに、製造方法は、ステップ c ) の後に、有用層 5 とキャリア基板 1 との間に焼結複合層 2 を配置するように、有用層 5 とキャリア基板 1 とを接合するステップ d ) を含む。有用層 5 は、場合により、半導体、絶縁体、又は導体、又はさらには圧電体から選択された材料で構成されている。有用層 5 は、場合により、例えば、シリコン、シリコン - ゲルマニウム、ゲルマニウム、I I I - V 材料、ニオブ酸リチウム、タンタル酸リチウム、窒化アルミニウム、P Z T などから作られている。

【 0 0 8 2 】

優先的には、中間層 4 を、接合ステップ d ) の前に、複合層 2 に堆積させる。例として、中間層 4 の厚さは、場合により、数ナノメートル ~ 数ミクロンの間で変動する。中間層 4 は、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、及び窒化アルミニウムから選択された材料から形成されるのが有利である。中間層 4 は、場合により、様々な、知られている化学堆積技法によって堆積させる。

40

【 0 0 8 3 】

一方では、この中間層 4 は、焼結複合層 2 を封入して、本発明による基板 1 0 の様々な層間の相互汚染のリスクを回避又は少なくとも制限し、他方では、中間層 4 は、前記中間層 4 の表面を、焼結複合層 2 の組成に特有の方法ではなく、従来の方法で調製することが可能なため、有用層 5 との接合を達成する観点から有利である可能性がある。

【 0 0 8 4 】

50

接合ステップは、接触させる２つの表面、すなわち、有用層５の第１の面５aと複合層２の自由面との分子接着による直接接合のステップであるのが有利である。従来技術でよく知られている分子接着の原理は、ここではさらに詳細には説明しない。

【００８５】

或いは、接合は、接着材料の層の追加によって、又は意図された用途に適した他の任意の接合技法によって達成されてもよい。

【００８６】

ほとんどの接合プロセスでは、組み立てられる基板は、良好な表面仕上げ（清浄度、低い粗さなど）を有している必要がある。

【００８７】

一変形形態によると、接合ステップd)のために用意される有用層５は、半導体、絶縁体、又は導体、又はさらには圧電体から選択された材料から構成されるドナー基板５'である（図５d）。

【００８８】

次いで、製造方法は、ドナー基板５'をその裏面５b'から高周波マイクロエレクトロニクスデバイスの製造のために有用層５に望まれる厚さまで薄くするステップe)を含む。

【００８９】

例として、薄化ステップであるステップe)は、当業者に知られている薄膜転写プロセス、その中でもとりわけ、以下に基づくことができる。

【００９０】

スマートカット（Smart Cut）（商標）プロセスは、（接合ステップの前の）ドナー基板への軽水素及び／又はヘリウムイオンの注入に基づいており、次いで、（接合ステップの後の）剥離ステップにより、イオンの注入深さによって規定される脆弱化面と同じレベルで、薄い表面層（有用層）をドナー基板から分離することができる。場合により、高温熱処理を含む仕上げステップは、最終的に、有用層５に必要な表面及び結晶品質を与える。本方法は、数ナノメートル～約 $1.5\ \mu\text{m}$ の厚さの非常に薄い有用層、例えばシリコン層の製造に特に適している。

【００９１】

特に、例えば数 $10$ ナノメートル～ $20\ \mu\text{m}$ の厚さの、より厚い有用層を得ることを可能にするスマートカットプロセスとそれに続くエピタキシのステップ。

【００９２】

機械的、化学的及び／又は化学機械的薄化プロセス。これらは、例えば研削及び研磨（化学機械研磨又はCMP）によって、ドナー基板をその裏面から有用層に望まれる厚さまで薄くすることにある。これらのプロセスは、例えば数ミクロン～数 $10$ ミクロン、又は実際には数 $100$ ミクロンもの厚さのいわゆる厚い層の転写に特に適している。

【００９３】

上述したように、薄化のステップe)は、場合により、有用層５の面５bを仕上げるための熱処理を含む。基板 $10$ は、特に、焼結複合層２がキャリア基板 $1$ の熱膨張係数と一致する熱膨張係数を有しているため、高温（ $900\sim 1100$ 、又はさらには $1200$ ）での熱処理であっても、熱処理に十分に耐え、したがって、基板 $10$ の関連付けられた応力及び反り（湾曲）を制限する。

【００９４】

本発明は、

上述したような基板 $10$ と、

マイクロエレクトロニクスデバイスの層 $20$ であって、前記基板 $10$ （図４）、特に有用層５の面５bに生成された、層 $20$ と、を含む高周波マイクロエレクトロニクスデバイス構造 $100$ にも関する。

【００９５】

マイクロエレクトロニクスデバイスは、場合により、アンテナアダプタ若しくはスイッチ、又は電力増幅器、又は低雑音増幅器、又は受動部品、又は高周波で動作する他の回路

10

20

30

40

50

、又は高周波MEMS部品、又は高周波フィルタである。

【0096】

もちろん、本発明は、記載された実施形態に限定されず、請求項によって定義されるような本発明の範囲から逸脱しない、それらの実施例及び変形実施形態が想定され得る。

10

20

30

40

50

【図面】  
【図 1】

材料	熱膨張係数 ( $\times 10^{-6}$ )/K	抵抗率 ( $\Omega\text{-}\mu\text{m}$ )	誘電率	ヤング率 (GPa)
SiO <sub>2</sub>	0.56	1.00E+17	3.9	66
Si <sub>3</sub> N <sub>4</sub>	1.4~3.7 / 3.2	1e10~1e15	9.5-10.5	160-310
Al <sub>2</sub> O <sub>3</sub>	8.1~8.4 / 6~7	>1E14	9.8	300-375
ムライト(3Al <sub>2</sub> O <sub>3</sub> ·2SiO <sub>2</sub> )	5.4	>1E13	5.8	151
AlN	4.3~5.6	1.00E+14	9	330

TAB.1

【図 1 a】

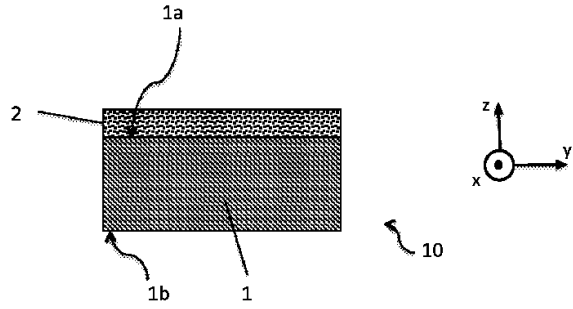


FIG.1a

10

20

【図 1 b】

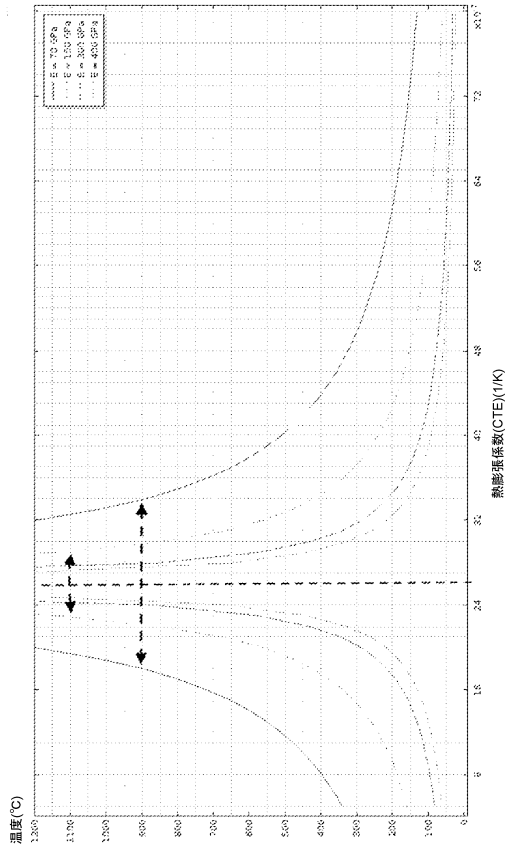


FIG.1b

【図 2 a】

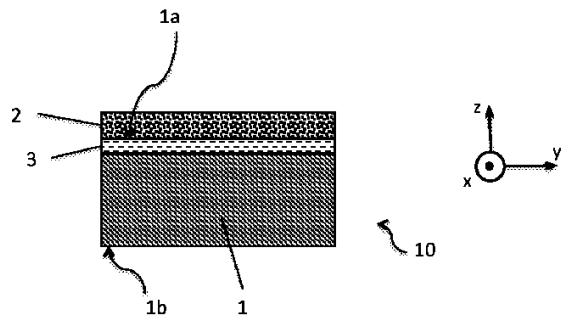


FIG.2a

30

40

50

【図 2 b】

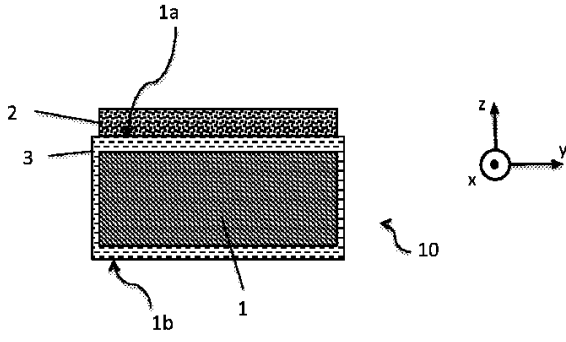


FIG.2b

【図 3 a】

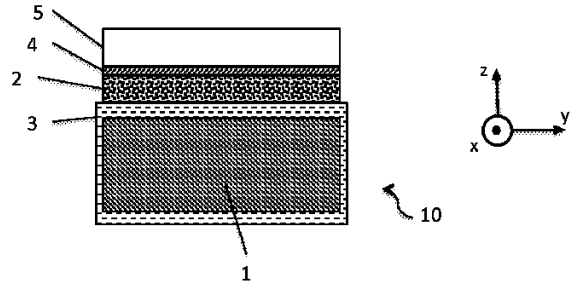


FIG.3a

10

【図 3 b】

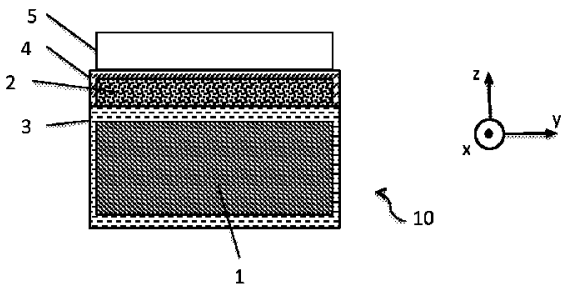


FIG.3b

【図 4】

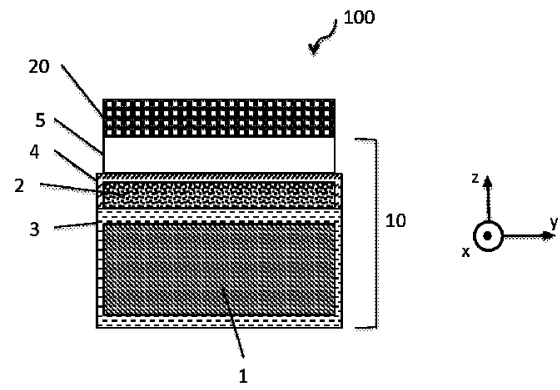


FIG.4

20

【図 5 a】

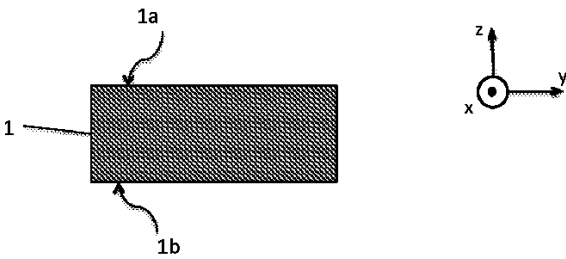


FIG.5a

【図 5 b】

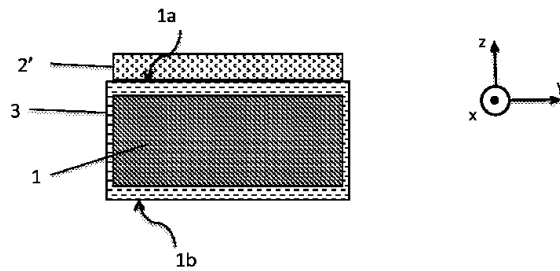


FIG.5b

30

40

50

【 5 c 】

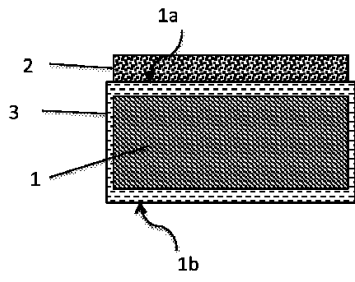


FIG.5c

【 5 d 】

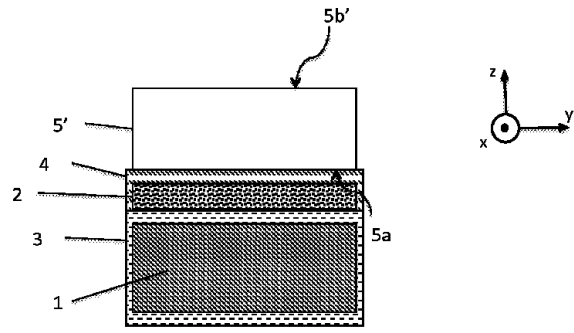


FIG.5d

【 5 e 】

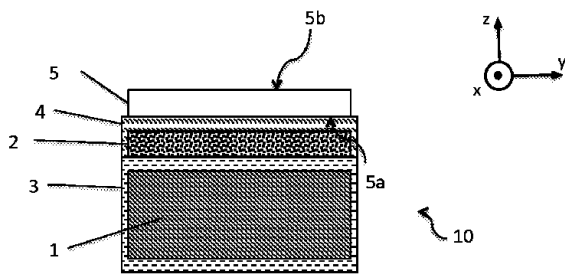


FIG.5e

10

20

30

40

50

## フロントページの続き

- 弁理士 野田 雅一
- (72)発明者 アリベール, フレデリック  
フランス, 38100 グルノーブル, ルー ゲイ リュサック 30
- (72)発明者 ヴェイティゾウ, クリステル  
フランス, 38190 ベルナン, シュマン デュ クラポノ 295
- (72)発明者 ラディソン, ダミアン  
フランス, 38190 ブリヌー, アヴェニュー デ ラ シヤントウルヌ 11
- 審査官 加藤 芳健
- (56)参考文献 特表2017-504210(JP,A)  
特開2016-072450(JP,A)  
特開平09-027604(JP,A)
- (58)調査した分野 (Int.Cl., DB名)  
H01L 21/02  
H01L 27/12  
H01L 27/088