



(12) 发明专利申请

(10) 申请公布号 CN 101819956 A

(43) 申请公布日 2010.09.01

(21) 申请号 201010168001.9

(22) 申请日 2005.02.22

(30) 优先权数据

2004-051486 2004.02.26 JP

(62) 分案原申请数据

200580012550.4 2005.02.22

(71) 申请人 株式会社瑞萨科技

地址 日本东京都

(72) 发明人 神崎照明 出口善宣 三木一伸

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 柯广华 王忠忠

(51) Int. Cl.

H01L 23/485(2006.01)

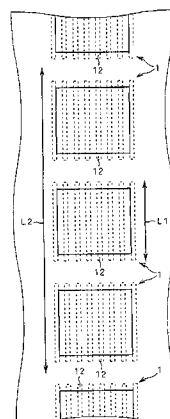
权利要求书 1 页 说明书 17 页 附图 55 页

(54) 发明名称

半导体器件

(57) 摘要

一种半导体器件,其中抗焊盘中所产生应力的强度被提高了。提供有多个焊盘(1)。在每个焊盘(1)中,在使用最上层形成的第一金属(11)下提供有多个线条状第二金属(12)。这样,为提高抗焊盘中所产生应力的强度,将焊盘(1)沿第二金属(12)的纵向排列。亦即:将焊盘(1)排列成使第二金属(12)的纵向(L1)和焊盘(1)的排列方向(L2)在同一方向。



1. 一种半导体器件,包括:
多个焊盘,每个焊盘具有使用最上层布线层形成的第一金属,以及
多个各具有线条形状、利用在所述最上层布线层下面一层的第一下层布线层形成的、
排列在第一金属下面的、并与所涉及的第一金属连接的第二金属,
其中所述多个焊盘整齐放置并定位到具有线条形状的第二金属的长边方向,
其中在第二金属底部宽度 W 和间隔 D 满足关系式: $W \leq D \leq 2 \times W$ 。
2. 如权利要求 1 所述的半导体器件,其中:
第二金属嵌入在第一金属下面的绝缘层中,且上部在所涉及的所述绝缘层中相互连接。
3. 如权利要求 1 所述的半导体器件,还包括:
在所述第一下层布线层下面一层的第二下层布线层;
其中所述焊盘还具有第三金属,第三金属排列在第二金属下面,与所涉及的第二金属连接,并使用第二下层布线层形成。
4. 如权利要求 1 所述的半导体器件,
其中所述焊盘还具有蚀刻阻止层,所述蚀刻阻止层排列在第二金属下面,并使用第一下层布线层前表面的阻挡层金属形成。
5. 如权利要求 1 所述的半导体器件,还包括:
在所述焊盘下的第二下层布线层;以及
预定形状的多个第四金属,它们排列在所述焊盘下部的区域中第二下层布线层的布线上,并连接到所涉及的所述布线,
其中所述第二下层布线层形成在所述第一下层布线层下面。
6. 如权利要求 5 所述的半导体器件,其中:
在所述焊盘下部的区域中,第二下层布线层的所述布线被分成多个线条的形状。
7. 如权利要求 1 所述的半导体器件,还包括:
在所述焊盘下的第二下层布线层;
其中在所述焊盘下部的区域中,第二下层布线层的布线被分成多个线条的形状,
其中所述第二下层布线层形成在所述第一下层布线层下面。
8. 如权利要求 1 所述的半导体器件,其中
所述长边方向垂直于所述多个焊盘中每一个焊盘的焊接方向。

半导体器件

[0001] 本案是申请号为 200580012550.4、申请日为 2005 年 2 月 22 日、题为半导体器件的中国专利申请的分案申请。

技术领域

[0002] 本发明涉及具有焊盘的半导体器件的结构,特别涉及在探测和引线焊接情况下用于提高抗施加到焊盘上应力的强度的技术。

背景技术

[0003] 在半导体芯片电测试中进行探测,以及在半导体器件装配时进行引线焊接的情况下,机械应力就会加到在半导体芯片上表面上形成的焊盘上。加到焊盘上的应力使焊盘下的层间绝缘膜产生裂纹,并成为在引线焊接时使焊盘分离的原因。

[0004] 所以,常规上采取使有关金属层吸收应力的方法,即,放一金属层,例如钨,作为焊盘的基础。通常,使用最上面的布线层(最上层布线层)来形成焊盘,且使用用于连接上布线层和其下面的布线层(下层布线层)的通孔来形成基础金属层。也就是说,基础金属层的形成是在最初形成用于连接上布线层和下层布线层的通孔的同一步骤中执行的。

[0005] 需要将基础金属层的尺寸做成和焊盘尺寸相同的程度,并且它就变成大口径,特别是与原始通孔相比时。所以,在常规半导体器件的制造过程中,大口径的通孔(基础金属层)和小口径的通孔(原始通孔)是同时形成的。但是,由于大口径的通孔在蚀刻速率方面不同于小口径的通孔,因此在大口径的通孔和小口径的通孔中都获得适当的蚀刻量就很困难,且形成精度会降低。在通孔中作金属沉积时,由于和小口径的通孔相比大口径的通孔要用很长时间来彻底掩盖金属,因此金属的厚度就不能充分保证,但却容易引起大口径通孔上表面的凹陷,源自于此。也就是说,由于基础金属层的上表面高度变得不均匀,因此就很难使其上形成的焊盘的上表面高度均匀。当焊盘的上表面高度不均匀时,确切的探测和引线焊接就很困难,且半导体器件的可靠性会下降。

[0006] 另一方面,将焊盘的基础金属层不做大口径的通孔而做成多个线条的形状(长尺寸形状)并将其形成的技术是已知的(例如专利参考 1-3)。当基础金属层做成多个线条的形状时,上面的问题就解决了。

[0007] [专利参考 1] 日本未经审查的专利公布 No. 2002-110731

[0008] [专利参考 2] 日本未经审查的专利公布 No. Hei 10-199925

[0009] [专利参考 3] 日本未经审查的专利公布 No. Hei 6-196525

[0010] 然而,当焊盘的基础金属层做成多条线条的形状并形成时,与形成大口径的通孔作为基础金属层的情况相比,我们担心抗来自特定方向的应力的强度会大大下降。例如,在专利参考 1 中,公开了当基础金属层的长边方向(线条的方向)和在探测情况下探针的进入方向在平面图中垂直时(即加应力的方向垂直于平面图中基础金属层的线条方向时),就容易从线条状基础金属层的侧壁和层间膜之间产生裂纹。

[0011] 当裂纹发生在焊盘下的绝缘层中,并根据从外部加到焊盘上的应力甚至到达布线

时,该布线的金属迁移电阻就会退化。使布线可沿焊盘下部通过的结构具有强度相对较弱且容易产生裂纹的倾向。所以,为了防止产生裂纹,最好不让布线在焊盘下部随意通过。但为了使半导体器件高度集成,焊盘下的区域也需被有效利用,必须将布线也定位在焊盘之下。

发明内容

[0012] 提出本发明是为了解决上述问题,其目的是提供一种半导体器件,它能提高抗焊盘处所产生应力的强度。

[0013] 关于本发明第一方面的半导体器件提供有多个焊盘,每个焊盘具有使用最上层布线层形成的第一金属以及多个各具有线条形状、排列在第一金属下并与有关第一金属连接的第二金属,其中焊盘被整齐放置并定位到具有线条形状的第二金属的长边方向。

[0014] 关于本发明第二方面的半导体器件提供有焊盘,所述焊盘具有使用最上层布线层形成的第一金属,以及多个各具有线条形状、排列在第一金属下并与有关第一金属连接的第二金属,其中第二金属嵌入在第一金属下面的绝缘层中,且上部在有关绝缘层中相互连接。

[0015] 关于本发明第三方面的半导体器件提供有焊盘,所述焊盘具有使用最上层布线层形成的第一金属,以及多个各具有线条形状、排列在第一金属下并与有关第一金属连接的第二金属,其中有关所述半导体器件具有比最上层布线层低一层的第一下层布线层,且焊盘具有蚀刻阻止层(stopper),所述蚀刻阻止层被排列在第二金属下面,并使用第一下层布线层前表面的阻挡层金属形成。

[0016] 关于本发明第四方面的半导体器件包括:焊盘;沿焊盘下部通过的布线;以及在焊盘下部区域中布线上面的多个预定形状的金属。

[0017] 关于本发明第五方面的半导体器件包括:焊盘;输出缓冲器,它向焊盘输出信号;输入缓冲器,加到焊盘上的信号被输入其中;以及内部电路,它连接到输出缓冲器的输入侧以及输入缓冲器的输出侧;其中焊盘形成在输出缓冲器之上,而不是形成在输入缓冲器和内部电路之上。

[0018] 关于本发明第六方面的半导体器件包括:焊盘;输出缓冲器,它向焊盘输出信号;输入缓冲器,加到焊盘上的信号被输入其中;以及内部电路,它连接到输出缓冲器的输入侧以及输入缓冲器的输出侧;其中焊盘形成为延伸在输出缓冲器和输入缓冲器的上部以及部分内部电路的上部之上。

[0019] 按照本发明的第一方面,由于多个焊盘被排列和定位到具有线条形状的第二金属的长边方向,因此就很容易使从芯片外部进入的探针、焊头等接触到,以使进入方向可垂直于焊盘第二金属的长边方向。通过适当调节第二金属的宽度和间隔,裂纹的产生可被抑制,并有可能形成可靠的半导体器件。

[0020] 按照本发明的第二方面,由于多个第二金属的上部已相互连接,因此焊盘强度的方向依赖性变小了。

[0021] 按照本发明的第三方面,由于焊盘提供有使用第二金属下面的第一下层布线层前表面的阻挡层金属形成的蚀刻阻止层,因此除了由第二金属在强度方面提高的效果外,在形成步骤中将用于第二金属的通孔深度作得适当就很容易。

[0022] 按照本发明的第四方面,由于在焊盘下部的区域中在第二下层布线层的布线上有多个第四金属,因此在焊盘处产生的应力可用有关第四金属吸收,且它可抑制在焊盘下的层间绝缘膜中发生裂纹。所以,当将布线定位在焊盘下以便能够高度集成半导体器件时,由此而产生的强度下降也可被抑制。

[0023] 按照本发明的第五方面,焊盘形成在输出缓冲器之上,而不形成在输入缓冲器和内部电路之上。由于形成面积很大,且输出缓冲器的抗应力性很高,因此就可力求高度集成,将半导体器件的强度下降抑制到最小。

[0024] 按照本发明的第六方面,由于焊盘形成范围在输出缓冲器和输入缓冲器的上部以及部分内部电路的上部之上,因此焊盘面积可以增大,并且对有关焊盘的探测和焊接就很容易。使用时,将焊盘的上表面分成用于进行探测的区域和用于进行引线焊接的区域,即使是在探测之后,引线的焊接就可很有把握,且半导体器件的可靠性将会提高。

[0025] 阅读了以下详细说明和附图,本发明的目的、特征、方面以及优点就会更加清晰。

附图说明

- [0026] 图 1 为实施例 1 的半导体器件焊盘的顶视图;
- [0027] 图 2 为实施例 1 的半导体器件焊盘的截面图;
- [0028] 图 3 为实施例 1 的半导体器件焊盘的截面图;
- [0029] 图 4 为实施例 1 的半导体器件焊盘的放大截面图;
- [0030] 图 5A 和 5B 示出接触焊盘的探针的实例;
- [0031] 图 6 示出实验结果,其示出了本发明的效果;
- [0032] 图 7 的图说明在实施例 1 的半导体器件中焊盘的排列方法;
- [0033] 图 8 示出在实施例 1 的半导体器件中的焊盘的布局实例;
- [0034] 图 9 示出在实施例 1 的半导体器件中的焊盘的布局实例;
- [0035] 图 10 示出实施例 1 的半导体器件焊盘的放大截面图;
- [0036] 图 11 示出实施例 2 的半导体器件焊盘的截面图;
- [0037] 图 12 示出实施例 2 的半导体器件焊盘的截面图;
- [0038] 图 13 示出实施例 2 的半导体器件焊盘的放大截面图;
- [0039] 图 14 的图说明实施例 2 中的问题;
- [0040] 图 15 示出实施例 3 的半导体器件焊盘的截面图;
- [0041] 图 16 示出实施例 3 的半导体器件焊盘的截面图;
- [0042] 图 17 示出实施例 3 的半导体器件焊盘的放大截面图;
- [0043] 图 18 示出实施例 3 的半导体器件的制造过程;
- [0044] 图 19 示出实施例 3 的半导体器件的制造过程;
- [0045] 图 20 示出实施例 3 的半导体器件的制造过程;
- [0046] 图 21 示出实施例 3 的半导体器件的制造过程;
- [0047] 图 22 示出实施例 3 的半导体器件的制造过程;
- [0048] 图 23 示出实施例 4 的半导体器件焊盘的顶视图;
- [0049] 图 24 示出实施例 4 的半导体器件焊盘的截面图;
- [0050] 图 25 示出实施例 4 的半导体器件焊盘的截面图;

- [0051] 图 26 示出实施例 4 的半导体器件焊盘的截面图；
- [0052] 图 27 示出实施例 5 的半导体器件焊盘的顶视图；
- [0053] 图 28 示出实施例 5 的半导体器件焊盘的截面图；
- [0054] 图 29 示出实施例 5 的半导体器件焊盘的截面图；
- [0055] 图 30 示出在实施例 5 的半导体器件中焊盘的布局及其下层布线的实例；
- [0056] 图 31 示出在实施例 5 的半导体器件中焊盘的布局及其下层布线的实例；
- [0057] 图 32 示出实施例 6 的半导体器件输入输出部分的电路图；
- [0058] 图 33 示出实施例 6 的半导体器件输入输出部分的作用区 (activerregion) 和多晶硅电极层的布局图案；
- [0059] 图 34 示出实施例 6 的半导体器件输入输出部分的第一通孔层的布局图案；
- [0060] 图 35 示出实施例 6 的半导体器件输入输出部分的第一金属布线层的布局图案；
- [0061] 图 36 示出实施例 6 的半导体器件输入输出部分的第二通孔层的布局图案；
- [0062] 图 37 示出实施例 6 的半导体器件输入输出部分的第二金属布线层的布局图案；
- [0063] 图 38 示出实施例 6 的半导体器件输入输出部分的第三通孔层的布局图案；
- [0064] 图 39 示出实施例 6 的半导体器件输入输出部分的第三金属布线层的布局图案；
- [0065] 图 40 示出实施例 6 的半导体器件输入输出部分的第四通孔层的布局图案；
- [0066] 图 41 示出实施例 6 的半导体器件输入输出部分的第四金属布线层的布局图案；
- [0067] 图 42 示出实施例 6 的半导体器件输入输出部分的第五通孔层的布局图案；
- [0068] 图 43 示出实施例 6 的半导体器件输入输出部分的第五金属布线层的布局图案；
- [0069] 图 44 示出实施例 6 的半导体器件输入输出部分的截面图；
- [0070] 图 45 示出实施例 6 的半导体器件输入输出部分的截面图；
- [0071] 图 46 示出实施例 6 的改动；
- [0072] 图 47 示出实施例 7 的半导体器件输入输出部分的作用区和多晶硅电极层的布局图案；
- [0073] 图 48 示出实施例 7 的半导体器件输入输出部分的第一通孔层的布局图案；
- [0074] 图 49 示出实施例 7 的半导体器件输入输出部分的第一金属布线层的布局图案；
- [0075] 图 50 示出实施例 7 的半导体器件输入输出部分的第二通孔层的布局图案；
- [0076] 图 51 示出实施例 7 的半导体器件输入输出部分的第二金属布线层的布局图案；
- [0077] 图 52 示出实施例 7 的半导体器件输入输出部分的第三通孔层的布局图案；
- [0078] 图 53 示出实施例 7 的半导体器件输入输出部分的第三金属布线层的布局图案；
- [0079] 图 54 示出实施例 7 的半导体器件输入输出部分的第四通孔层的布局图案；
- [0080] 图 55 示出实施例 7 的半导体器件输入输出部分的第四金属布线层的布局图案；
- [0081] 图 56 示出实施例 7 的半导体器件输入输出部分的第五通孔层的布局图案；
- [0082] 图 57 示出实施例 7 的半导体器件输入输出部分的第五金属布线层的布局图案；
- [0083] 图 58 示出实施例 7 的半导体器件输入输出部分的截面图；
- [0084] 图 59 示出实施例 7 的半导体器件输入输出部分的截面图；
- [0085] 图 60 示出实施例 8 的半导体器件输入输出部分的第三金属布线层的布局图案；
- [0086] 图 61 示出实施例 8 的半导体器件输入输出部分的第四通孔层的布局图案；
- [0087] 图 62 示出实施例 8 的半导体器件输入输出部分的第四金属布线层的布局图案；

- [0088] 图 63 示出实施例 8 的半导体器件输入输出部分的第五通孔层的布局图案；
- [0089] 图 64 示出实施例 8 的半导体器件输入输出部分的第五金属布线层的布局图案；
- [0090] 图 65 的图说明实施例 8 的效果；以及
- [0091] 图 66 的图说明实施例 8 的效果。

具体实施方式

[0092] (实施例 1)

[0093] 图 1-3 示出本发明实施例 1 的半导体器件的焊盘结构。图 1 是焊盘的顶视图,图 2 和图 3 是分别沿图 1 的线 A-A 和线 B-B 所作的有关焊盘的截面图。

[0094] 如这些图中所示,焊盘 1 具有在第一层绝缘膜 22 上使用最上层布线层形成的第一金属 11,以及作为嵌入在第一层绝缘膜 22 中的基础金属层的第二金属 12。第二金属 12 连接在第一金属 11 下面,且由多个互相平行的线形金属形成。焊盘 1 还具有连接在第二金属 12 下面的第三金属 13。

[0095] 第一金属 11 由最上层布线层形成原始布线的一部分。虽然钝化膜 21 形成在最上层布线层上,但焊盘 1 的上部做有开口。使用比最上层布线层低一层的第一下层布线层形成第三金属 13。使用将最上层布线层和第一下层布线层连接起来的通孔(接触栓塞)形成第二金属 12。

[0096] 有关半导体器件具有在第一下层布线层下面一层的第二下层布线层。并且在焊盘 1 的下面,使用第二下层布线层形成的原始布线 14 定位经过第二层绝缘膜 23。布线 14 与焊盘 1 在电气上无关。为便于对图 2 和图 3 作说明,在图上将第二下层布线画为比第一下层布线低一层的布线层,但它可以是更下一层的布线层。以上结构经由半导体衬底 26 上的场氧化物 25 和第三层绝缘膜 24 形成。图 1 中参考标记“2”的组件示出接触焊盘 1 的探针的尖。

[0097] 第一金属 11、第三金属 13 以及布线 14 的材料是通用的布线材料,例如提到了铝(Al)、铜(Cu)、它们的合金(例如 Al-Si-Cu、Al-Cu 等)。第二金属 12 也是通用的通孔材料,例如提到了钨(W)、铜(Cu)、其合金等。普通的氧化硅膜(SiO₂)常用作钝化膜 21 以及第一到第三层绝缘膜 22、23 和 24 的材料。但是,除此之外,低介电常数绝缘层(低 k 膜),例如掺氟氧化硅膜(FSG)和掺碳氧化硅膜(SiOC)等,也可使用。

[0098] 如上所述,在专利参考中,公布了在如下情况容易产生裂纹的问题,即:当焊盘的基础金属层做成多个线条的形状时,对焊盘施加应力的方向垂直于在平面图中基础金属层的长边方向(线条的方向)。

[0099] 本发明发现:在具有图 1-图 3 结构的焊盘 1 中,通过实验和应力模拟,适当设定具有线条形状的第二金属 12 的每个宽度和间隔,该问题就解决了。令人惊奇的是,结果是:当应力的施加方向接近垂直于平面图中第二金属 12 的长边方向时,在第一层绝缘膜 22 和第二层绝缘膜 23 中很难产生裂纹,并可获得相当于将大口径的通孔形成为基础金属层的情况的强度。

[0100] 具体地,当第二金属 12 的宽度 W 和间隔 D 满足如下关系式时:

$$[0101] \quad W \leq D \leq 2 \times W \quad (1)$$

[0102] 就可获得上述效果。这里,图 4 是图 2 所示区域 C 的放大截面图。由于通孔是从

上面蚀刻而形成的,所以上部就趋向于形成得比底部更宽。所以,对于第二金属 12,每个都形成一个倒梯形,如图 4 所示。由于在通孔底部可以形成为比较接近于设计尺寸的尺寸,在本说明书中,将第二金属 12 的宽度 W 和间隔 D 定义为第二金属 12 底部的尺寸,如图 4 所示。

[0103] 在该实施例中,焊盘 1 形成为使第二金属 12 的宽度 W 和间隔 D 可满足公式 (1) 的关系。并且将其做成使加到有关焊盘 1 的应力方向接近垂直于在平面图中第二金属 12 的长边方向。这样,就可抑制在第一层间绝缘膜 22 和第二层间绝缘膜 23 中产生裂纹。

[0104] 用设计尺寸(在对第二金属 12 形成图案时的掩模尺寸)的 W_0 和间隔 D_0 实际形成的第二金属 12 的宽度 W 和间隔 D 很难做得准确相等。通常最终的尺寸相对设计尺寸都有一定量的误差。例如,在具有线条形状的第二金属 12 中,在长度方向的中心部分,其宽度就会因蚀刻特性而比两端形成得稍宽一点。所以,很难以均匀的宽度形成其整体。所以,在实验中,在某种程度上不能严格满足公式 (1) 的关系的情况下,也能获得上述效果。但是,至少当第二金属 12 的设计尺寸的 W_0 和间隔 D_0 满足如下关系式时:

$$[0105] \quad W_0 \leq D_0 \leq 2 \times W_0 \quad (2)$$

[0106] 获得了上述效果。

[0107] 现说明用于半导体芯片电测试的探针 2。至于探针 2 的形状,从焊盘 1 的水平方向进入的、如图 5A 所示的悬臂型的东西(以下称为“悬臂探针”),以及垂直于焊盘 1 进入的、如图 5B 所示的探针(以下称为“垂直探针”)都是众所周知的。在图 5A 中,悬臂探针 2 通过向焊盘 1 的垂直方向 Z 移动而接触第一金属 11。这样,加到焊盘 1 的应力不仅具有垂直(Z 方向)分量,还有因探针 2 的形状和弹性所导致的进入方向(X 方向)的分量。所以,有关应力的方向 S 变成相对焊盘 1 前表面的倾斜方向,如图 5A 所示。

[0108] 在该实施例中,使加到焊盘 1 的应力的方向做成接近垂直于在平面图中第二金属 12 的长边方向。所以,当探针 2 是悬臂型时,如图 5A 所示,需要使探针 2 的进入方向(X 方向)接近于垂直于第二金属 12 的长边方向。

[0109] 当使垂直探针接触第一金属 11 时,加到焊盘 1 上的应力方向 S 是焊盘 1 的垂直方向 Z ,如图 5B 所示。

[0110] 图 6 示出上述实验和模拟结果。在每次实验和模拟中,假定是对半导体芯片作电测试(测试),观察到,对于对焊盘 1 探测的次数,在第一层间绝缘膜 22 和第二层间绝缘膜 23 都有裂纹产生。在有关实验和模拟中,为了确认焊盘 1 在强度上的方向依赖性,使用悬臂探针作为用于接触的探针 2。图 6 所示的表是在将第二金属 12 的设计尺寸的宽度 W_0 具体设为 $0.28 \mu\text{m}$ 并形成间隔 $D_0 = 0.36 \mu\text{m}$ 时的实验和模拟结果。探测时的过渡激励量(OD 量)示于表的纵向,而探测次数示于表的横向。过渡激励量就是在焊盘 1 的第一金属 11 中接触探针 2 之后的压下量。

[0111] 如图 6 所示,在实施例 1 的焊盘 1 中,当使探针 2 的进入方向 X 在平面图中垂直并使得接触第二金属 12 的长边方向时,获得了相当于常规焊盘结构(使用大口径通孔作为基础金属层的结构)的良好结果。甚至当使探针 2 的进入方向 X 对于实施例 1 的焊盘 1 与第二金属 12 的长边方向平行接触时,如同图中所示,获得了接近常规焊盘结构的结果,而且结果是强度的方向依赖性很小。但是,与使其垂直于长边方向并使其接触的情况相比,强度有少许下降。

[0112] 合乎需要的是,使进入方向 X 垂直于第二金属 12 的长边方向,并使探针 2 接触该实施例的焊盘 1,如该结果所示。所以,在该实施例中,在如图 7 的半导体芯片上,将焊盘 1 整齐放置并定位到第二金属 12 的长边方向。在图 7 中,箭头 L1 表示第二金属 12 的长边方向,而箭头 L2 表示焊盘 1 的排列方向。因此,焊盘 1 被整齐放置并定位,以使第二金属 12 的长边方向和焊盘 1 的排列方向可变成在同一方向。

[0113] 图 8 和图 9 示出在该实施例中焊盘 1 的布局实例。通常,在半导体芯片的测试设备中,它被定位成使探针 2 能从半导体芯片的外部向内部进入。按照每台测试设备以及测试目标的半导体芯片,进入方向各有不同。例如,从四个方向进入半导体芯片 3 的情况如图 8,以及从两个方向进入半导体芯片 3 的情况如图 9,都很常见。在图 8 的情况下,将图 7 中整齐放置的一行焊盘 1 沿半导体芯片 3 四边的每一边排列。这样,从四个方向进入的每个探针 2 的进入方向就垂直于在平面图中每个焊盘 1 的第二金属 12 的长边方向,并且半导体芯片 3 中的裂纹产生就可被抑制。在图 9 的情况下,将图 7 中整齐放置的两行焊盘 1 并排地排列在半导体芯片 3 上。这样,就很容易使从两个方向进入的每个探针 2 的进入方向垂直于平面图中每个焊盘 1 的第二金属 12 的长边方向,并且半导体芯片 3 中的裂纹产生就可被抑制。

[0114] 也就是说,通过如图 7 所示将焊盘 1 在半导体芯片 3 上整齐放置并定位到第二金属 12 的长边方向,就很容易使从芯片触点外部进入的探针 2 的进入方向可垂直于平面图中焊盘 1 的第二金属 12 的长边方向。在该实施例中,当加到焊盘 1 的应力的方向在平面图中接近垂直于第二金属 12 的长边方向时,在第一层间绝缘膜 22 和第二层间绝缘膜 23 中就很难产生裂纹。所以,因探测而产生的裂纹就可被抑制,并且就有可能形成可靠的半导体器件。

[0115] 由于作为基础层的第二金属 12 是线条形的,而且在与原始小口径通孔平行形成时,在第二金属 12 的上表面上很难产生凹陷,并且前表面的高度就几乎很均匀。所以,将第一金属 11 形成在其上时,也容易使有关第一金属 11 的上表面的高度均匀,并且也容易将其形成。所以,当第一金属 11 的上表面高度变得均匀时,确切的探测和对其的引线焊接就有可能,并可有助于进一步提高半导体器件的可靠性。

[0116] 虽然在上述实施例中使用悬臂型探针作为探针 2,但即使它是另一形状的探针,当它具有对焊盘 1 的进入方向时,也可获得相同的效果。对没有进入方向的垂直探针也可获得与常规半导体器件相同的强度。不仅是探针而且在使用焊头时,例如,通过引线焊接接触焊盘 1,显然可获得相同的效果。图 2 和图 3 示出的半导体器件具有最上层布线层以及第一和第二下层布线的三层布线层的结构。但在该实施例中,由于不一定需要第二下层布线层,所以也适用于具有两层或更多层布线层的半导体器件。

[0117] 在实验中,当第二金属 12 的间隔 D 被缩窄(例如 $D_0 = 0.36 \mu\text{m}$)时,特别地,裂纹的产生被抑制了,并获得了高强度。如上所述,由于通孔的上部趋向于比底部宽,因此当间隔 D 变窄时,如图 10 所示,还会有如下情况:线条形的第二金属 12 的上部相互连接,并形成在第一层间绝缘膜 22 中。即使在这种情况下,也确认可获得如上所述的高强度。当上表面相互连接时,焊盘 1 的强度的方向依赖性变得更小。

[0118] 另外,在实验中,与使用另一种材料的情况相比,当第一和第二下层布线层布线的材料(第三金属 13 和布线 14 的材料)都设为 Cu 时,特别地获得了良好的结果。即使

用 Cu 作为最上层布线层的材料（第一金属 11 的材料），也可获得相同的结果，但由于上表面暴露出第一金属 11，并且还将引线焊接到前表面，最好使用 Al 合金，它比较耐腐蚀，并能容易地进行焊接。

[0119] （实施例 2）

[0120] 图 11 和图 12 示出实施例 2 的半导体器件焊盘的截面图。由于顶视图和图 1 相同，故将其省略，而图 11 和图 12 相当于分别沿图 1 的线 A-A 和线 B-B 所作的有关焊盘的截面图。图 13 是图 11 所示区域 C 的放大视图。在这些图中，同样的编号赋予具有如图 2 和图 3 所示的相同功能的组件。由于有关半导体器件具有与实施例 1 的半导体器件相同的结构，不同之处仅是在第二金属 12 下面没有形成第三金属 13，所以对每个组件的说明在此省略了。

[0121] 对实施例 2 的半导体器件进行应力模拟。在有关模拟中，对加到第一层间绝缘膜 22 和第二层间绝缘膜 23 的应力进行计算，与实施例 1 的实验和模拟结果进行相对比较，并寻查有无裂纹产生。悬臂探针用作探针 2，使其接触焊盘 1，并使进入方向在平面图中垂直于第二金属 12 的长边方向。其结果也示于图 6。如同一图所示，在实施例 2 的焊盘 1 中，裂纹的产生可比实施例 1 的被进一步抑制。

[0122] 当也在该实施例中将焊盘 1 整齐放置在半导体芯片上并定位到第二金属 12 的长边方向时，如使用图 7- 图 9 说明的实施例 1，就很容易使得从芯片外部进入的探针 2 接触，使进入方向在平面图中垂直于焊盘 1 的第二金属 12 的长边方向。

[0123] （实施例 3）

[0124] 如上所述，按照实施例 2，有可能比实施例 1 更能抑制裂纹的产生。但在实施例 2 的形成步骤中有以下问题。图 14 的图用于说明该问题，并示出了用于形成第二金属 12 的通孔的形成步骤。该图的左手边示出焊盘形成区域，焊盘 1 形成于其中，而右手边示出通常的布线区域，第一下层布线层的原始布线 113 形成于其中。

[0125] 在实施例 1 中，使用第一下层布线层将第三金属 13 形成在焊盘形成区域中（通过形成布线 113 的同一形成步骤），且在此之后，将第二金属 12 形成在第三金属 13 上。所以，在用于形成第二金属 12 的通孔形成步骤中，第三金属 13 可用作蚀刻阻止层。由于按照实施例 2，并不形成第三金属 13，故在用于形成第二金属 12 的如图 14 的通孔 12a 中很易产生过度蚀刻。

[0126] 另一方面，由于布线 113 通常在布线区中起蚀刻阻止层的作用，因此在通孔 112a 中不产生过度蚀刻。也就是说，在焊盘形成区域中用于第二金属 12 的通孔 12a 通常容易比布线区域中的通孔 112a 形成得更深。结果，在第二金属 12 的上表面上发生凹陷，或在最坏的情况下，第二金属 12 甚至到达第二下层布线层的原始布线 14，且焊盘 1 和布线 14 之间不再保持绝缘。

[0127] 相反，由于存在有用于原始通孔的通孔 112a 不会完全到达布线 113 的这种危险，但当蚀刻量减少时会发生连接失败，因此为了避免过度蚀刻，这也是不希望的。作为措施，一种方法是使通孔 12a 的尺寸小（细）到通孔 112a 的尺寸，并使通孔 12a 的蚀刻量小到通孔 112a 的蚀刻量。但用这种方法，有必要对每种制造方法都调节适合的通孔 12a 的尺寸。

[0128] 图 15 和图 16 示出实施例 3 的半导体器件焊盘的截面图。由于顶视图和图 1 相同，故将其省略，而图 15 和图 16 相当于分别沿图 1 的线 A-A 和线 B-B 所作的有关焊盘的截面

图。在这些图中,同样的编号赋予具有如图 2 和图 3 所示的相同功能的组件。在该实施例中,在第二金属 12 下面不形成第三金属 13,和实施例 2 相同。但在第二金属 12 下面,在蚀刻形成通孔 12a 的情况下,形成有蚀刻阻止层 15。其它结构和实施例 2 的半导体器件的结构相同。

[0129] 图 17 示出实施例 3 的半导体器件焊盘的放大截面图。该图的左手边相当于区域 C,即在图 15 中所示的焊盘形成区域,而右手边示出通常的布线区域,第一下层布线层的原始布线 113 形成于其中。使用在布线 113 前表面上形成的阻挡层金属 115 来形成蚀刻阻止层 15,并且如图 17 所示,将其形成在和布线 113 的上表面(阻挡层金属 115)相同的高度。作为蚀刻阻止层 15 和阻挡层金属 115 的材料实例,提到了 Ti、TiN 或那些多层结构等。

[0130] 图 18-图 22 示出实施例 3 的半导体器件的制造过程。以下,根据这些图来说明实施例 3 的半导体器件的制造过程。首先,用与常规半导体器件制造方法同样的步骤,在半导体衬底 26 上形成场氧化物 25、第三层间绝缘膜 24 以及第二层间绝缘膜 23 之后,沉积第一下层布线层的布线材料 213(图 18)。对布线材料 213 形成图案,使其成为预定的布线图案,在通常的布线区域形成原始布线 113,并在其上沉积第一层间绝缘膜 22(图 19)。

[0131] 将布线 113 的上表面曝光一次,例如用 CMP 方法。此时,要使之平整,以使曝光的布线 113 的上表面高度和第一层间绝缘膜 22 顶部一样。随后,通过沉积阻挡层金属材料并对其形成图案,将阻挡层金属 115 选择性地形成在布线 113 的上表面上,并在下一步形成在形成第二金属 12 的区域中(图 20)。

[0132] 随后再次沉积第一层间绝缘膜 22(图 21)。将蚀刻阻止层 15 形成在焊盘区第一层间绝缘膜 22 中形成第二金属 12 的部分中,高度和布线 113 的上表面相同。通过使用光刻技术选择性地蚀刻,在第一层间绝缘膜 22 中形成用于第二金属 12 的通孔 12a 和用于原始通孔 112 的通孔 112a(图 22)。由于此时通孔 12a 的蚀刻被蚀刻阻止层 15 阻止,因此在有关第二金属 12 的通孔 12a 中不会产生过度蚀刻。通孔 112a 的蚀刻被布线 113 上表面的阻挡层金属 115 阻止。因此,可以容易地将用于第二金属 12 的通孔 12a 和用于原始通孔 112 的通孔 112a 形成到同一深度。

[0133] 如上所述,按照该实施例,第二金属 12 上表面的凹陷问题,因通孔 12a 过度蚀刻导致焊盘 1 和布线 14 等的短路问题就可避免。由于该实施例的结构和实施例 2 的结构相同,故可形成具有高强度的半导体器件结构。

[0134] 以上说明了在每个第二金属 12 下面局部形成蚀刻阻止层 15 的实例。也就是说,在以上实例中,蚀刻阻止层 15 具有和第二金属 12 同样的线条形状。但蚀刻阻止层 15 可以在焊盘 1 下面的整个区域中形成为一整层。

[0135] (实施例 4)

[0136] 当在焊盘下面发生裂纹并甚至到达布线时,有关布线的金属迁移电阻会退化。通过让布线在焊盘下面通过,在焊盘和有关布线之间的层间绝缘膜中就趋向于容易产生裂纹,且强度易于下降。所以,从防止产生裂纹的观点来看,最好不让布线在焊盘下部随意地通过。但为了高度集成半导体器件,焊盘下面的区域也需要有效地利用,就必须让布线在焊盘下面通过。所以,在该实施例中,提出了即使当布线在焊盘下面通过时也能抑制强度退化的半导体器件结构。

[0137] 当让布线在焊盘下面通过时,本发明通过实验和应力模拟发现,通过在有关布线

的上表面上设置多个金属,在焊盘和有关布线之间的层间绝缘膜中产生裂纹的情况就被抑制了。该器件结构的实例在下面示出。

[0138] 图 23- 图 25 示出实施例 4 的半导体器件焊盘的结构。图 23 是焊盘的顶视图,图 24 和图 25 示出分别沿图 23 的线 A-A 和线 B-B 所作的有关焊盘的截面图。在这些图中,同样的编号赋予具有如图 2 和图 3 所示的相同功能的组件。在此实例中,焊盘 1 是仅包含第一金属 11 的结构。第二下层布线层的原始布线 14 经由第一层间绝缘膜 22 和第二层间绝缘膜 23 形成在焊盘 1 的下部中。在此实施例中,将多条线条形状的第四金属 16 形成在焊盘 1 下部区域中布线 14 的上表面上。

[0139] 使用在第二层间绝缘膜 23 上形成的第一下层布线层和第二下层布线层之间用于连接的通孔,形成第四金属 16。由于第四金属 16 是分成多个的线条形状,不同于形成单一大口径的通孔的情况,故不容易在上表面上产生凹陷,而且容易形成。第四金属 16 的材料用通用通孔材料即可,例如,提到了钨 (W)、铜、其合金等。

[0140] 上述实验和模拟结果也示于图 6。在有关实验和模拟中,实施例 1 的结构用作焊盘 1,以便易于和实施例 1 进行比较。通过上述说明,为使说明容易,将第二下层布线说明为比第一下层布线低一层的布线层。但在将实施例 4 应用于实施例 1 的情况下,当第二下层布线是在第一下层布线下的一层时,第三金属 13 和原始布线 14 会经由第四金属 16 电连接。所以,在这种情况下,第二下层布线必须是在第一下层布线下两层或更多层的下层布线层。或者,可适当形成一绝缘层,以使第三金属 13 和第四金属 16 之间可以绝缘。

[0141] 如图 6 所示,在实施例 4 而不是实施例 1 的半导体器件中,裂纹的产生可以被抑制,并获得良好的结果。其原因看来是因为加到焊盘 1 上的应力被分成多个的第四金属 16 所吸收。就是说,通过在焊盘 1 下部布线 14 的上表面上形成多个第四金属 16,就可抑制在焊盘 1 下面的层间绝缘膜中发生裂纹的情况。所以,当将布线 14 定位在焊盘 1 下面以力求半导体器件的高集成度时,其强度的降低也可被抑制。

[0142] 该实施例除实施例 1 外还适用于实施例 2 或实施例 3 的焊盘 1。例如,应用于实施例 3 的实例示于图 26。在此图中,虽然第二金属 12 的线条间距做成不同于第四金属 16 的线条间距,但它们可以是相同的间距。在同一图中,虽然第二金属 12 的长边方向和第四金属 16 的长边方向做成为同一方向,但它们可以是互相不同的方向。但是,至于第二金属 12 的长边方向,如用图 7- 图 9 说明的实施例 1,最好将其定位成使其在平面图中垂直于接触第一金属 11 的探针的进入方向。

[0143] 在上述说明中,虽然将第四金属 16 的形状做成线条形状,但并不限于此。例如,作为第四金属 16,即使定位与原始通孔相同形状的多个小口径的金属,也可获得同样的效果。

[0144] (实施例 5)

[0145] 实施例 4 的实验和应力模拟显示出:通过在有关布线上表面上形成多个金属,甚至让布线在焊盘下通过时,裂纹的产生都可被抑制。在实施例 5 中,注意到此结果,这次通过将焊盘下通过的布线本身分成多个,以求进一步提高半导体器件的强度。

[0146] 图 27 和图 28 示出实施例 5 的半导体器件焊盘的结构。图 27 是焊盘的顶视图,图 28 是沿图 27 的线 A-A 所作的截面图。由于和图 3 相同,因此沿图 27 的线 B-B 所作的截面图被省略了。在图 27 和图 28 中,同样的编号赋予具有如图 2 和图 3 所示的相同功能的组件。作为焊盘 1,应用实施例 1 的焊盘,如图 27 所示。与实施例 1 所示结构不同的是:通过

焊盘 1 底部的布线 14 被分成线条形状。

[0147] 作为本发明人的实验和模拟的结果,在图 27 和图 28 的半导体器件中,在焊盘 1 处产生的应力被线形布线 14 吸收,而且裂纹的产生被抑制了,和实施例 4 相同。也就是说,已表明,通过定位有关布线 14 的强度下降可以通过将焊盘 1 下部的布线 14 分成多个线条的形状而被抑制。所以,可以作到高集成度,抑制半导体器件的强度退化。

[0148] 此处,如上所述,从防止产生裂纹的角度来看,最好尽可能不让布线 14 在焊盘 1 下面通过。所以,在强度方面,在焊盘 1 下部中布线 14 的线条宽度较窄处的强度就高。当将布线 14 的线条宽度和间隔具体确定为使布线 14 在焊盘 1 下部中所占的百分比可在 60% 或更少时,就很有有效。

[0149] 该实施例也可适用于除实施例 1 外的实施例 2-4 的半导体器件。例如,应用于实施例 4 的实例示于图 29。在此情况下,每个被分的布线 14 位于每个第四金属 16 下面。由于布线 14 这样可以在形成每个第四金属 16 的通孔形成的情况下用作蚀刻阻止层,第四金属 16 的形成精度得到改进。

[0150] 在本发明中,虽然没有特别要求布线 14 通过焊盘 1 底部的应用,但当例如用它作为每个焊盘 1 所连接电路的电源 (V_{CC}) 或地 (GND) 布线时,可最大程度地抑制半导体芯片面积的增加。例如,当使焊盘 1 沿半导体芯片 3 四个边的每个边排列时,如实施例 1 的图 8 所示,有益的是,将作为电源或地布线的布线 14 做成如图 30 的框形,并让其在每个焊盘 1 的下部通过。当在半导体芯片 3 上并排排列两行焊盘 1 时,如图 9 所示,有益的是,将作为电源或地布线的布线 14 做成对应于该行焊盘 1 的线条形状,并让其在有关焊盘 1 的下面通过,如图 31 所示。

[0151] 虽然在图 30 和图 31 的实例中其结果是布线 14 的线条方向和焊盘 1 的排列方向一致,但在本发明中,任何方向都可作为布线 14 的线条方向。布线 14 不仅可以用作电源或地布线,而且可用作另一信号线。

[0152] (实施例 6)

[0153] 如前所述,为了力求半导体器件的高集成度,需要还有效地使用焊盘下的区域。所以,在实施例 6 中,建议了有关本发明的焊盘下部结构的具体布局。

[0154] 图 32 示出在实施例 6 的半导体器件中输入输出部分的电路图。实施例 6 的半导体器件设有输出缓冲器 31、保护电路 32 以及输入缓冲器 33,作为内部电路 30 和焊盘 1 之间的信号输入输出部分。就是说,内部电路 30 是连接到输出缓冲器 31 的输入端以及输入缓冲器 33 的输出端的电路。在有关内部电路 30 中,含有将信号输出到输出缓冲器 31 以及从输入缓冲器 33 输入信号的逻辑电路,以及将电源电压改变为用于有关逻辑电路的电平的电平移动器等。

[0155] 输出缓冲器 31 是将信号从内部电路 30 输出到焊盘 1 的反相电路,它包括 PMOS 晶体管 31p 和 NMOS 晶体管 31n。输入缓冲器 33 是将加到焊盘 1 上的信号输入到内部电路 30 的反相电路,它同样包括 PMOS 晶体管 33p 和 NMOS 晶体管 33n。

[0156] 保护电路 32 用于保护半导体器件不受加到焊盘 1 上的静电放电 (ESD:静电放电) 的影响。保护电路 32 包括做成二极管连接的多个 PMOS 晶体管 32p 和 NMOS 晶体管 32n。如图 32 所示,PMOS 晶体管 32p 与输出缓冲器 31 的 PMOS 晶体管 31p 以及输入缓冲器 33 的 PMOS 晶体管 33p 并联。另一方面,NMOS 晶体管 32n 与输出缓冲器 31 的 NMOS 晶体管 31n 以

及输入缓冲器 33 的 NMOS 晶体管 33n 并联。当高于电源的电压或低于地的电压因 ESD 而加到焊盘 1 上时, 电流就流入该保护电路 32, 从而防止高电压加载到输出缓冲器 31 或输入缓冲器 33 上。由于保护电路 32 的 PMOS 晶体管 32p 和 NMOS 晶体管 32n 需在瞬间流过大的电流, 因此需使用较大的尺寸。

[0157] 在图 32 中, 为了简化说明, 仅示出一块焊盘 1, 但半导体器件配有多个排列的焊盘 1, 例如, 也是在本实施例中的图 30 或图 31 所示。每个输出缓冲器 31、保护电路 32 以及输入缓冲器 33 形成为一块, 每个焊盘一块。

[0158] 图 33- 图 45 示出在实施例 6 的半导体器件中输入输出部分的结构图。图 33- 图 43 是它们中的有关输入输出部分的布线和通孔的布局图案, 图 44 和图 45 是有关输入输出部分的截面图。以下使用这些图来说明实施例 6 的半导体器件的结构。

[0159] 现说明图 33- 图 43 的布局图案和图 44 和图 45 的截面图的对应关系。图 44 和图 45 分别对应于沿图 33- 图 43 的布局图案中所示的线 A-A 和线 B-B 所取的截面。图 33 示出在图 44 和图 45 中所示的在半导体衬底 90 上形成的作用区以及在半导体衬底 90 上形成的多晶硅电极层的布局。同样, 图 34 示出在最下层的层间绝缘膜 91 中第一通孔层的布局, 图 35 示出在层间绝缘膜 91 上第一金属布线层的布局, 图 36 示出在覆盖第一金属布线层的层间绝缘膜 92 中第二通孔层的布局, 图 37 示出在层间绝缘膜 92 上第二金属布线层的布局, 图 38 示出在覆盖第二金属布线层的层间绝缘膜 93 中第三通孔层的布局, 图 39 示出在层间绝缘膜 93 上第三金属布线层的布局, 图 40 示出在覆盖第三金属布线层的层间绝缘膜 94 中形成的第四通孔层的布局, 图 41 示出在层间绝缘膜 94 上第四金属布线层的布局, 图 42 示出在覆盖第四金属布线层的层间绝缘膜 95 中第五通孔层的布局, 图 43 示出在层间绝缘膜 95 上第五金属布线层的布局, 以及覆盖它的钝化膜 96 的开口 83。虽然每个布局图案中的左手边部分是内部电路 30 的形成区, 但为了简单起见, 对该部分具体布局的说明在此省略。

[0160] 通用的布线材料足以用作每个金属布线层的材料, 作为实例, 可提到铝、铜、它们的合金 (例如 Al-Si-Cu、Al-Cu 等) 等。通用的通孔材料足以用于每个通孔层, 作为实例, 可提到钨、铜、其合金等。

[0161] 为了便于说明, 对图 33- 图 45 每个图中的布线和通孔作有按其功能区分的阴影线。具体地说, 它们被区分为 5 个节点: 电源节点、地 (基准电位) 节点、内部电路 30 的逻辑电路输出节点、输出缓冲器 31 的输出节点以及保护电路 32 的输出节点。在图 33- 图 45 中, 同样的编号始终赋予同一组件。

[0162] 形成图 32 所示的输出缓冲器 31、保护电路 32 以及输入缓冲器 33 的每个晶体管 31p-33p、31n-33n 分别形成在由半导体衬底 90 上部中形成的隔离绝缘层 40 所规定的作用区中, 如图 33 所示。

[0163] 由于它们相互并联, 因此输出缓冲器 31 的 PMOS 晶体管 31p 和保护电路 32 的 PMOS 晶体管 32p 形成在同一作用区中, 如图 33 所示。保护电路 32 的 PMOS 晶体管 32p 需要增大形成面积, 以便其尺寸可以变大。由于载流子迁移率低于 NMOS 晶体管, 所以 PMOS 晶体管需要增大尺寸。结果, 如图 33 所示, PMOS 晶体管 31p 和 32p 形成于其中的作用区变得比 NMOS 晶体管 31n 和 32n 形成于其中的作用区要宽, 并且在其上, 将其形成为多个晶体管可以规则地地位于一条线上。

[0164] 另一方面, 由于它们相互并联, 因此输出缓冲器 31 的 NMOS 晶体管 31n 和保护电路

32 的 NMOS 晶体管 32n 形成在同一作用区中。通常, NMOS 晶体管 31n 和 32n 的形成面积变成小于 PMOS 晶体管 31p 和 32p 的形成面积, 如图 33 所示。NMOS 晶体管 31n 和 32n 形成于其中的作用区上部也成为多个晶体管规则地位于一条线上的结构。

[0165] NMOS 晶体管 31n 的栅电极 51 经由第一通孔层 (图 34) 的通孔 51c 连接到第一金属布线层 (图 35) 的布线 59。PMOS 晶体管 31p 的栅电极 53 经由第一通孔层的通孔 53c 连接到第一金属布线层的布线 55。就是说, 布线 55 和 59 是输出缓冲器 31 的输入线, 并连接到内部电路 30 中的逻辑电路 (未示出)。

[0166] PMOS 晶体管 31p 和 32p 的源极区 47 和 PMOS 晶体管 32p 的栅电极 54 分别经由第一通孔层的通孔 47c 和通孔 54c 连接到第一金属布线层的布线 62。有关布线 62 经由第二通孔层 (图 36) 的通孔 62c 连接到第二金属布线层 (图 37) 的布线 67。在此实施例中, 布线 67 是源线, 例如, 位于如图 30 所示框形中的芯片周围部分。除了有关布线 67 外, 第三金属布线层 (图 39) 的布线 74 也用作源线, 以便它可有助于实现高容量的电源 (二者经由第三通孔层 (图 38) 的通孔 67c 互连)。如图 37 所示, 有关布线 67 和 74 被分成多个线条形状。

[0167] NMOS 晶体管 31n 和 32n 的源极区 45 和 NMOS 晶体管 32n 的栅电极 52 分别经由第一通孔层的通孔 45c 和通孔 52c 连接到第一金属布线层的布线 60。有关布线 60 经由第二通孔层的通孔 60c、第二金属布线层的布线 65 以及第三通孔层的通孔 65c 连接到布线 72。在此实施例中, 布线 72 是地线, 例如, 位于如图 30 所示框形中的芯片周围部分。除了布线 72 外, 在此实例中, 第四金属布线层 (图 41) 的布线 79 也用作地线 (二者经由第四通孔层 (图 40) 的通孔 72c 互连)。

[0168] 另一方面, 输入缓冲器 33 的 PMOS 晶体管 33p 的源极区 41 经由第一通孔层的通孔 41c、第一金属布线层的布线 56、第二通孔层的通孔 56c、第二金属布线层的布线 63 以及第三通孔层的通孔 63c 连接到第三金属布线层的布线 70。在此实施例中, 布线 70 是源线, 例如, 位于如图 30 所示框形中的芯片周围部分。除了有关布线 70 外, 在此实例中, 第四金属布线层的布线 77 也用作源线 (二者经由第四通孔层的通孔 70c 互连)。

[0169] 输入缓冲器 33 的 NMOS 晶体管 33n 的源极区 43 经由第一通孔层的通孔 43c、第一金属布线层的布线 57、第二通孔层的通孔 57c、第二金属布线层的布线 64 以及第三通孔层的通孔 64c 连接到第三金属布线层的布线 71。在此实施例中, 布线 71 是地线, 例如位于如图 30 所示框形中的芯片周围部分。除了有关布线 71 外, 在此实例中, 第四金属布线层的布线 78 也用作地线 (二者经由第四通孔层的通孔 71c 互连)。

[0170] 第三金属布线层的布线 68 和第四金属布线层的布线 75 (参阅图 39-图 41) 是用于内部电路 30 的源线 (二者经由第四通孔层的通孔 68c 互连)。第三金属布线层的布线 69 和第四金属布线层的布线 76 同样是用于内部电路 30 的地线 (二者经第四通孔层的通孔 69c 互连)。

[0171] NMOS 晶体管 31n 和 32n 的漏极区 46、PMOS 晶体管 31p 和 32p 的漏极区 48 以及输入缓冲器 33 的栅电极 50, 分别经由第一通孔层的通孔 46c、通孔 48c 和通孔 50c 一起连接到第一金属布线层的布线 61 (公用布线)。有关布线 61 经由第二通孔层的通孔 61c、第二金属布线层的布线 66、第三通孔层的通孔 66c、第三金属布线层的布线 73、第四通孔层的通孔 73c、第四金属布线层的布线 80 以及第五通孔层 (图 42) 的通孔 80c 连接到第五金属布

线层（图 43）的布线 82。有关布线 82 起焊盘 1 的作用。如图 44 和图 45 所示，半导体器件的上表面覆有钝化膜 96，但该上表面暴露的开口 83 形成在作为焊盘 1 的布线 82 上。

[0172] 有关焊盘 1 具有和实施例 1 相同的结构（参阅图 1- 图 3）。就是说，在焊盘 1 中，在第五通孔层中形成的多个线条形的通孔 81c 如图 42 连接在第五金属布线层的布线 82 下面，且第四金属布线层的布线 81 如图 41 进一步连接在有关通孔 81c 的下面。就是说，和实施例 1 一样，焊盘 1 具有使用第五金属布线层即最上层布线层形成的布线 82（第一金属）、连接在有关布线 82 下面的多个线条形的通孔 81c（第二金属）、以及使用在第五金属布线层下面一层的第四金属布线层（第一下层布线层）形成的布线 81。

[0173] 所以，在此实施例中，通孔 81c 的宽度 W 和间隔 D 需要满足以下关系：

$$[0174] \quad W \leq D \leq 2 \times W \quad (1)$$

[0175] 当做成这样并使对焊盘 1 施加应力的方向在平面图中接近垂直于通孔 81c 的长边方向时，如实施例 1 所述，在层间绝缘膜 94 和 95 中就很难产生裂纹。在这种情况下，最好将多个焊盘 1 整齐放置，并定位到通孔 81c 的长边方向。这样，就容易使从芯片外部进入的探针、焊头等接触，以使进入方向可以在平面图中垂直于通孔 81c 的长边方向。

[0176] 第三金属布线层的布线 74 是通过焊盘 1 底部的源线，它被分成多个线条形状。就是说，该布线 74 相当于在实施例 5 中所示的“被分成线条形的第二下层布线层的布线”。就是说，有关布线 74 能够吸收在焊盘 1 处产生的应力。所以，可以作到高集成度，抑制通过让布线 74 在焊盘 1 下面通过而导致的半导体器件的强度退化。

[0177] 由于焊盘 1 位于输出缓冲器 31 的上面，因此有关焊盘 1 和输出缓冲器 31 可通过一短布线路径连接，如图 45。所以，焊盘 1 和输出缓冲器 31 之间的布线电阻和布线电容可被抑制到最小。这样，就抑制了输出缓冲器 31 驱动能力的损失，并获得电性能优异的输入输出电路。

[0178] 此实施例的焊盘 1 是形成在输出缓冲器 31 的 PMOS 晶体管 31p 和 32p 以及保护电路 32 的上面，而不是形成在 NMOS 晶体管 31n 和 32n 的上面，如上述图 33- 图 45 所示。它并不形成在输入缓冲器 33 和内部电路 30 的上面。

[0179] 如上所述，PMOS 晶体管 31p 和 32p 形成于其中的作用区的面积比较宽，有关区域上部成为多个晶体管规则地位于一条线上的结构。所以，从外部施加的应力被均匀分布到 PMOS 晶体管 31p 和 32p 的整个形成面积上，并且很难将应力集中在一特定部分。所以，可以说，PMOS 晶体管 31p 和 32p 具有高抗应力性。通常，当有源器件位于焊盘 1 的下面时，我们担心因在焊盘 1 处产生的应力而破坏有关元件。但在此实施例中，可以作到高集成度，将半导体器件的强度退化抑制到最小，因为具有优异抗应力性结构的 PMOS 晶体管 31p 和 32p 位于焊盘 1 的下面。

[0180] 而且，在此实施例中，PMOS 晶体管 31p 和 32p 的漏极区 48、NMOS 晶体管 31n 和 32n 的漏极区 46 以及焊盘 1 电连接到公用布线 61，如图 33- 图 45 所示。在有关布线 61 中，与焊盘 1 的连接部分（通孔 61c）在与漏极区 48 的连接部分（通孔 48c）和与漏极区 46 的连接部分（通孔 46c）之间。当通过这样排列使 ESD 进入焊盘 1 时，就防止了所加高压移向两个 PMOS 晶体管 31p 和 32p 或 NMOS 晶体管 31n 和 32n 之一，且电流流入保护电路 32。所以，半导体器件的抗 ESD 性就会更高。

[0181] 焊盘 1 的上表面暴露于钝化膜 96 的开口 83，并在探测或焊接的情况下可对暴露部

分进行物理访问。在此实施例中,实现用于电连接焊盘 1 的连接结构的通孔 80c、布线 80、通孔 73c、通孔 66c、布线 66 和通孔 61c,以及输出缓冲器 31 和输入缓冲器 33 连接的布线 61 都位于偏离开口 83 的位置,如图 45。就是说,有关连接结构是连接在覆有钝化膜 96 的边缘部分的下面,而不是暴露于开口 83 的焊盘 1 的中心部分。所以,就防止了在探测或焊接的情况下加到焊盘 1 上的应力被直接加到有关连接结构上,并获得了焊盘 1 与输出缓冲器 31 和输入缓冲器 33 之间的高连接可靠性。

[0182] 在此实施例中,焊盘 1 形成在 PMOS 晶体管 31p 和 32p 的上面,而不是形成在 NMOS 晶体管 31n 和 32n 的上面。所以,焊盘 1 的边缘部分将不可避免地位于如图 45 所示接近 PMOS 晶体管 31p 和 32p 的作用区与 NMOS 晶体管 31n 和 32n 的作用区之间的区域上部。所以,很容易作到:使与焊盘 1 的连接部分(通孔 61c)位于布线 61 中与漏极区 48 的连接部分(通孔 48c)和与漏极区 46 的连接部分(通孔 46c)之间,而且使焊盘 1 和布线 61 之间的连接结构(通孔 80c、布线 80、通孔 73c、通孔 66c、布线 66 和通孔 61c)位于覆有钝化膜 96 的边缘部分的下面。

[0183] 虽然上述说明示出了将焊盘 1 形成在 PMOS 晶体管 31p 和 32p 的上面,而不是形成在 NMOS 晶体管 31n 和 32n 上面的结构,但相反,也可以做成将它形成在 NMOS 晶体管 31n 和 32n 的上面,而不是形成在 PMOS 晶体管 31p 和 32p 上面的结构。也就是,所需要的只是将焊盘 1 形成在 PMOS 晶体管 31p 和 32p 与 NMOS 晶体管 31n 和 32n 二者之一的上面。

[0184] 如上所述,NMOS 晶体管 31n 和 32n 的作用区上部也是多个晶体管规则地位于一条线上的结构。由于从外部施加的应力被均匀分布在 NMOS 晶体管 31n 和 32n 的整个形成面积上,因此抗应力性很高。所以,也当 NMOS 晶体管 31n 和 32n 位于焊盘 1 的下面时,半导体器件的强度退化可被抑制到最小。但是,对于 NMOS 晶体管 31n 和 32n 来说,由于载流子迁移率比 PMOS 晶体管 31p 和 32p 要高,因此其形成面积就变小,如图 33。因此,在 PMOS 晶体管 31p 和 32p 上形成的方法可增大面积,并且焊盘 1 具有能易于进行探测和焊接的优点。

[0185] 虽然该实施例示出的实例中作为源线的第二金属布线层的布线 67 和第三金属布线层的布线 74 都被分成如图 37 和图 39 的多个线条形,如图 46 所示,例如,被分成多个的每个布线 67 可被部分连接(布线 74 也一样)。在这种情况下,由于防止了用于被分成多个的每条源线的电位变化,因此本发明的半导体器件的工作可靠性得以改进。

[0186] 在说明此实施例中,虽然示出的是半导体器件具有五层金属布线层的结构,但本发明的应用不限于此,并可以应用到具有四层或更少层或者具有六层或更多层的金属布线层的半导体元件。

[0187] (实施例 7)

[0188] 图 47-图 59 示出了实施例 7 的半导体器件输入输出部分的结构图。图 47-图 57 是有关输入输出部分的布线和通孔的布局图案,分别对应于实施例 6 的图 33-图 43。图 58 和图 59 是有关输入输出部分的截面图,分别对应于实施例 6 的图 44 和图 45。图 58 和图 59 分别对应于沿图 33-图 43 布局图案中所示线 A-A 和线 B-B 作的截面图。

[0189] 在图 47-图 59 中,同样的编号赋予具有如图 33-图 45 中所示的相同功能的组件。在图 47-图 59 和图 33-图 45 中,只是布线和通孔的排列不同,而相互的电连接关系相同。就是说,在图 47-图 59 所示结构的等效电路和图 32 相同。所以,在以下,省略了每个布线和通孔的连接关系的详细说明,仅说明了实施例 7 的特征部分。

[0190] 在前一实施例 6 中,示出了焊盘 1 形成在输出缓冲器 31 的 PMOS 晶体管 31p 和 32p 与 NMOS 晶体管 31n 和 32n 二者之一和保护电路 32 上面的结构。但在此实施例中,如图 59 所示,焊盘 1 形成为可跨在 PMOS 晶体管 31p 和 32p 以及 NMOS 晶体管 31n 和 32n 之上。在此实施例中,焊盘 1 不形成在输入缓冲器 33 和内部电路 30 之上。

[0191] 由于 PMOS 晶体管 31p 和 32p 以及 NMOS 晶体管 31n 和 32n 的作用区上部是多个晶体管规则地位于一条线上的结构,如上所述,因此抗应力性很高。所以,当将 PMOS 晶体管 31p 和 32p 以及 NMOS 晶体管 31n 和 32n 定位在焊盘 1 下时,就可作到高集成度,将半导体器件的强度下降像此实施例一样抑制到最小。

[0192] 当焊盘 1 位于输出缓冲器 31 的上面时,焊盘 1 和输出缓冲器 31 可通过一短布线路连接,如图 59。所以,就抑制了输出缓冲器 31 驱动能力的损失,并获得了电性能优异的输入输出电路。

[0193] 在此实施例中,焊盘 1 可形成为可跨在 PMOS 晶体管 31p 和 32p 以及 NMOS 晶体管 31n 和 32n 之上,且焊盘 1 的面积可以作得比实施例 6 更大。这样,就获得了容易对有关焊盘 1 进行探测和焊接的效果。

[0194] 用于将焊盘 1 电连接到输出缓冲器 31 和输入缓冲器 33 所连接的布线 61 的连接结构(通孔 80c、布线 80、通孔 73c、通孔 66c、布线 66 和通孔 61c)都位于偏离钝化膜 96 的开口 83 的位置,如图 59。所以,就防止了在探测或焊接的情况下加到焊盘 1 上的应力被直接加到有关连接结构上,并获得了焊盘 1 与输出缓冲器 31 和输入缓冲器 33 之间的高连接可靠性。

[0195] 由于焊盘 1 具有和实施例 1 相同的结构(参阅图 1-图 3),因此最好将通孔 81c 的宽度 W 和间隔 D 做成满足上面提到的公式(1)的关系。在这种情况下,当使对焊盘 1 施加应力的方向在平面图中接近垂直于通孔 81c 的长边方向时,在层间绝缘膜 94 和 95 中就很难产生裂纹。最好将多个焊盘 1 整齐放置,并定位到通孔 81c 的长边方向。这样,就容易使从芯片外部进入的探针、焊头等接触,以使进入方向可在平面图中垂直于通孔 81c 的长边方向。

[0196] 由于具有增大的焊盘 1,因此不仅作为源线的布线 74 而且布线 72 也将沿实施例 7 的有关焊盘 1 的底部通过。在此实施例中,布线 74 和布线 72 分别被分成如图 53 的多个线条形状。就是说,布线 72 和 74 相当于在实施例 5 中所示的“被分成线条形的第二下层布线的布线”。就是说,有关布线 72 和 74 能够吸收在焊盘 1 处产生的应力。所以,就抑制了通过让布线 74 和布线 72 在有关焊盘 1 底部通过而导致的半导体器件的强度退化。

[0197] (实施例 8)

[0198] 图 60-图 64 示出实施例 8 的半导体器件的输入输出部分结构的布局图案,分别对应于实施例 7 中所示的图 53-图 57。就是说,图 60-图 64 分别示出半导体器件输入输出部分的第三金属布线层、第四通孔层、第四金属布线层、第五通孔层以及第五金属布线层的布局。由于作用区和多晶硅电极层、第一通孔层、第一金属布线层、第二通孔层、第二金属布线层以及第三通孔层的布局和实施例 7 的图 47-图 52 所示的相同,因此其说明在此省略。而且在图 60-图 64 中,同样的编号赋予具有与在实施例 6 中图 33-图 45 所示相同功能的组件。

[0199] 仅是布线和通孔的布局不同,而相互电连接关系在图 60-图 64 与图 53-图 57 中

相同。就是说,该实施例的输入输出部分的等效电路和图 32 相同。所以,在以下,省略了每个布线和通孔的连接关系的详细说明,仅说明了实施例 8 的特征部分。

[0200] 在此实施例中,焊盘 1 做成比实施例 7 的更大,它形成为可跨在输出缓冲器 31、保护电路 32 和输入缓冲器 33 的上部以及部分内部电路 30 的上部。即,如图 62- 图 64,使形成焊盘 1 的第四金属布线层的布线 81、第五通孔层的通孔 81c 以及第五金属布线层的布线 82 分别延伸和存在于输出缓冲器 31、保护电路 32、输入缓冲器 33 以及部分内部电路 30 之上。

[0201] 由于焊盘 1 具有和实施例 1 相同的结构(参阅图 1- 图 3),因此最好将通孔 81c 的宽度 W 和间隔 D 做成满足上述公式 (1) 的关系。在这种情况下,当使对焊盘 1 施加应力的方向在平面图中接近垂直于通孔 81c 的长边方向时,在层间绝缘膜 94 和 95 中就很难产生裂纹。而且,最好将多个焊盘 1 整齐放置,并定位到通孔 81c 的长边方向。这样,就容易使从芯片外部进入的探针、焊头等接触,以使进入方向可在平面图中垂直于通孔 81c 的长边方向。

[0202] 如图 60- 图 62,第三金属布线层的布线 68(用作内部电路 30 的源线)、布线 69(用作内部电路 30 的地线)、布线 70 和 74(电源线)以及布线 71 和 72(地线)都在焊盘 1 的下面通过。在此实施例中,这些布线 68-72 以及 74 都分别被分成多个线条的形状,并用作在实施例 5 所示的“分成线条形的第二下层布线层的布线”。就是说,布线 68-72 和 74 可吸收在焊盘 1 处产生的应力,并可抑制裂纹的产生。

[0203] 因此,按照此实施例,焊盘 1 的面积可以增大,保持半导体器件的抗应力性。当焊盘 1 的面积变大时,就可获得容易对有关焊盘 1 进行探测和焊接的效果。

[0204] 如图 65 所示,可以使用该图,将焊盘 1 的上表面分成用于进行探测的区域(探测区),以及用于进行引线焊接的区域(焊接区)。

[0205] 近年来,为了有助于半导体模块的微型化,用于焊接的引线正在日益变细。所以,当焊盘的上表面由于探测以及进行焊接引线而被损坏时,就容易产生连接失效。当焊盘 1 的面积可以如该实施例被增大,且探测区和焊接区可被分开时,即使是在探测之后,焊接区的上表面也不受损害,并可安全地进行引线焊接。

[0206] 在单独规定焊盘 1 上表面上的探测区和焊接区时,最好将焊接区做在半导体芯片的外侧。其原因可用图 66 来说明。例如,当在半导体芯片内部焊接引线时,如图 66(a),引线很容易接触半导体芯片的边缘。当略微加长引线时,就可防止接触,但不利于半导体模块的微型化。当将引线焊接到半导体芯片的外侧时,如图 66(b),不加长引线就可防止有关引线和半导体芯片边缘的接触。

[0207] 虽然已对本发明作了详细说明,但上述说明在所有方面都是示范性的,本发明并不局限于此。在不背离本发明范围的前提下,可以设想未举例说明的无数改动。

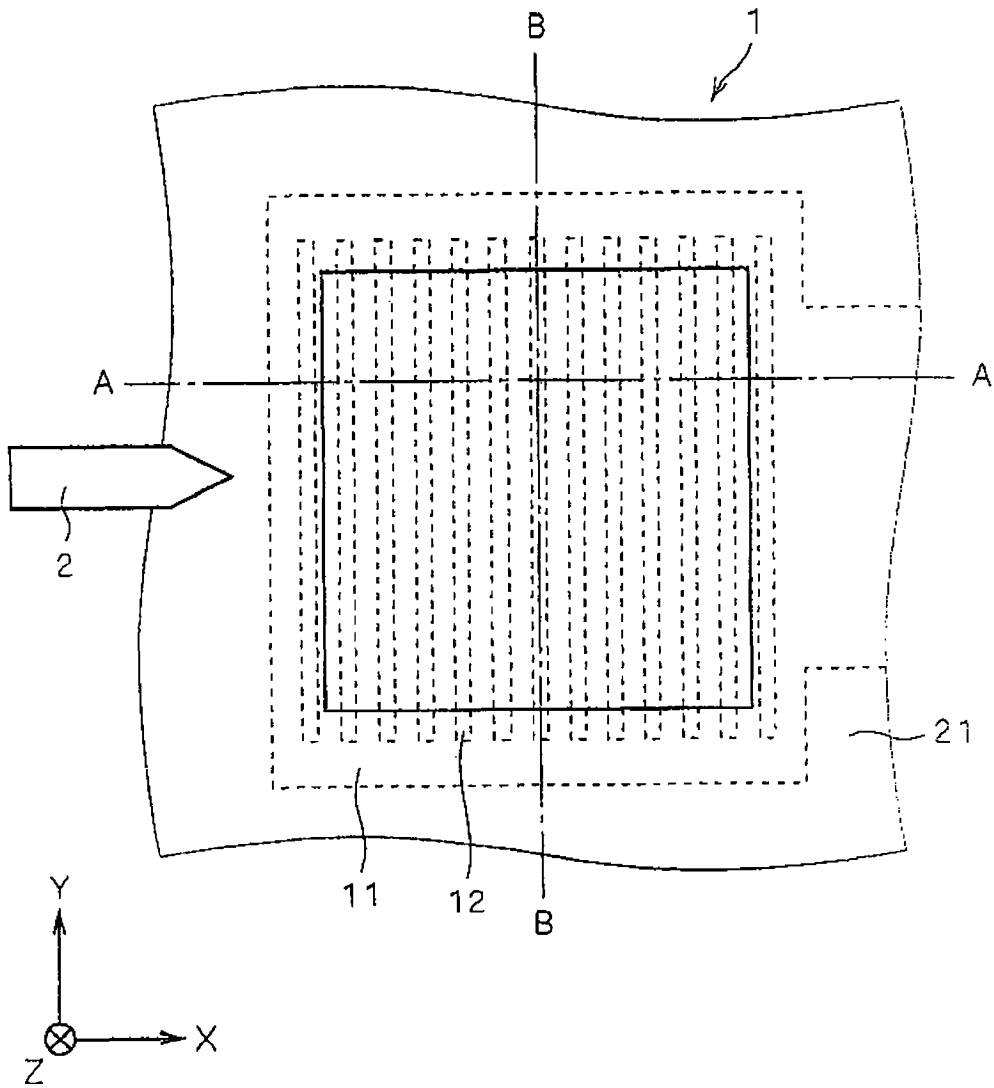


图 1

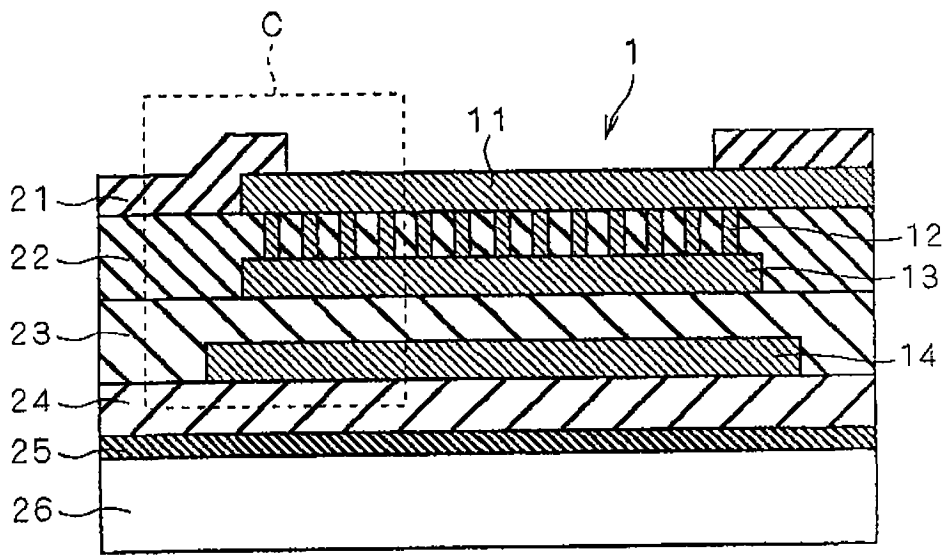


图 2

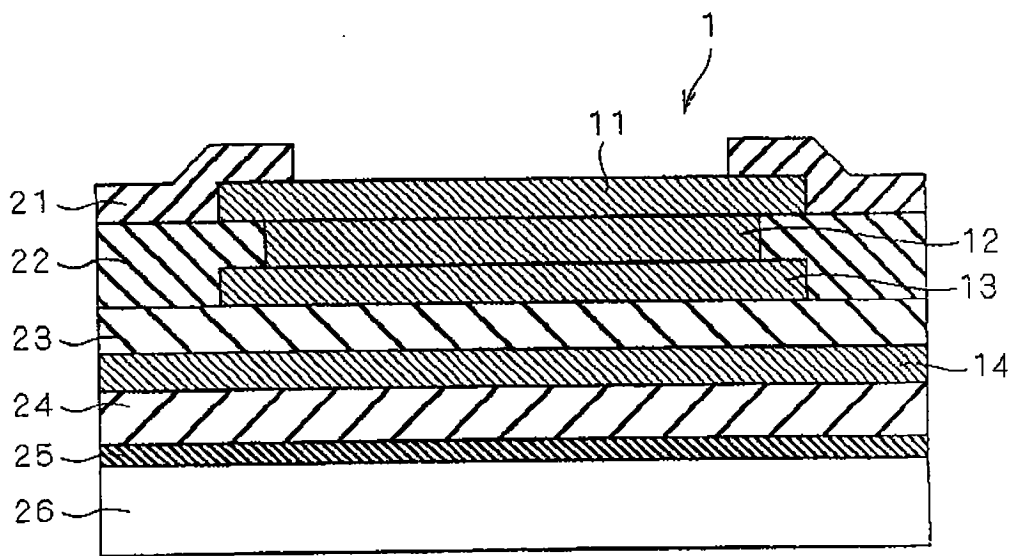


图 3

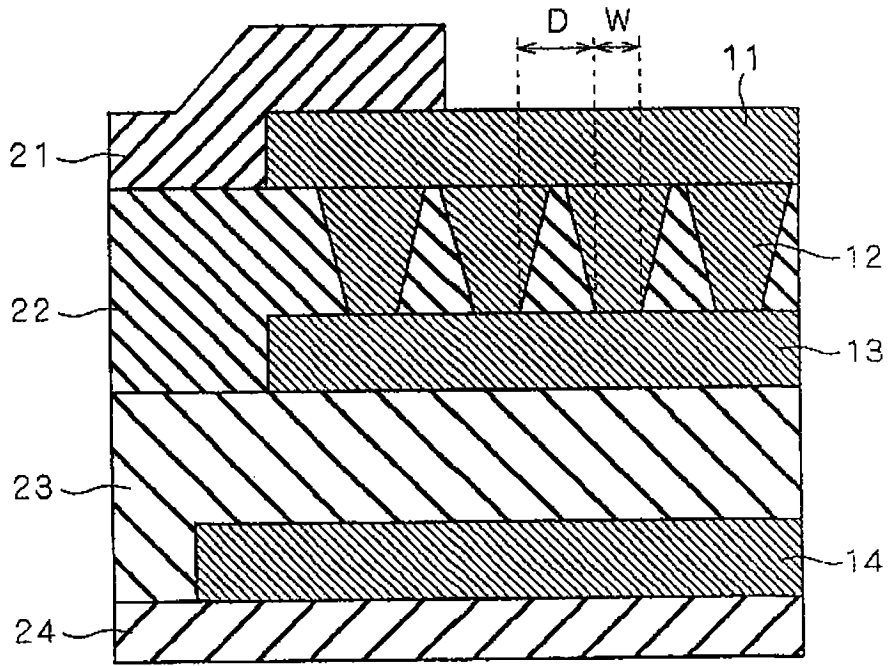


图 4

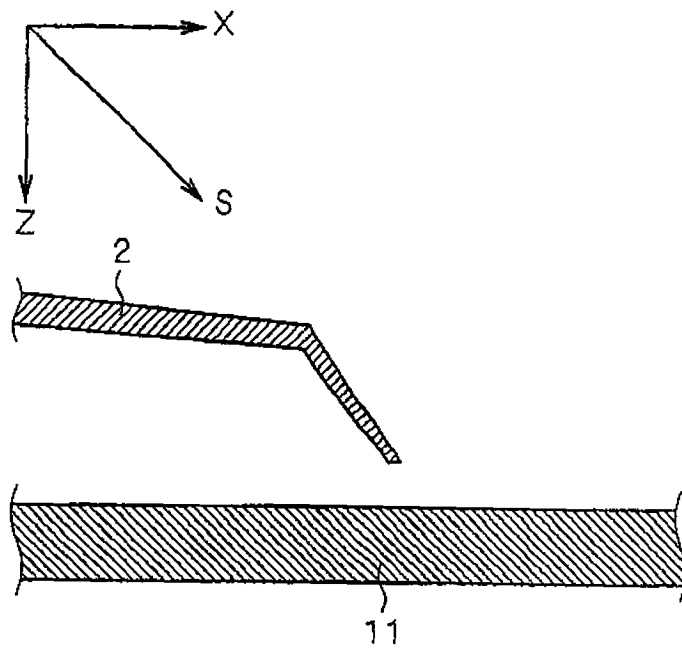


图 5A

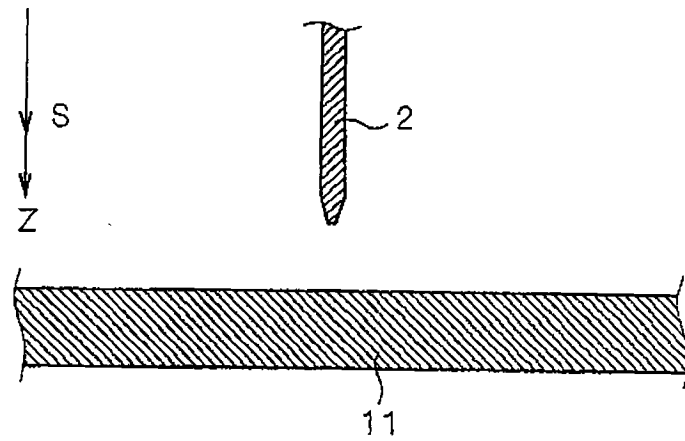


图 5B

	OD 数 (μm)	探测次数			
		一次	5次	7次	10次
1 常规结构 (大口径通孔)	50	○	○	○	○
	80	○	○	○	×
	100	○	○	×	×
2 实施例 1 (以对第二金属的直角接触)	50	○	○	○	○
	80	○	○	○	×
	100	○	○	×	×
3 实施例 1 (平行于第二金属接触)	50	○	○	○	×
	80	○	○	×	×
	100	○	×	×	×
4 实施例 2 (应力模拟)	50	○	○	○	○
	80	○	○	○	×
	100	○	○	○	×
5 实施例 4 (和实施例 1 的组合结构)	50	○	○	○	○
	80	○	○	○	○
	100	○	○	○	○

○：无裂纹
×：裂纹产生

图 6

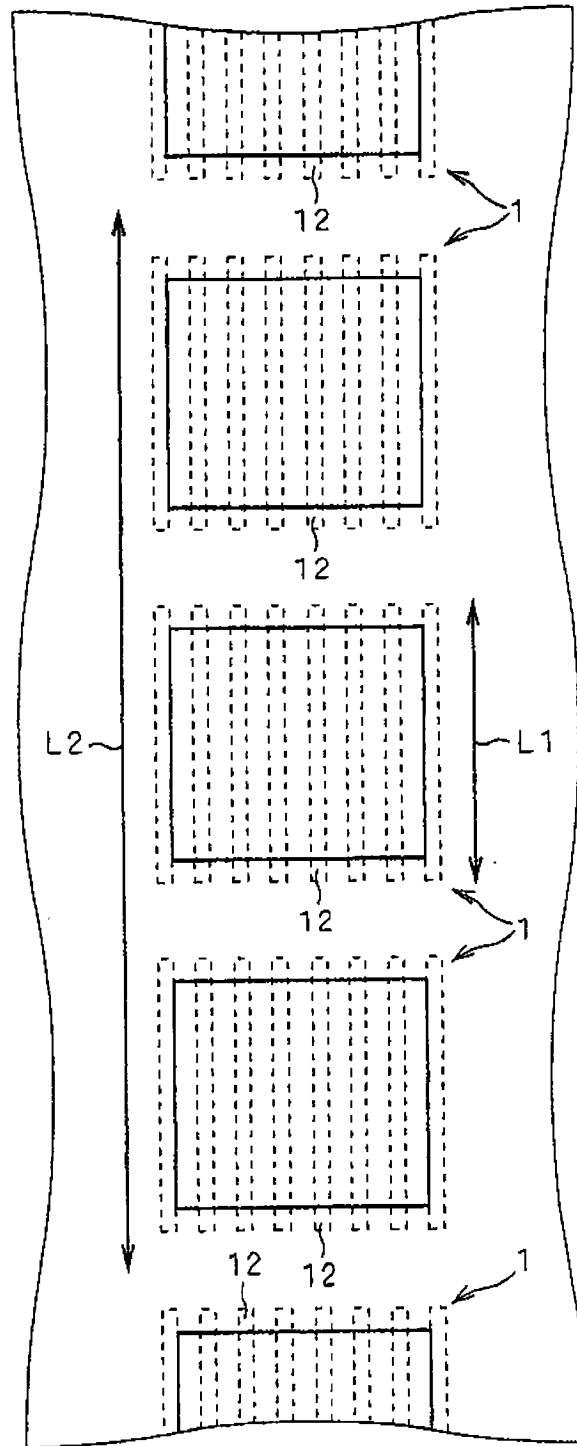


图 7

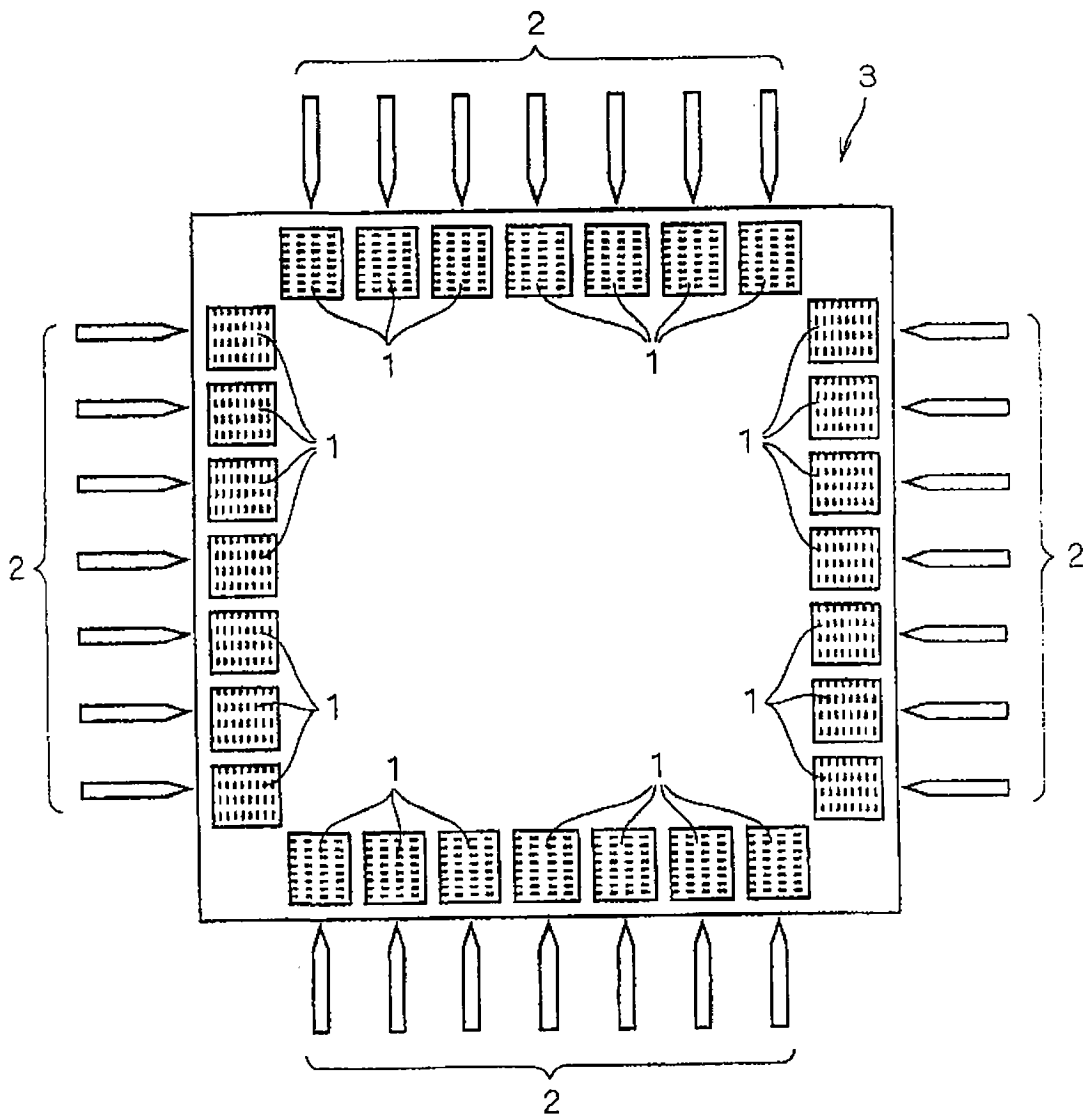


图 8

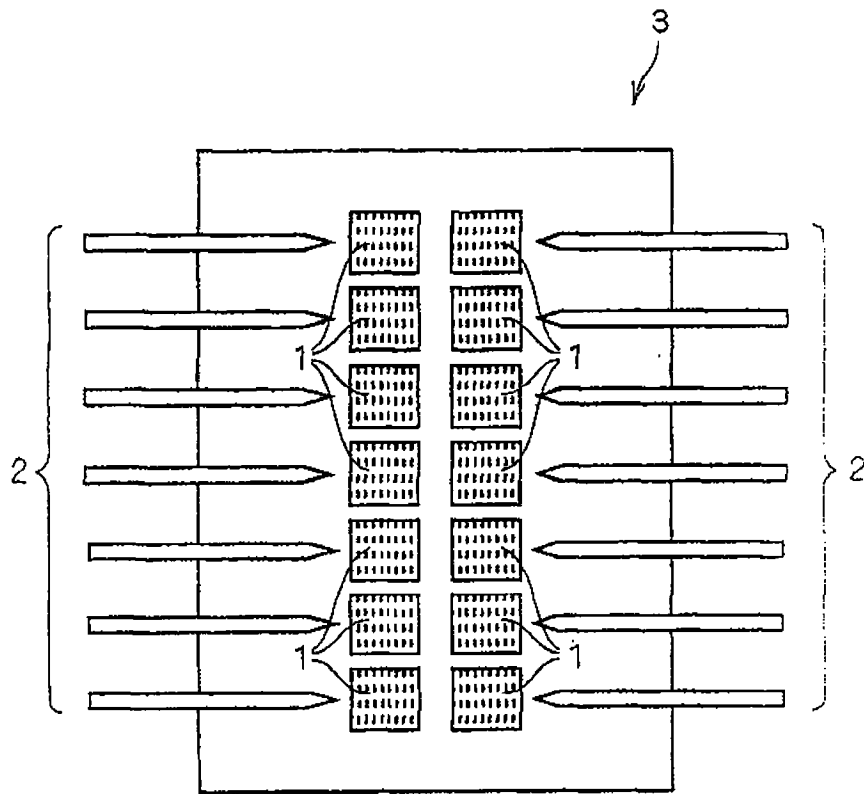


图 9

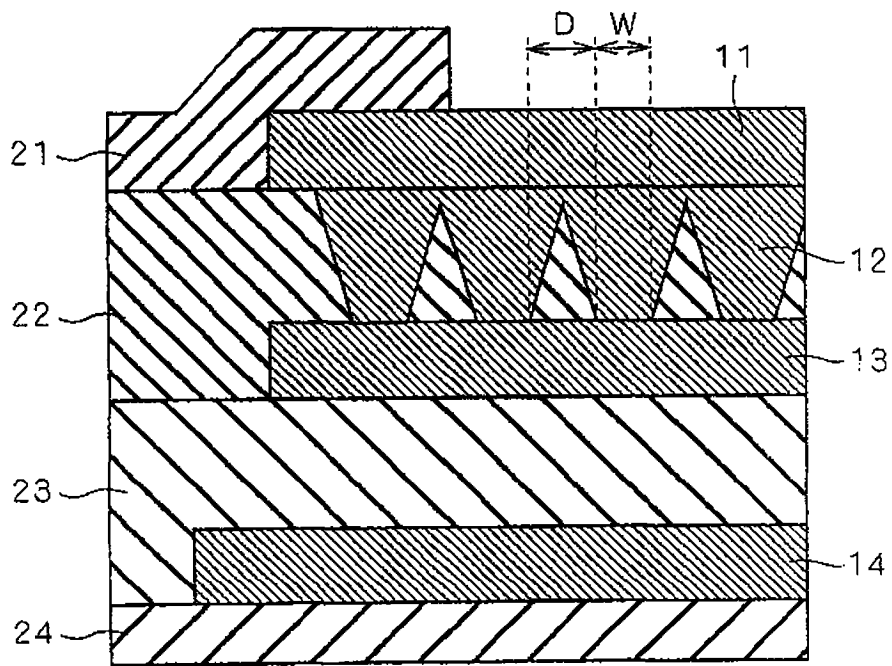


图 10

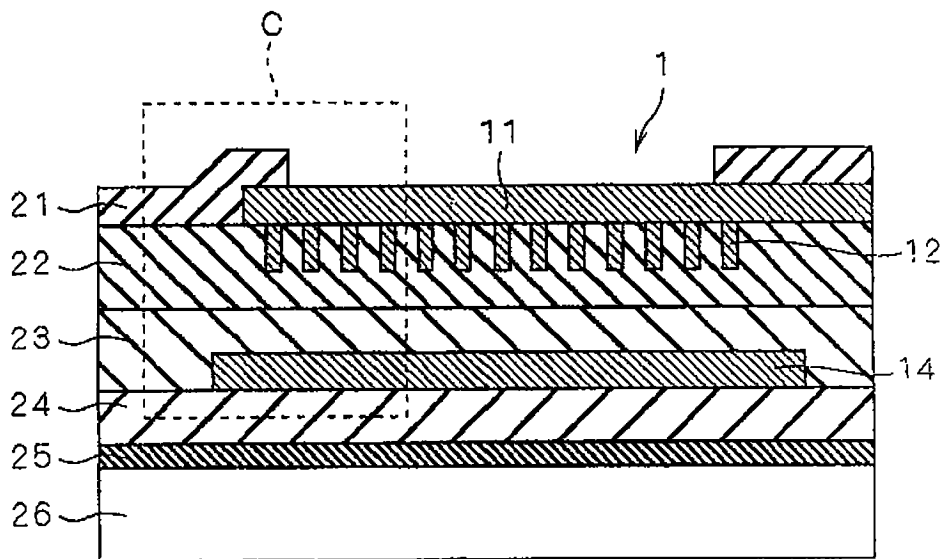


图 11

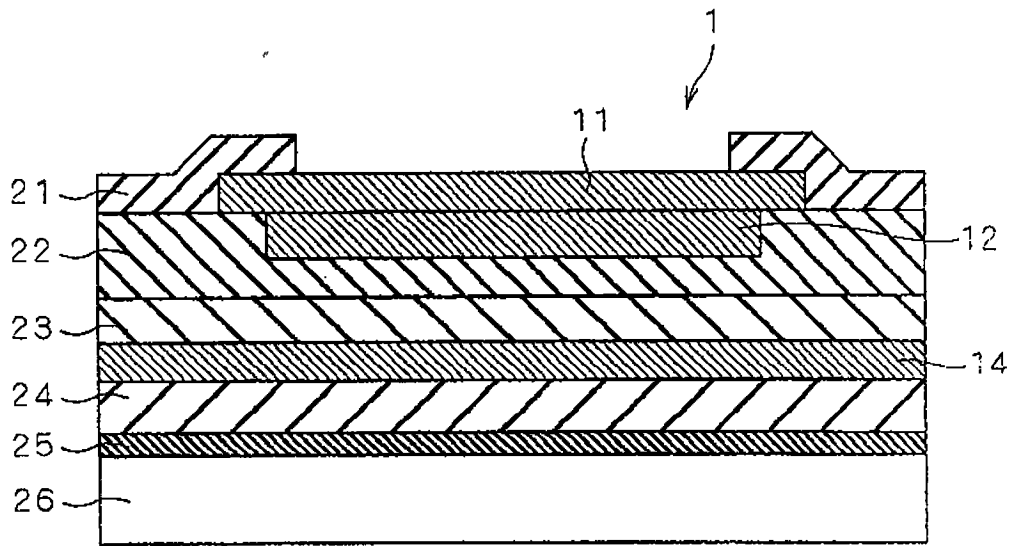


图 12

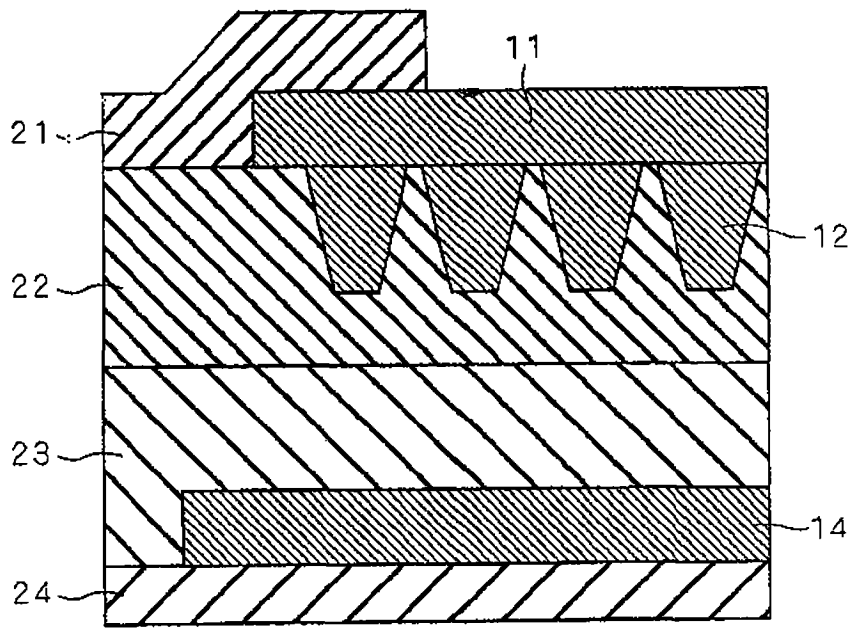


图 13

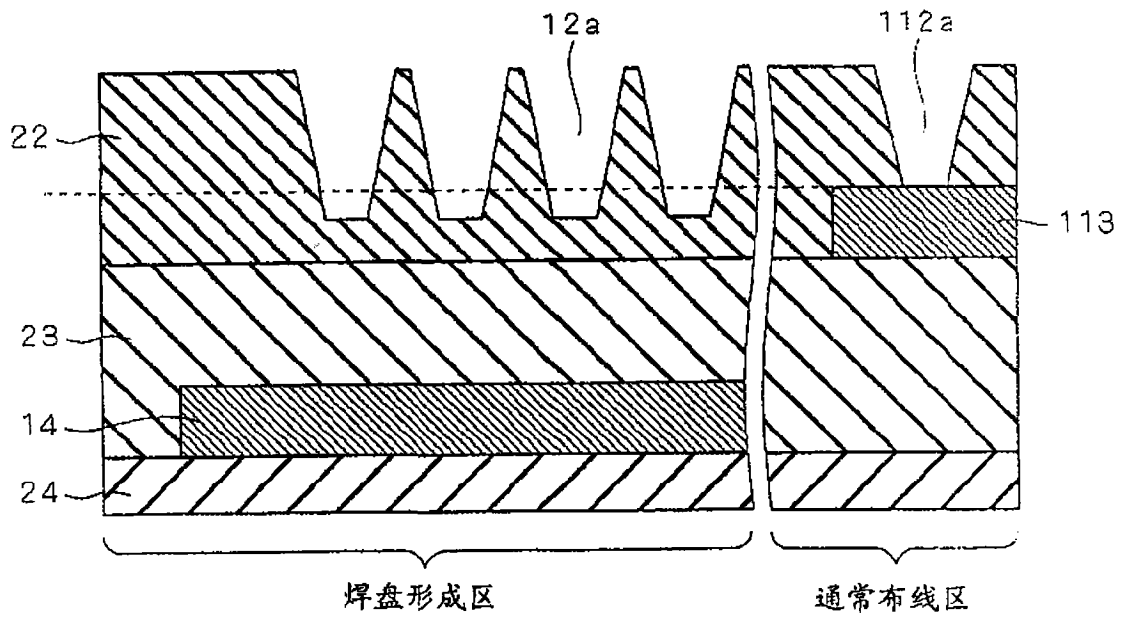


图 14

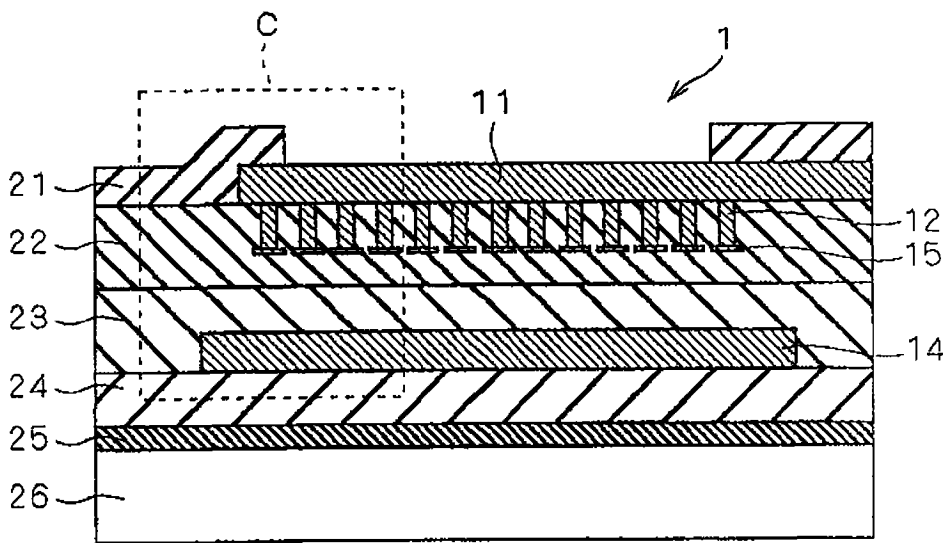


图 15

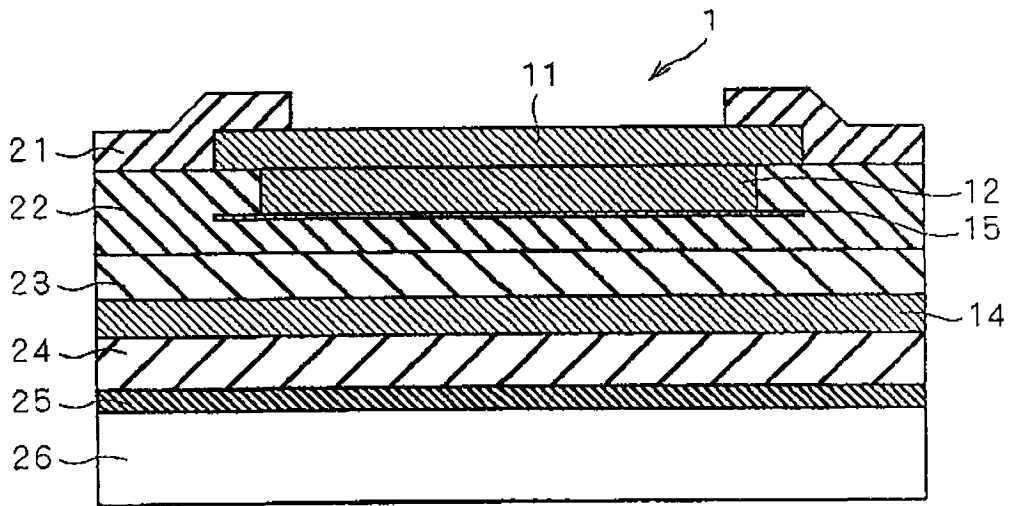


图 16

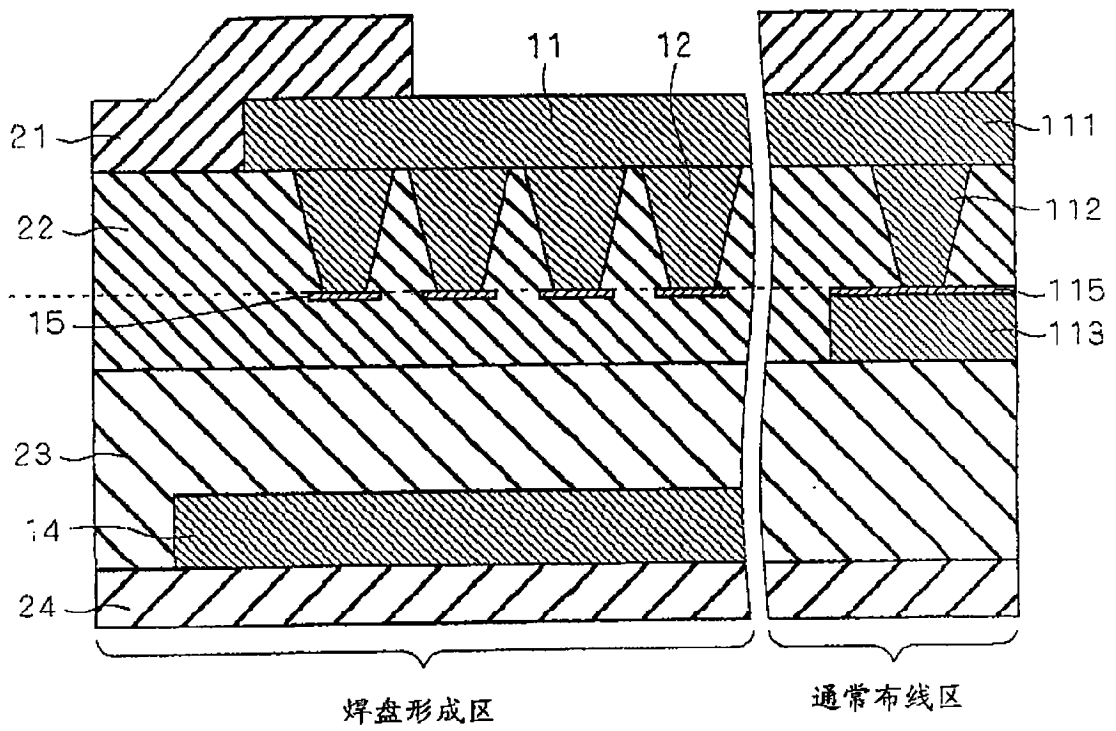


图 17

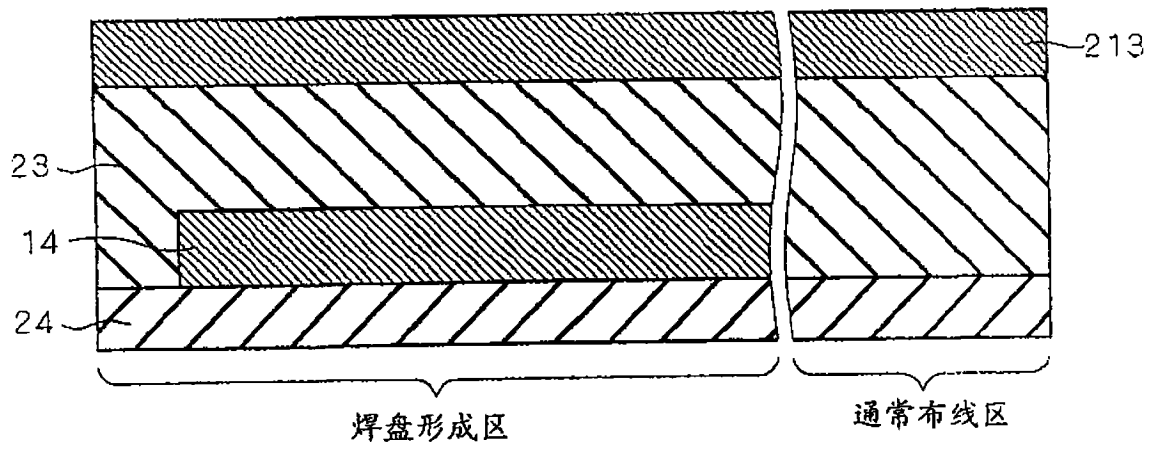


图 18

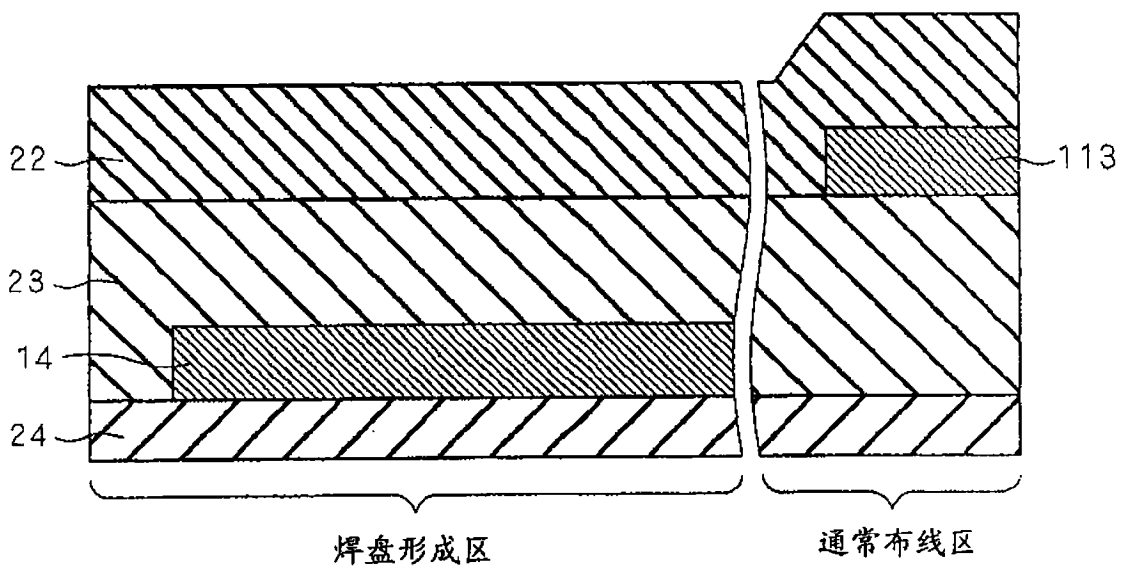


图 19

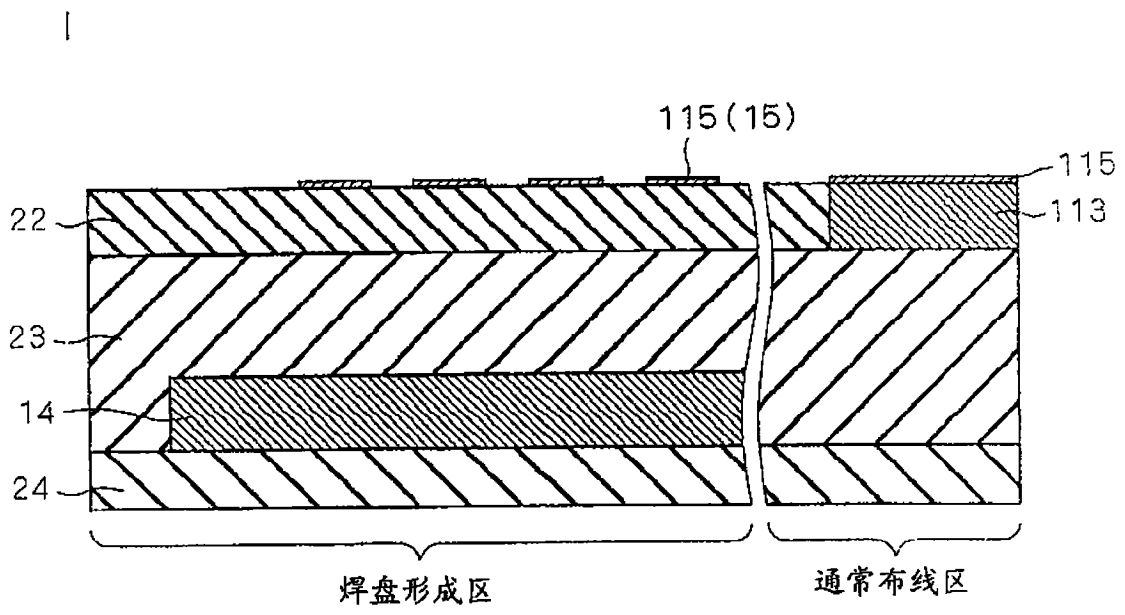


图 20

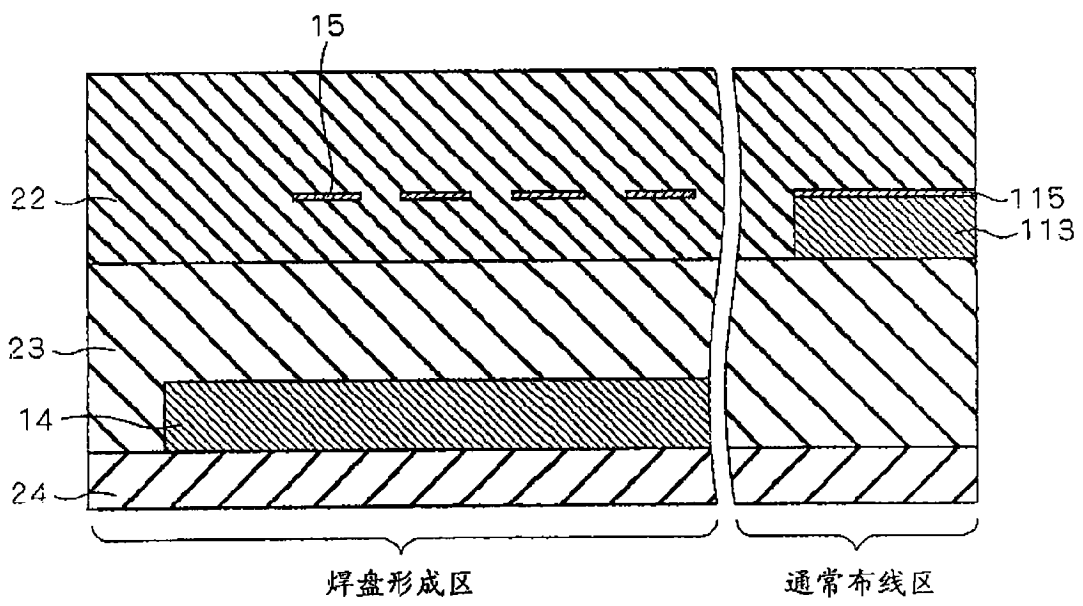


图 21

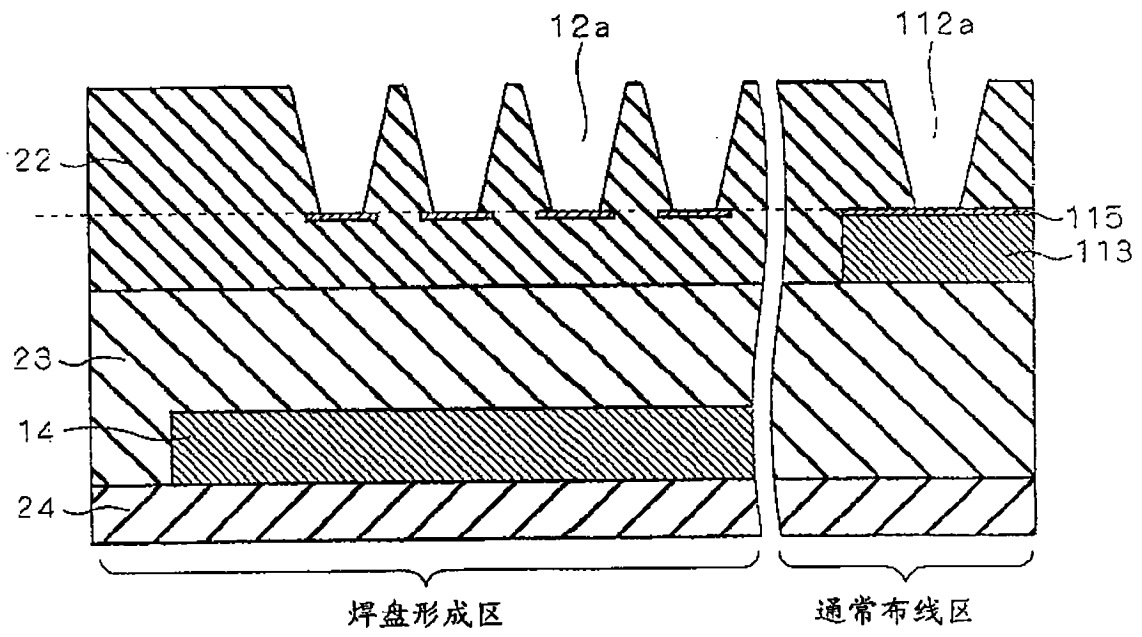


图 22

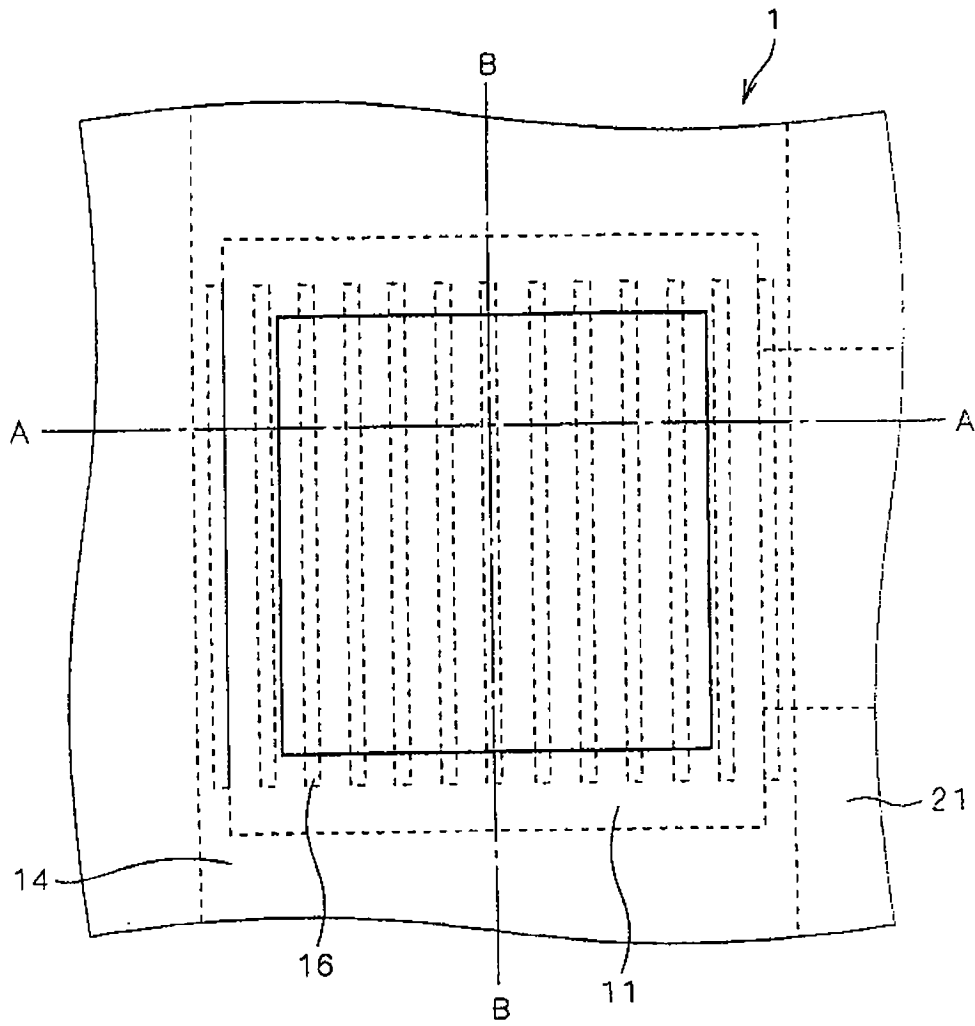


图 23

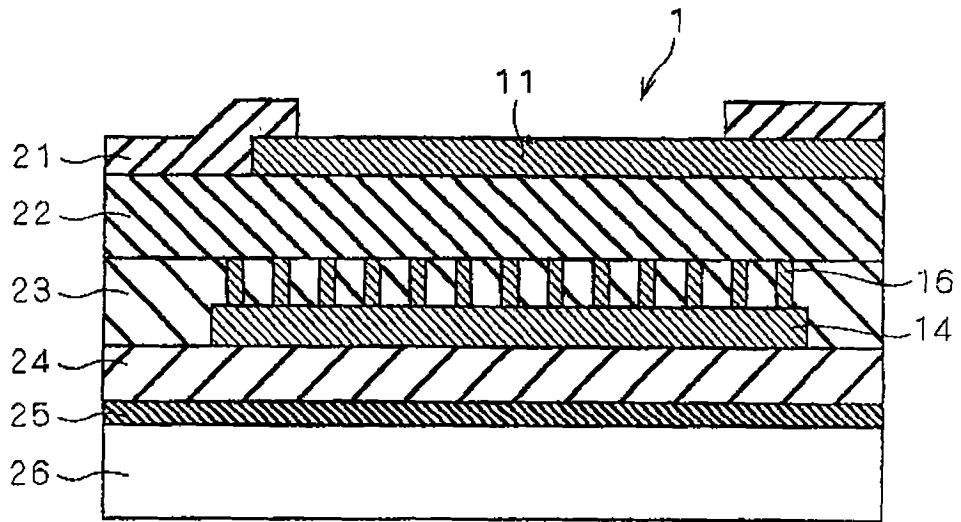


图 24

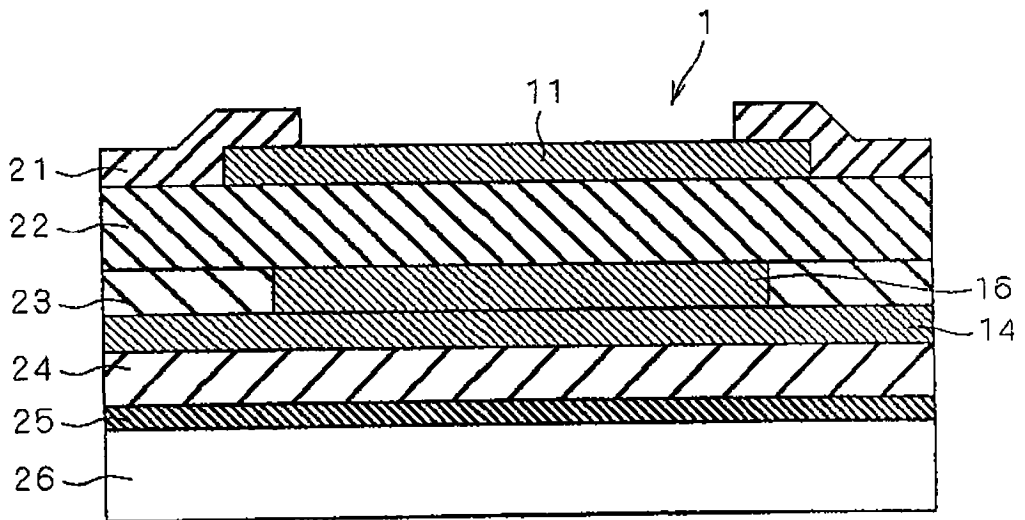


图 25

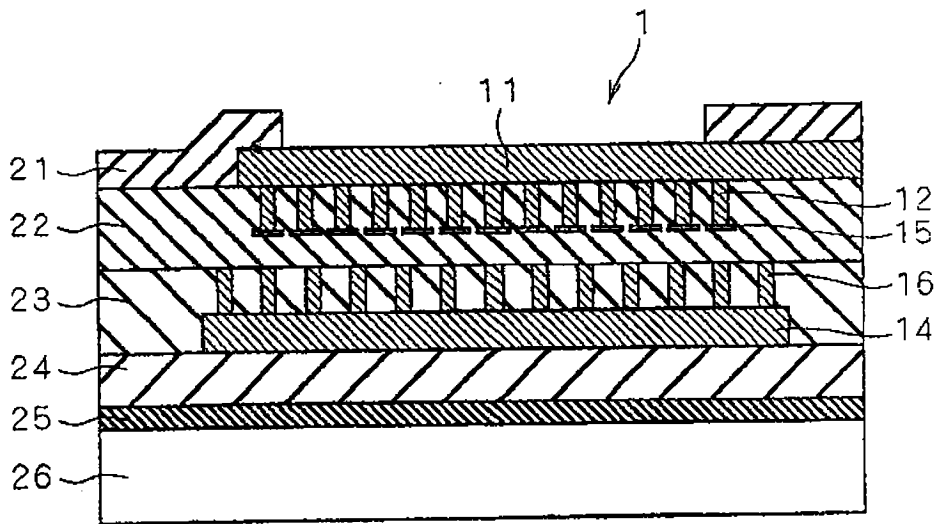


图 26

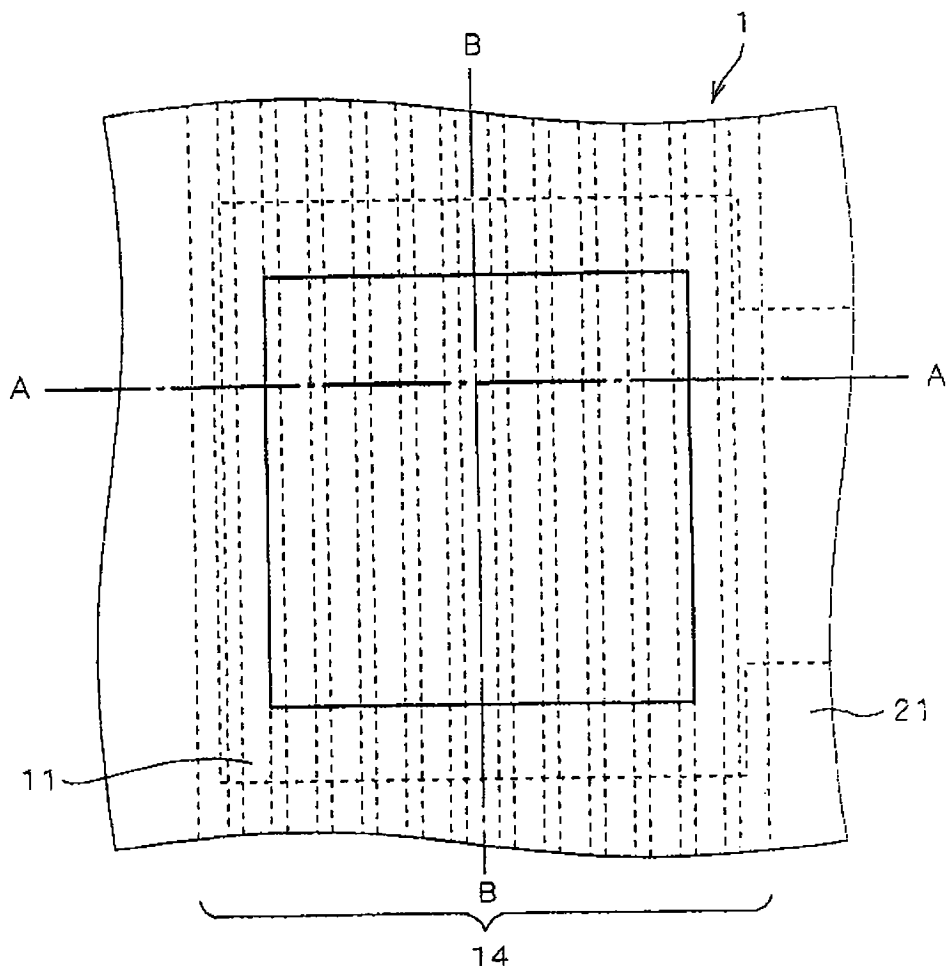


图 27

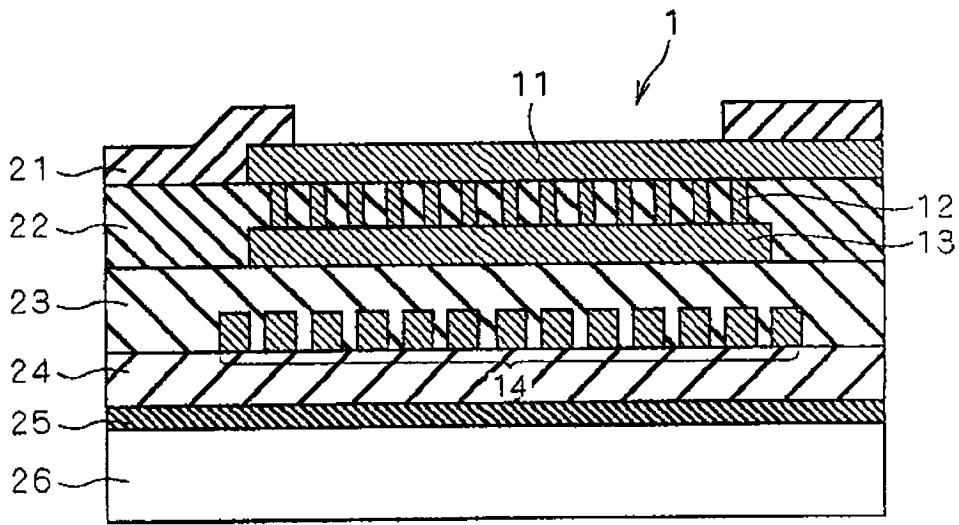


图 28

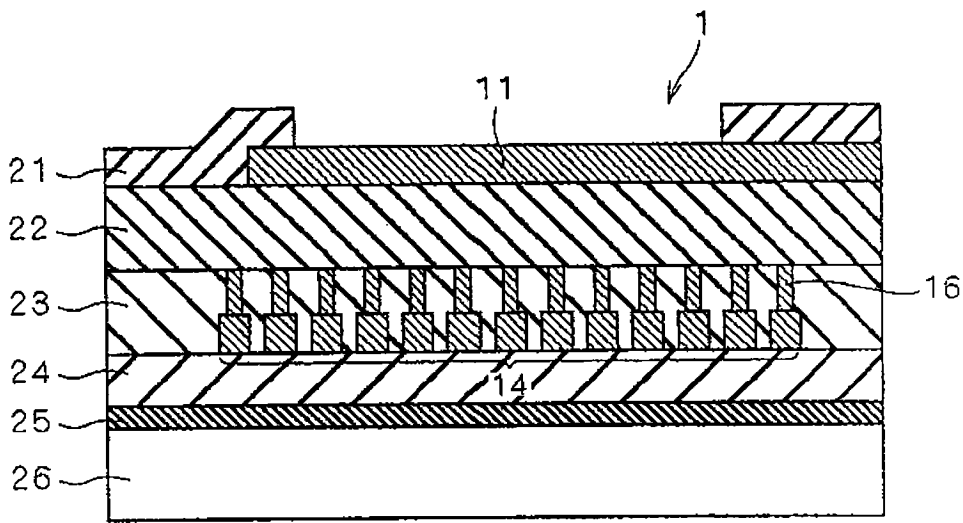


图 29

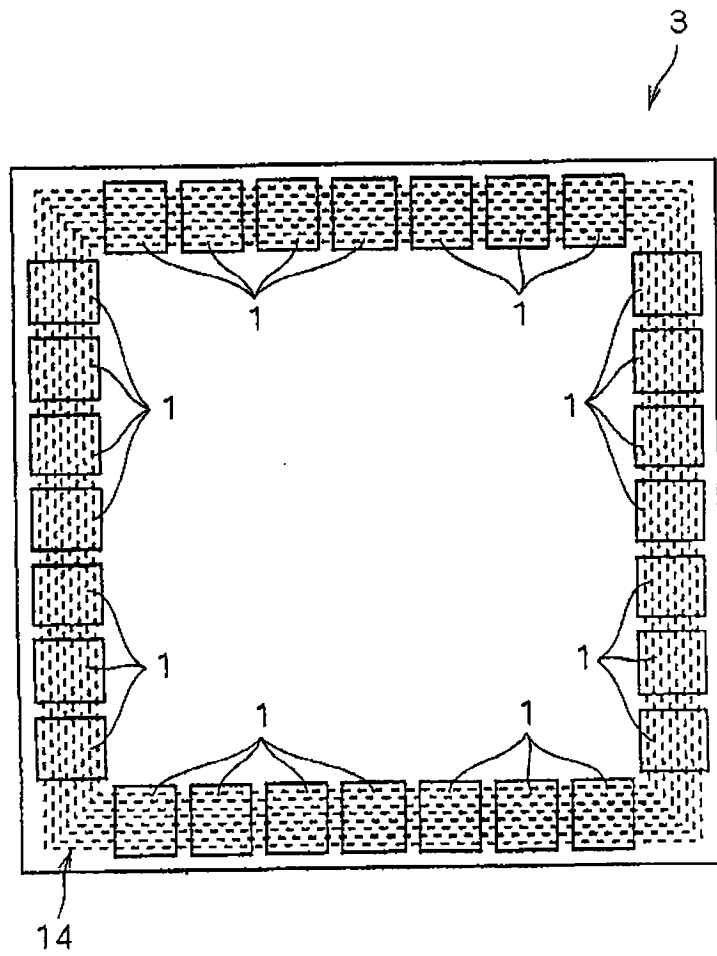


图 30

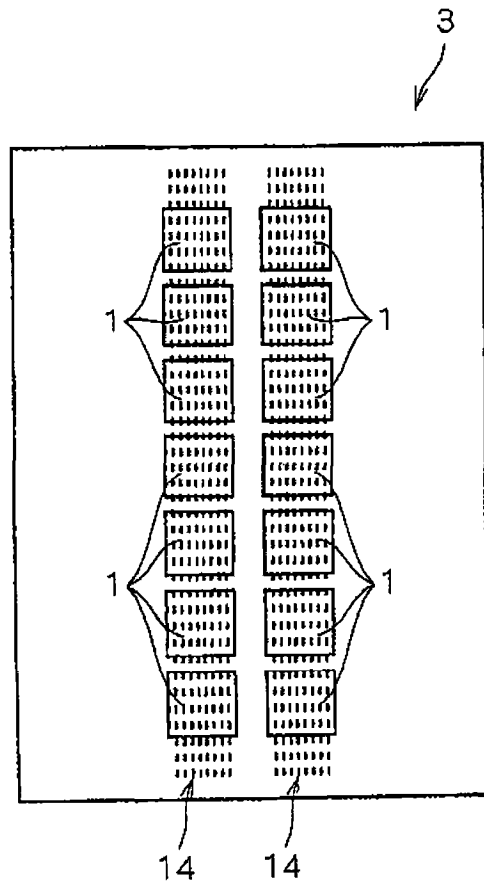


图 31

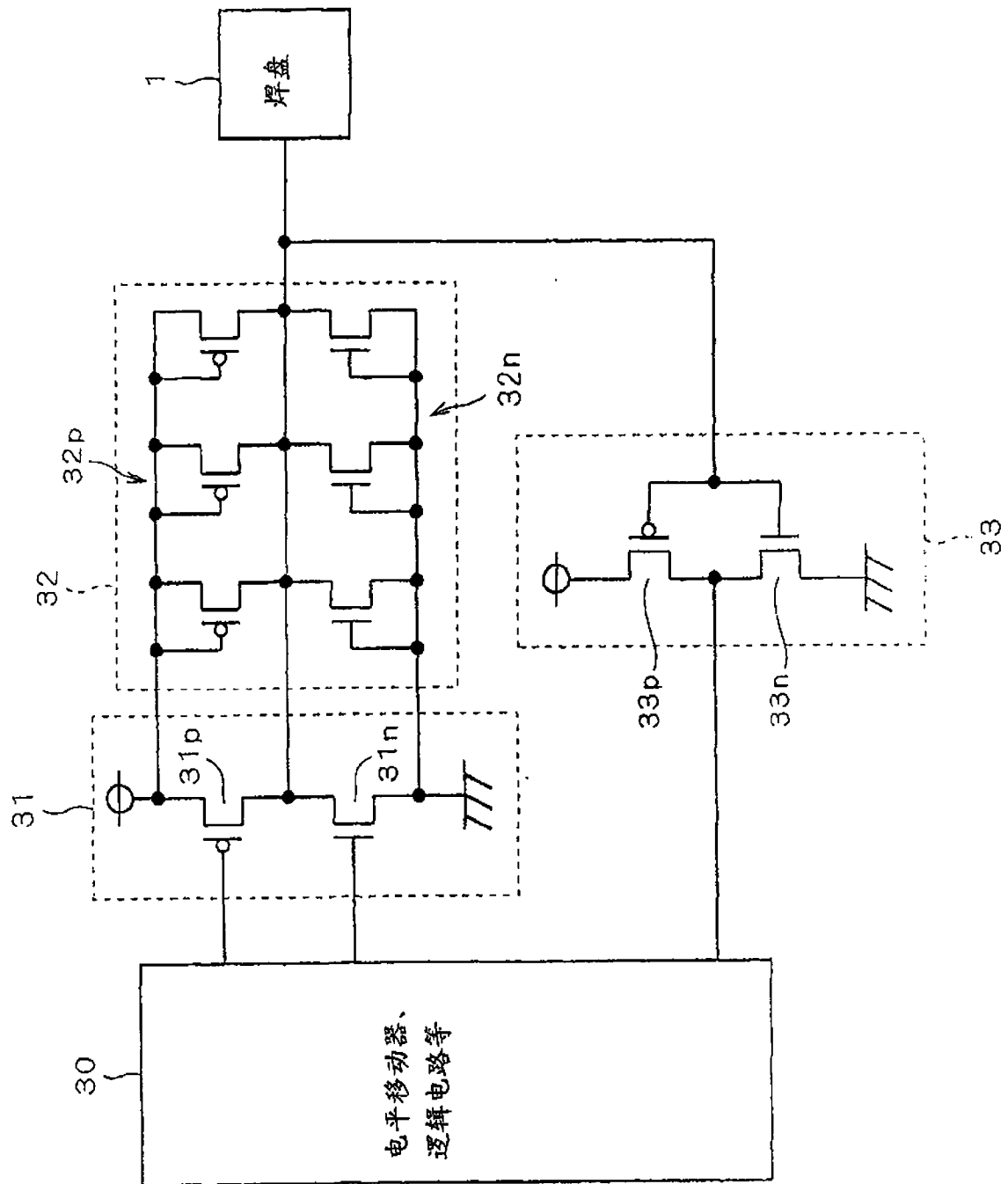


图 32

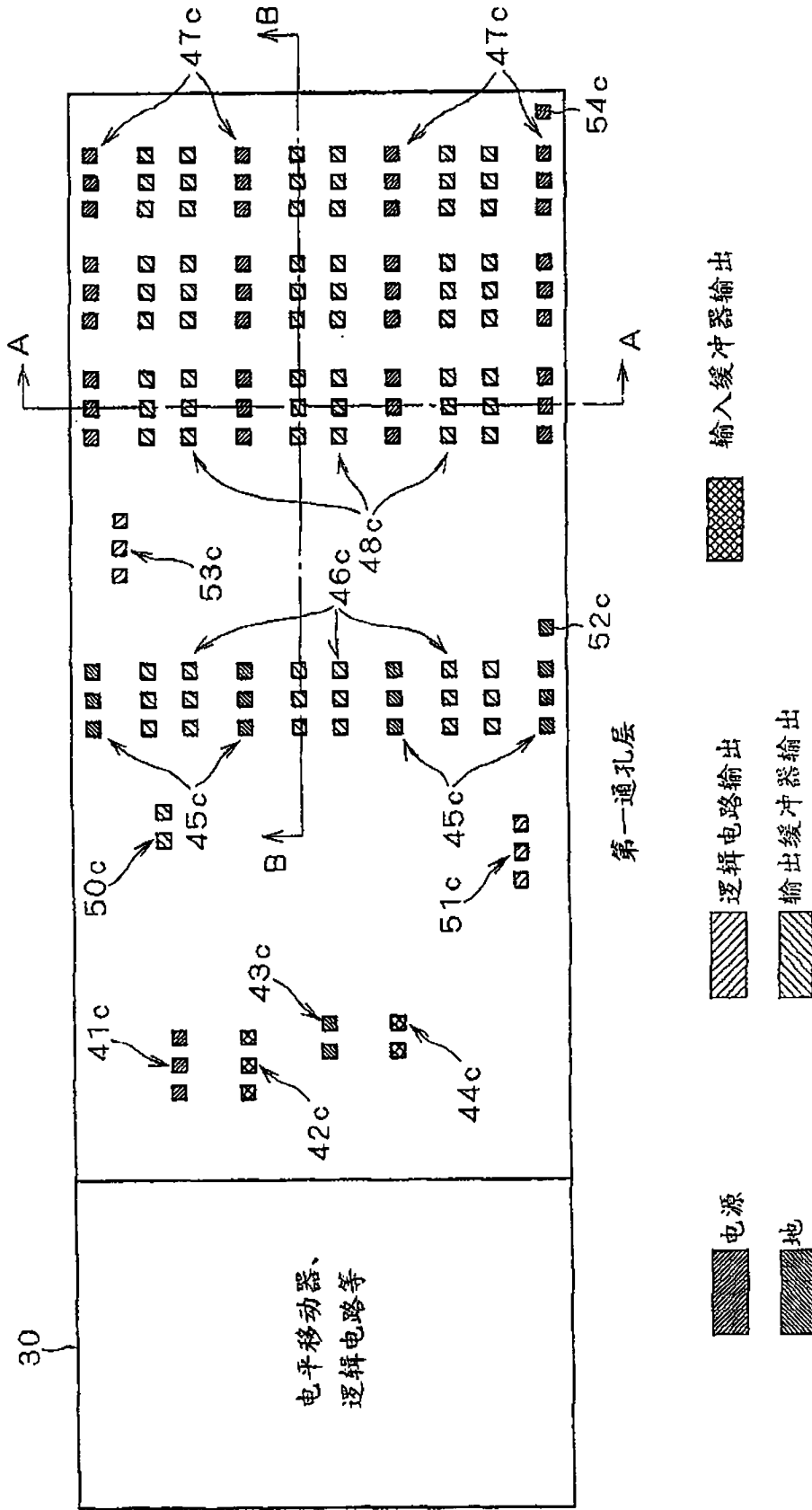


图 34

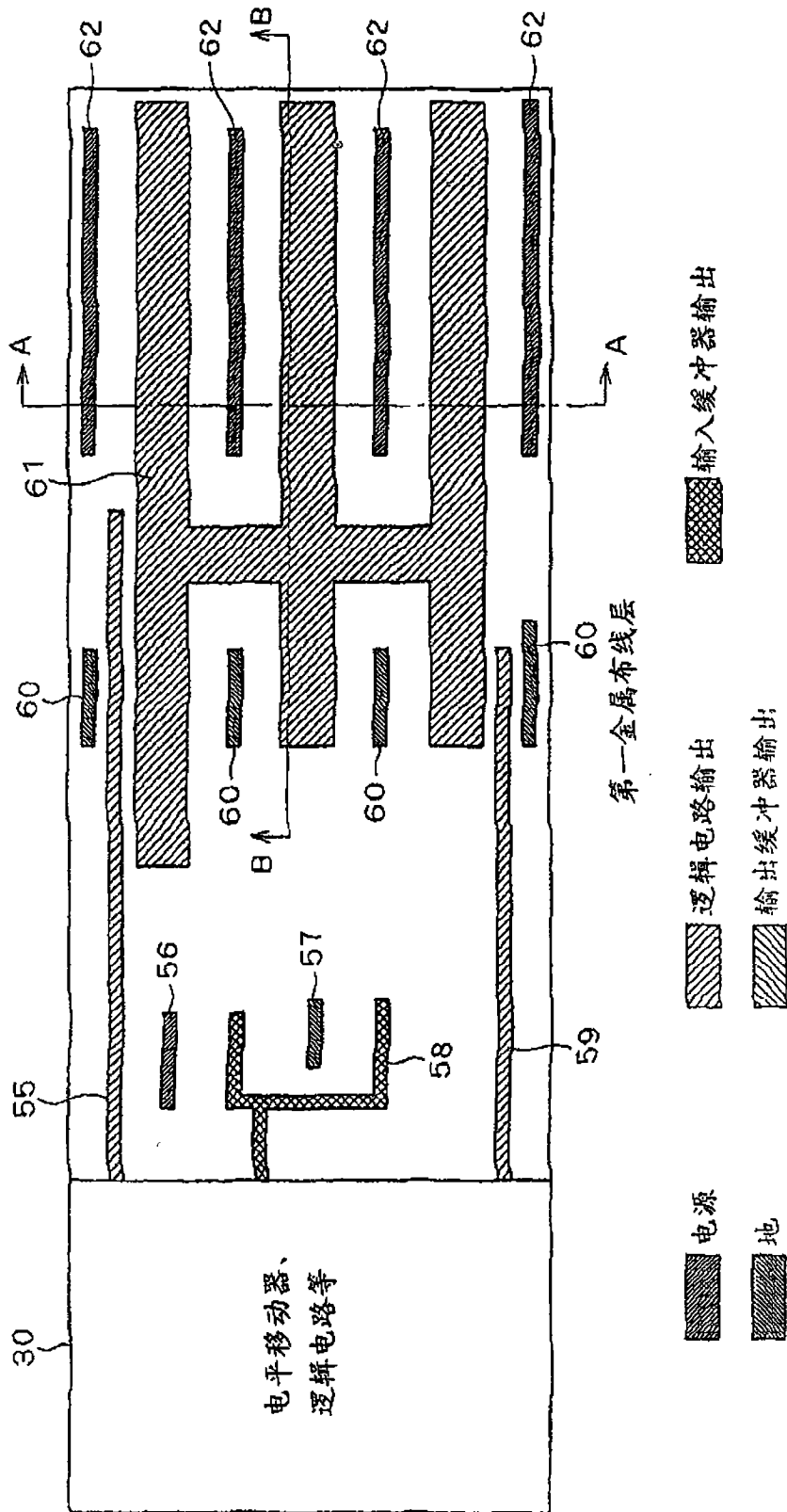


图 35

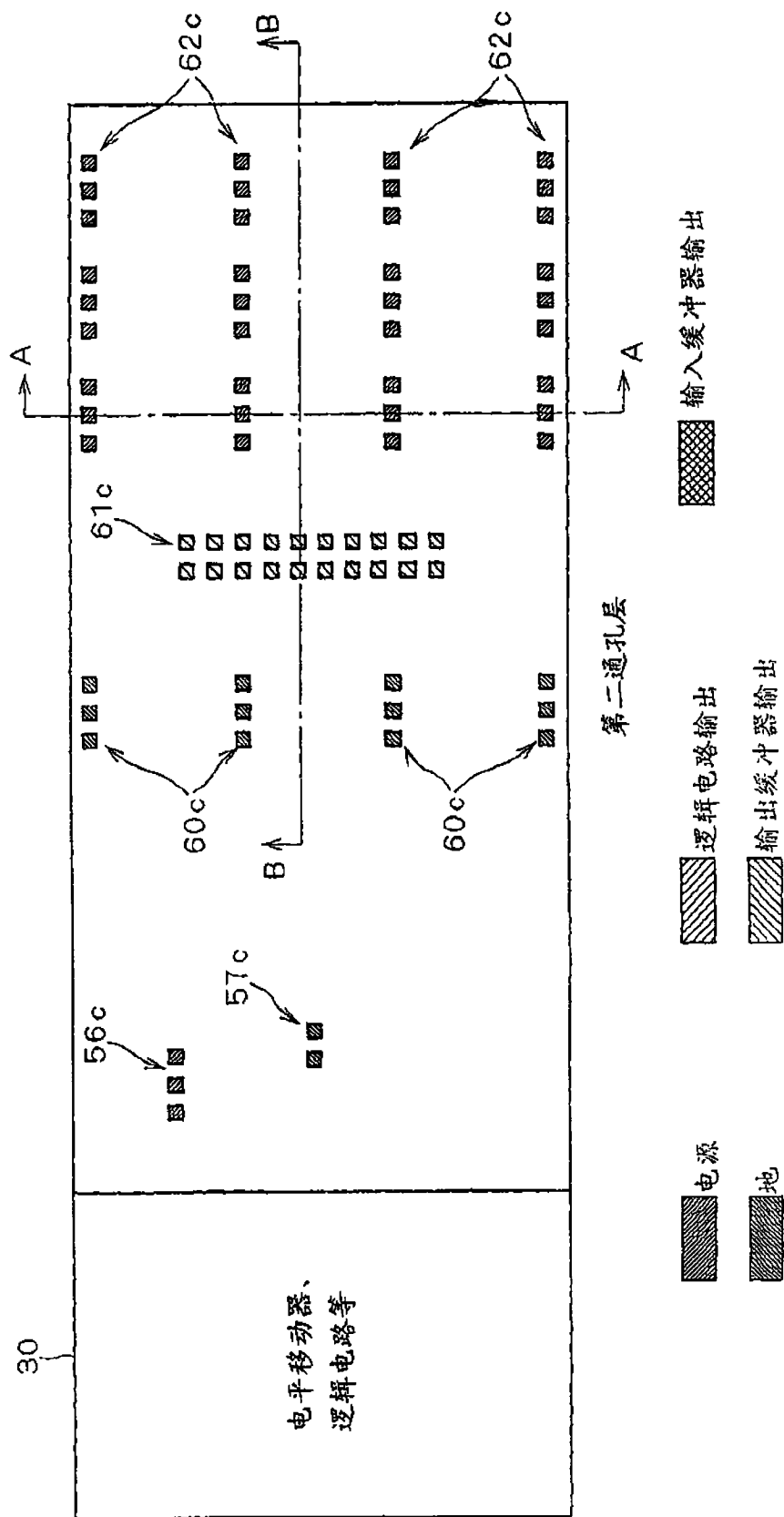


图 36

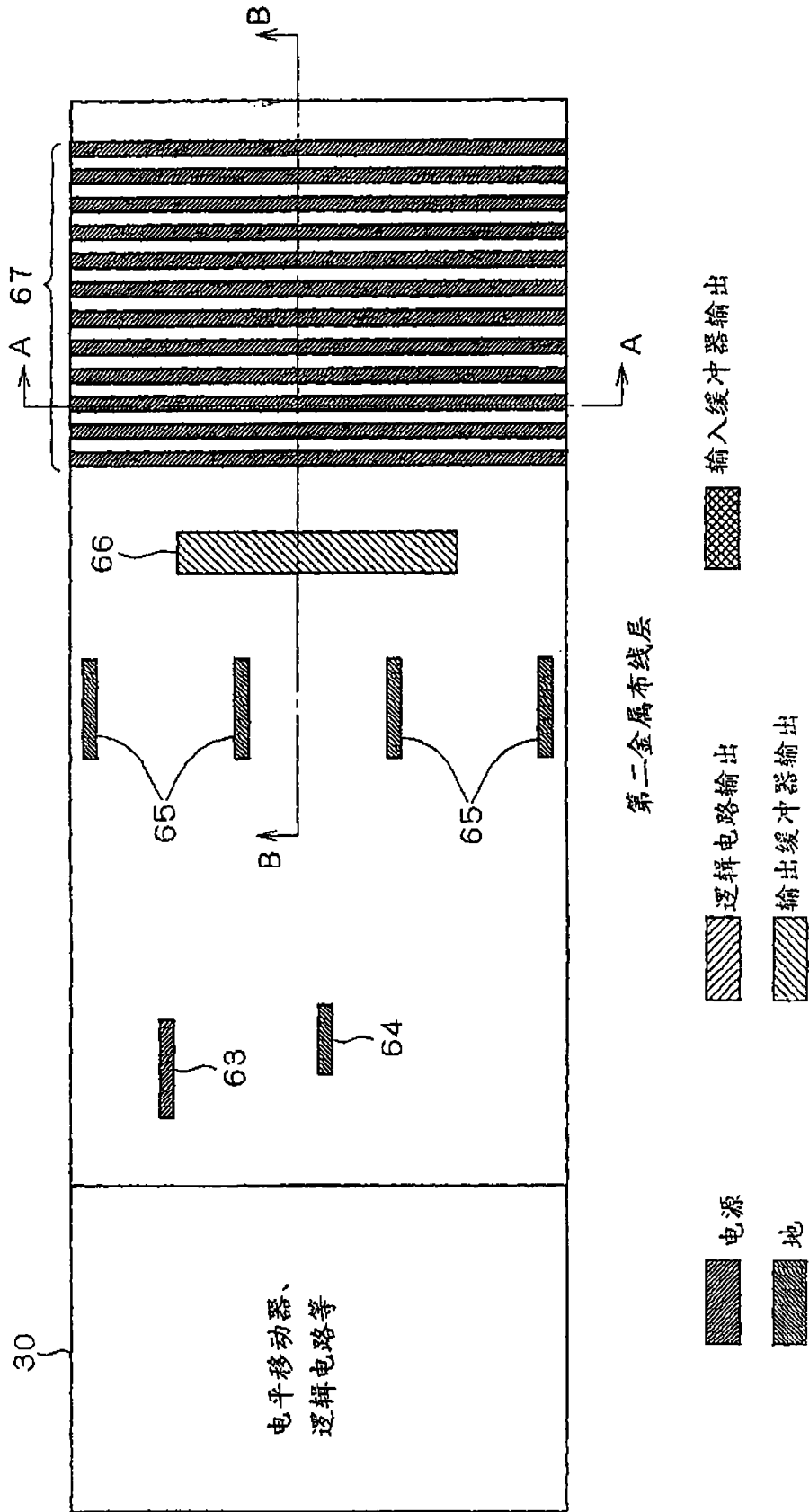


图 37

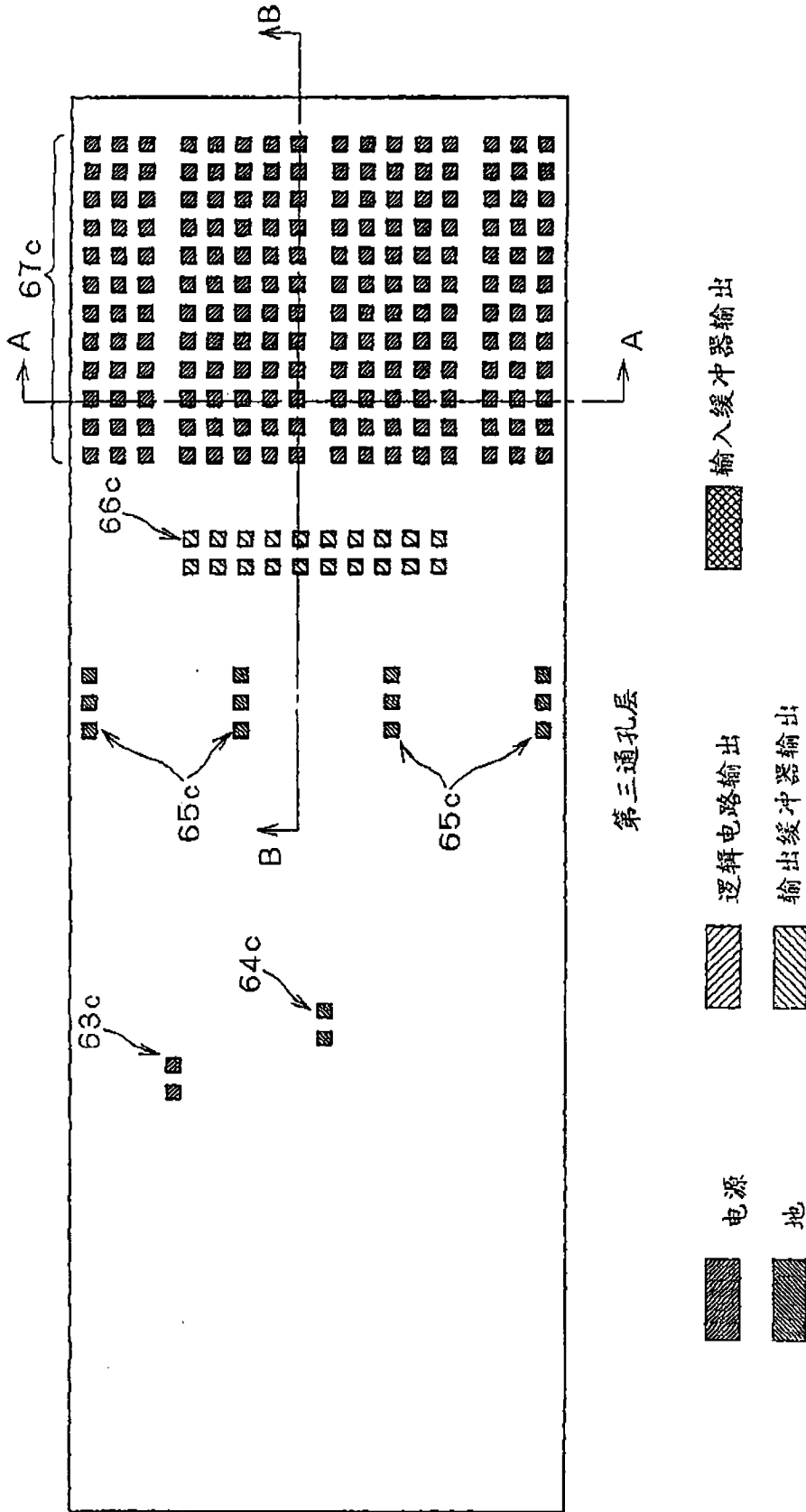


图 38

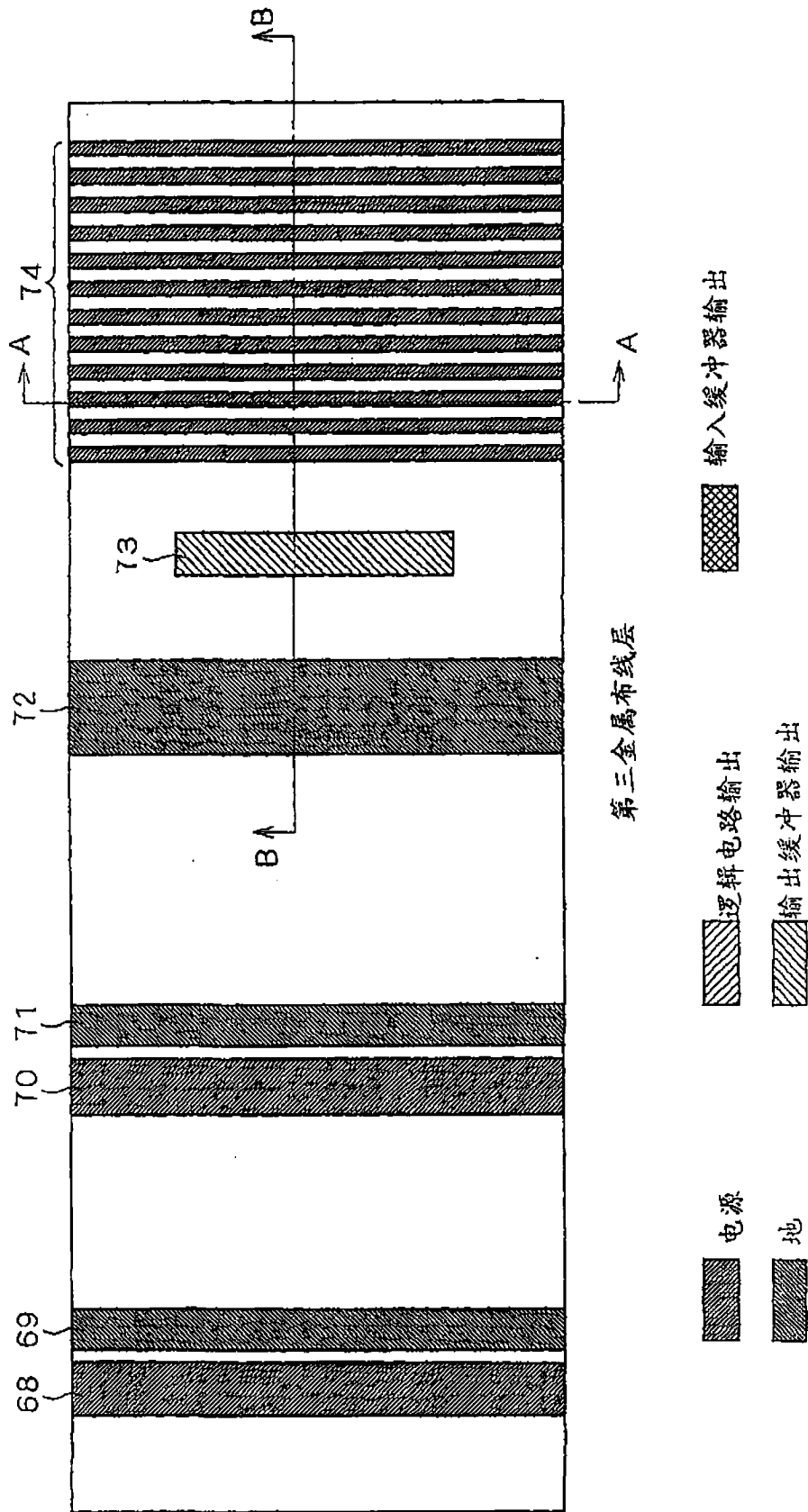


图 39

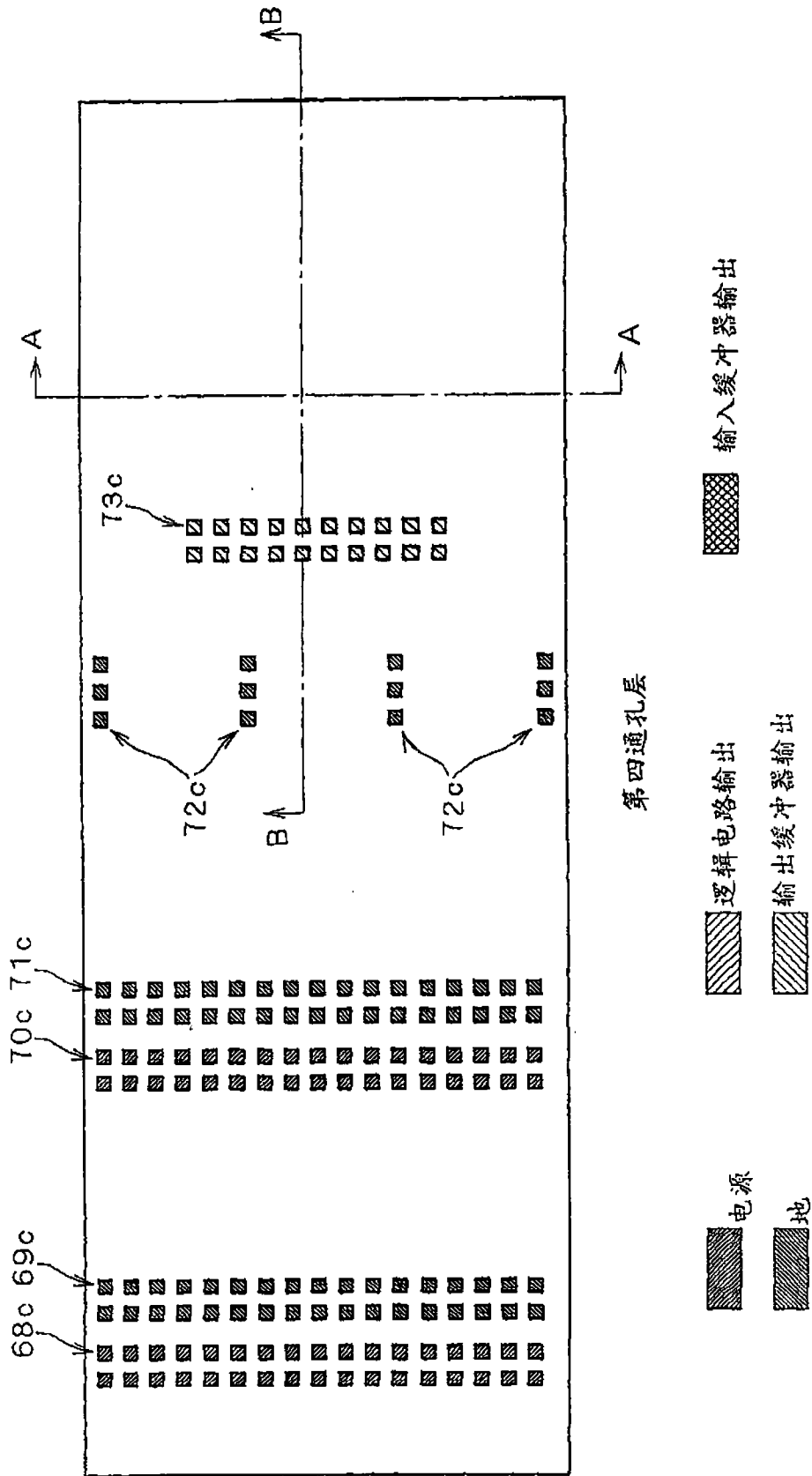


图 40

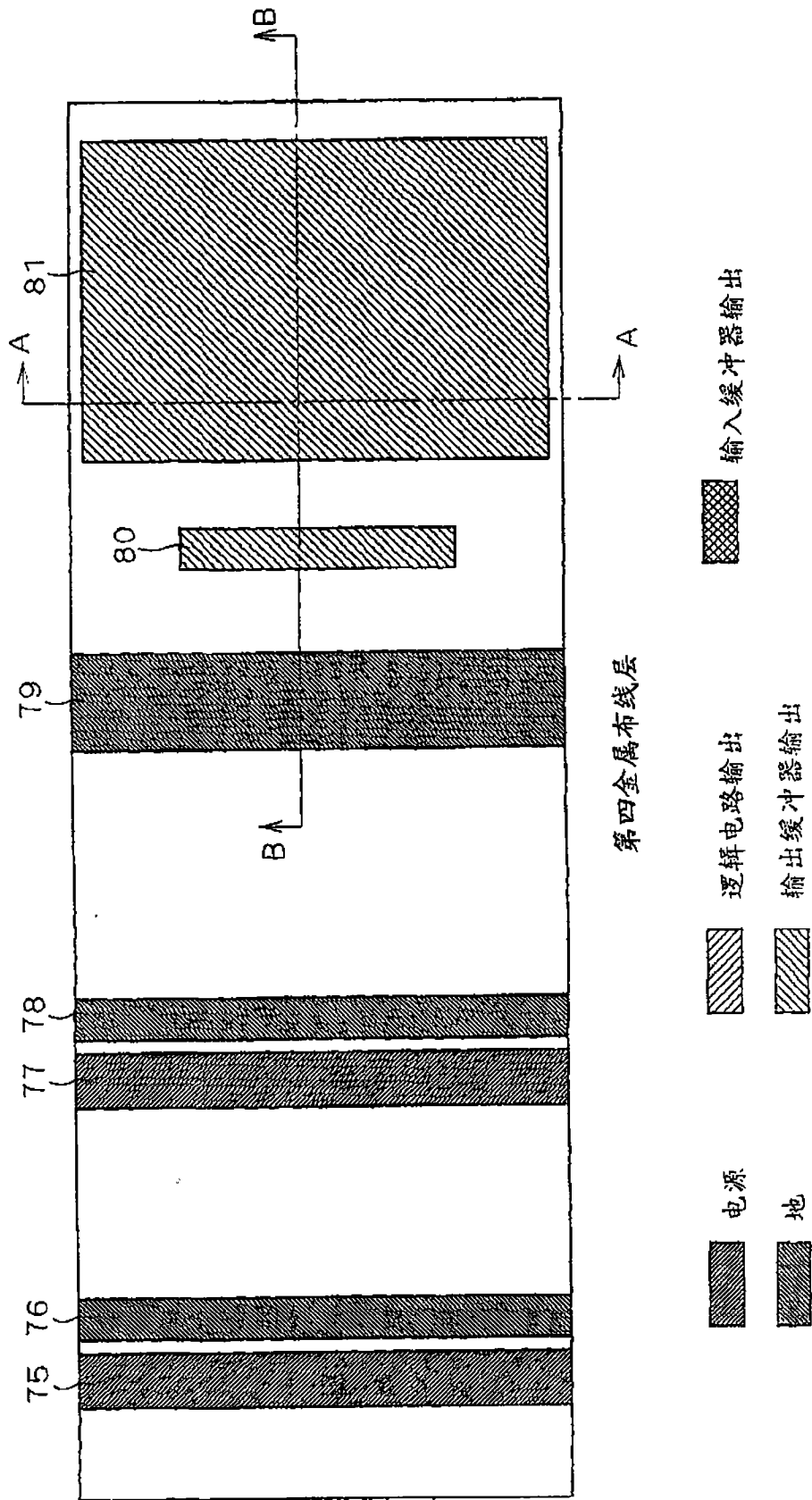


图 41

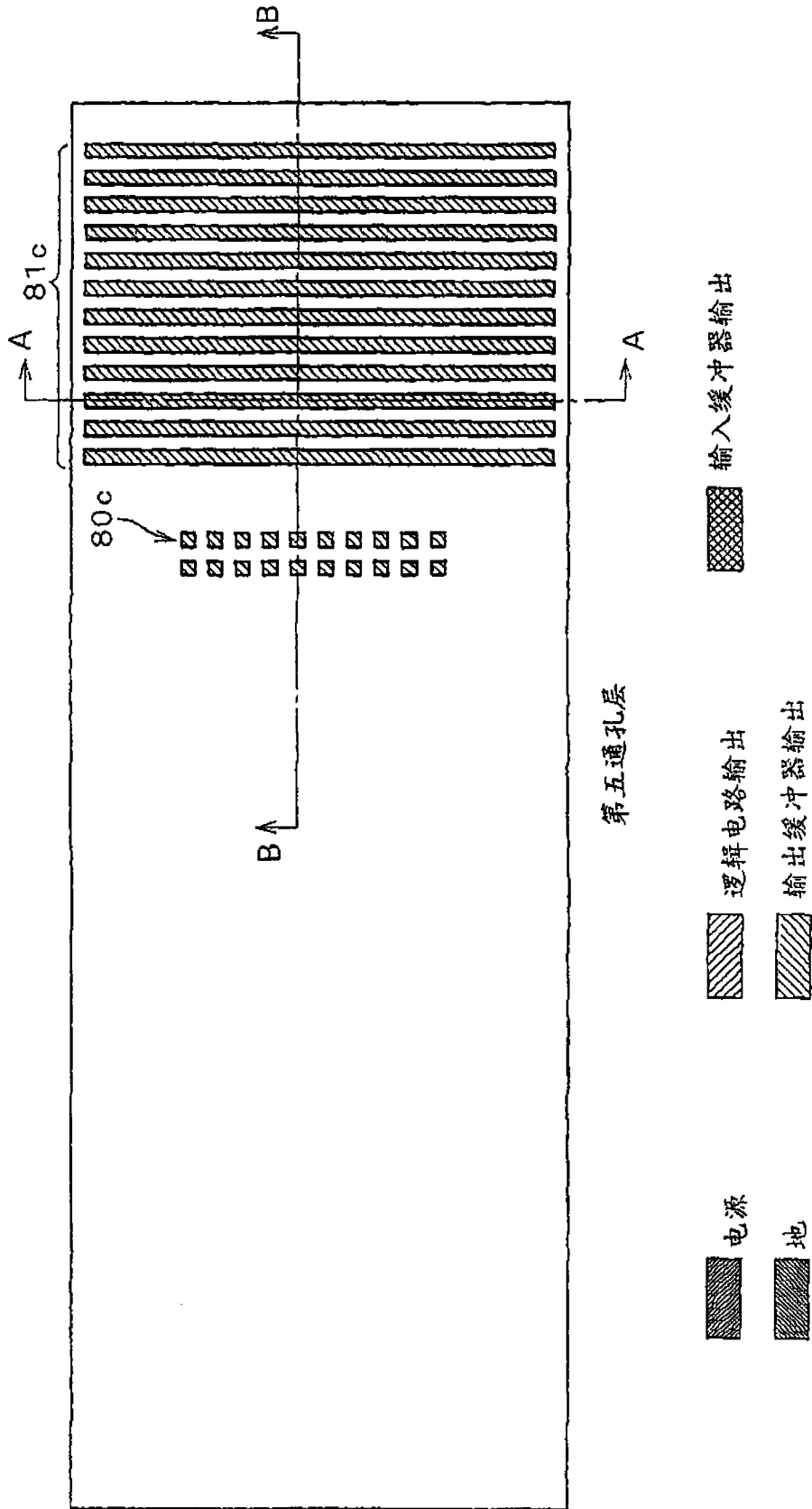


图 42

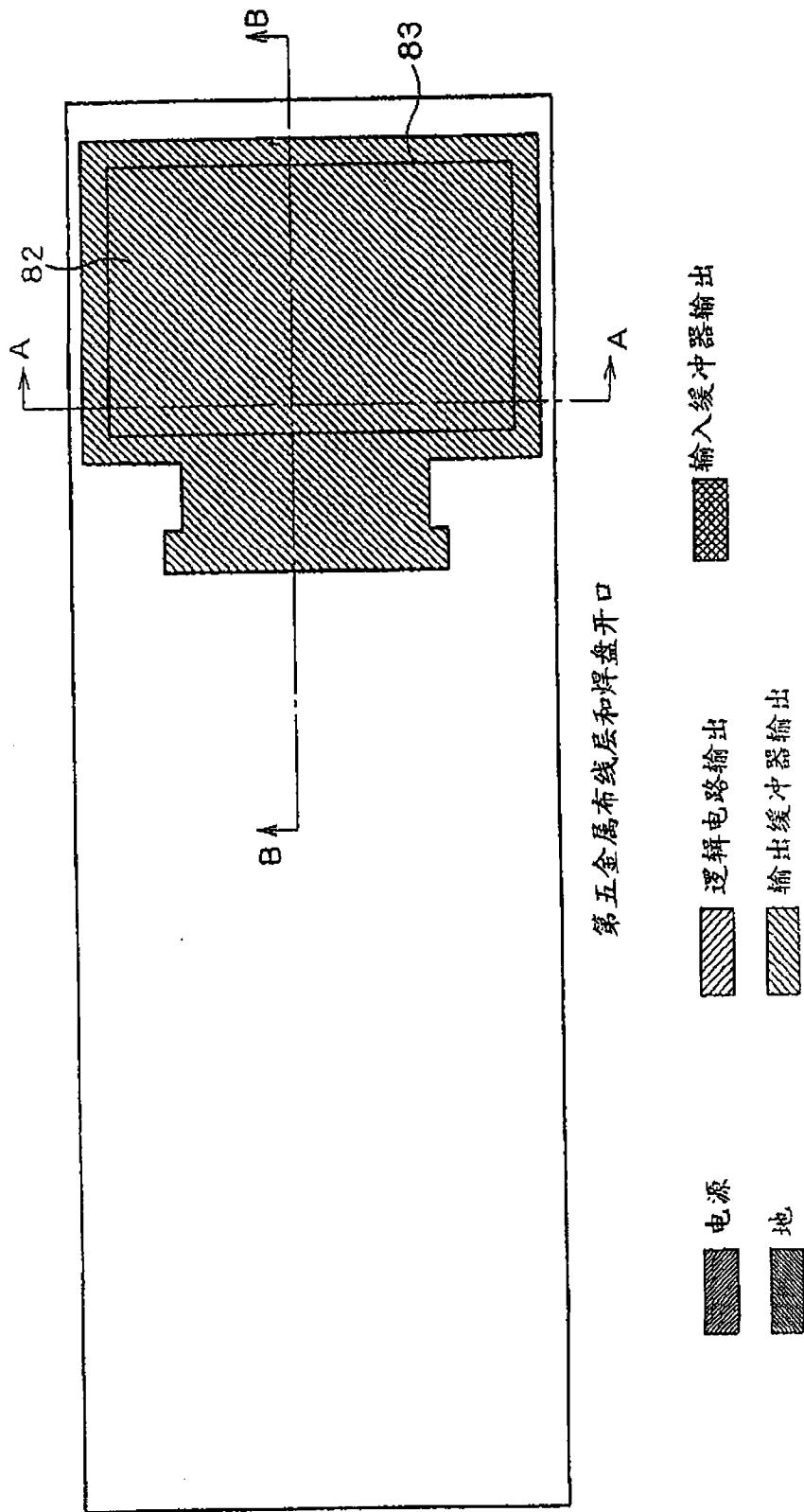


图 43

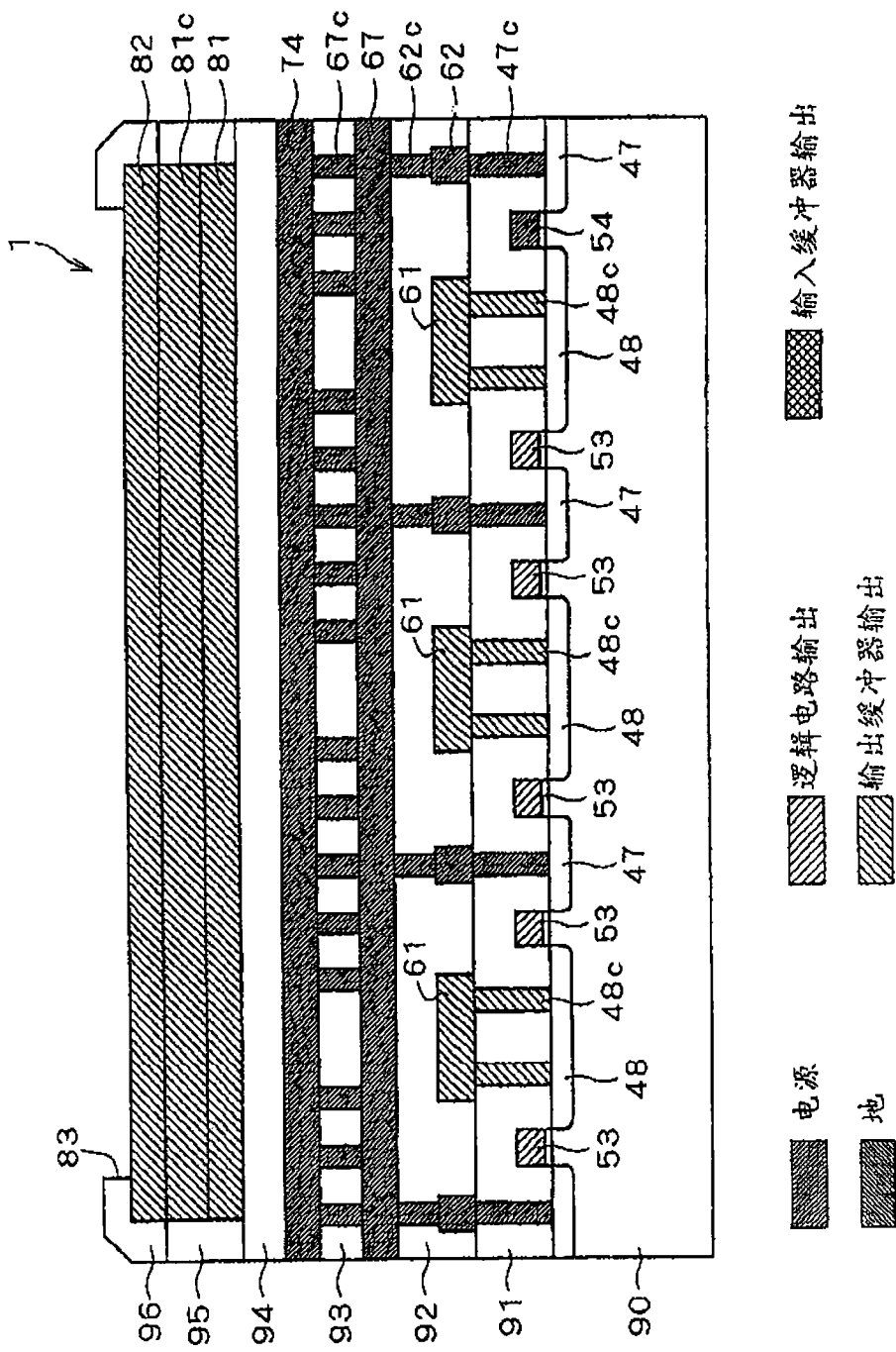


图 44

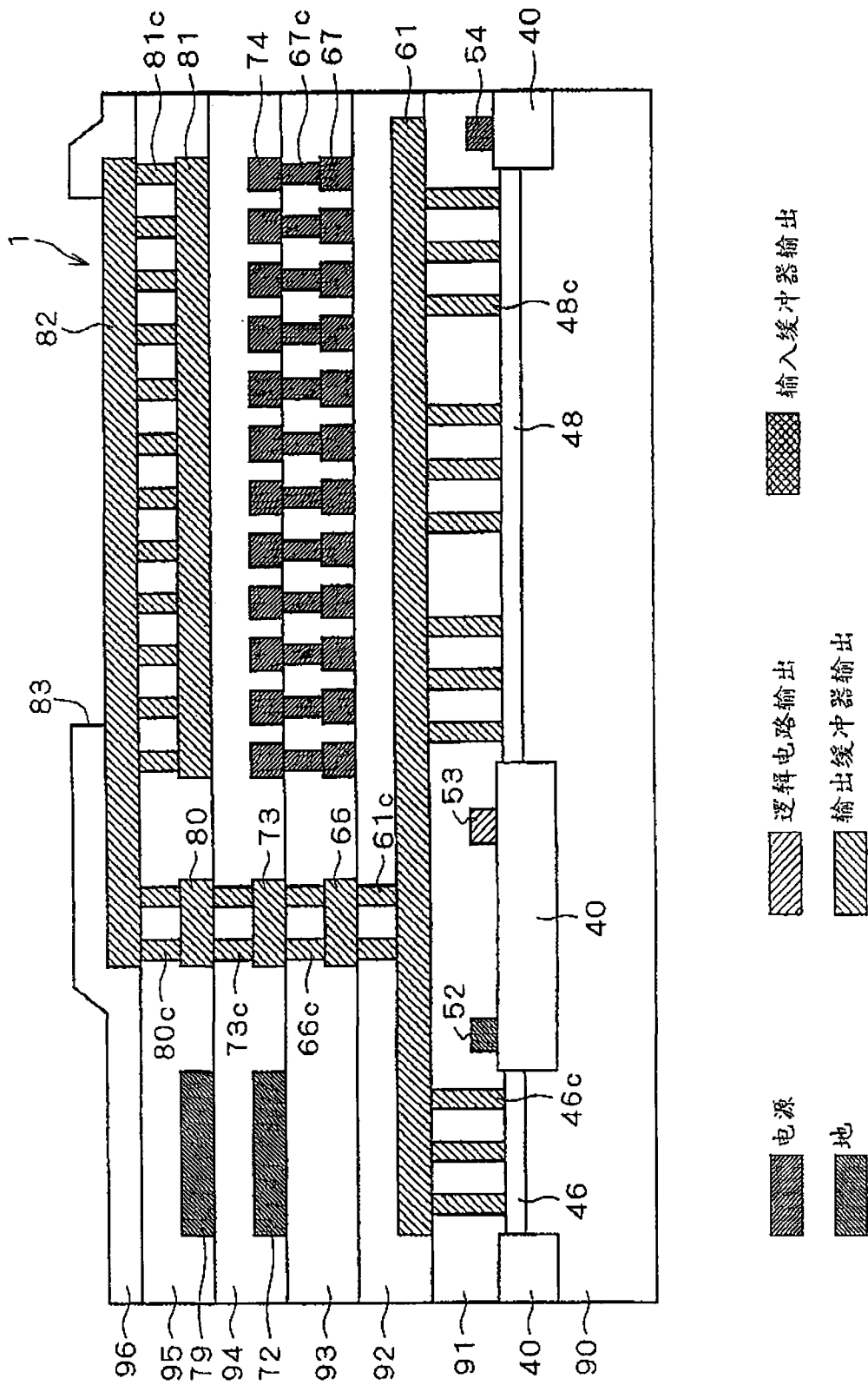


图 45

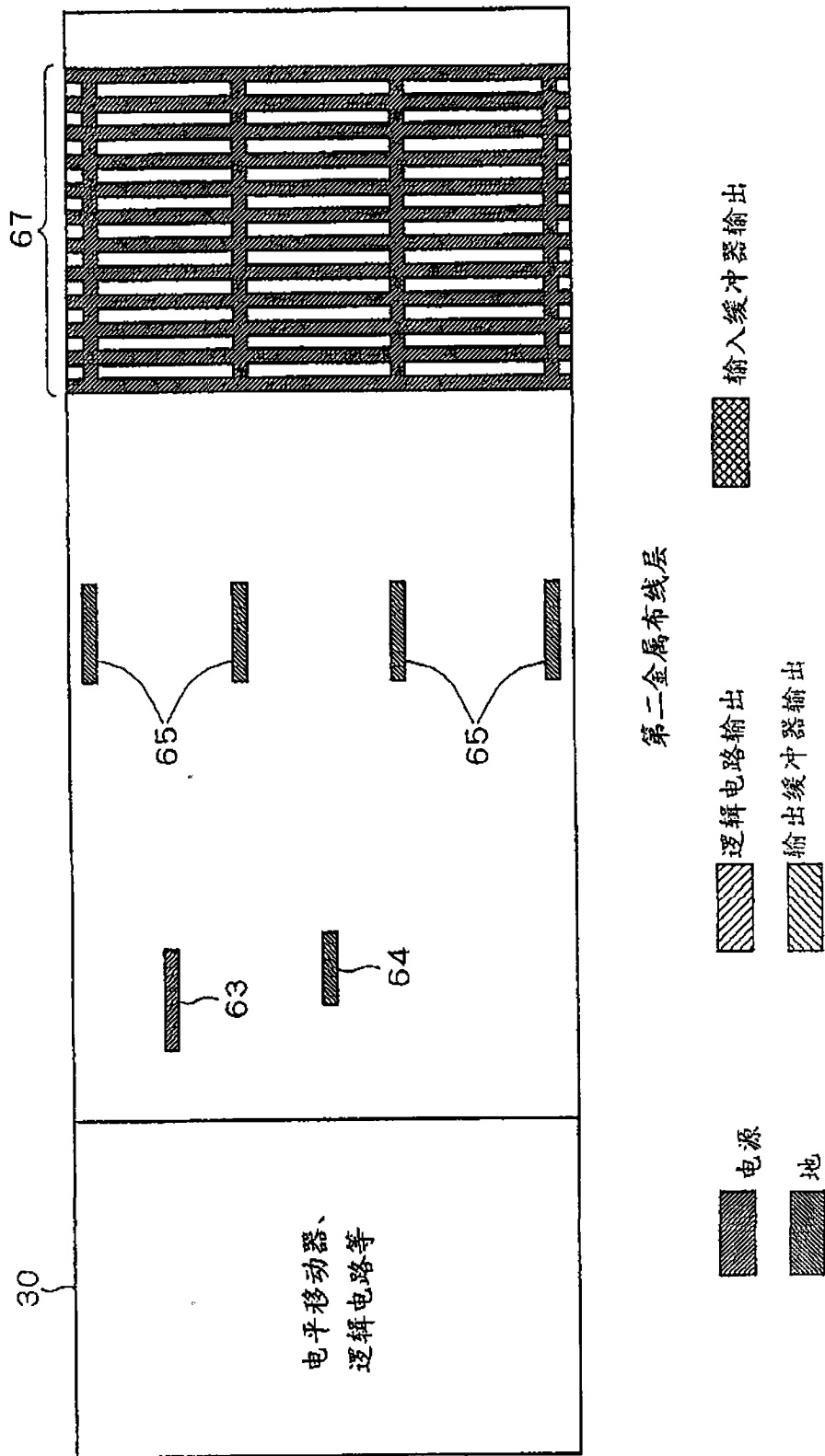


图 46

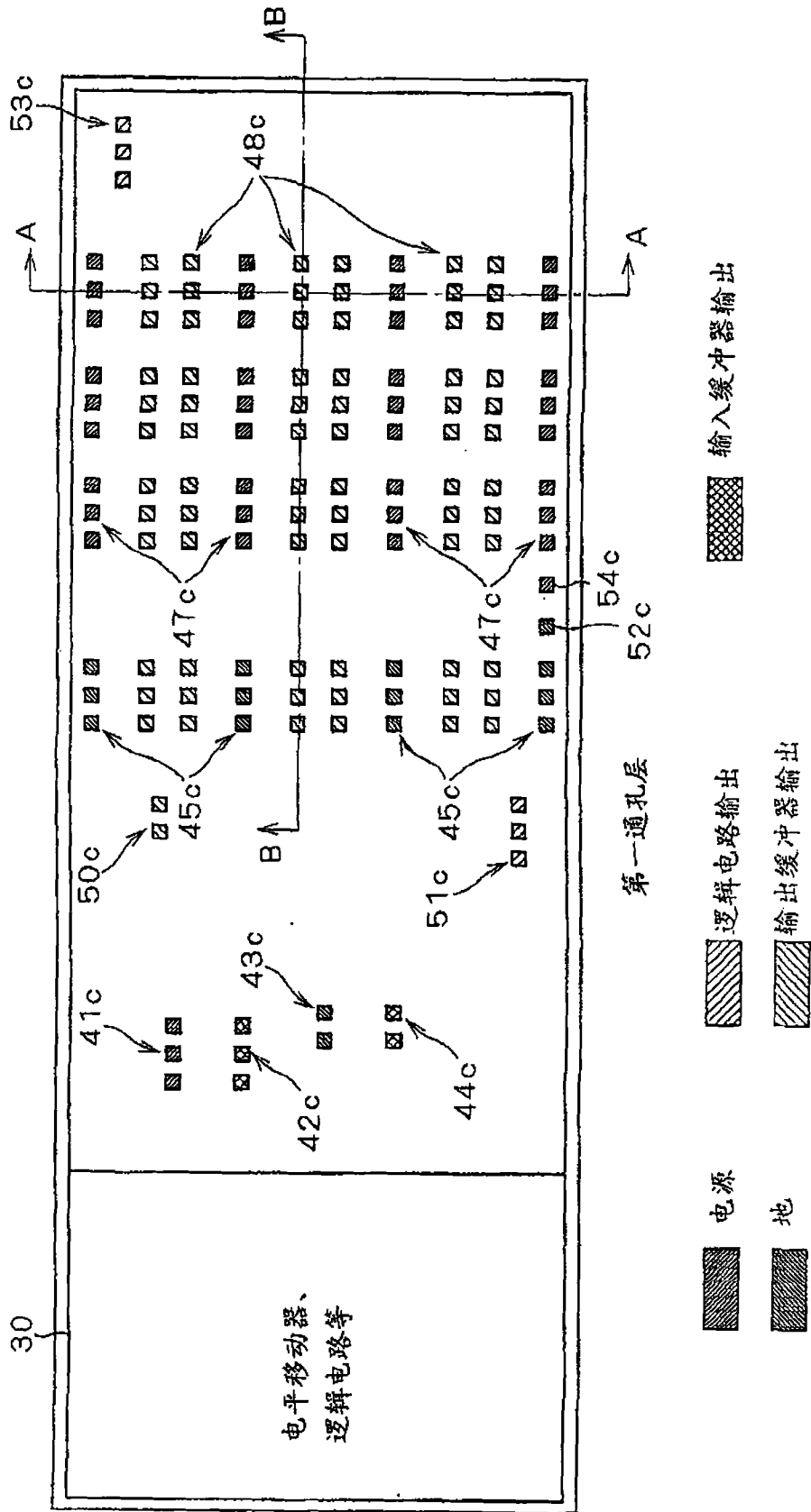


图 48

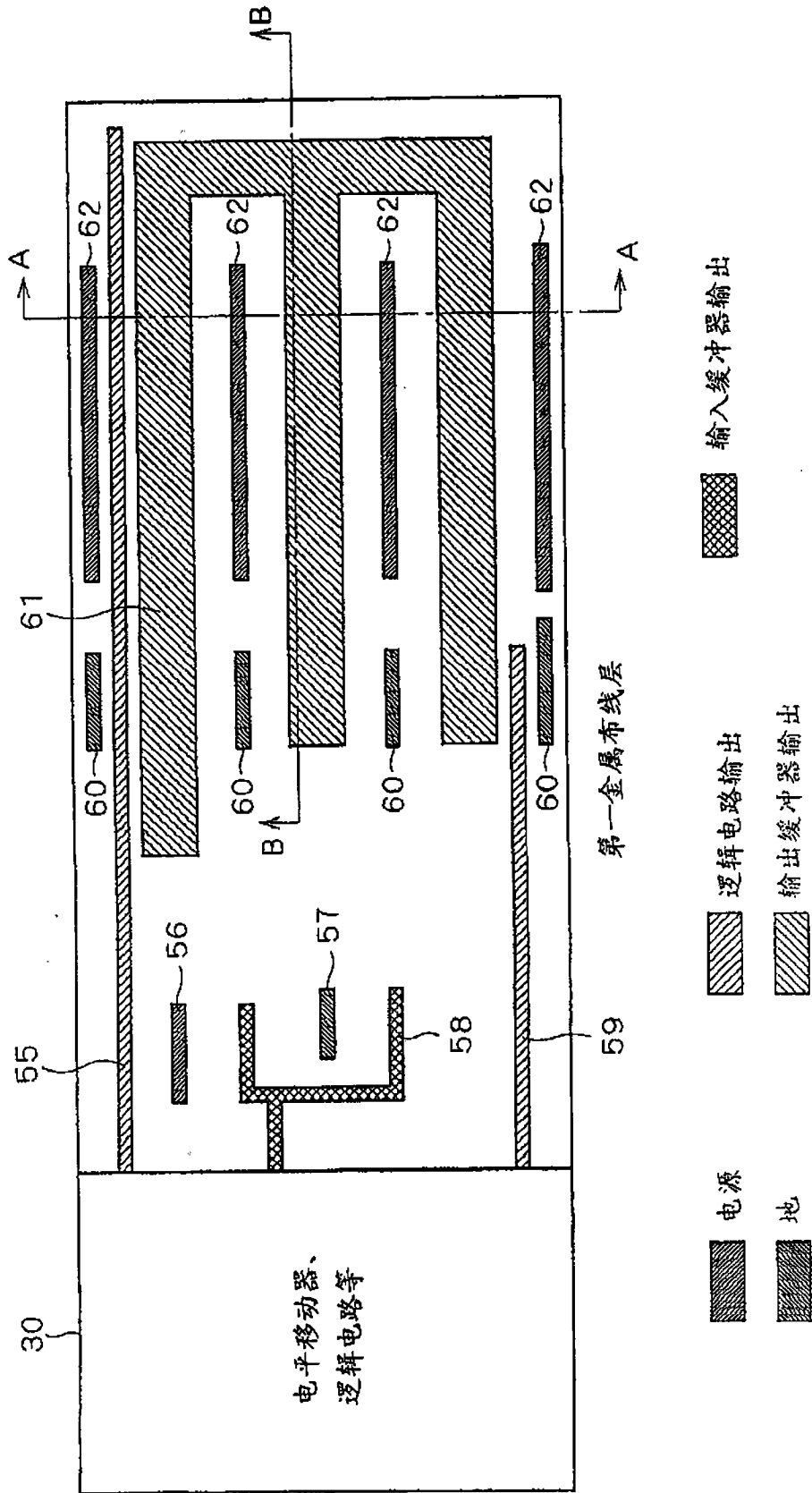


图 49

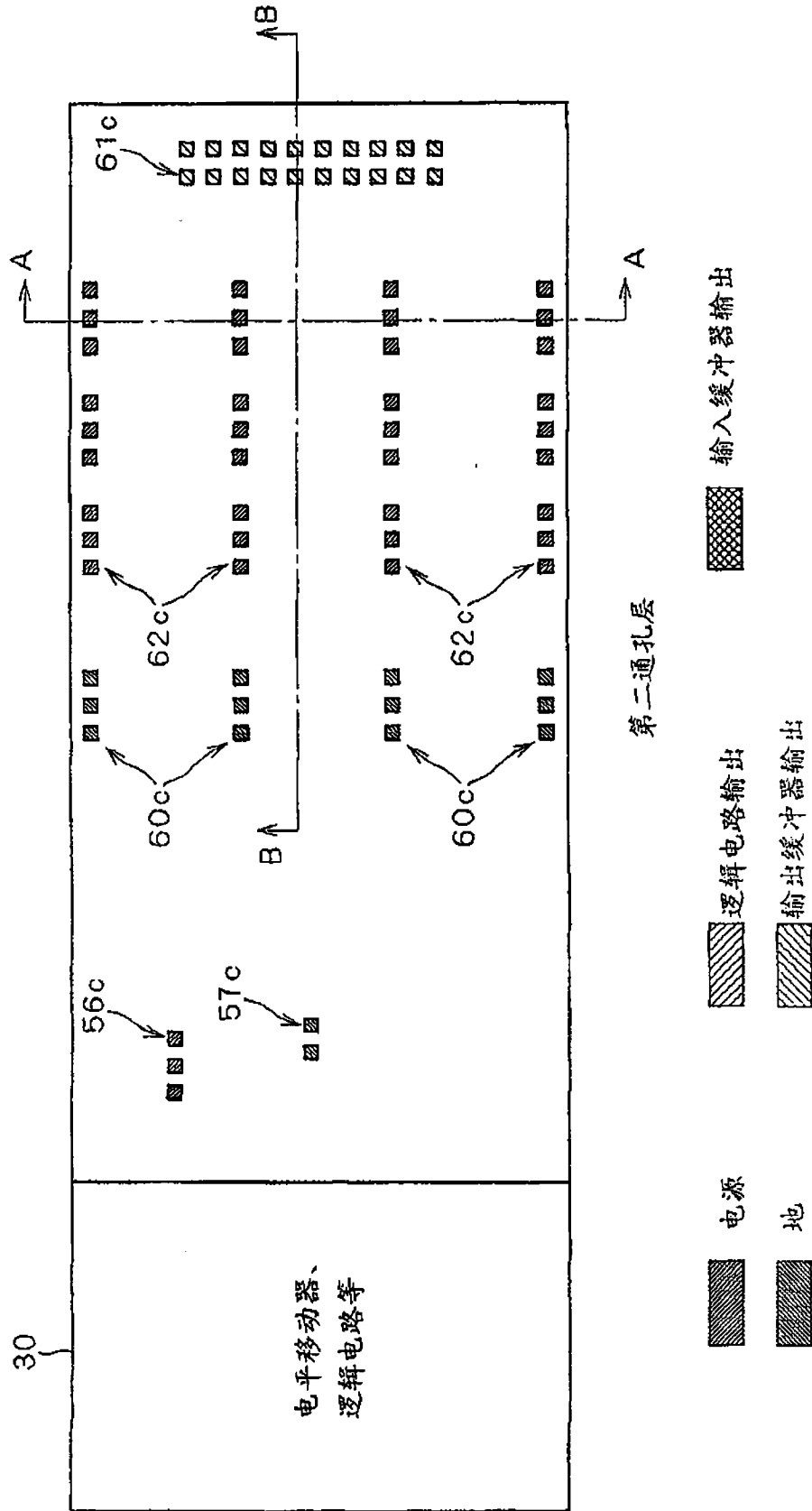


图 50

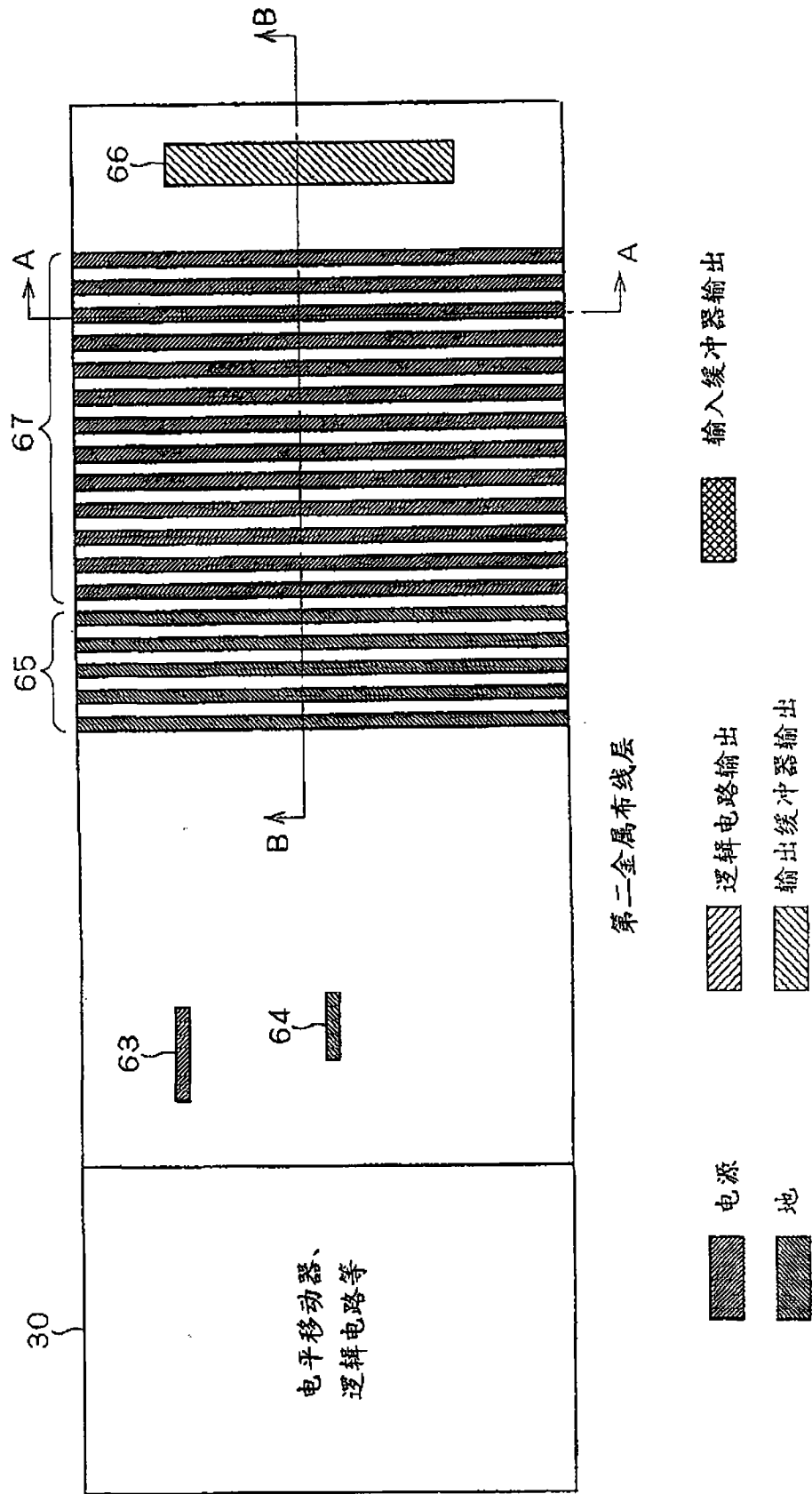


图 51

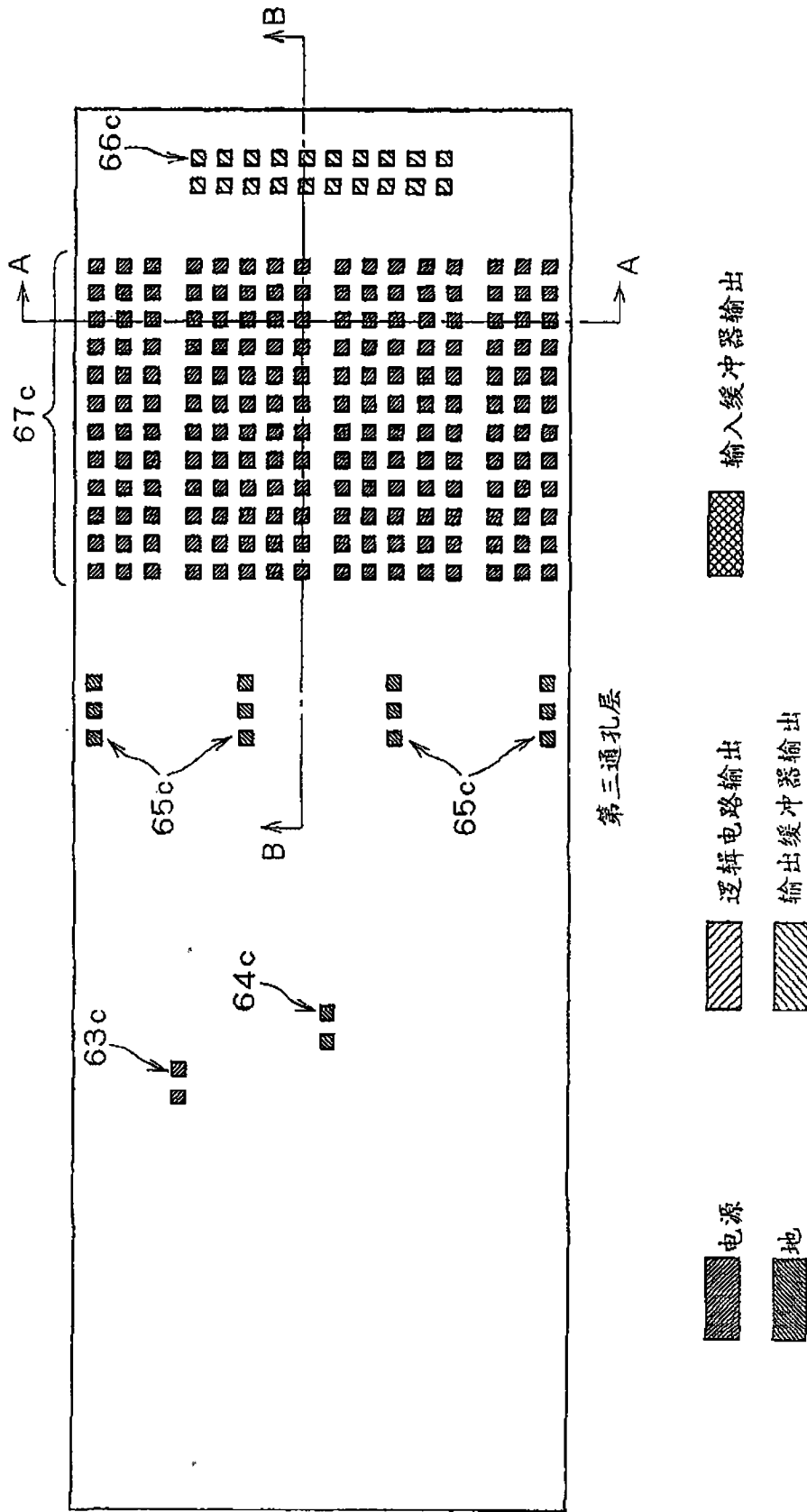


图 52

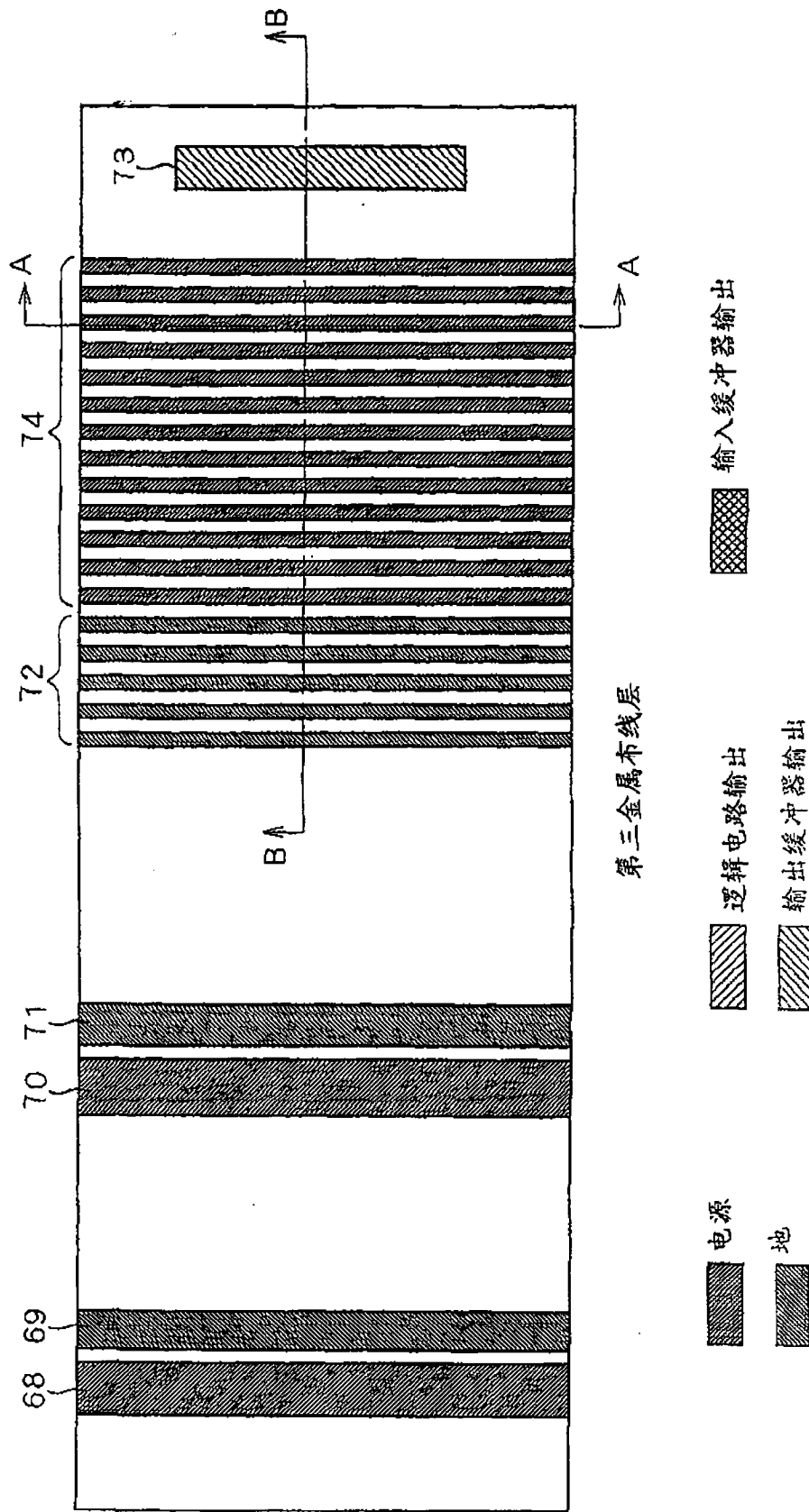


图 53

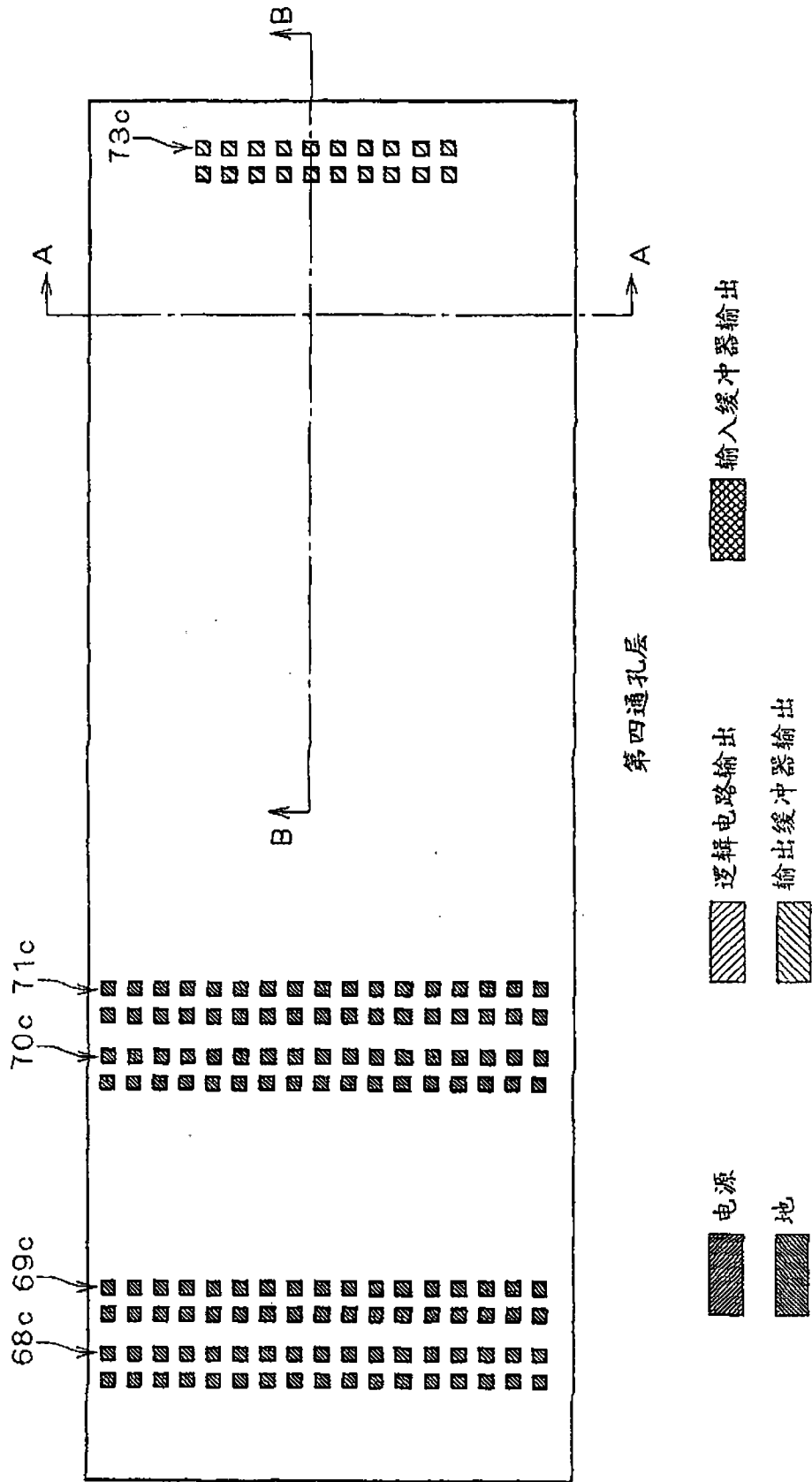


图 54

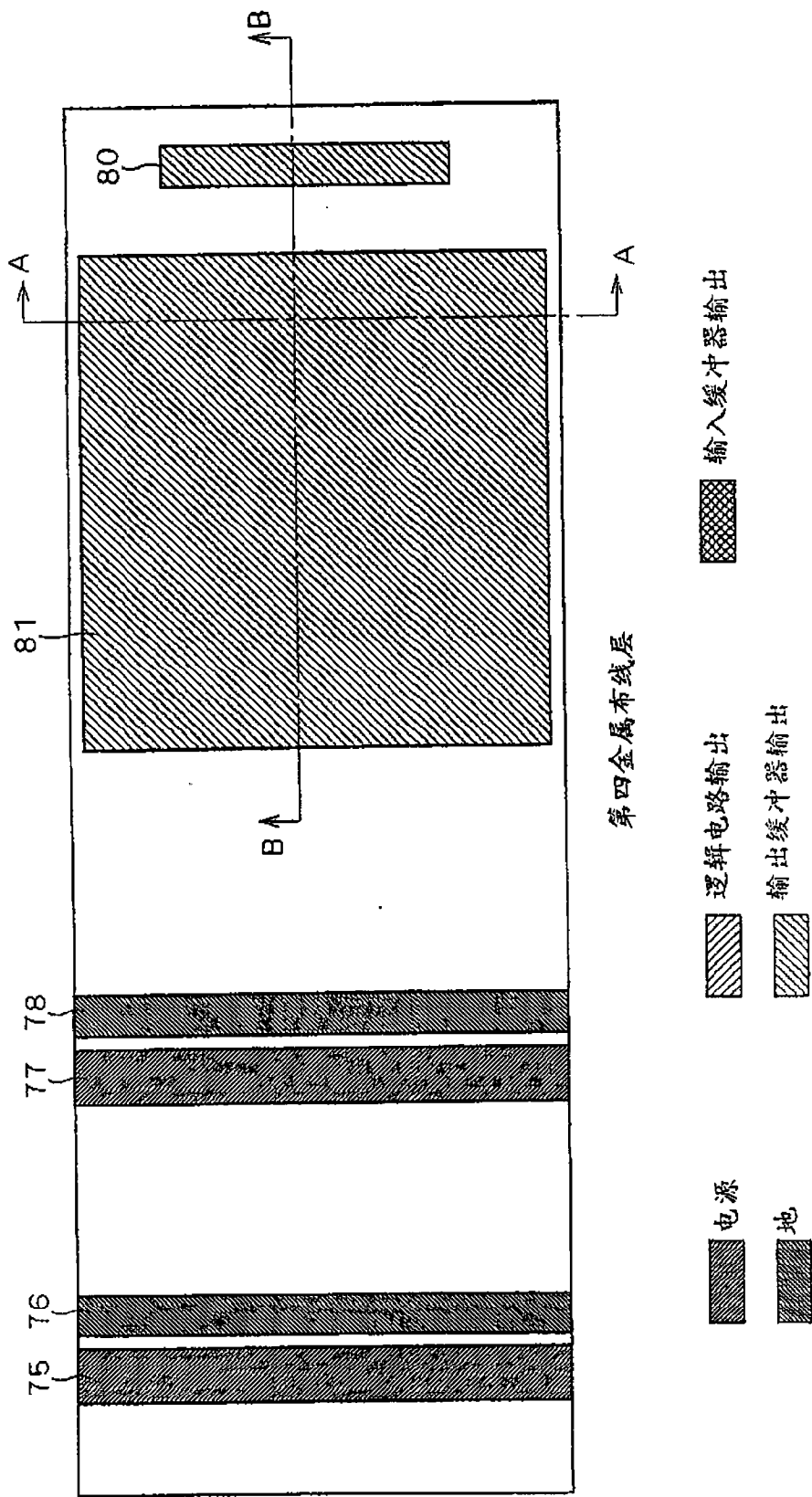


图 55

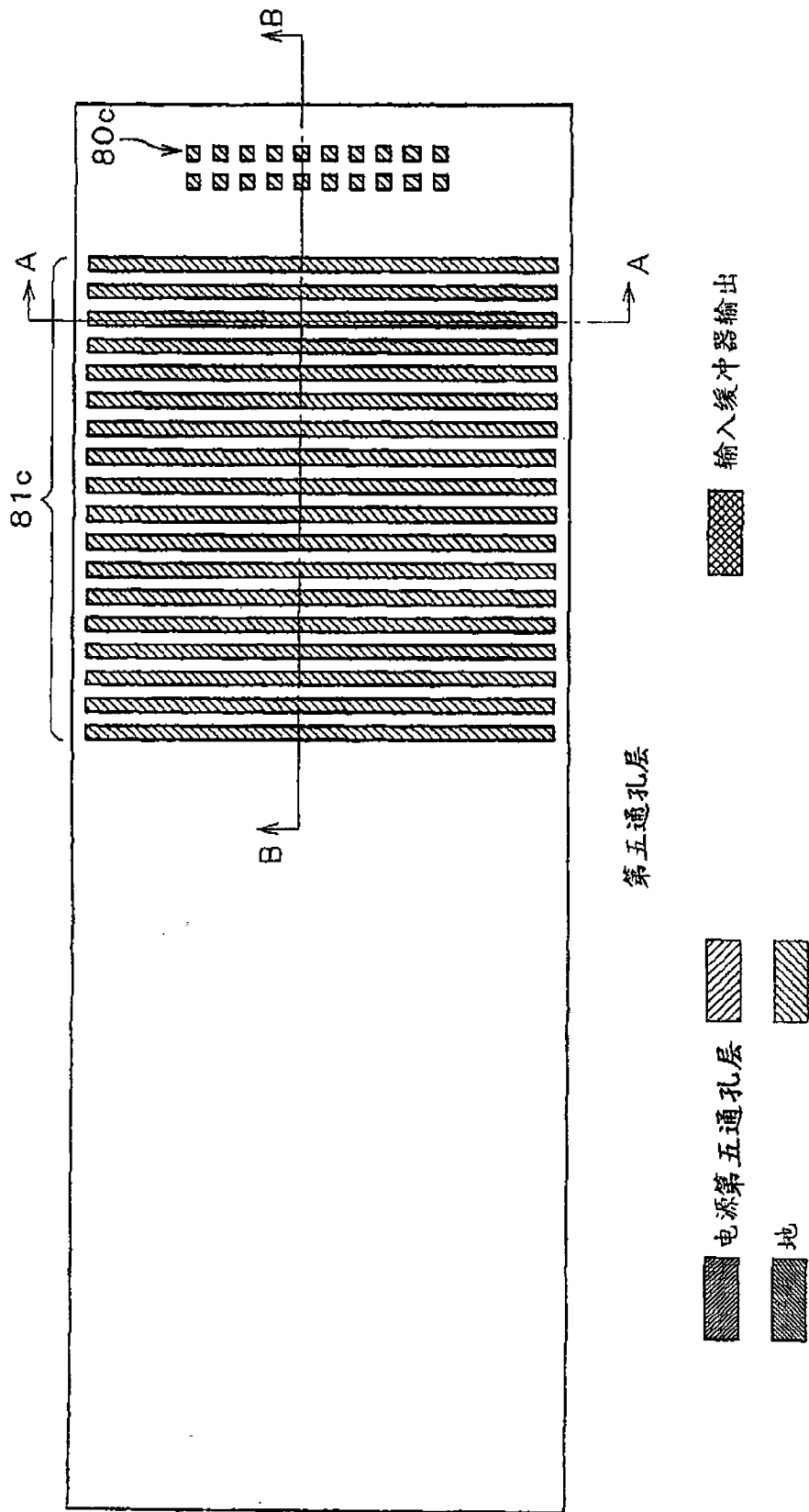


图 56

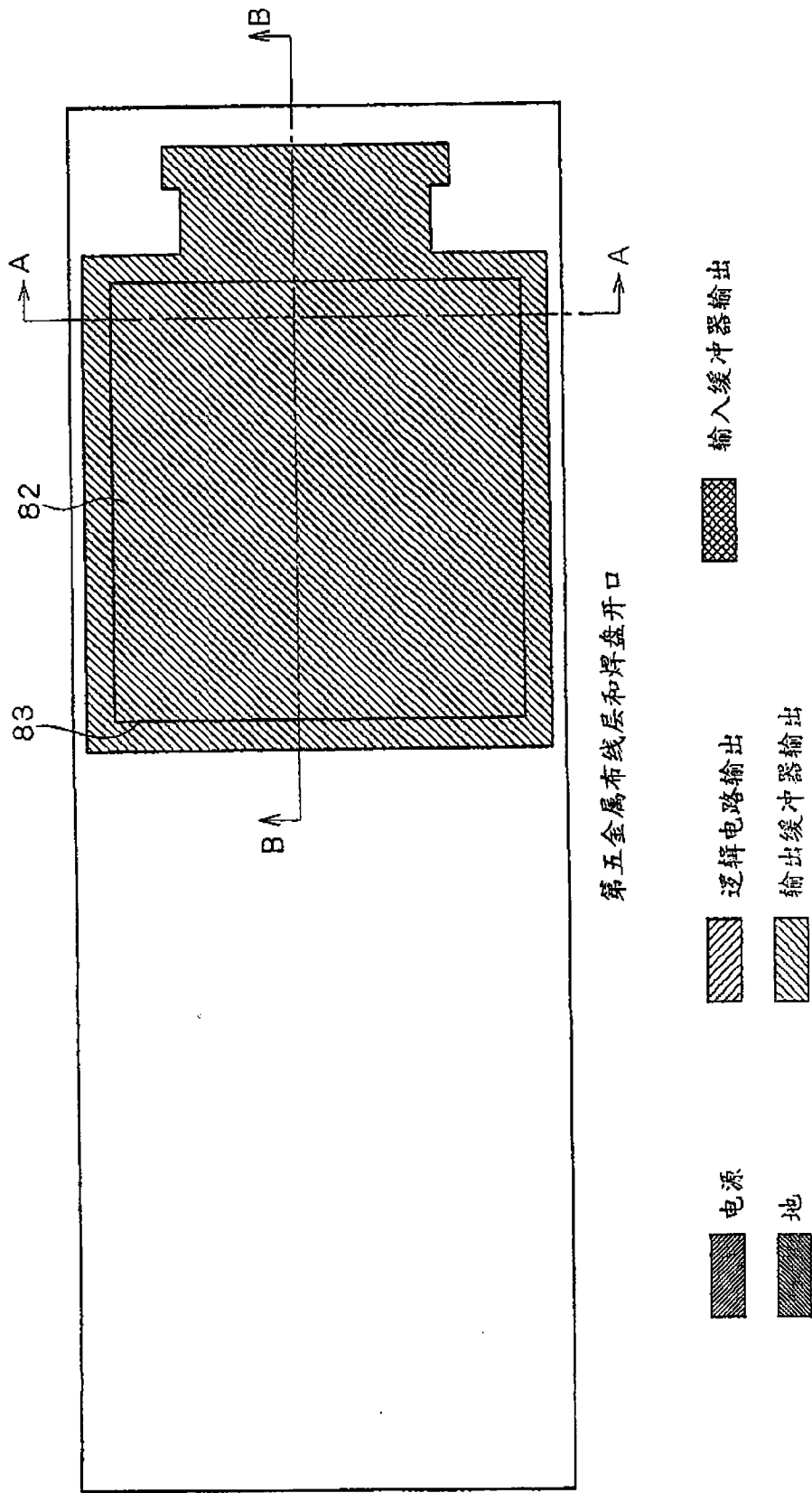


图 57

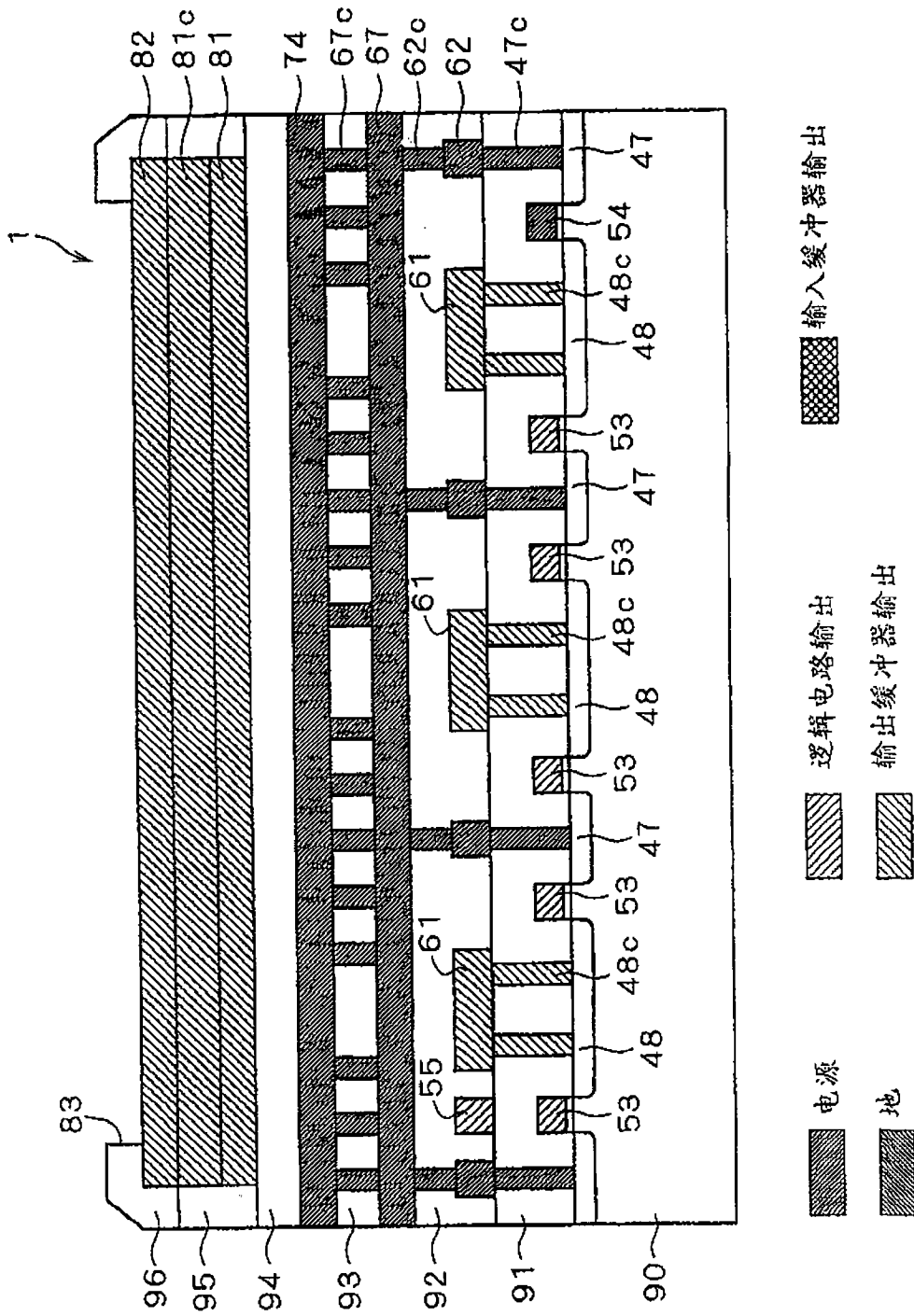


图 58

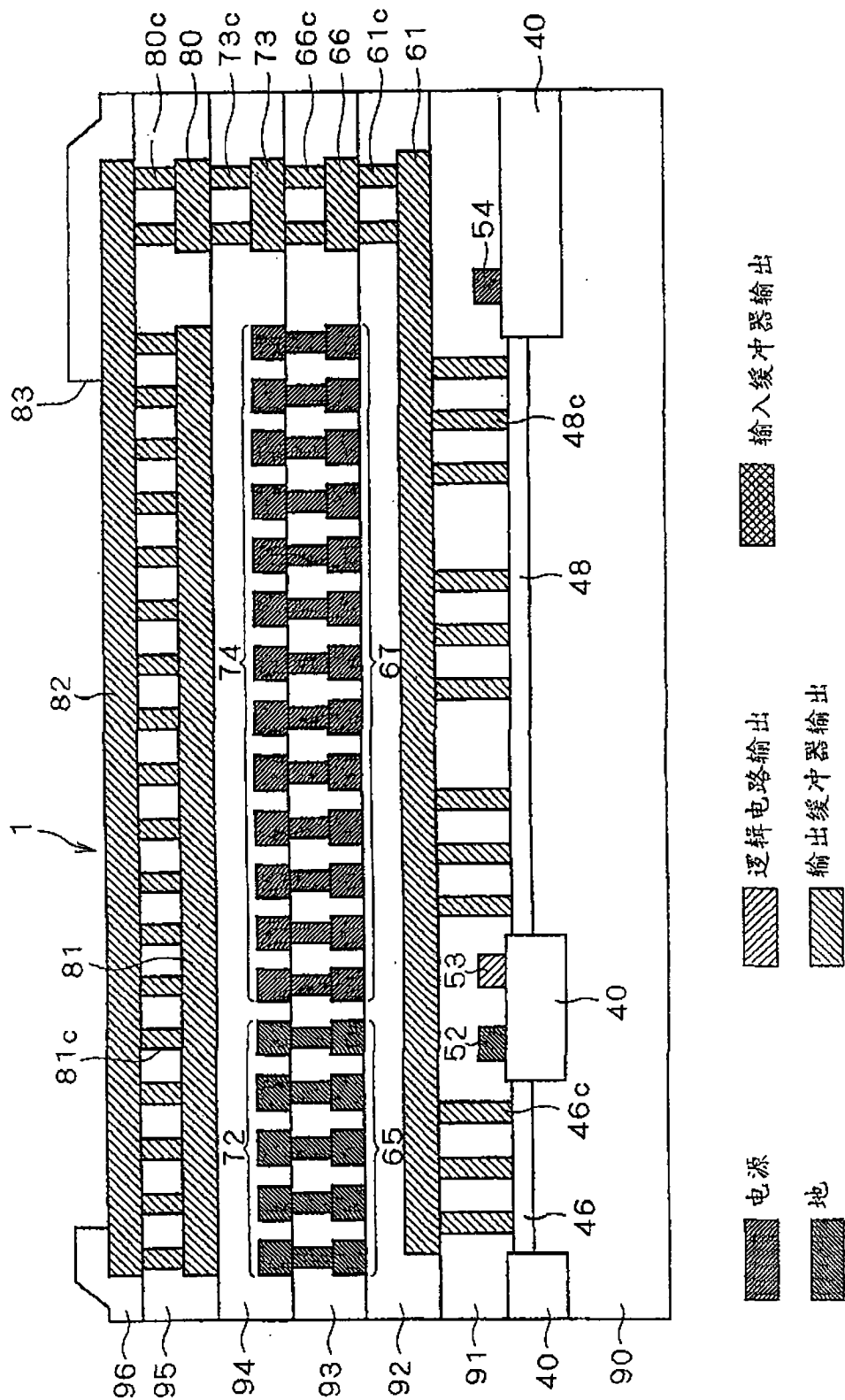


图 59

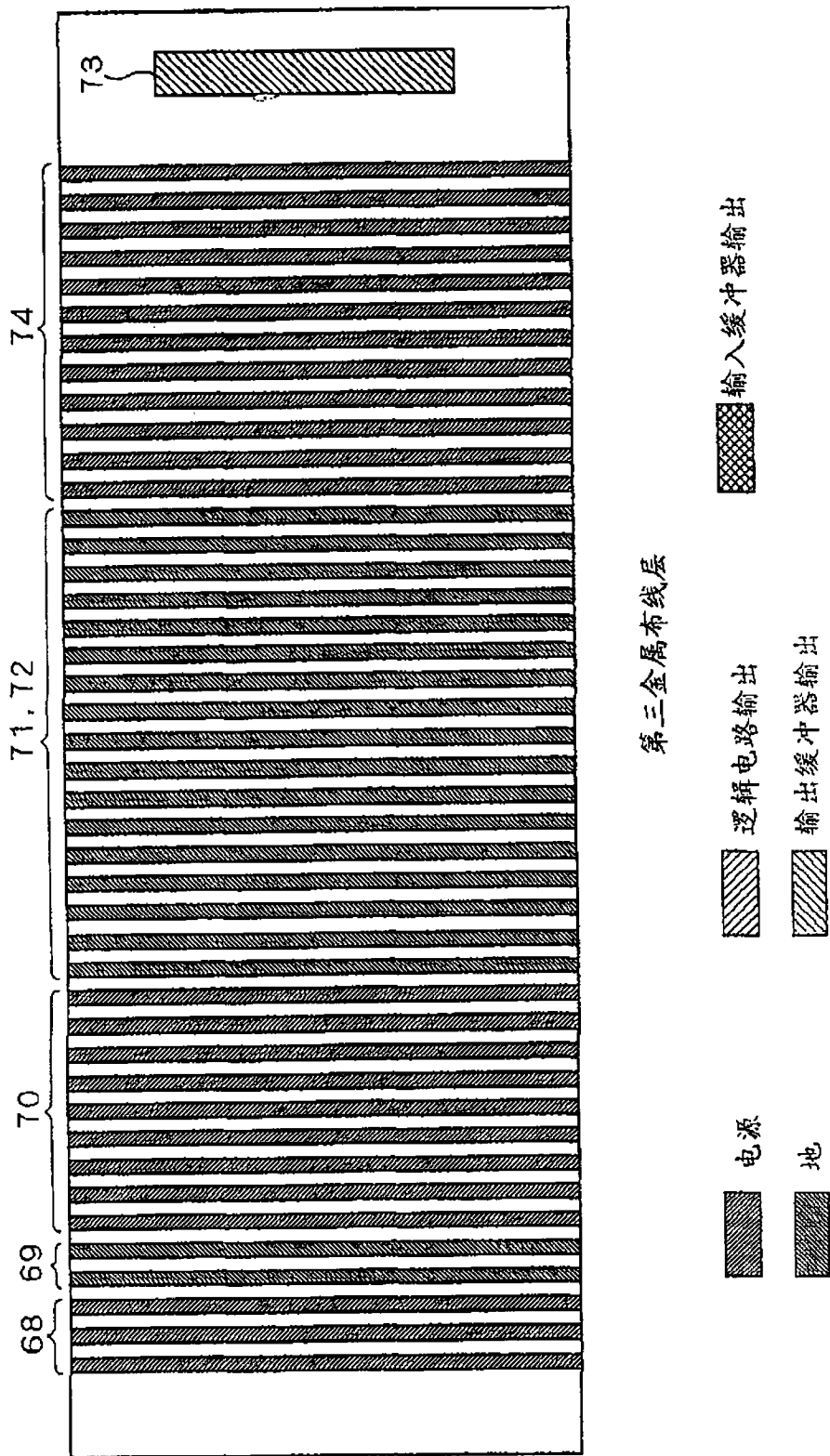


图 60

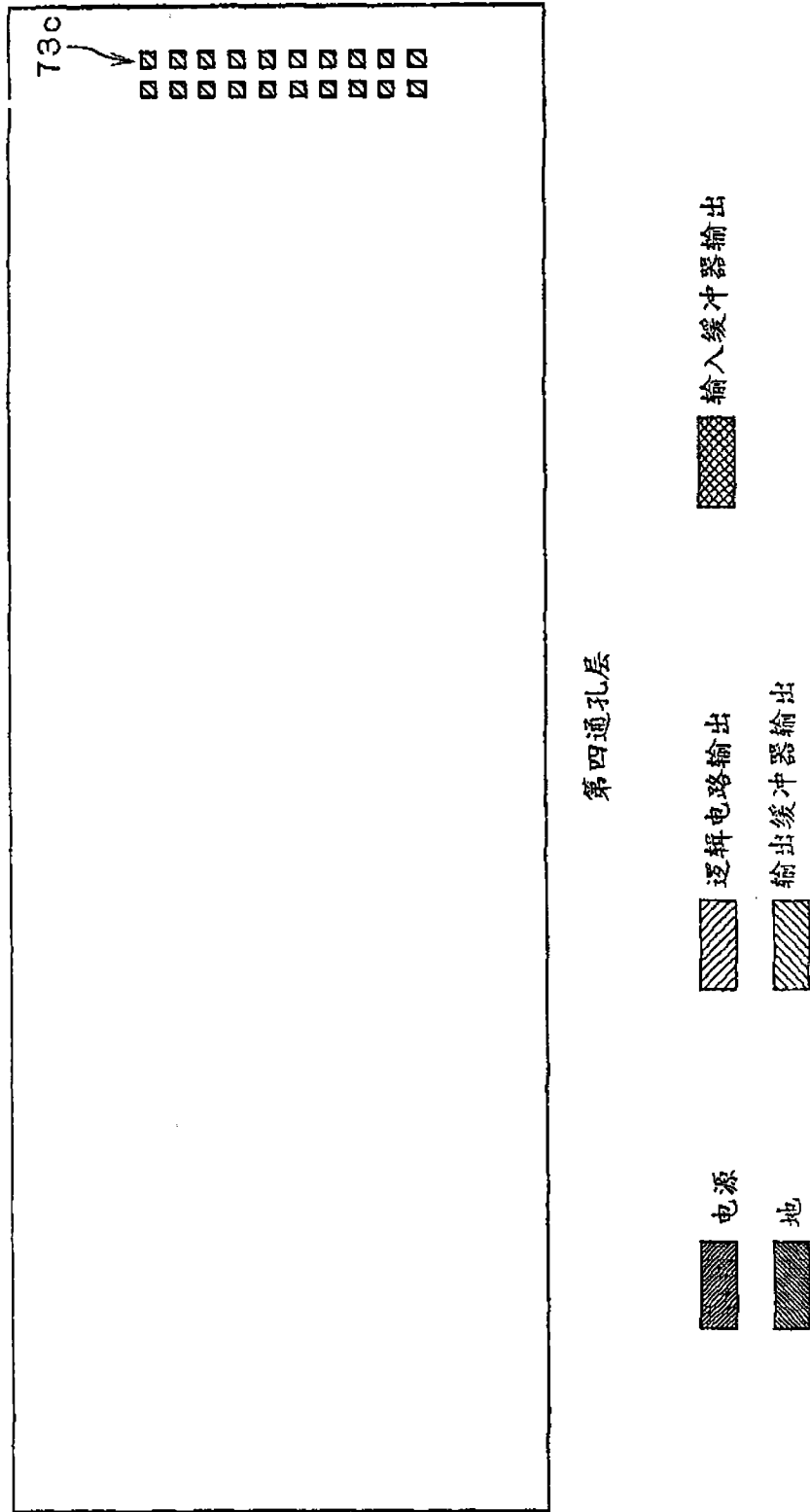


图 61

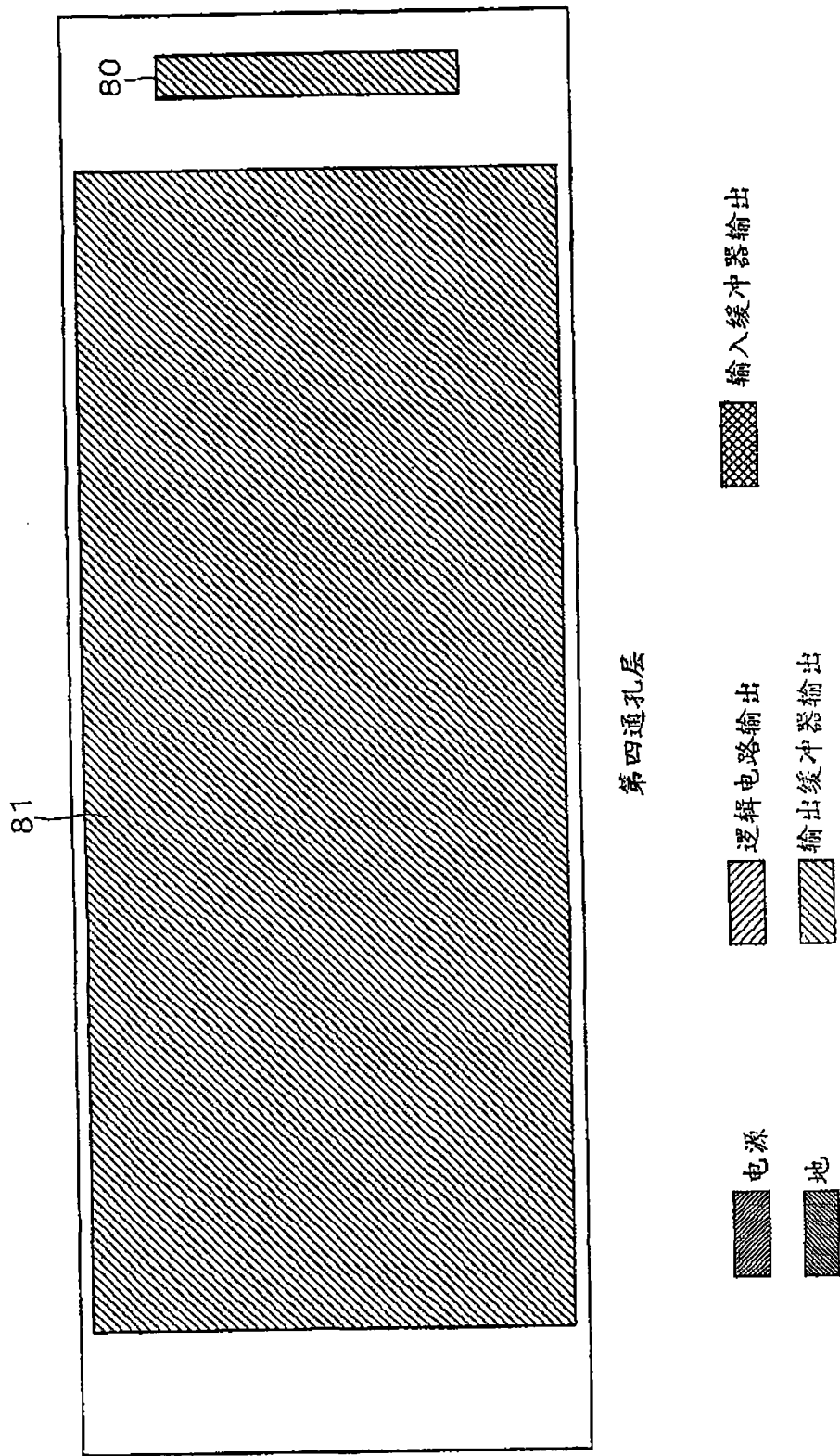


图 62

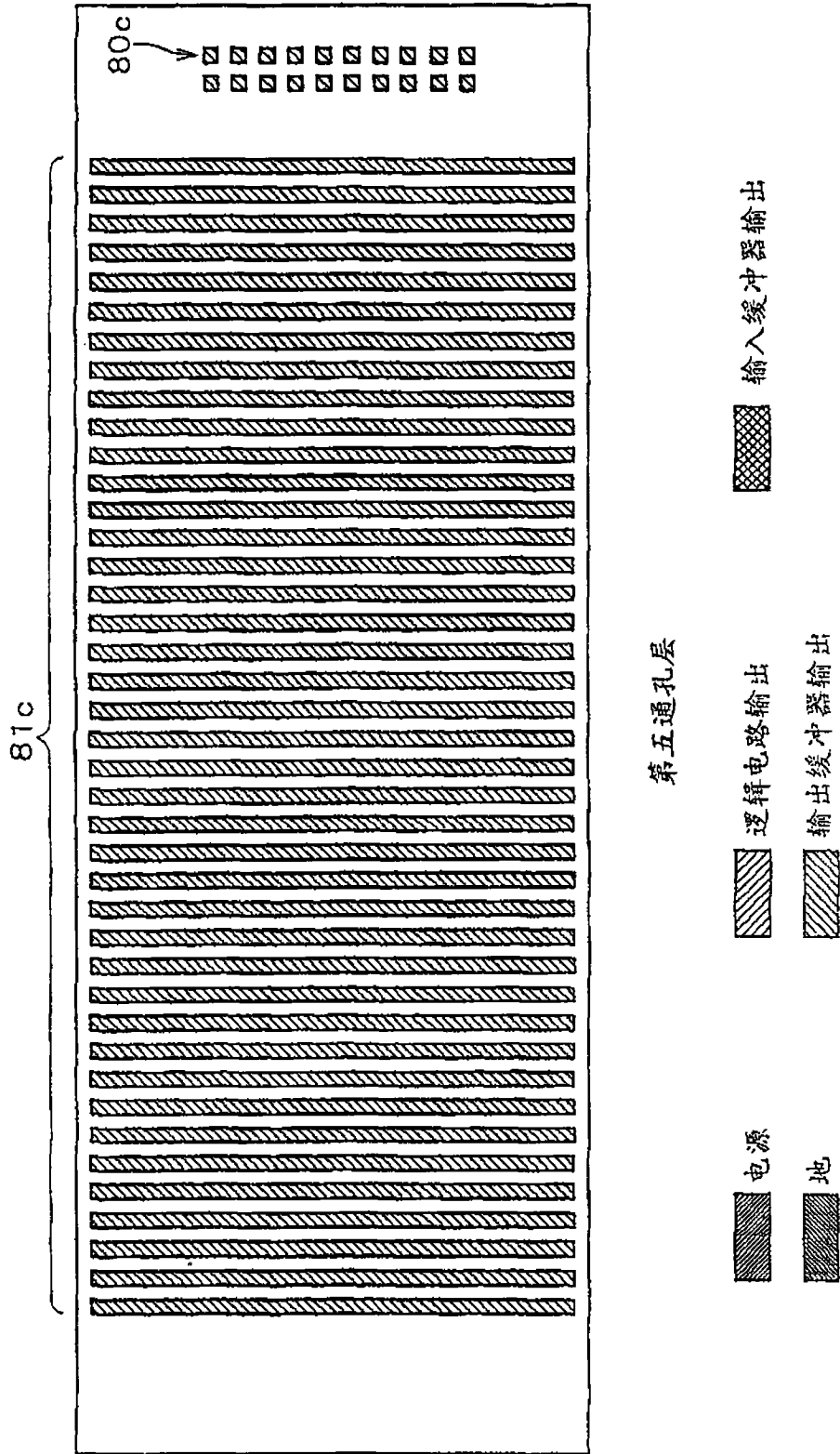


图 63

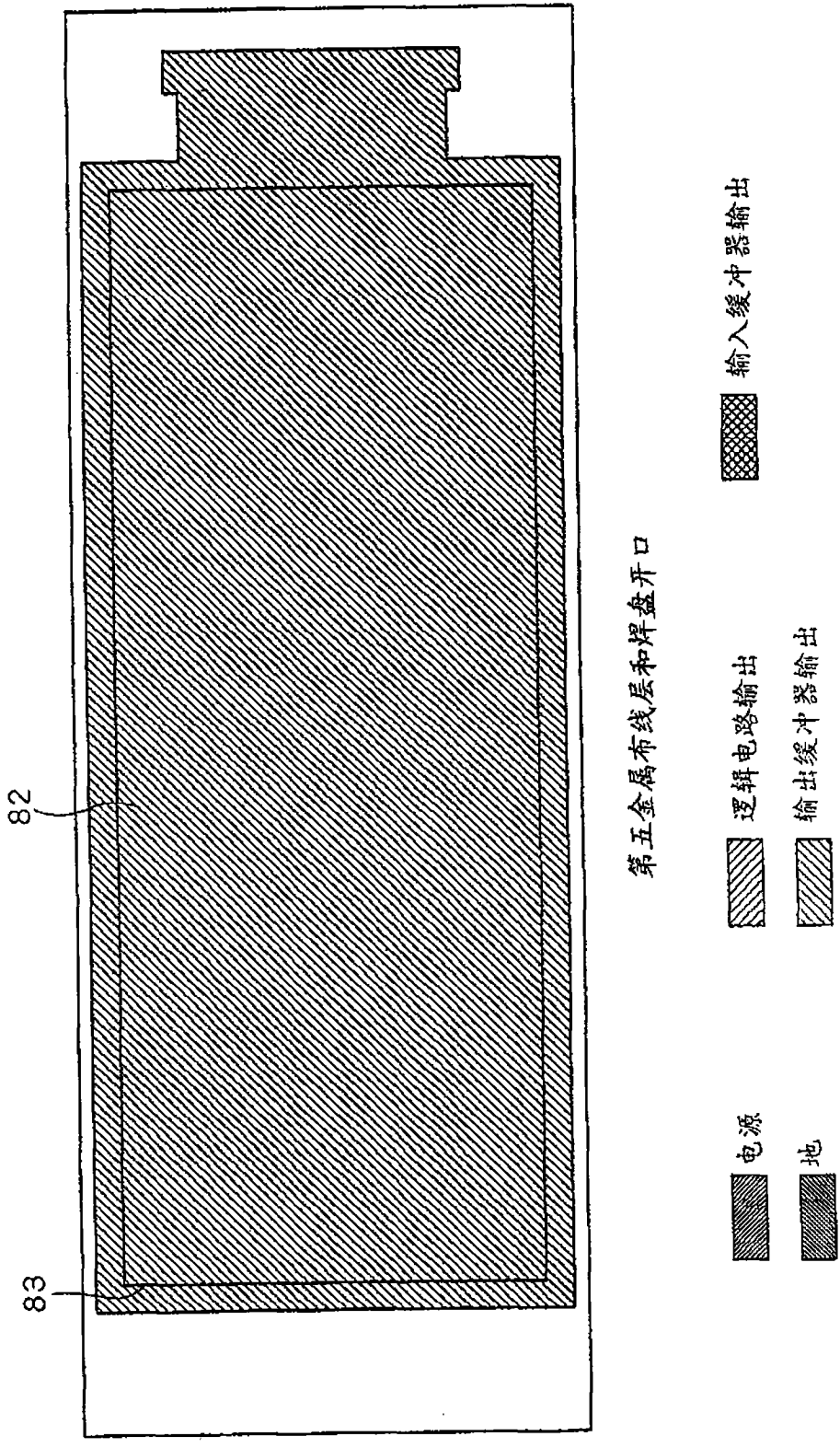


图 64

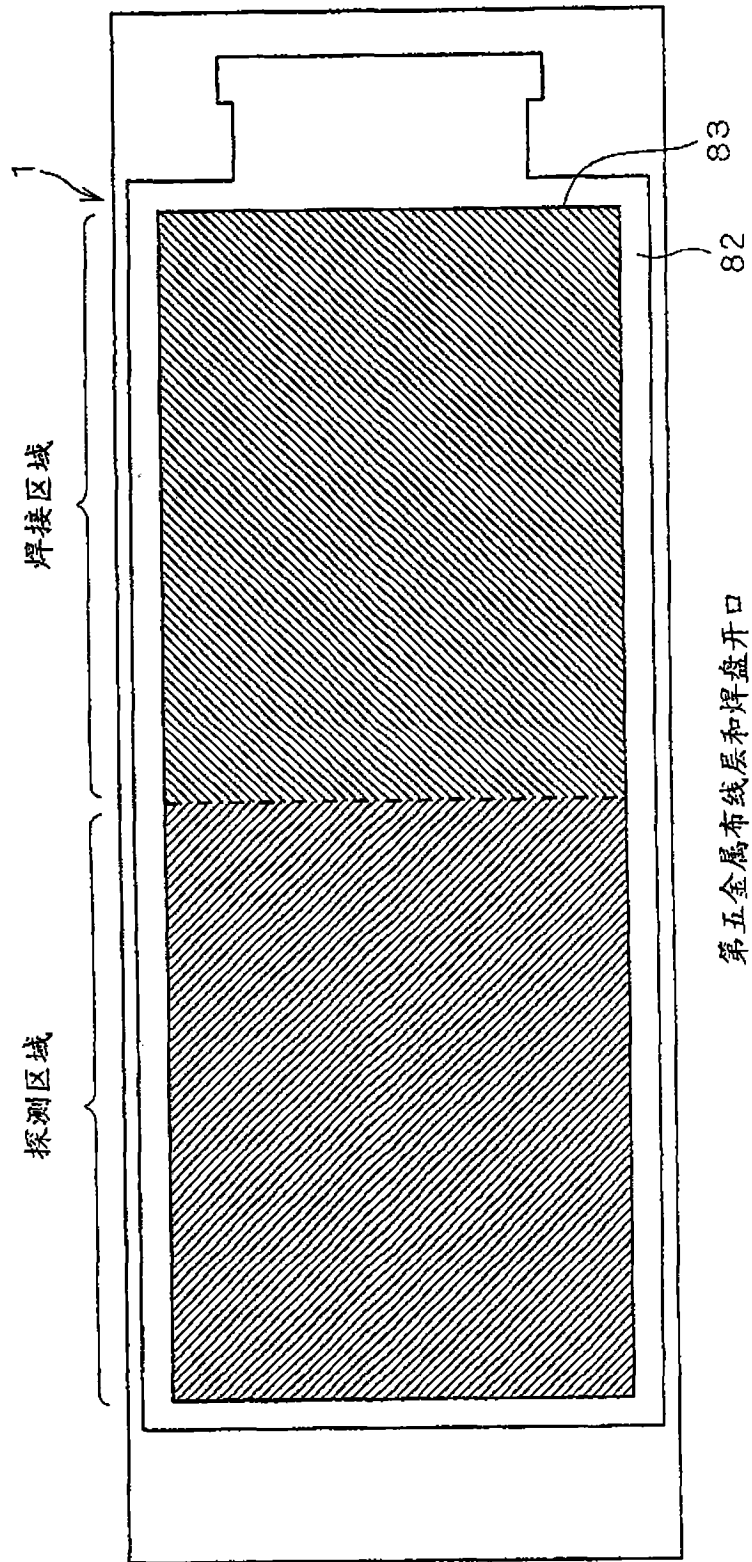


图 65

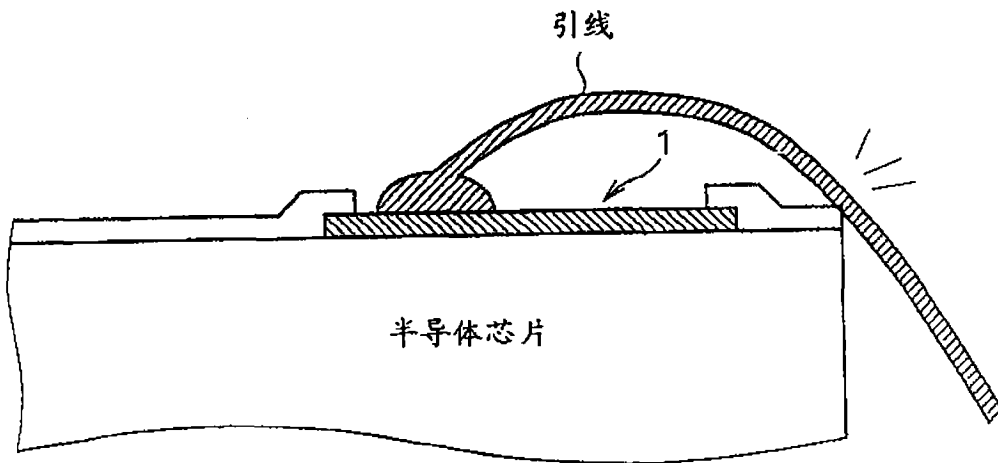


图 66A

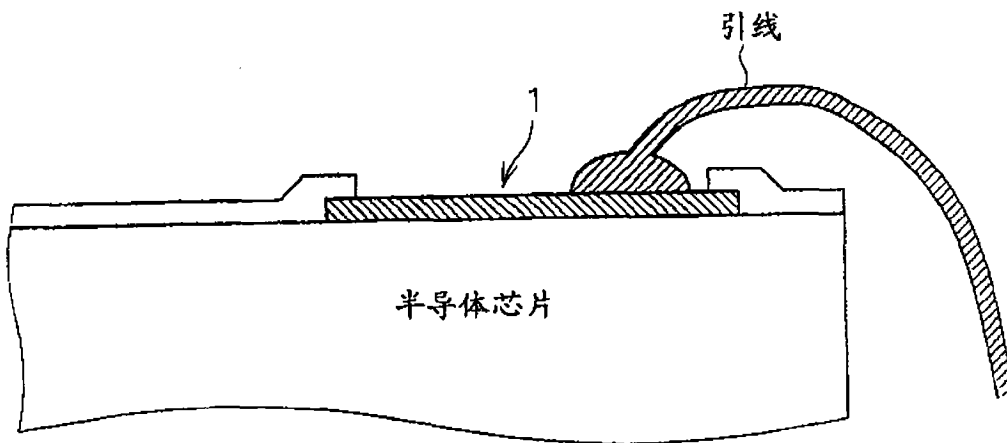


图 66B