



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년08월02일

(11) 등록번호 10-1645057

(24) 등록일자 2016년07월27일

(51) 국제특허분류(Int. Cl.)

H01L 33/04 (2010.01) *H01L 33/06* (2010.01)*H01L 33/32* (2010.01)

(21) 출원번호 10-2011-7025789

(22) 출원일자(국제) 2010년03월10일

심사청구일자 2015년02월10일

(85) 번역문제출일자 2011년10월28일

(65) 공개번호 10-2012-0009475

(43) 공개일자 2012년01월31일

(86) 국제출원번호 PCT/EP2010/053047

(87) 국제공개번호 WO 2010/112310

국제공개일자 2010년10월07일

(30) 우선권주장

10 2009 015 569.4 2009년03월30일 독일(DE)

(56) 선행기술조사문헌

EP01667292 A1*

JP2004356256 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

오스람 옵토 세미컨덕터스 게엠베하

독일 레겐스부르크 라이브니츠슈트라쎄 4 (우:93055)

(72) 발명자

아브라메스쿠, 아드리안, 스테판

독일, 93051 레겐스부르크, 프리드리히-에버트-슈트라쎄 11 비

퀘렌, 데시례

독일, 93049 레겐스부르크, 로터-브라크-벡 89 (뒷면에 계속)

(74) 대리인

김태홍

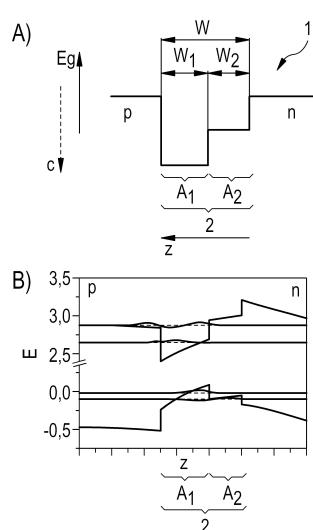
전체 청구항 수 : 총 1 항

심사관 : 김재문

(54) 발명의 명칭 광전 반도체칩

(57) 요약

광전 반도체칩(1)의 적어도 일 실시예에서, 광전 반도체칩은 질화물 물질계를 기초로 하며, 적어도 하나의 활성 양자 우물(2)을 포함한다. 적어도 하나의 활성 양자 우물(2)은 구동 시 전자기 복사를 생성하도록 설계된다. 또한, 적어도 하나의 활성 양자 우물(2)은 반도체칩(1)의 성장 방향(z)에 대해 평행한 방향에서 연속하여 이어진 N개의 영역들(A)을 포함하고, 이 때 N은 2이상의 자연수이다. 활성 양자 우물(2)의 영역들(A) 중 적어도 2개의 영역은 서로 다른 평균 인듐 함량(c)을 가진다.

대 표 도 - 도1

(72) 발명자

아이클러, 크리스토프

독일, 93105 테 게른하임, 리차드-바그너-슈트라쎄
2

사바틸, 마티아스

독일, 93059 레겐스부르크, 암 프로젠판바이헤르 21
비

롯젠, 스텔판

독일, 93047 레겐스부르크, 바이스브로하우스가쎄
2 에이

스트라우스, 우에

독일, 93077 바드 아파치, 에리크-카스트너-스트라
세

명세서

청구범위

청구항 1

적어도 하나의 활성 양자 우물(2)을 포함하며 질화물 물질계를 기초로 한 광전 반도체칩(1)에 있어서,

상기 활성 양자 우물(2)에서 구동 시 전자기 복사가 생성되고,

상기 활성 양자 우물(2)은 상기 반도체칩(1)의 성장 방향(z)에 대해 평행한 방향에서 연속하여 이어진 N개의 영역들(A)을 포함하고, N은 2 이상의 자연수이며,

상기 영역들(A)은 상기 성장 방향(z)에 대해 평행한 방향에서 연속하여 번호 매겨지며,

상기 영역들(A) 중 적어도 2개의 영역은 서로 다른 평균 알루미늄 함량(k)을 가지며, 그리고

상기 활성 양자 우물(2)은,

$$50 \leq \int (35-k(z)) dz - 2.5N - 1.5 \int dz \leq 120$$

라는 조건을 충족하는 것을 특징으로 하는 광전 반도체칩(1).

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명

기술 분야

[0001] 광전 반도체칩이 제공된다. 본 특허 출원은 독일 특허 출원 10 2009 015569.4에 대하여 우선권을 주장하며, 그 공개 내용은 참조로 포함된다.

배경 기술

[0002] 문현 US 6,849,881 B1은 다중 양자 우물 구조를 가진 광전 반도체 소자에 관한 것이다.

발명의 내용

해결하려는 과제

[0003] 해결하려는 과제는 구동 시 높은 효율로 복사를 생성하며 양자 우물 구조를 가지는 광전 반도체칩을 제공하는 것이다.

과제의 해결 수단

[0004] 광전 반도체칩의 적어도 일 실시예에 따르면, 광전 반도체칩은 질화물 물질계를 기초로 한다. 바꾸어 말하면, 반도체칩을 구성하는 반도체 물질의 성분은 질소이다. 상기 물질계는 가령 III-질화물-반도체 물질을 가리킨다. 예컨대, 반도체칩은 AlGaN, GaN, InGaN 또는 InAlGaN을 기초로 한다.

[0005] 광전 반도체칩의 적어도 일 실시예에 따르면, 광전 반도체칩은 에피택시얼 성장되어 있다. 에피택시얼 성장에 의해 성장 방향(z)이 정해진다.

[0006] 광전 반도체칩의 적어도 일 실시예에 따르면, 광전 반도체칩은 적어도 하나의 활성 양자 우물을 포함한다. 양자우물이란 개념은 양자화의 차원성에 관한 의미를 전개하지 않는다. 양자우물은 무차원 양자점, 1차원 양자선 또는 다차원 양자 우물, 또는 이러한 구조의 각각의 조합을 나타낼 수 있다.

[0007] 광전 반도체칩의 적어도 일 실시예에 따르면, 반도체칩의 구동 시 적어도 하나의 활성 양자 우물에서 전자기 복사가 생성된다. 바람직하게는 전자기 복사의 과정은 200 nm과 3000 nm사이의 스펙트럼 영역, 특히 360 nm이상과 540 nm사이의 스펙트럼 영역에 위치한다.

[0008] 광전 반도체칩의 적어도 일 실시예에 따르면, 적어도 하나의 활성 양자 우물은 반도체칩의 성장 방향(z)에 대해 평행한 방향에서 연속하여 이어지는 N개의 영역들을 포함한다. 이 때 N은 2이상의 자연수이다. 바꾸어 말하면, 적어도 하나의 양자 우물은 인접하여 배치되며 차례로 성장한 적어도 2개의 영역들을 포함한다.

[0009] 광전 반도체칩의 적어도 일 실시예에 따르면, 상기 영역들 중 적어도 2개의 영역은 서로 다른 평균 인듐 함량(c)을 가진다. 즉, 활성 양자 우물내에서 인듐 함량이 목적한 바에 따라 변경된다.

[0010] 반도체칩의 적어도 일 실시예에 따르면, 활성 양자 우물은 이하의 조건을 충족한다:

$$40 \leq \int c(z)dz - 2.5N - 1.5N \int dz \leq 80$$

- [0012] 적어도 하나의 활성 양자 우물이 상기 언급한 조건을 충족한다는 것은, 인듐함량(c), 영역들의 수(N) 및 상기 영역들과 활성 양자 우물의 치수라는 파라미터가 성장 방향(z)에 대해 평행한 방향에서 선택되되, 활성 양자 우물내에서 성장 방향(z)을 따라 인듐 함량(c)의 적분에서 영역들의 수(N)의 2.5배만큼 감산하고, 성장 방향(z)에 대해 평행한 방향에서 활성 양자 우물의 치수의 1.5배만큼 감산한 것이 40 내지 80이고, 바람직하게는 50 내지 70이 되도록 선택된다는 것을 의미한다.
- [0013] 인듐 함량은, 비-질소 격자 자리의 비율이 인듐 원자로 치환된 것을 의미한다. 인듐 함량(c)은 상기 조건과 관련하여 무차원 백분율로 제공될 수 있다. 즉, c는 0 내지 100의 무차원 숫자를 가진다. 영역들의 개수(N)는 마찬가지로 무차원으로 상기 조건에 대입될 수 있다. z는 마찬가지로 무차원이며, 성장 방향(z)에 대해 평행한 방향을 따르는 나노미터단위의 좌표값에 상응한다.
- [0014] 광전 반도체칩의 적어도 일 실시예에서, 광전 반도체칩은 질화물 물질계를 기초로 하며, 적어도 하나의 활성 양자 우물을 포함한다. 적어도 하나의 활성 양자 우물은 구동 시 전자기 복사를 생성하도록 구성된다. 또한, 적어도 하나의 활성 양자 우물은 반도체칩의 성장 방향(z)과 평행한 방향에서 연속하여 이어진 N개의 영역들을 포함하고, 이 때 N은 2 이상의 자연수이다. 활성 양자 우물의 영역들 중 적어도 2개의 영역들은 서로 다른 평균 인듐 함량(c)을 가진다. 또한, 적어도 하나의 활성 양자 우물은 조건
- [0015] $40 \leq \int c(z)dz - 2.5N - 1.5 \int dz \leq 80$
- [0016] 을 충족시키고, 특히
- [0017] $50 \leq \int c(z)dz - 2.5N - 1.5 \int dz \leq 70$
- [0018] 을 충족한다.
- [0019] 이러한 활성 양자 우물은 성장 방향을 따른 인듐 함량과 관련하여 적어도 국부적으로 계단식이거나/계단식이면서 경사면(ramp) 형태를 가진다. 활성 양자 우물의 이러한 경사면 구조 및/또는 계단식 구조는 가전자대와 전도대에서 파동 함수의 중첩을 증가시킬 수 있다. 파동 함수의 중첩이 많아지면 반도체칩의 효율이 증가할 수 있다.
- [0020] 또한, 전하 캐리어 포집율이 증가할 수 있다. 바꾸어 말하면, 예컨대 전자와 같은 전하 캐리어가 활성 양자 우물안에 포집될 확률이 높아 복사 방출 재조합을 위해 기여할 수 있다. 대역 에지의 영역에서 하나 이상의 계단을 거쳐 이종 경계가 형성됨으로써 국부화된 경계면 전하가 생성될 수 있다. 이러한 국부화된 경계면 전하에 의해, 부가적으로 압전계가 감소할 수 있어서, 마찬가지로 반도체칩의 복사 생성 효율도 증가할 수 있다.
- [0021] 양자 우물의 파라미터와 관련하여 상기의 조건은 특히 영역의 두께 및 그 인듐 함량과 관련하여, 활성 양자 우물의 형성을 위한 파라미터 범위를 제공하고, 이러한 범위에 의해 놀랄정도로 효율이 높게 얻어질 수 있고, 특히 반도체칩의 복사 생성 시 특히 높은 효율 인자가 얻어질 수 있다.
- [0022] $\int c(z)dz - 2.5N - 1.5 \int dz$ 이란 항이 가질 수 있는 값의 범위는 원칙적으로 제한이 없다. 예컨대, 상기 항은 종래의 활성 양자 우물의 경우 200을 초과할 수 있거나 0 미만일 수 있다.
- [0023] 광전 반도체칩의 적어도 일 실시예에 따르면, 적어도 하나의 활성 양자 우물은 이하의 조건을 충족한다:
- [0024] $40 \leq \sum_{i=1}^N c_i w_i - 2.5N - 1.5 \int dz \leq 80$
- [0025] 바람직하게는
- [0026] $50 \leq \sum_{i=1}^N c_i w_i - 2.5N - 1.5 \int dz \leq 70$
- [0027] 을 충족한다.
- [0028] c_i 는 적어도 하나의 활성 양자 우물의 i번째 영역의 평균 인듐 함량이고, w_i 는 상기 i번째 영역의 폭이다. 양자 우물의 영역은 반도체칩의 성장 방향(z)에 대해 평행한 방향에서 연속적으로 번호 매겨진다. 영역의 번호 매김은 성장 방향을 따라 또는 성장 방향과 반대로 이루어질 수 있다.
- [0029] 예컨대, 활성 양자 우물의 영역은 성장 방향(z)을 따른 인듐 함량이 국부적으로, 전체 영역에 걸쳐 평균을 낸

인듐 함량에 비해 최대 30%, 바람직하게는 최대 15%만큼 편차가 있는 영역이다. 바꾸어 말하면, 예컨대 인접한 영역들 사이의 경계 또는 경계영역에서 인듐 함량이 두드러지게 단계적으로 증가하거나 감소한 부분이 형성된다.

[0030] 광전 반도체칩의 적어도 일 실시예에 따르면, 적어도 하나의 활성 양자 우물의 영역내의 인듐 함량(c)은 제조 공차를 고려하여 각각 일정하다. 예컨대, 일정하다는 것은, 영역내의 인듐 함량(c)이 평균값과의 편차가 최대 2%, 특히 최대 1%라는 것을 의미할 수 있다. 일정하다는 개념은 예컨대, 성장 방향과 평행한 방향을 따르는 인듐 함량의 진행선 내에서 계단 애지가 둑글게 깎인 형태를 가질 수 있는 경우를 배제하지 않는다. 바꾸어 말하면, 인듐 함량의 진행선은 계단 함수에 의해 근접해질 수 있다.

[0031] 광전 반도체칩의 적어도 일 실시예에 따르면, 적어도 하나의 활성 양자 우물은 적어도 3개의 영역들을 포함한다. 바꾸어 말하면, N 은 3 이상이다. 특히, 적어도 3개의 영역들, 바람직하게는 모든 영역들은 각각 서로 다른 평균 인듐 함량을 가진다.

[0032] 광전 반도체칩의 적어도 일 실시예에 따르면, 광전 반도체칩은 p형 연결측 및 n형 연결측을 포함한다. 반도체 칩의 p형 연결측에 예컨대 p형 도핑된 반도체 물질이 위치하고, n형 연결측에 n형 도핑된 반도체 물질이 위치한다. 연결측에 의해 반도체칩은 바람직하게는 전기 접촉이 가능하다.

[0033] 광전 반도체칩의 적어도 일 실시예에 따르면, 상기 영역의 적어도 일부분의 평균 인듐 함량(c)에 대해:

$$c_i < c_{i+1} \text{ 및 } c_i > c_{i+2}$$

[0035] 이) 적용된다.

[0036] 영역은 이 때 성장방향에 대해 평행하게, 특히 p형 연결측으로부터 n형 연결측으로 가면서 연속적으로 번호 매겨진다. 바람직하게는 $i = 1$ 이다. 바꾸어 말하면, 활성 양자 우물은 인듐 함량이 높은 중심 영역을 포함하고, 상기 중심 영역은 양측에서 인듐 함량이 감소한 영역들에 의해 둘러싸여 있다.

[0037] 광전 반도체칩의 적어도 일 실시예에 따르면, $c_i < c_{i+2}$ 가 더 적용된다. 바꾸어 말하면, 활성 양자 우물은 인듐 함량이 높은 중앙 영역을 포함한다. 중앙 영역보다 p형 연결측에 더 가깝게 위치한 영역은 n형 연결측에 가깝게 위치한 영역보다 더 작은 인듐 함량을 가진다.

[0038] 광전 반도체칩의 적어도 일 실시예에 따르면, p형 연결측으로부터 n형 연결측으로 가는 방향에서 적어도 영역의 일부분에 대한 평균 인듐 함량에 있어:

$$c_i > c_{i+1} \text{ 및 } c_{i+2} > c_{i+1} \text{ 및 } c_i > c_{i+2}$$

[0040] 가 적용된다.

[0041] 바꾸어 말하면, 영역($i+1$)은 인듐 함량이 더 높은 2개의 영역들에 의해 둘러싸여있다. 영역($i+1$)은 예컨대 양자 우물 프로파일내의 중간 장벽을 나타낸다. 바람직하게는 $i = 1$ 또는 $i = 2$ 이다.

[0042] 광전 반도체칩의 적어도 일 실시예에 따르면, 인듐 함량(c)은 성장 방향(z)에 대해 평행한 방향에서 단조로 (monotone) 증가한다. 바꾸어 말하면, 활성 양자 우물은 영역, 특히 $i = 1$ 인 영역, 최대 인듐 함량을 가진 영역을 포함하고, 이러한 영역으로부터 시작하여 인듐 함량은 성장 방향(Z)에 대해 평행한 방향에서 제조 공차의 범위 내에서 단조로 증가한다. 즉, 예컨대 각각의 영역($i+1$)에 대해 i 이하이고 $N-1$ 이하가 적용된다: $c_i \geq c_{i+1}$, 바람직하게는 $c_i > c_{i+1}$. 특히, 이러한 반도체칩은 중간 장벽을 포함하지 않는다.

[0043] 광전 반도체칩의 적어도 일 실시예에 따르면, 적어도 하나의 활성 양자 우물은 3개 내지 10개의 영역을 포함한다. 바꾸어 말하면 $3 \leq N \leq 10$, 바람직하게는 $3 \leq N \leq 6$.

[0044] 광전 반도체칩의 적어도 일 실시예에 따르면, 활성 양자 우물의 총 폭은 0.25 nm 내지 12 nm이며, 특히 0.5 nm 내지 10 nm이며, 바람직하게는 3.5 nm 내지 8 nm이다.

[0045] 광전 반도체칩의 적어도 일 실시예에 따르면, 적어도 하나의 활성 양자 우물의 영역들의 일부 또는 모든 영역에 대한 폭(w)을 위해:

$$w_i > w_{i+1} \text{ 및 } w_{i+2} > w_{i+1}$$

- [0047] 이 적용된다.
- [0048] 바꾸어 말하면, 더 큰 폭을 가진 2개의 영역들 사이에 더 작은 폭을 가진 하나의 영역이 위치한다. 특히, 영역 (w_i)은 활성 양자 우물의 최대 평균 인듐 함량을 가진 영역이다. 바람직하게는 $i = 1$ 또는 $i = 2$ 이다.
- [0049] 광전 반도체칩의 적어도 일 실시예에 따르면, 활성 양자 우물의 영역들의 적어도 일부에 대한 폭(w)과 관련하여:
- [0050] $w_i < w_{i+1}$ 및 $w_i < w_{i+2}$
- [0051] 이 적용된다.
- [0052] 바람직하게는, 영역($i+1$)은 최대 인듐 함량을 가진 영역이다. 바람직하게는 $i = 1$ 이다. 또한, 특히 $w_{i+1} > w_{i+2}$ 가 적용될 수 있다.
- [0053] 광전 반도체칩의 적어도 일 실시예에 따르면, 활성 양자우물의 적어도 하나의 중간 장벽의 성장 방향(z)에 대해 평행한 방향에서 폭은 적어도 하나의 활성 양자 우물의 부가적 영역의 최소폭보다 작다. 바꾸어 말하면, 중간 장벽은 얇게 형성된다. 특히, 성장 방향을 따른 중간 장벽의 두께는 0.25 nm 내지 1.25 nm이다.
- [0054] 광전 반도체칩의 적어도 일 실시예에 따르면, 상기 영역의 두께는 경우에 따라서 존재하는 중간 장벽의 두께를 제외하고 1.5 nm 내지 4 nm이고, 특히 1.75 nm내지 3 nm이다.
- [0055] 광전 반도체칩의 적어도 일 실시예에 따르면, 최대 인듐 함량을 가진 영역의 인듐 함량은 15% 내지 50%이다.
- [0056] 광전 반도체칩의 적어도 일 실시예에 따르면, 최대 인듐 함량을 가진 영역과 인접하는 적어도 하나의 영역의 인듐 함량은 최대 인듐 함량을 가진 영역의 평균 인듐 함량에 대해 30% 내지 80%이며, 특히 40% 내지 60%이다.
- [0057] 광전 반도체칩의 적어도 일 실시예에 따르면, 적어도 하나의 i 번째 영역의 평균 인듐 함량에 대해:
- [0058] $0.35c_{i-1} \leq c_i \leq 0.65c_{i-1}$
- [0059] 이 적용되고, 특히
- [0060] $0.40c_{i-1} \leq c_i \leq 0.60c_{i-1}$
- [0061] 이 적용되며, 이 때 바람직하게는 $i = 2$ 또는 $i > 2$ 이다.
- [0062] 광전 반도체칩의 적어도 일 실시예에 따르면, 광전 반도체칩은 성장 방향(z)에 대해 평행한 방향에서 2개 내지 5개 사이의 활성 양자 우물들을 포함한다. 바꾸어 말하면, 반도체칩은 다중 양자 우물 구조를 가진다.
- [0063] 광전 반도체칩의 적어도 일 실시예에 따르면, 광전 반도체칩은 적어도 하나의 비활성 양자 우물을 포함한다. 비활성 양자 우물의 평균 인듐 함량은 최대 평균 인듐 함량을 가진 적어도 하나의 활성 양자 우물의 영역의 평균 인듐 함량보다 더 낮다.
- [0064] 비활성이란, 특히, 비활성 양자 우물이 복사 생성을 위해 구성되지 않는다는 것을 의미한다. 반도체칩의 구동 시, 적어도 하나의 비활성 양자 우물에서는, 방출된 복사가 전혀 생성되지 않거나 근소한 일부 비율만이 생성된다. 바람직하게는, 비활성 양자 우물에서 생성된 복사는 10%미만, 특히 2%미만이다.
- [0065] 광전 반도체칩의 적어도 일 실시예에 따르면, 비활성 양자 우물의 두께는 성장 방향(z)과 평행한 방향을 따라 활성 양자 우물의 두께보다 더 얇다. 바람직하게는, 비활성 양자 우물의 두께는 활성 양자 우물 두께의 최대 75%이다.
- [0066] 광전 반도체칩의 적어도 일 실시예에 따르면, 광전 반도체칩은 적어도 2개의 비활성 양자 우물들을 포함하고, 상기 양자 우물들은 적어도 하나의 활성 양자 우물을 에워싼다.
- [0067] 광전 반도체칩의 적어도 일 실시예에 따르면, 2개의 인접한 활성 양자 우물들 사이에 적어도 하나의 비활성 양자 우물이 위치하고, 특히 1개 내지 5개의 비활성 양자 우물들이 위치한다. 바람직하게는, p형 연결측과 상기 p형 연결측 바로 옆에 위치한 활성 양자 우물 사이에 적어도 하나의 비활성 양자 우물이 위치하고, 특히 1개 내지 5개의 비활성 양자 우물들이 위치한다. 이러한 점은 바람직하게는 n형 연결측 바로 옆에 위치한 활성 양자 우물에 대해서도 상응하게 적용된다.
- [0068] 광전 반도체칩의 적어도 일 실시예에 따르면, 광전 반도체칩은 적어도 2개의 도파총들을 포함하고, 이 때 적어

도 하나의 활성 양자 우물, 특히 모든 활성 양자 우물은 도파총들 사이에 위치한다. 바꾸어 말하면, 적어도 하나의 활성 양자 우물은 도파총들에 의해 에워싸여 있다.

[0069] 광전 반도체칩의 적어도 일 실시예에 따르면, 도파총들 중 적어도 하나의 도파총은 하나 이상의 전하 캐리어 장벽층들을 포함한다. 전하 캐리어 장벽층은 예컨대 p형 연결측의 도파총에 삽입된 전자 장벽층을 가리킨다. 전하 캐리어 장벽층은 더 많은 Al 함량을 포함할 수 있고 0.25 nm 내지 20 nm의 얇은 두께를 가질 수 있다.

[0070] 광전 반도체칩의 적어도 일 실시예에 따르면, 광전 반도체칩은 레이저빔의 생성을 위해 구성된다. 바꾸어 말하면, 반도체칩은 레이저칩이다.

[0071] 광전 반도체칩의 적어도 일 실시예에 따르면, 광전 반도체칩은 430 nm 내지 540 nm의 전자기 복사를 생성하기 위해 구성된다. 바꾸어 말하면, 반도체칩은 청색 및/또는 녹색의 스펙트럼 영역에서 방출한다.

[0072] 또한, 적어도 하나의 활성 양자 우물내에서 알루미늄 함량이 가변적인 광전 반도체칩이 제공된다.

[0073] 광전 반도체칩의 적어도 일 실시예에서, 광전 반도체칩은 질화물 물질계를 기초로 하고, 적어도 하나의 활성 양자 우물을 포함하며, 이 때 상기 활성 양자 우물에서는 구동 시 전자기 복사가 생성된다. 반도체칩의 성장 방향(z)에 대해 평행한 방향에서, 반도체칩은 연속하여 이어진 N개의 영역들을 포함하고, 이 때 상기 영역들 중 적어도 2개의 영역은 서로 상이한 평균 알루미늄 함량(k)을 가지고, N은 2 이상의 자연수이다. 적어도 하나의 활성 양자 우물은 285 nm보다 크고 특히 360 nm 이하의 파장을 가진 복사를 위해 조건:

$$70 \leq \int (35-k(z)) dz - 2.5N - 1.5 \int dz \leq 120$$

[0075] 을 충족하거나, 또는 285 nm 이하 그리고 특히 210 nm 이상의 큰 파장을 가진 복사를 위해 조건

$$50 \leq \int k(z) dz - 2.5N - 1.5 \int dz \leq 100$$

[0077] 을 충족한다.

[0078] 활성 양자 우물의 영역의 평균 인듐 함량이 가변적이라는 반도체칩의 특성은 본 명세서에 기술된 가변적인 알루미늄 함량을 가진 반도체칩을 위해서도 개시되며, 그 반대의 경우도 그러하다. 인듐 함량이 증가하면서 밴드갭이 감소하고 알루미늄 함량이 증가하면서 밴드갭이 증가하므로, 인듐 함량과 관련한 관계식은 활성 양자 우물의 영역의 평균 알루미늄 함량이 가변적인 경우에 그에 상응하게 역이 될 수 있다.

발명의 효과

[0079] 본 명세서에 기술된 광전 반도체칩이 사용될 수 있는 일부 응용 분야는 가령 디스플레이나 표시 장치의 백라이트가 있다. 또한, 본 명세서에 기술된 반도체칩은 영사목적의 조명 장치, 투광기 또는 발광기 또는 일반 조명에 사용될 수 있다.

[0080] 이하, 본 명세서에 기술된 광전 반도체칩은 도면을 참조하고 실시예에 의거하여 더 상세히 설명된다. 동일한 참조번호는 개별 도면에서 동일한 요소를 나타낸다. 그러나 척도에 맞는 참조가 도시된 것이 아니며, 오히려 개별 요소는 더 나은 이해를 위해 과장되어 크게 도시되어 있을 수 있다.

도면의 간단한 설명

[0081] 도 1은 본 명세서에 기술된 반도체칩(A)의 실시예의 개략적 단면도 및 상기 반도체칩의 대역 구조(B)에 대한 개략도이다.

도 2는 본 명세서에 기술된 광전 반도체칩의 다른 실시예의 개략도이다.

도 3은 반도체 소자의 개략도이다.

도 4 내지 15는 본 명세서에 기술된 광전 반도체칩의 다른 실시예의 개략도이다.

도 16 및 17은 반도체칩의 파라미터 변화에 대한 개략도이다.

도 18은 본 명세서에 기술된, 서로 다른 알루미늄 함량을 가진 영역들을 구비한 광전 반도체칩의 실시예의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0082] 도 1의 A)에는 광전 반도체칩(1)의 실시예가 성장 방향(z)을 따른 인듐 함량(c) 및 밴드갭(E_g)의 흐름에 의거하여 개략적으로 도시되어 있다. 활성 양자 우물(2)은 양자 우물(2)을 둘러싼 반도체칩(1)의 영역들에 비해 더 많은 인듐 함량(c)을 가진다. 양자 우물(2)은 2개의 영역들($A_{1, 2}$)을 포함한다. 양자 우물(2)의 제1영역(A_1)에서 인듐 함량(c)은 제2영역(A_2)에 비해 증가한다. 반도체칩(1)의 구동 시, 복사 생성은 바람직하게는 거의 제1영역(A_1)에서만 이루어진다.
- [0083] 반도체칩(1)은 예컨대 InGaN 물질계를 기초로 한다. 밴드갭(E_g)은 인듐 함량(x) 퍼센트에 대해 거의 이하와 같이 제공될 수 있고(또한 Applied Physics Letters, Vol. 80, Issue 25, 2002년, 4741-4743 참조):
- $$E_g(x) = x \cdot 3.42 + (1-x) \cdot 0.77 - x \cdot (1-x) \cdot 1.43.$$
- [0084] [0085] 밴드갭(E_g)은 eV단위로 제공된다. 인듐 함량이 증가하면 밴드갭(E_g)이 감소한다. 약 450 nm의 파장에 상응하는 밴드갭(E_g)을 위해 인듐 함량은 바람직하게는 17% 내지 22%, 약 490 nm의 파장에 상응하여 바람직하게는 24% 내지 29%이다.
- [0086] 영역들(A_1, A_2)에서 인듐 함량(c)은 각각 거의 일정하다. 예컨대, 제1영역(A_1)의 인듐 함량(c_1)은 22%이고, 제2영역(A_2)의 인듐 함량(c_2)은 약 12%이다. 제1영역(A_1)의 폭(w_1)은 약 2.5 nm이고, 제2영역(A_2)의 폭(w_2)은 약 2 nm이다. 따라서, 활성 양자 우물(2)의 전체 폭(W)은 약 4.5 nm이다. 영역들($A_{1, 2}$)은 반도체칩(1)의 성장 방향(z)과 반대되는 방향으로 연속하여 번호 매겨진다. 번호 매김은 반도체칩(1)의 p형 연결측(p)으로부터 n형 연결측(n)으로 가면서 이루어진다.
- [0087] 영역들($A_{1, 2}$)에서 일정한 인듐 함량(c)에 의해
- [0088]
$$\int c(z)dz = 2.5N + 1.5 \int dz$$
 이라는 항은 $\sum_{i=1}^N c_i w_i = 2.5N + 1.5 \sum_{i=1}^N w_i$ 이란 항으로 표현될 수 있다. i번째 영역의 인듐 함량(c_i)은 퍼센트로 무차원으로 제공되고, 폭(w_i)은 무차원으로 나노미터 단위로 제공된다. N은 영역들($A_{1, 2}$)의 수에 상응한다. 도 1의 A)의 활성 양자 우물(2)을 위해 상기 항에 대해:
- $$[22 \cdot 2.5 + 12 \cdot 2] - [2.5 \cdot 2] - [1.5 \cdot (2.5 + 2)] \approx 67.$$
- [0089] [0090] 의 값이 얻어진다.
- [0091] 활성 양자 우물(2)을 위한 항의 값은 가령 전자 현미경, 특히 투과 전자 현미경을 이용한 양자 우물(2)의 측정에 의해 산출될 수 있다.
- [0092] 도 1의 B)에는 도 1의 A)에 따른 반도체칩(1)의 가전자대 및 전도대의 에너지(E)의 흐름이 성장 방향(z)을 따라 개략적으로 도시되어 있다. 밴드갭(E_g)은 각각 성장 방향(z)을 따라 가전자대 및 전도대의 에너지(E)의 차에 상응한다. 가전자대 및 전도대의 파동 함수는 각각 두꺼운 선분으로 표시되어 있고, 이에 속하는 에너지 레벨은 얇은 수평 선분으로 표시되어 있다. 가전자대 및 전도대의 기저 상태(ground state)의 파동 함수의 중첩 영역은 비교적 크다. 이를 통해, 특히, 양자 우물(2) 내에서 전하 캐리어, 즉 전자 및 정공의 재조합율이 높을 수 있다. 또한, 활성 양자 우물(2)에서 전하 캐리어의 포집율도 증가할 수 있다.
- [0093] 도 2에는 반도체칩(1)의 다른 실시예가 개략적으로 도시되어 있다. 성장 방향(z)을 따른 인듐 함량(c)의 흐름은 3개의 영역들($A_{1, 2, 3}$)을 포함한다. 3개의 영역에 의해 활성 양자 우물(2)이 형성된다. 영역들($A_{1, 2, 3}$)의 평균 인듐 함량 근사값은 과선으로 도시되어 있다. 인듐 함량(c)의 실제 흐름은 이와 편차가 있으며, 특히 과선으로 표시된 이상적인 흐름의 계단의 에지 영역에서 그러하다. 그러나, 개별 영역들($A_{1, 2, 3}$)은 인듐 함량(c)의 현저한 상승 또는 감소가 있는 영역에 의해 서로 확연하게 분리된다.
- [0094] 이하에 설명하는 실시예에서는 각각, 계단에 의해 근접해진 이상적인 인듐 함량(c)이 성장 방향(z)을 따라 도시되어 있다. 즉, 도 2와 유사하게, 도시된 흐름에 비해 인듐 함량(c)의 편차가 나타날 수 있다.
- [0095] 도 3의 A)에는 활성 양자 우물(2)이 약 6 nm의 폭(W)을 가지고, 약 22%의 평균 인듐 함량을 가지는 반도체 소자

가 도시되어 있다.

[0096] $\sum_{i=1}^N c_i w_i - 2.5N - 1.5 \sum_{i=1}^N w_i$ 이라는 항은 약 120이란 값을 가진다. 이를 통해, 도 3의 B) 및 3의 C)를 참조하면, 가전자대 및 전도대에서 기저 상태 파동 함수는 비교적 적게 중첩될 뿐이다. 또한, 양자 우물(2)의 영역에서 가전자대 및 전도대의 에너지의 구배는 압전계에 의해 비교적 크며, 도 3의 C)에서 경사진 파선으로 표시되어 있다.

[0097] 양자 우물(2)의 플랭크는 경사면 흐름을 보일 수 있고, 변형된 활성 양자 우물(2')이 나타날 수 있으며 이는 점쇄선으로 표시되어 있다.

[0098] 반도체칩(1)의 다른 실시예는 도 4에 도시되어 있다. 활성 양자 우물(2)의 최고 인듐 함량(c_2)을 가진 영역(A_2)은 p형 연결측(p)을 향한 방향에서, 더 적은 평균 인듐 함량(c_1)을 가진 영역(A_1)과 이웃한다. 영역(A_1)은 경사면으로 형성될 수 있으며, 점쇄선으로 표시되어 있다.

[0099] 도 4의 B)에서 확인할 수 있는 바와 같이, 도 3의 C)에 비해, 영역(A_1)에 의해, 최대 인듐 함량(c_2)을 가진 영역(A_2)의 구간에서 성장 방향(c)을 따른 에너지(E)의 구배는 현저히 감소하며, 도 4의 B)에서 두껍게 표시된 선분으로 도시되어 있다. 직접적인 비교를 위해, 도 4의 B)에서는 도 3의 C)에 따른 양자 우물(2)의 에너지(E)의 기울기가 한번 더 파선으로 표시되어 있다. 바꾸어 말하면, 영역(A_1)에 의해 전위 흐름내에서 구배가 감소한다. 구배의 감소는 활성 양자 우물(2)에서 복사 생성과 관련하여 효율 증가를 야기한다.

[0100] 도 5에 따른 반도체칩(1)의 실시예에서, 활성 양자 우물(2)은 3개의 영역들($A_{1, 2, 3}$)을 포함한다. 최대 인듐 함량(c_2)을 가진 영역(A_2)은 최대 폭(w_2)을 가진다. p형 연결측의 영역(A_1)의 인듐 함량(c_1)은 n형 연결측의 영역(A_3)의 인듐 함량(c_3)보다 더 낮다. 이는 영역($A_{1, 3}$)의 폭($w_{1, 3}$)에 대해서도 상응하게 적용된다.

[0101] 도 5의 B)에서 확인할 수 있는 바와 같이, 양자 우물(2)은 비교적 큰 유효폭을 가지고 따라서 높은 전하 캐리어 포집율을 가진다. 마찬가지로, 전위 흐름내의 구배가 감소한다. 영역들($A_{1, 3}$)과 활성 양자 우물(2) 밖의 주변 반도체 물질 사이의 이종 경계에서 국부적인 전하에 의해 압전계가 감소한다. 이를 통해, 양자 우물(2)에서 복사 생성 시 매우 높은 효율이 얻어질 수 있다.

[0102] 도 6에 따른 실시예에서, 활성 양자 우물(2)은 3개의 영역들($A_{1, 2, 3}$)을 포함한다. 인듐 함량(c_i)은 영역(A_i)으로부터 시작하여 성장 방향(z)과 반대되는 방향으로 단조로 증가한다. 영역들($A_{2, 3}$) 사이의 계단 에지는 점선으로 표시되는데 예컨대 도 6에 표시된 바와 다르게 둥글게 처리된 형태일 수 있다. 마찬가지로, 도 6에 도시된 바와 달리, 활성 양자 우물(2)은 3개의 영역들($A_{1, 2, 3}$)보다 현저히 더 많은 영역들을 포함할 수 있다.

[0103] 도 7에 따른 실시예에서, 활성 양자 우물(2)은 p형 연결측의 영역(A_1)뿐만 아니라 복수 개의 n형 연결측의 영역들($A_{3, 4}$)도 포함하며, 상기 영역들은 최대 평균 인듐 함량(c_2)을 가진 영역(A_2)을 둘러싼다.

[0104] 도 8에 따른 반도체칩(1)의 실시예에서, 활성 양자 우물(2)은 2개의 중간 장벽을 포함하고, 상기 중간 장벽은 영역들($A_{2, 4}$)로 형성된다. 영역($A_{2, 4}$)의 인듐 함량($c_{2, 4}$)은 각각의 인접한 영역에 비해 낮아지거나/낮아지며 영역($A_{2, 4}$)의 알루미늄 함량이 증가한다. 도 9에 따르면, 부가적으로 더 낮은 인듐 함량(c_1)을 가진 p형 연결측의 영역(A_1)도 존재한다.

[0105] 도 10에 따르면, 반도체칩(1)은 2개의 활성 양자 우물($2_{a, b}$)을 포함한다. 각각의 양자 우물($2_{a, b}$)은 2개의 영역($A_{1, 2}$)을 포함한다. 도 10에 도시된 바와 달리, 활성 양자 우물들($2_{a, b}$) 사이에 점선으로 표시된 바와 같이, 반도체칩(1)은 예컨대 3개, 4개, 5개 또는 그 이상의 활성 양자 우물을 포함할 수 있다.

[0106] 도 11에 따르면, 반도체칩(1)은 활성 양자 우물($2_{a, b}$) 외에 비활성 양자 우물(3)도 포함한다. 비활성 양자 우물(3)의 인듐 함량은 예컨대 활성 양자 우물($2_{a, b}$)의 영역들($A_{1, 2}$)의 인듐 함량의 사이값이다. 비활성 양자 우물(3)은 반도체칩(1)의 p형 연결측(p)에 위치한다. 마찬가지로, 도 11에 도시된 바와 달리, 비활성 양자 우물

(3)은 서로 다른 인듐 함량 및/또는 알루미늄 함량을 가진 복수 개의 영역들을 포함할 수 있다.

[0107] 도 12에는, 비활성 양자 우물(3)이 n형 연결측(n)에 위치할 수 있는 경우가 도시되어 있다. 또한, 5개까지 이르는 비활성 양자 우물들(3)을 포함한 그룹이 n형 연결측(n) 및/또는 p형 연결측(p)에 형성될 수 있다. 이 때, 비활성 양자 우물들(3)로 이루어진 다양한 그룹이 각각 동일한 수의 비활성 양자 우물(3)을 포함할 필요는 없다. 이는, 도 13을 참조하면, 1개의 비활성 양자 우물(3) 또는 복수 개의 비활성 양자 우물들(3)을 포함한 그룹에 대해서도 상응하게 적용된다. 상기 비활성 양자 우물은 활성 양자 우물(2a, b) 사이에 위치한다.

[0108] 도 14에 따르면, 광전 반도체칩(1)은 2개의 클래딩층(4a, b)을 더 포함하고, 상기 클래딩층은 활성 양자우물들(2a, b)을 에워싸거나 포위한다.

[0109] 도 15에 따른 실시예에서, 반도체칩(1)은 활성 양자 우물(2)과 도파총들(4a, b) 사이에 각각 하나의 장벽층(6)을 더 포함한다. 또한, p형 연결측의 도파총(4a)은 전하 캐리어 장벽층(5)을 포함한다. 전하 캐리어 장벽층(5)은 예컨대 알루미늄 함량이 증가한 얇은 층으로 형성된다.

[0110] 도 15에 도시된 바와 달리, 반도체칩(1)은 복수 개의 활성 양자 우물들(2) 및 선택적으로 마찬가지로 하나 이상의 비활성 양자 우물을 포함할 수 있다.

[0111] 도 1, 2, 4 내지 15에 따른 반도체칩(1)의 실시예들에서, 적어도 하나의 활성 양자 우물(2)은 영역(A)의 수(N), 영역(A)의 인듐 함량(c) 및 폭(w)과 관련하여,

$$\int c(z)dz - 2.5N - 1.5 \int dz \text{ 또는 } -2.5N - 1.5 \sum_{i=1}^N w_i \text{ 이란 항이 } 40 \text{ 내지 } 80, \text{ 특히 } 50 \text{ 내지 } 70 \text{의 값을 가지도록 형성된다.}$$

[0113] 도 16 및 17에서는 반도체칩의 활성 양자 우물(2)의 영역(A)의 인듐 함량(c) 및 폭(w)과 관련한 파라미터 변화가 개략적으로 도시되어 있다. 각각의 파라미터 변화를 위해

$$\int c(z)dz - 2.5N - 1.5 \int dz$$

[0115] 약어로 FoM의 값은 횡축을 따라 표시되었다. 도 16에 따르면, 활성 양자 우물은 각각 2개의 영역들(A)을 포함한다. FoM 값이 40 내지 80, 특히 50 내지 70일 때 반도체칩은 예컨대 레이저 성능을 보여줄만한 높은 효율을 가진다. 이는 활성 양자 우물이 각각 3개의 영역(A)을 가지는 도 17에 따른 반도체칩에 대해서도 상응하게 적용된다.

[0116] 예컨대, 제공된 FoM 값의 범위에서 반도체칩의 효율 인자는 상기 값의 범위를 벗어난 경우보다 크며, 이 때 효율 인자는 방출된 광학적 출력속을 반도체칩을 구동시키는 전기적 입력속으로 나눈 것이다. 방출된 복사의 파장이 약 440 nm이고 광학적 출력속이 30 mW일 때, FoM 값을 위한 효율 인자는 제공된 범위 밖에서 6%미만일 수 있고, 특히 50 내지 70의 FoM값을 위해서는 8% 이상일 수 있다. 파장이 약 480 nm이고, 출력속이 5 mW일 때, FoM 값을 위한 효율 인자는 제공된 범위 밖에서 0.5% 미만일 수 있고, 특히 50 내지 70의 FoM값을 위해 적어도 0.6%, 바람직하게는 적어도 0.8%일 수 있다.

[0117] 도 18에는 알루미늄 함량(k)이 활성 양자 우물(2)의 성장 방향(z)을 따라 2개의 영역(A_{1, 2})에서 상이하게 조절된 반도체칩(1)의 실시예가 도시되어 있다. 영역(A_{1, 2})의 알루미늄 함량(k)과 두께는, 활성 양자 우물(2)이:

$$50 \leq \int (35-k(z))dz - 2.5N - 1.5 \int dz \leq 120$$

[0119]라는 조건을 충족하도록 선택된다.

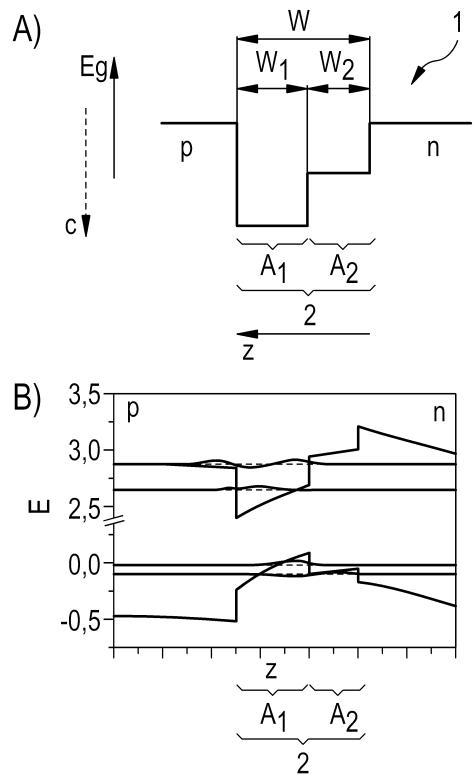
[0120] 도 18에 따른 실시예는 예컨대 도 15에 따른 실시예와 유사하게, 비활성 양자 우물, 복수 개의 활성 양자 우물 및/또는 클래딩층 및 장벽층을 포함할 수 있다.

[0121] 또한, 활성 양자 우물(2)의 영역(A)의 알루미늄 함량(k)의 조절은 가령 도 1, 2, 4 내지 15에 따른 인듐 함량(c)의 조절과 조합될 수 있다.

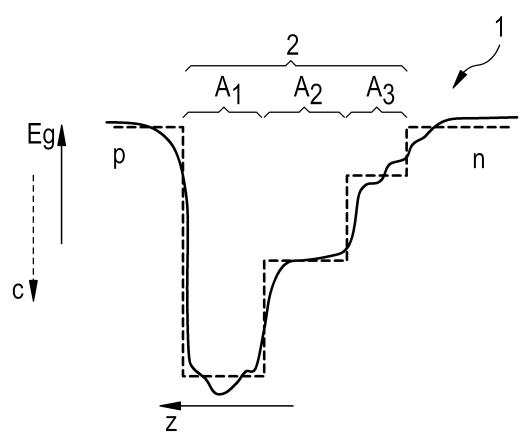
[0122] 본 명세서에 기술된 발명은 실시예에 의거한 설명에 의하여 한정되지 않는다. 오히려, 본 발명은 각각의 새로운 특징 및 특징들의 각 조합을 포함하고, 이러한 점은 특히, 상기 특징 또는 상기 조합이 그 자체로 명백하게 특허청구범위 또는 실시예에 제공되지 않더라도, 특허청구범위에서의 특징들의 각 조합을 포함한다.

도면

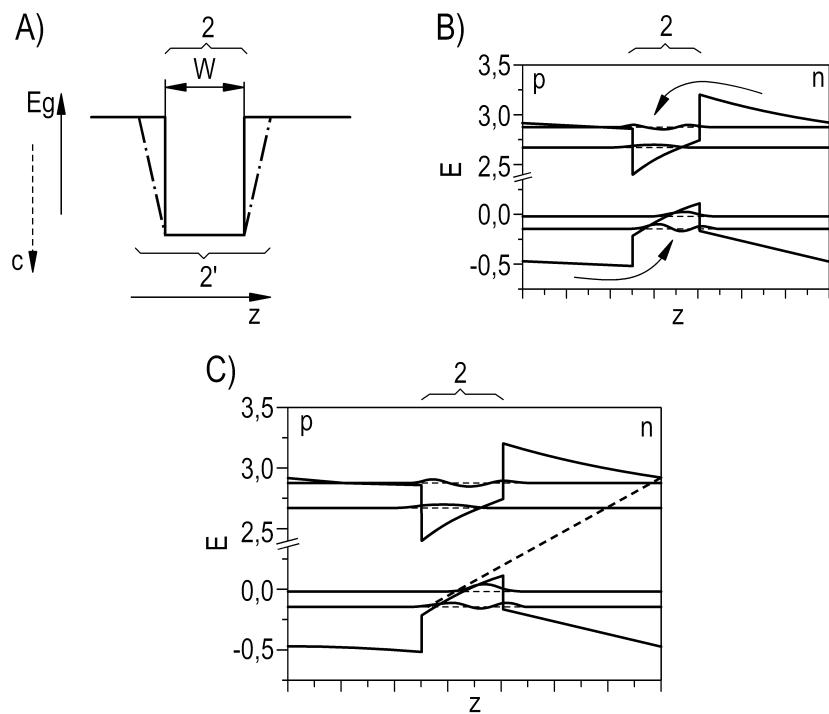
도면1



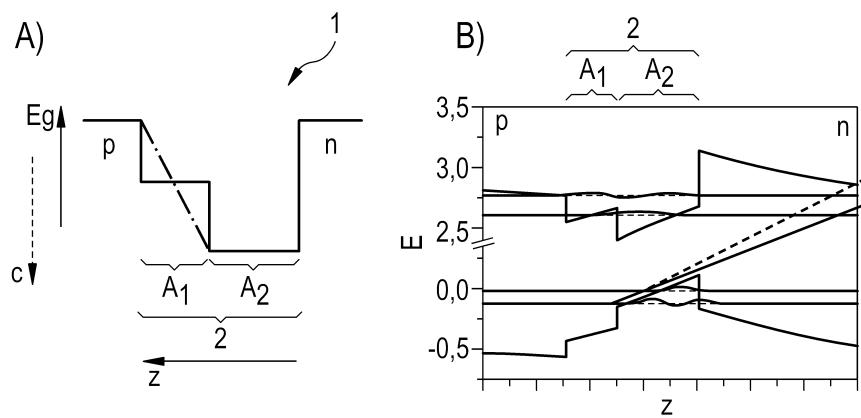
도면2



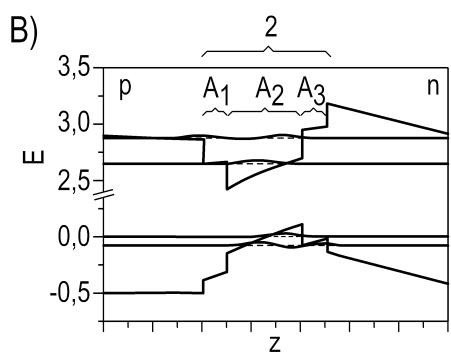
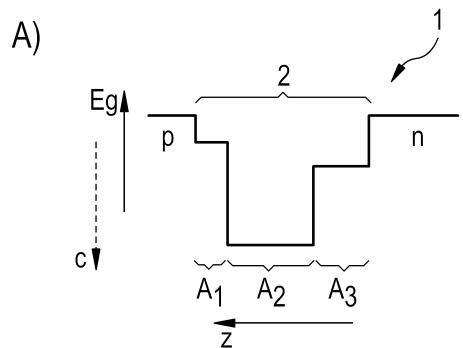
도면3



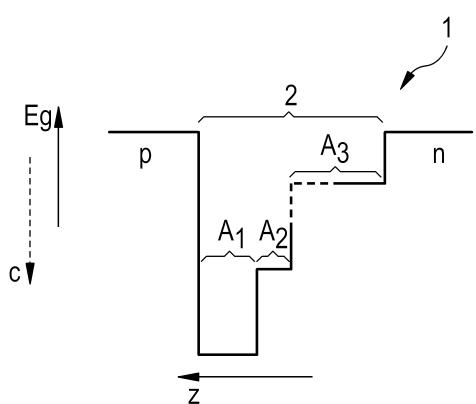
도면4



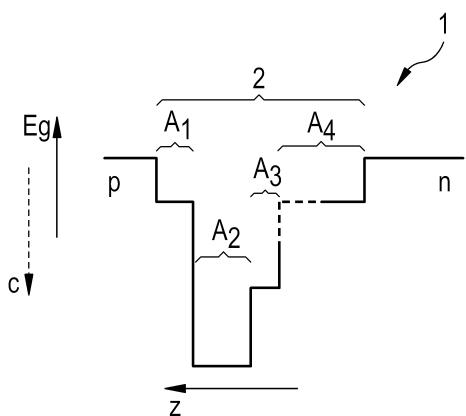
도면5



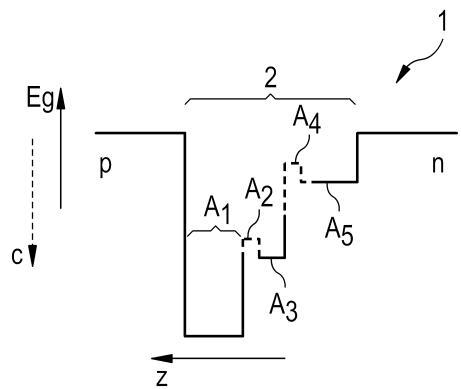
도면6



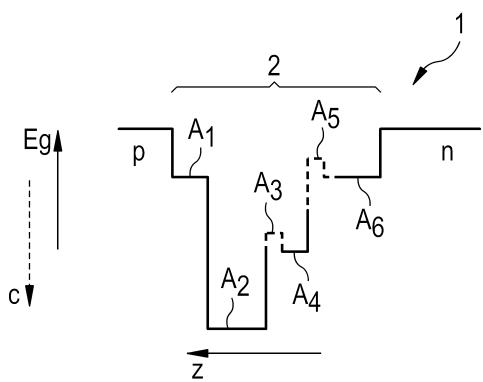
도면7



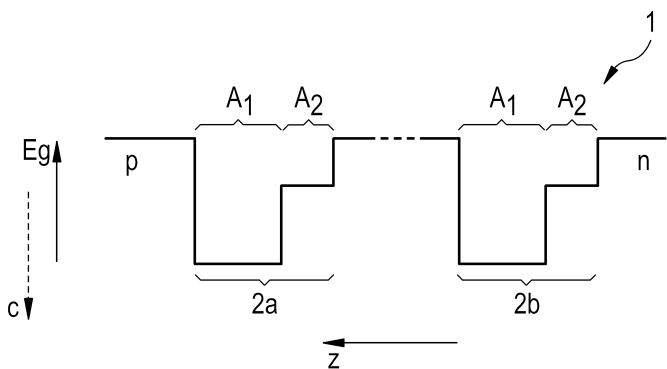
도면8



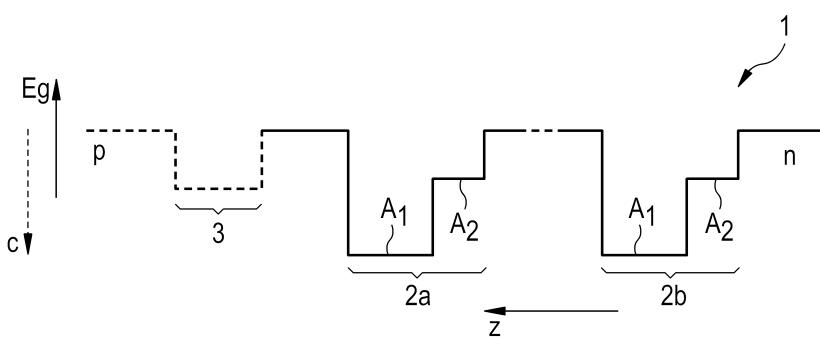
도면9



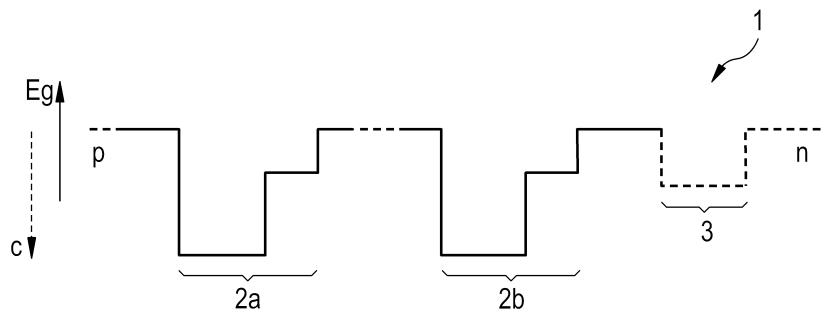
도면10



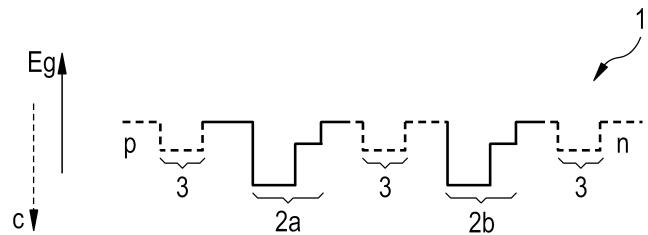
도면11



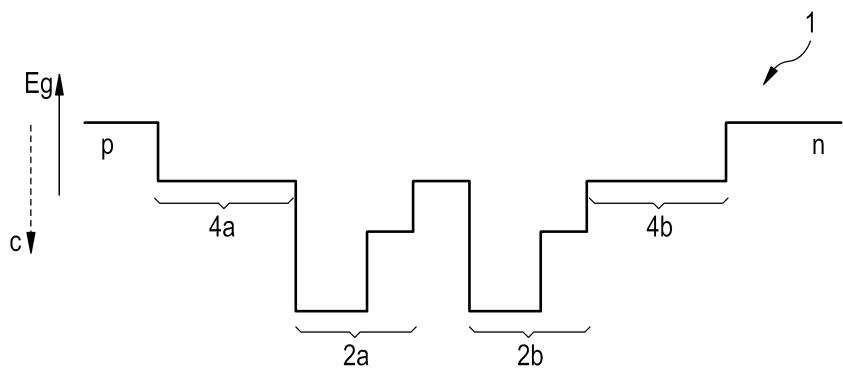
도면12



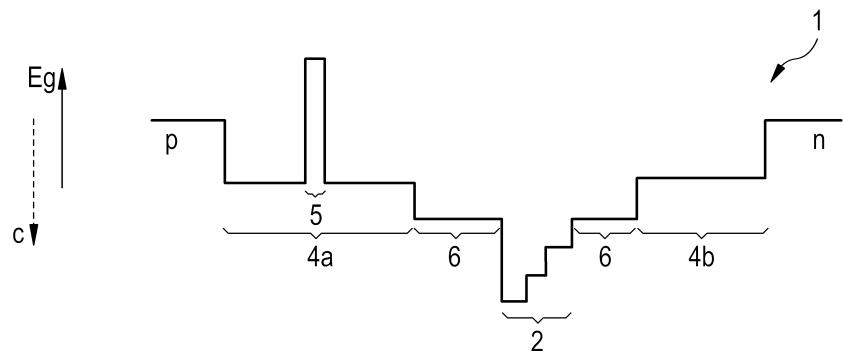
도면13



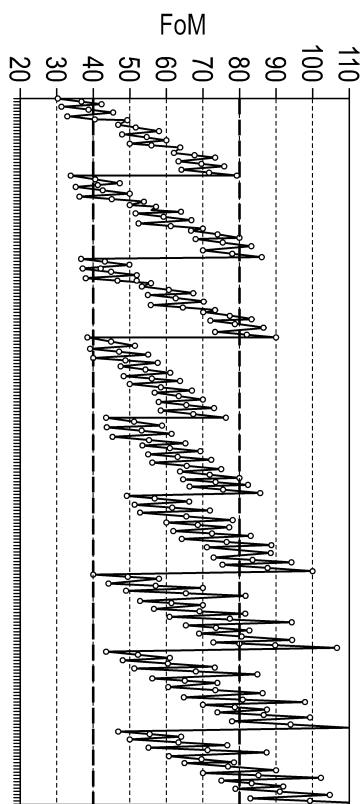
도면14



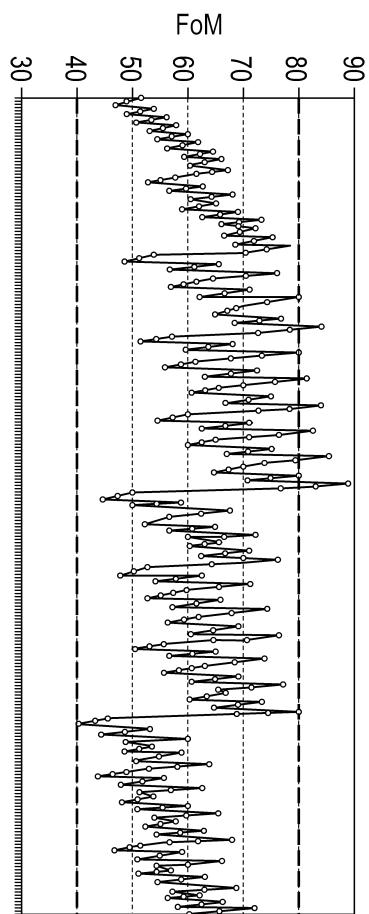
도면15



도면16



도면17



도면18

