(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/00

(45) 공고일자 2003년08월06일
(11) 등록번호 10-0327977
(24) 등록일자 2002년02월26일

(21) 출원번호 10-1998-0006645
(22) 출원일자 1998년02월28일

(65) 공개번호 특1998-0071863
(43) 공개일자 1998년10월26일

(30) 우선권주장 60/039,487 1997년02월28일 미국(US)

(73) 특허권자 인터내쇼널 렉티파이어 코포레이션
미국 캘리포니아 90245 엘 세군도 캔사스 스트리트 233

(72) 발명자 캔타리니 윌리엄 에프.
미국 캘리포니아 90277 레돈도 비치 #201 카미노 리얼822

리조테 스티븐 씨.
미국 캘리포니아 90815 롱 비치 카팩스 애비뉴 2286

(74) 대리인 박장원

심사관 : 정회환

(54) 집적파워소자를가진집적광기전스위치

요약

N+ 또는 P+ 확산층이 저농도 불순물로 도핑된 P-형 또는 N-형 스타팅 웨이퍼에 형성되어 있다. 각각의 플래너 및 소정 간격의 셀들 또는 터브들을 P+ (또는 N+ 확산) 사이에 형성된 가로 지르는 형상의 트렌치들로 구성된 어레이를 에칭하여 형성된다. 상기 트렌치들은 박막소자층을 경유하여 소정의 깊이로 형성되어 있으며, 터브의 각각을 유전적으로 절연하기 위하여 유전물질 및 폴리실리콘으로 채워져 있다. 각각의 셀의 최소한 하나의 확산층은 소정 개수의 셀들을 각각 연결하기 위하여 인근 셀의 확산층에 연결되어 있다. N+ 또는 (P+) 확산층들은 링 형상의 N+ 접점 확산층에 의하여 둘러싸여 있다. MOS 게이트 소자 (MOS-gated device)는 동일한 칩에 집적될 수 있으며, 측면 또는 수직 MOSFET 또는 측면 또는 수직 IGBT가 될수 있다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 도 5의 단계 후에 수행될 수 있고, 소정 간격으로 이격된 얕은 N+ 영역의 확산층 형성되고 난 이후의 소자 웨이퍼의 일부를 도시한 단면도.
도 2는 얕은 P+ 접점 영역의 확산층이 형성되고 난 이후의 도 1의 웨이퍼를 도시하는 도면.
도 3은 격리 셀 또는 터브(tub)를 분리하고 정의하는 분리 트렌치가 형성된 이후의 도 2의 웨이퍼를 도시하는 도면.

도 4는 산화층을 트렌치들의 내부 벽에 형성하고, 그리고 셀, 오버레이 산화층의 증착 및 패터닝과, 접점 금속층의 증착 및 패터닝을 유전적으로 격리하기 위하여 트렌치들 내에 폴리실리콘 영역을 형성하고 난 이후의 도 3의 웨이퍼를 도시하는 도면.
도 5는 웨이퍼의 뒷면을 그라인딩(grinding)하고 그리고 웨이퍼의 뒷면에 절연층을 형성하고 난 이후의 제4도의 웨이퍼를 도시하는 도면.
도 6은 소자들을 직렬로 연결하는 접점을 도시하는 도 5의 소자의 일부를 도시하는 도면.
도 7은 본 발명에 따른 N-형 기판에 형성된 광기전 발생 장치 소자의 다른 실시예를 도시하는 도면.
도 8은 도 5에 도시된 소자와 동일한 기판에 형성된 측면 MOSFET의 다른 실시예를 도시한 도면.
도 9는 도 5의 소자와 동일한 기판에 형성된 측면 IGBT의 또 다른 실시예를 도시한 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자에 관한 것으로, 더욱 구체적으로는 플레너 셀들의 어레이가 단일 실리콘 웨이퍼에 형성되고, 그리고 서로 유전적으로 격리되는 그리고 하나 또는 그 이상의 파워 소자가 플래너 셀들과 동일한 칩에 집적되는 소자용 구조에 대한 것이다.
많은 수의 소자들로 구성되는 반도체 소자를 이용하는 것이 바람직하다. 예를 들면, 광기전 발생 장치 (PVGs)가 잘 알려져 있으며, 고상(solid state) 릴레이용 신호를 발생시키기 위하여 종종 이용된다. 그러한 소자들은 소정 간격으로 절연된 광기전 소자의 광 감지 표면을 조사(照射)하기 위하여 입력 단자들에 의하여 에너지화되는 LED를 이용한다. 광기전 소자의 출력은 MOS 게이트 소자, 보다 일반적으로는 LED의 에너지화에 따라 스위치-온되는 로드 단자들을 구비하는 파워 MOSFET 또는 IGBT와 같은 스위칭 소자의 입력단자로써 작용한다. 릴레이의 입력 및 출력 소자들은 LED 및 광기전 소자 사이에 형성된 갭에 의하여 격리되어 있다. 일반적으 로, 광기전 소자는 파워 스위칭 소자를 턴-온하기 위해 고전압을 발생시키기 위하여 직렬로 연결된 많은 수의 광기전 셀들로 구성되어 있다. 상기와 같은 소자들은 잘 알려져 있으며, 본 발명의 양수인인 CA의 E1 Segundo의 International Rectifier사의 PVI(광기전 격리장치)의 이름으로 판매되고 있다.

발명이 이루고자 하는 기술적 과제

복수개의 셀 광발생장치는 여러 가지 방법으로 제조될 수 있다. 알려진 한 발생장치는 Daniel M. Kinzer의 미국 특허 4,755,697 및 4,996,577에 도시된 바와 같이 광기전 셀들의 스택 또는 파일을 이용하고 있다. 다른 소자들은 서로 접합-격리되고 그들의 표면에서 직렬로 연결된 셀들의 플래너 어레이를 이용한다. 미국 특허 4,227,098 및 4,390,790에 기술된 바와 같이, 다른 소자들에 있어서는, 실리콘 칩의 표면에 형성된 각각의 셀들이 서로 접합-격리되어 있으며 유전적으로 격리되어 있다. 종래기술의 소자들은 제조하기에 많은 비용이 소요될 뿐 만 아니라, 낮은 제조 수율을 갖는 것이 단점이다.
그 중에서, 광기전 발생 소자들의 플래너 어레이들은 실리콘 웨이퍼에 유전적으로 접합되어 있다. 상당히 두꺼운 '핸들' 웨이퍼는 미국 특허 5,549,762에 기술된 바와 같이 접합부들이 형성되어 있는 박막 소자 웨이퍼에 (그리고 그로부터 절연된)접합되어 있다. 그렇지만 상기 장치는 상당히 비싼 스타팅 웨이퍼를 필요로 한다. 따라서, 본 발명의 목적은 파워 MOS 게이트 소자용의 턴-온 신호를 발생시키기 위하여 직렬로 연결되며, 기존의 신뢰할 만한 처리 장비 및 기법을 이용하여 쉽게 제조가능하고, MOS 게이트 소자와 집적될 수 있는 많은 수의 절연 셀들로 구성 될 수 있는 광기전 발생장치를 제공하기 위한 것이다.
그리고, 본 발명의 또 다른 목적은 서로 연결될 수 있는 많은 수의 절연 소자들로 구성되고 다른 소자들과 쉽게 제조 및 집적 가능한 소자들을 제공하기 위한 것이다.

발명의 구성 및 작용

본 발명은 단일 웨이퍼에 형성된 복수개의 셀 반도체 소자의 각각의 셀들을 유전적으로 격리하기 위하여 사용되는 트렌치 구조를 포함하고 있는 새로운 소자 구조를 제공한다.
하나 또는 그 이상의 N+ 또는 P+ 확산층이 저농도로 도핑된 P 또는 N 형 스타팅 웨이퍼에 형성된다. 상기의 확산층들은 트렌치 공정이 완료되고 난 이후에 형성될 수 있다. 각각의 플래너 및 소정 간격의 셀들 또는 터브들은 상기 확산층을 둘러싸고 있는 가로 지르는 형상의 트렌치의 어레이를 에칭하여 형성된다. 상기의 트렌치들은 소정의 깊이로 형성되며, 각각의 셀들을 유전적으로 절연하기 위하여 유전물질 및 폴리실리콘으로 채워진다. 다양한 셀들의 확산층들은 소정 갯수의 셀들을 직렬로 또는 병렬로 연결하기 위하여 인근 셀의 하나 또는 그 이상의 확산층들에 연결되어 있다.

실리콘의 뒷면은 최소한 상기 트렌치들의 바닥부 높이로 그라운드-오프되어 있으며, 절연 산화물이 뒷면에 증착될 수 있다. 빔 지지부가 트렌치 및 그라운드된 웨이퍼의 결합상태를 유지하기 위하여 사용될 수 있다.
본 발명에 따르면, 플래너 광기전 발생 셀들이 단일 칩 웨이퍼에 형성될 수 있으며, 나아가 동일한 웨이퍼에서 하나 또는 그 이상의 파워 소자들로 집적될 수 있다.
복수개의 N+ (또는 P+) 확산층들이 저농도로 도핑된 P 형 (또는 N 형) 스타팅 웨이퍼에 형성되며, 링 형상의 P+ (또는 N+) 접점 확산층에 의하여 둘러싸여 있다. 이때, 상기 확산층들은 공정의 마지막 단계에서 만들어 질 수 있다. 각각의 플래너 및 소정 간격의 셀들 또는 터버들은 P+ (또는 N+) 접점 확산층들 사이에 형성된 가로지르는 형상의 트렌치들의 어레이를 에칭하여 형성된다. 상기의 트렌치들은 소정의 깊이로 형성되며, 유전물질 및 폴리실리콘으로 채워진다. 기판은 유전적으로 각각의 터브를 절연하기 위하여 얇게 형성된다. 각 셀의 N+ 최상부 접점이 소정 개수의 셀들을 직렬로 연결하기 위하여 인근 셀의 P+ 접점으로 연결되어 있다.
MOS 게이트 소자는 웨이퍼의 트렌치된 또는 트렌치되지 않은 영역에 광기전 발생장치 구조와 같은 동일한 칩으로 집적된다. 측면 또는 수직의 MOSFET 또는 측면 또는 수직 IGBT가 되는 MOS 게이트 소자는 웨이퍼의 뒷면을 그라인딩하기 전에 형성되며, 광기전 발생장치의 형성 이전 또는 그 이후에 형성될 수 있으며, 광기전 발생장치 셀들의 그것들과 공통의 공정 단계들에 의하여 형성될 수 있다.

발명의 효과

소자의 상면은 각 셀들로부터 출력 전압을 발생하기 위하여 소정 간격의 LED의 주사 출력과 같은 광에 노출된다. 직렬로 연결되는 상기와 같은 출력들은 MOS 게이트 소자의 스위칭을 제어할 수 있는 신호를 발생한다.
본 발명의 또 다른 실시예에 의하면, 다른 소자들도 웨이퍼의 다른 유전적으 로 격리된 셀들에 집적될 수 있다. 예를 들면, BJTs, MOSFETs, IGBTs, GTDs 및 그와 유사한 것들과 같은 MOS-게이트 소자는 보통의 웨이퍼의 다른 격리된 소자들에 형성될 수 있다. 접점 회로들이 다른 격리된 웰들에 집적될 수 있다. 다른 웰들에 집적된 소자들은 측면 유도 소자들이 될 수 있으며, 나아가 수직의 유도 소자들을 구비하는 셀들이 역시 하부 접점을 포함하는 수직 유도 소자들이 될 수 있다. 분명하게는, 전체의 웨이퍼는 소정의 회로를 구성하기 위하여 상호 가로지르는 형상의 다양한 회로 요소들을 포함하는 모든 셀들과 사용될 수 있다.
본 발명의 다른 특징 및 장점들은 첨부된 도면에 따른 다음의 본 발명의 설명으로부터 보다 명백해질 것이다.
도 1에는 실리콘 웨이퍼 기판 (10)의 소정 부위의 단면도가 도시되어 있다. 일반적으로 실리콘 산화물인 주입 마스크층이 웨이퍼의 상부에 형성되어 있다. 소정의 사진 석판술을 이용하여 종래의 포토레지스트 층이 산화층 상부면에 형성되며, 사각형상의 어레이 또는 다른 형상의 오프닝부를 형성하기 위하여 패터닝된다. 산화물의 노출된 부위들은 에칭되며, 상기 포토레지스트는 스트립된다. 형광 또는 비소물질과 같은 N- 형 불순물들은 산화물에 형성된 오프닝들을 통하여 실리콘으로 주입된다. 상기 주입은 얕은 N+ 확산 (20, 21, 22)를 형성하기 위하여 그 다음에 실시된다.
상기 산화층 (18)이 제거되고, 다른 마스킹 산화층 (30)이 웨이퍼 (10)의 상부면에 형성된다. 또, 제1 산화층 (20 내지 22)이 N+확산 (20 내지 22)가 드라이브-인 되기 이전에 제거되며, 상기 제2 산화층 (30)이 상기 N+ 확산의 드라 이브-인과 동시에 형성된다.
포토레지스트층이 산화층 (30) 상부에 증착되고, 링 형상의 접점 확산층들을 위한 개구부를 형성하기 위하여 패터닝된다. 상기 산화물의 노출된 부위들이 에칭되며, 상기 포토레지스트는 제거되고, 그리고 도 2에 도시된 바와 같이, P+ 콘텍 링 (25, 26, 27)을 형성하기 위하여 노출된 실리콘 표면 영역들내로 주입된다. P+ 링 (25, 26, 및 27)로부터 연장 형성된 중앙 P+ 컬렉팅 핑거는 각각의 N+ 확산층의 중심부에 형성되어 있다. 주입 공정이 이루어지고 난 이후에, 주입의 드라이브-인이 실시된다. 산화층 (30)은 상기 드라이브-인 공정 이전 또는 이후에 제거될 수 있다. 주입 에너지 및 양 그리고 드라이브-인 시간 및 온도는 종래 알려진 방법을 이용하여 불순물 분포에 따라 결정될 수 있다.
그 이후에, 각각의 P+ 접점 구역을 둘러싸고 그리고 격리하는 그리고 약 80 내지 130 마이크론의 깊이로 실리콘 기판 (10)으로 연장되는 깊은 트렌치 격리부 (40)의 그리드를 형성하기 위하여 상기 소자는 처리된다. 상기 트렌치의 소정 부분들은 부분(40a, 40b, 40c)들로써 도 3에 단면도로 도시되어 있다. 상기 트렌치들은 기판(10)에서 유전적으로 격리된 터브들 또는 셀들을 형성한다. 상기 트렌치들은 종래의 알려진 사진 석판술 패터닝 및 에칭 공정을 이용하여 일반적으로 형성된다.
트렌치 어레이 (40)가 형성되고 난 이후에, TEOS와 같은 박막층 또는 다른 유전층이 제4도에 도시된 바와 같이 산화층 (50 및 51)으로써 트렌치의 내부 벽들 상에 열적으로 성장 또는 적층된다. 그 다음에 상기 트렌치들은 폴리실리콘 (52)로 채워진다. 상기 트렌치에 부가하여, 상기 폴리실리콘 및 유전층들은 웨이퍼의 전방 상면의 윗부분에 증착되고, 소정의 플라즈마 평탄화 에칭 공정에 의하여 제거된다. 즉, 복수개의 동일하게 유전적으로 격리된 광기전 발생장치 셀들이 기판 (10)에 형성되어 있다. 상기 유전층 (50 및 51)의 두께는 소자의 효율을 개선하기 위하여 그리고/또는 셀들간의 유전 격리를 감소시키기 위하여 실리콘 (10)과의 계면부에서의 발광 반사율을 최적화하기 위하여 결정된다.
상기 셀들을 위한 확산 패턴들은 상기 공정의 단계에서 형성될 수 있다.
유전적으로 격리된 터브 또는 셀들을 형성하고 난 이후에, 오버레이 산화층 (60)이 웨이퍼 (10)의 전면의 꼭대기에 증착된다. 사진 석판 마스킹 단계 및 에칭단계에는 접점 개구를 N+ 및 P+ 영역에 형성하기 위하여 상기 산화물을 패터닝한다.
따라서, 접점 금속층은 산화층 (60)의 꼭대기에 증착되며, 셀의 N+ 확산층을 인근 셀의 P+ 접점 확산층으로 연결하기 위하여 도 4 및 도 6에 도시된 바와 같이 접점 스트립 (70, 71 및 73)을 형성하기 위하여 에칭된다.
상기 웨이퍼는 보호투명코팅으로 코팅된다. 웨이퍼의 뒷면은 트렌치 (40)의 바닥부가 도달할때까지 그라운드 어웨이된다. 트렌치 (40)의 바닥부를 줄 모양으로 정렬시키는 유전층(50 및 51)은 유전층 (50 및 51)이 기판의 상면 바닥부

에 노출될때까지 트렌치의 약 5 마이크론 정도로 폴리싱하여 제거된다. 따라서, 75에서 125 마이크론 사이의 두께를 갖는 위이퍼가 남게된다. 그 이후에, 실리콘 산화물의 불활성(80) 또는 다른 유전체가 도 5에 도시된 바와 같이 웨이퍼의 뒷면에 증착된다.

상기 웨이퍼는 MOS 게이트 파워 소자를 턴-온하기 위하여 LED에 의하여 발광 될 때 소정의 전압을 발생할 수 있는 소자들을 제조하기 위하여 각각의 납땜 패드 단자(미도시)를 구비하는 소정 갯수의 셀들과 바람직하게는 16개가 직렬로 연결되는 유니트 내에 형성된다.

바람직하게는 깊은 트렌치 (40)의 그리드는 <100> 물질영역 100 및 001 면을 따라 형성되어 있다. 예를들면, <100> 지향 스타팅 물질이 사용되었을 때, 스크리브 라인들 (및 트렌치들)이 <110> 및 <111> 면에 위치되어 있다. 웨이퍼가 뒷면 제거에 의하여 대단히 얇게 그라인딩되기 때문에, 트렌치들이 <110> 및 <111>면에 45도의 각도로 향하게 될 수 있음으로, 기판의 기계적인 거칠기를 증가시킬 수 있다.

도 7은 본 발명의 또 다른 실시예이다. 이에 도시된 바와 같이 사각형상의 또는 다른 형상의 얕은 P+ 확산층 (120 내지 122) 또는 사각 링 형상의 N+ 접점 확산 (125 내지 127)의 어레이가 N- 기판 (110)에 형성되어 있다 P+ 확산층 및 N+ 접점 확산층들이 주입 양 및 에너지와 마찬가지로 드라이브-인 및 온도에서 각각의 물순물 및 그에 해당하는 변화들을 제외하고 도 1 및 도 2에 도시된 공정과 비슷한 방법으로 형성된다. 공정의 다른 단계들은 동일한 구조들을 도시하고 있는 두 개의 실시예에서 동일한 참조번호들을 갖는 영역으로서 도 3 내지 도 6에 도시된 그것과 동일하다.

장점적으로, 도 1 내지 도 6 및 도 7에 도시된 소자들은 단순하고 값싼 스타팅 웨이퍼를 이용하여 형성되어 소자의 비용을 줄일 수 있다. 또 다른 장점으로써, 더 비싼 공정 단계들, 즉, 트렌치 형성 및 유전체 및 폴리실리콘으로의 트렌치 채움이 다섯 번의 석판 단계 중 세 번째가 완료되고 난 이후에, 그리고 P+ 및 N+ 확 산층이 형성되고 난 이후에, 공정의 마지막 단계에서 형성될 수 있다. 즉, 사진 석판술 마스크를 정렬할 때 그리고 확산층에서 도핑 및 드라이빙할 때 발생하는 에러들이 보다 값 비싼 트렌치 형성 단계가 실시되기 이전에 감지될 있다.

도 8은 본 발병의 또 다른 실시예를 도시한다. 이에 도시된 바와 같이, 도 1 내지 도 6의 공정에서 형성되는 광기전 발생장치 셀들이 동일한 P형 기판에서 측면 고전압 N 채널 MOSFET로 집적되며, 각각의 PVG 실들을 격리하는 동일한 깊이의 트렌치들에 의하여 서로 격리되어 있다. PVG 셀들은 MOSFET를 구동하기 위하여 MOSFET의 게이트에 연결되어 있다.

비록 서로 맞물리는 형상으로 구성된다 할지라도, MOSFET는 바람직하게 정사각형, 사각형 또는 6각향의 링형상의 다각형 셀들로 형성된다.

도 8에 도시된, N 채널 MOSFET는 측면 MOSFET를 형성하기 위한 종래의 여러가지 방법중 한가지로 형성될 수 있다. 예를 들면, 도 8에 도시된 바와 같이, 형광층의 규닝 주입이 MOSFET의 활동 영역에 걸쳐 노출된 실리콘 표면에 먼저 실시된다. 상기 형광 주입은 대단히 깊은 N 형 영역 (230)을 형성하기 위하여 웨이퍼 (10)의 상부 표면 이하의 깊이로 드라이브 된다. 초기의 대단히 깊은 N+ 주입은 대단히 긴 드라이브 시간으로 처리된다.

공정의 다음 단계에서, 산회층이 웨이퍼의 표면 상부에 성장되며, 포토레지스트 층이 그 꼭대기에 증착되며, 그리고 윈도우를 형성하기 위하여 적절하게 패터닝된다. 산화물 및 밑에 있는 박막 산화물은 실리콘 표면을 노출 시키기 위하여 포토레지스트에서 소정 간격의 윈도우를 통하여 에칭된다. 그 이후에, 포토레지스트 가 제거되며, 중(heavy) 붕소 선량(dose)은 영역 (232)의 깊은 중앙 몸체부를 형성하기 위하여 노출된 실리콘 표면 영역내로 깊게 주입된다. 상기 주입 공정 이후, 주입의 초기 드라이브-인이 실행된다.

그 이후에, 산화물 세그멘트들이 P+ 영역 (232)에 걸쳐서 성장된다. P+ 영역들은 상기와 같은 산화물 세그먼트들의 성장이 이루어지는 동안에 표면 붕소의 실제 공핍(depletion)을 피하기 위하여 얕은 깊이로 초기에는 드라이브된다. 포토레지스트층이 산기 표면의 상부에 증칙되며, 그에 의하여 P+ 영역 (232)과 오버라잉(overlying)하는 것을 제외하고 모든 산화물이 에칭되는 윈도우 패턴을 정의하기 위하여 패터닝된다. 포토레지스트 층은 충분히 제거된다. 그리고 박막 게이트층(240)이 웨이퍼의 충분히 노출된 영역에 걸쳐서 성장된다.

폴리실리콘 층 (242)가 웨이퍼의 꼭대기에서 증칙되며, 포토레지스트 층이 폴리실리콘의 꼭대기에서 증착된다. 다음에, 개구부를 형성하는 또 다른 마스킹 단계에 따라 상기 포토레지스트가 패터닝되고, 상기 폴리실리콘을 에칭하기 위하여 마스크로써 사용됨으로써 게이트 산화층 (240)의 상부에 윈도우를 형성한다.

그 후, 실리콘 기판의 표면 및 잔여 폴리실리콘 웨브를 노출시키는 게이트 산화물층을 에칭하고, 확산 윈도우를 통해 붕소를 주입시킨다. 여기서 붕소 선량(dose)은 중(heavy) 붕소 선량보다 더 작다. 이런 붕소 선량은 확산후에 고 선량 붕소 영역으로 흡수되어, 고 농도 이식물로 부터 생성된 P+ 몸체부(232)보다 얕은 저 농도 P-형 채널 영역(236)을 형성한다. 이런 영역은 그때 통상적으로 예정된 깊이에 도달하도록 드라이브 인(drive in)된다. 따라서, 고리형 영역인 더욱 가볍 게 도핑된 붕소 영역(236)은 형성되고, 이런 영역이 P+ 영역(232)에 오버랩될 경우에 서로 병합한다. 심층(deep) P+ 영역(232)을 에워싼 P(-) 얕은 '셀프(shelves)'(236)은 게이트 산화물 밑으로 연장한 가볍게 도핑된 채널 영역이다.

P- 드라이브 인을 포함하는 각 드라이브에서 모든 접합부는 더욱 깊게 계속 이동된다. N- 영역(230)은 더욱 작은 정도로 이동하고, P+ 영역(232)은 약간 더 큰 정도로 이동한다. 본 기술분야의 숙련자는, 확산부가 더욱 깊게 드라이브 할 시에 또한 횡으로 이동하여, 얕은 확산부(236)가 궁극적으로 게이트 산화물하에 확산하는 것을 알게 된다.

그 다음에, 표면은 적절히 디글라스(deglass)되고, 비소 원자는 주입되어, 고리형 N+ 소스 영역(250) 및 고리형 드레인 영역(254)을 형성하도록 드라이브 인 된다.

그 후, 층간의(interlayer) 실리콘 이산화물 또는 LTO 코팅(60)은 칩의 표면위에 형성되어, 접점 마스크 개구를 한정하도록 사진 석판술로 패턴되는 포토레지스트층으로 코팅된다. 그 다음, 포토레지스트 내의 개구를 통해 노출된 표면은 N+ 소스(250 및 252)와 N+ 드레인(254)의 하부 내측 주변부를 노출시키도록 적당히 에치된다. 포토레지스트를 제거한 후, 연이어 증착된 알루미늄층을 그때 사진 석판술로 패턴 및 에칭하여 제각기 (도시되지 않은) 소스, 드레인

및 게이트 전극 뿐만 아니라 소스 및 드레인 접점 (272 및 274)을 형성시킨다.
그 다음, (도시되지 않은) 비결정 실리콘 층은 적당한 에미터 및 게이트 패 드를 노출시키도록 사진 석판술로 패턴 및 에칭되는 웨이퍼의 표면위에 증착될 수 있다.
이런 동작 동안, 비결정 실리콘은 적당한 플라즈마 에칭으로 에칭될 수 있다.
양호하게도, PVG 셀을 형성하는 최소한 약간의 주입 단계와, MOSFET를 형성하는 주입 단계를 동시에 수행시켜, 마스킹 단계의 수를 감소시킨다. 또한, 최소한 약간의 드라이브-인을 동시에 수행시키는 것이 바람직하다. 선택적으로, 한 PVG 셀 또는 MOSFET 영역은 주입물을 받을 시에, 다른 것은 포토레지스트 또는 산화물로 피복된다. 확산 및 드라이브-인 단계 후에, 금속층과 오버레이(overlaying) 산화물층의 증착 및 패턴닝은 동시에 PVG 셀 및 MOSFET를 위해 수행된다.
다른 선택적인 사향으로서, PVG 셀은 다른 트렌치가 동시에 트렌치(40)로서 형성되고, 트렌치 MOSFET의 게이트 구조를 형성하는 수직 MOSFET와 통합될 수 있다. 이런 실시예에서, 트렌치의 벽상에 형성되는 엷은 유전체 층은 게이트 산화물 역할을 하고, 트렌치는 게이트 전극 역할을 하는 도핑된 폴리실리콘으로 채워진다. P- 얕은 셀프는 통상적으로 생략되고, 심층 P-형 영역은 가볍게 도핑되어, N+ 소스 및 드레인 영역간의 채널 영역 역할을 한다. 다른 마스킹 단계가 웨이퍼의 배면상에 이용됨으로써, 불활성 산화물은 단지 PVG 셀 밑의 배면에 형성되고, 부가적인 금속 접점은 수직 MOSFET에 인접한 웨이퍼의 배면에 형성된다.
또한, 유사한 디바이스는 도 7에 도시된 PVG 셀이 P 채널 MOSFET와 통합되는 N형 기판내에 형성될 수 있는 것으로 주지된다.
도 9는 도 5 및 6에 도시된 PVG 셀이 횡 IGBT와 통합되고, 이를 드라이브하는 본 발명의 또다른 실시예를 도시한 것이다. 이런 실시예에서, 단일한 인 주입물이 먼저 IGBT의 활동 영역위의 무(bare) 실리콘 표면에 인가된다. 그 다음, 인 주입물은 초-심층 N형 '인핸스먼트(enhancement)' 영역(330)을 형성하도록 P- 웨이퍼(10)의 최상부면 아래에서 깊게 드라이브된다. 초기 초-심층 N '인핸스먼트' 주입에는 매우 긴 드라이브 시간이 따른다.
다음 공정 단계에서, 산화물층은 웨이퍼의 표면 상부에 성장되고, 포토레지스트 층은 그 상부에 증착되어, 윈도우를 한정하도록 적당히 패턴된다. 이는 트렌치 격리(isolation) 단계 동안에 행해질 수 있다. 산화물 및 하부 엷은 산화물은 그때 실리콘 표면을 노출시키도록 포토레지스트의 스페이스된 윈도우를 통해 에치된다. 그후, 포토레지스트는 제거되고, 중 붕소 선량은 영역(332, 334)의 깊은 중심 몸체부를 형성하도록 노출된 실리콘 표면 영역내로 깊게 주입된다. 주입 단계에 후행하여, 예를 들어 1 내지 2 마이크로미터의 초기 드라이브를 성취하도록 통상적으로 드라이 질소 플러스 1% 산소 내의 주입물의 초기 드라이브가 있다.
그 후, 산화물 세스먼트가 P+ 영역(332)위에 성장된다. P+ 영역은 초기에 얕은 깊이에 대해 드라이브되어, 상기 산화물 세그먼트의 성장동안 표면 붕소의 실질적인 공핍(depletion)을 피하게 한다. 그 다음, 포토레지스트 층은 표면위에 증착되어, 윈도우 패턴을 한정하도록 패턴되고, 이에 의해 P+ 영역(332)을 오버레이하는 것을 제외한 모든 산화물은 에칭된다. 포토레지스트 층은 연이어 제거되고, 엷은 게이트 산화물 층(340)은 웨이퍼의 완전히 노출된 활동 영역 위에 성장한다.
그 다음, 폴리실리콘 층(342)은 웨이퍼 상부에 증착되고, 포토레지스트 층은 폴리실리콘 상부에 증착된다. 포토레지스트는 개구를 형성하는 다른 마스킹 단계에 따라 패턴되고, 폴리실리콘을 에칭할 마스크로서 이용되어, 게이튼 산화물 층(340)위에 윈도우를 형성한다.
그 후, 실리콘 기판의 표면 및 잔여 폴리실리콘 웨브를 노출시키는 게이트 산화물층을 에칭하고, 확산 윈도우를 통해 붕소를 주입시킨다. 여기서 붕소 선량은 중 붕소 선량보다 더 작다. 이런 붕소 선량은 확산후에 고 선량 붕소 영역으로 흡수되어, 고 농도 이식물로 부터 생성된 P+ 몸체부(332)보다 얕고 에워싸인 저 농도 P-형 채널 영역(336)을 형성한다. 이런 영역은 그때 통상적으로 예정된 깊이에 도달하도록 드라이브 인 된다. 따라서, 고리형 영역인 더욱 가볍게 도핑된 붕소 영역은 형성되고, 이런 영역이 P+ 영역(332)에 오버랩될 경우에 서로 병합한다.
심층 P+ 영역(332)을 에워싼 P(-) 얕은 '셀프(shelves)'(336)은 게이트 산화물 밑으로 연장한 가볍게 도핑된 채널 영역이다.
P- 드라이브 인을 포함하는 각 드라이브에서 모든 접합부는 더욱 깊게 계속 이동된다. N- 영역(330)은 더욱 작은 정도로 이동하고, P+ 영역(332)은 약간 더 큰 정도로 이동한다. 본 기술분야의 숙련자는, 확산부가 더욱 깊게 드라이브할 시에 또한 횡으로 이동하여, 얕은 확산부(336)가 궁극적으로 게이트 산화물하에 확산하는 것을 알게 된다.
그 다음에, 표면은 적절히 디글라스되고, 비소 원자는 주입되어, N+ 소스 영역(350) 및 N+ 캐소드 영역(354)을 형성하도록 드라이브 된다. P+ 콜렉터 또는 애 노드 영역(360)은 또한 N+ 캐소드 영역(354)내에 형성된다.
그 후, 층간의 실리콘 이산화물 또는 LTO 코팅(60)은 칩의 표면위에 형성되어, 접점 마스크 개구를 한정하도록 사진 석판술로 패턴되는 포토레지스트 층으로 코팅된다. 그 다음, 포토레지스트 내의 개구를 통해 노출된 표면은 N+ 소스 및 캐소드의 하부 내측 주변부와 P+ 영역의 중심 몸체를 노출시키도록 적당히 에치된다.
포토레지스트를 제거한 후, 연이어 증착된 알루미늄층을 그때 사진 석판술로 패턴 및 에칭하여 제각기 (도시되지 않은) 에미터, 애노드 및 게이트 전극 뿐만 아니라 에미터 및 애노드 접점 (372 및 374)을 형성시킨다. 알루미늄 에미터 전극은 각 고리형 N+ 소스 영역의 내측 주변부에 대한 각 P+ 몸체 영역을 전기적으로 단락(short)시킨다.
그 다음, (도시되지 않은) 비결정 실리콘 층은 적당한 에미터 및 게이트 패드를 노출시키도록 사진 석판술로 패턴 및 에칭되는 웨이퍼의 표면위에 증착될 수 있다. 이런 동작 동안, 비결정 실리콘은 적당한 플라즈마 에칭으로 에칭될 수 있다.
P형 리서프(resurf) 영역(362)는 또한 P형 몸체 영역 및 캐소드 확산부간의 디바이스의 최상부면내에 형성될 수 있다.

선택적으로, 수직 IGBT는 PVG 셀과 통합될 수 있다. 콜렉터 영역은 웨이퍼의 최하부면에 형성되고, 적당한 사진 석판술 단계를 이용하여, 금속 접점은 웨이퍼의 IGBT부의 배면상에 형성되고, 불활성 산화물은 PVG 셀의 배면상에 형성된다.
하나 이상의 MOSFET 또는 IGBT는 본 발명의 PVG 셀과 통합되고, 3상 브리지 와 같은 각종 회로 디바이스를 단일 칩상에 형성하도록 상호 접속될 수 있다.
더욱이, 모든 상기 디바이스에서, 납땜 가능한 금속층은 접점 금속층의 최상부상에 증착될 수 있다.
부가적으로, 어느 상기 디바이스는 각 칩으로서 보드상에 설치될 수 있고, 그로부터 절연된 LED로 설치되지만, 칩의 웨이퍼의 표면을 조명하는 방사 에너지를 발생시키도록 배치될 수 있다. 소정의 적당한 LED를 이용할 수 있다.
본 발명이 특정 실시예에 관련하여 기술되었지만, 본 기술분야의 숙련자에게는 다양한 다른 변형 및 수정과 다른 사용이 명백히 가능하다. 그래서, 본 발명은 여기에 기술된 특정 기술로 제한되는 것이 아니라 첨부한 청구의 범위로 제한된다.

(57) 청구의 범위

청구항 1.
한 도전형의 실리콘 기판내의 반도체 소자 제조 공정에 있어서, 상기 제조 공정은;
다수의 셀을 한정하는 트렌치를 형성하도록 상기 실리콘 기판의 상부면의 선택된 표면을 패턴 및 에칭하는 단계와;
상기 트렌치의 내부벽 및 하부면상에 절연층을 형성하는 단계와;
상기 트렌치가 채워지도록 폴리실리콘 층을 증착하는 단계와;
상기 트렌치의 하부면이 제거될 때까지 상기 실리콘 기판의 하부면의 일부를 제거하는 단계와;
상기 한 도전형 및, 이에 대향한 다른 도전형 중의 하나의 불순물을 제 1 확산 영역을 형성할 상기 실리콘 기판의 상부면의 선택된 영역 내로 도입시키는 단계와;
상기 상부면상에 오버레이 절연층을 증착하는 단계와;
상기 제 1 확산 영역의 하나에 대한 최소한 하나의 개구를 각각의 상기 셀내에 형성하고, 제 2 확산 영역에 대한 최소한 다른 개구를 상기 셀중 이웃한 하나 내에 형성하도록 상기 오버레이 절연층의 선택된 부분을 패턴 및 에칭하는 단계와;
도전층을 증착하는 단계 및;
상기 각 셀의 상기 제 1 확산 영역 및 상기 인접한 셀의 상기 제 2 확산 영역에 접촉하는 최소한 하나의 상호 접속 접점을 형성하도록 상기 도전층의 부분을 패턴 및 에칭하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 공정.

청구항 2.
제 1 항에 있어서, 상기 오버레이 절연층을 증착하는 상기 단계 전에 상기 기판의 상기 상부면상에 형성되는 상기 절연층 및 상기 폴리실리콘 층의 부분을 제거함으로써 상기 실리콘 기판의 상기 상부면을 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 공정.

청구항 3.
제 1 항에 있어서, 상기 실리콘 기판의 상기 하부면의 일부를 제거하는 상기 단계 전에 보호 코팅으로 상기 기판의 상기 상부면을 코팅하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 공정.

청구항 4.
제 1 항에 있어서, 상기 트렌치는 상기 기판의 <100> 크리스탈 지향부내에 형성되고, 상기 실리콘 기판의 <110> ± 30도 평면 및 <111> ± 30도 평면중의 하나에 따라 지향되는 것을 특징을 하는 반도체 소자 제조 공정.

청구항 5.
한 도전형의 실리콘 기판내에 형성된 반도체 소자에 있어서, 상기 반도체 소자는;
상기 실리콘 기판 내에 형성되어, 상기 기판 내에 형성된 최소한 2개의 셀의 각각을 분리하고, 에워싸며, 상기 기판의 상부면에서 상기 기판의 하부면으로 연장하는 트렌치와;
상기 트렌치의 벽상에 형성된 벽 절연층과;
상기 트렌치 내에 형성되고, 절연 재질의 상기 층사이에서 상기 기판의 상기 상부면에서 상기 하부면으로 연장하여, 상기 트렌치를 채우는 폴리실리콘 영역을 포함하고,
상기 셀의 적어도 하나는 상기 한 도전형 및, 이에 대향하고, 상기 실리콘 기판의 상기 최상부면 내에 형성된 다른 도전형 중의 하나의 제 1 영역을 포함하고, 상기 소자는;
상기 실리콘 기판의 상기 최상부면상에 형성되고, 상기 셀 중의 각 하나내의 상기 제 1 영역에 대한 최소한 하나의 개구 및, 상기 셀 중의 인접한 하나내의 제 2 영역에 대한 최소한 다른 개구를 가진 오버레이 절연층과;
상기 각 셀의 상기 제 1 영역 및 상기 인접한 셀의 상기 제 2 영역을 접속하는 최소한 하나의 상호접속 접점을 포함하는 도전층을 구비하는 것을 특징으로 하는 반도체 소자.

청구항 6.
제 5 항에 있어서, 상기 벽 절연층은 실리콘 이산화물 및 TEOS로 구성된 그룹으로부터 선택되는 것을 특징으로 하는 반도체 소자.

청구항 7.

제 5 항에 있어서, 상기 실리콘 기판의 상기 하부면상에 형성된 불활성화층을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 8.

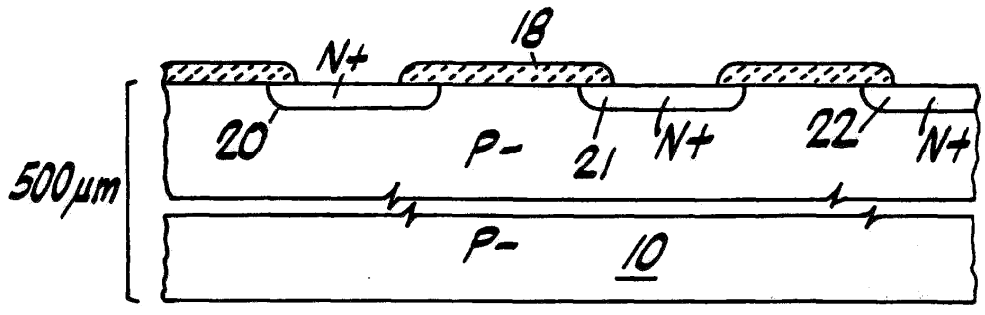
한 도전형의 실리콘 기판 내에 형성된 반도체 소자에 있어서, 상기 반도체 소자는;
상기 실리콘 기판 내에 형성되어, 상기 기판 내에 형성된 최소한 2개의 셀의 각각을 분리하고, 에워싸며, 상기 기판의 상부면에서 상기 기판의 하부면으로 연장하는 트렌치와;
상기 트렌치의 벽상에 형성된 벽 절연층과;
상기 트렌치 내에 형성되고, 절연 재질의 상기 층사이에서 상기 기판의 상기 상부면에서 상기 하부면으로 연장하여, 상기 트렌치를 채우는 폴리실리콘 영역을 포함하고,
상기 셀의 최소한 하나는 상기 한 도전형에 대향하고, 상기 기판의 상기 최상부면 내에 형성된 다른 도전형의 층과;
상기 최상부면 내에 형성되고, 상기 다른 도전형의 상기 층보다 더 상당히 도핑되는 상기 다른 도전형의 접점 영역과;
상기 최상부면 내에 형성되고, 상기 접점 영역으로부터 일정한 공간으로 떨어져 있고, 그를 에워싸는 상기 한 도전형의 몸체 영역과;
상기 최상부면에서 상기 몸체 영역의 일부내에 형성되고, 상기 소스 영역 및 상기 층 사이의 상기 최상부면 내에 채널 영역을 형성하는 상기 다른 도전형의 소스 영역과;
상기 최상부면상에 배치되고, 오버레이하며, 상기 채널 영역으로부터 절연되며, 상기 채널 영역에 공급된 적당한 게이트 전압에 응답하여 상기 채널 영역을 반 전시키도록 동작 가능한 게이트 전극과;
상기 실리콘 기판의 상기 최상부면상의 상기 층 및 상기 게이트 전극상에 형성되고, 상기 소스 영역에 대한 최소한 하나의 개구 및, 상기 접점 영역에 대한 최소한 하나의 개구를 가진 오버레이 절연층과;
상기 소스 영역에 대한 상기 개구 내의 도전층으로 형성된 최소한 하나의 소스 접점 및;
상기 접점 영역에 대한 상기 개구 내의 상기 도전층으로 형성된 최소한 하나의 드레인 접점을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 9.

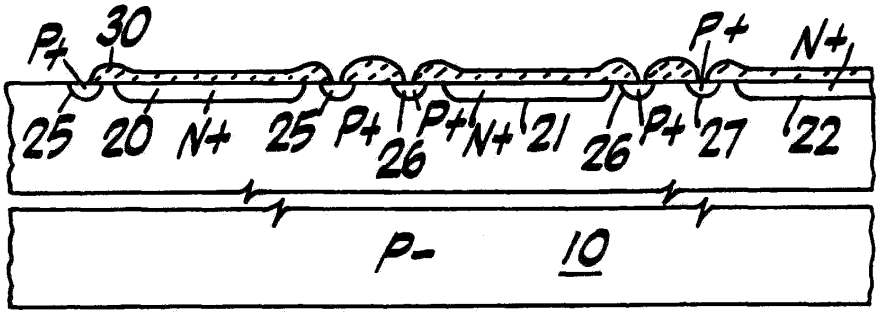
한 도전형의 실리콘 기판 내에 형성된 반도체 소자에 있어서, 상기 반도체 소자는;
상기 실리콘 기판 내에 형성되어, 상기 기판 내에 형성된 최소한 2개의 셀의 각각을 분리하고, 에워싸며, 상기 기판의 상부면에서 상기 기판의 하부면으로 연장하는 트렌치와;
상기 트렌치의 벽상에 형성된 벽 절연층과;
상기 트렌치 내에 형성되고, 절연 재질의 상기 층사이에서 상기 기판의 상기 상부면에서 상기 하부면으로 연장하여, 상기 트렌치를 채우는 폴리실리콘 영역을 포함하고,
상기 셀의 최소한 하나는 상기 한 도전형에 대향하고, 상기 기판의 상기 최상부면 내에 형성된 다른 도전형의 층과;
상기 최상부면 내에 형성되고, 상기 다른 도전형의 상기 층보다 더 상당히 도핑되는 상기 다른 도전형의 캐소드 영역과;
상기 최상부면에서 상기 캐소드 영역 내에 형성된 상기 한 도전형의 애노드 영역과;
상기 최상부면 내에 형성되고, 상기 접점 영역으로부터 일정한 공간으로 떨어져 있고, 그를 에워싸는 상기 한 도전형의 몸체 영역과;
상기 최상부면에서 상기 몸체 영역의 일부내에 형성되고, 상기 소스 영역 및 상기 층 사이의 상기 최상부면 내에 채널 영역을 형성하는 상기 다른 도전형의 소스 영역과;
상기 최상부면상에 배치되고, 오버레이하며, 상기 채널 영역으로부터 절연되며, 상기 채널 영역에 공급된 적당한 게이트 전압에 응답하여 상기 채널 영역을 반전시키도록 동작 가능한 게이트 전극과;
상기 실리콘 기판의 상기 최상부면상의 상기 층 및 상기 게이트 전극상에 형성되고, 상기 소스 영역에 대한 최소한 하나의 개구 및, 상기 애노드 영역에 대한 최소한 하나의 개구를 가진 오버레이 절연층과;
상기 소스 영역에 대한 상기 개구 내의 도전층으로 형성된 최소한 하나의 소스 접점 및;
상기 애노드 영역에 대한 상기 개구 내의 상기 도전층으로 형성된 최소한 하나의 애노드 접점을 포함하는 것을 특징으로 하는 반도체 소자.

도면

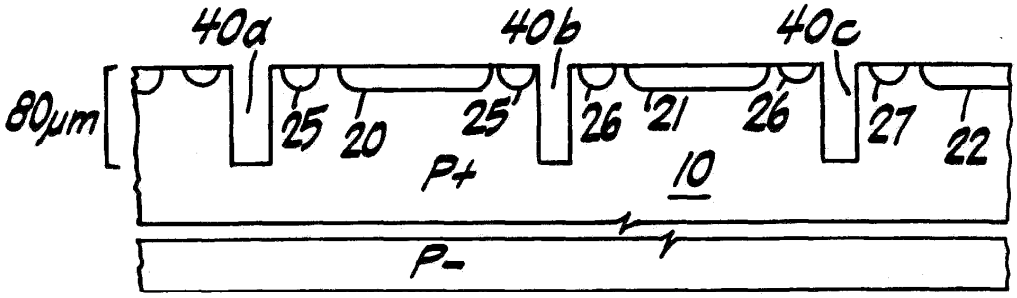
도면1



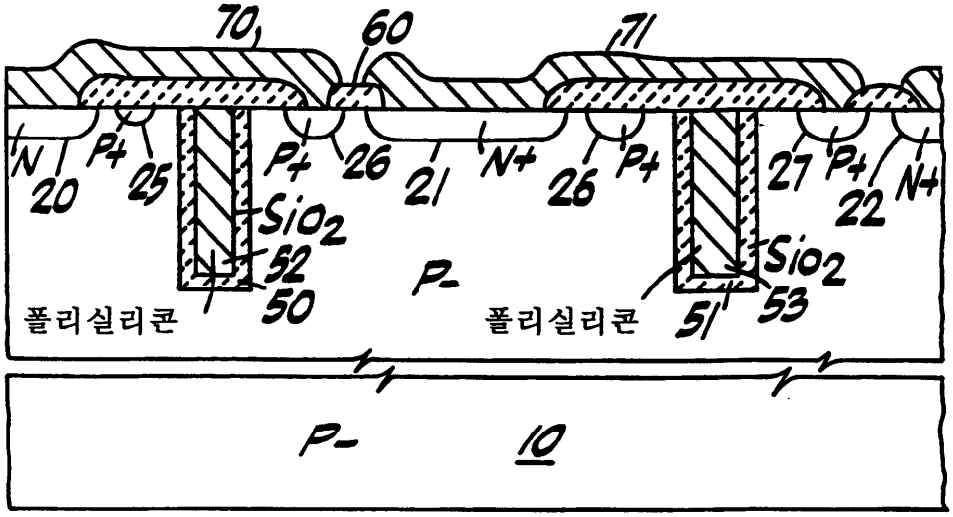
도면2



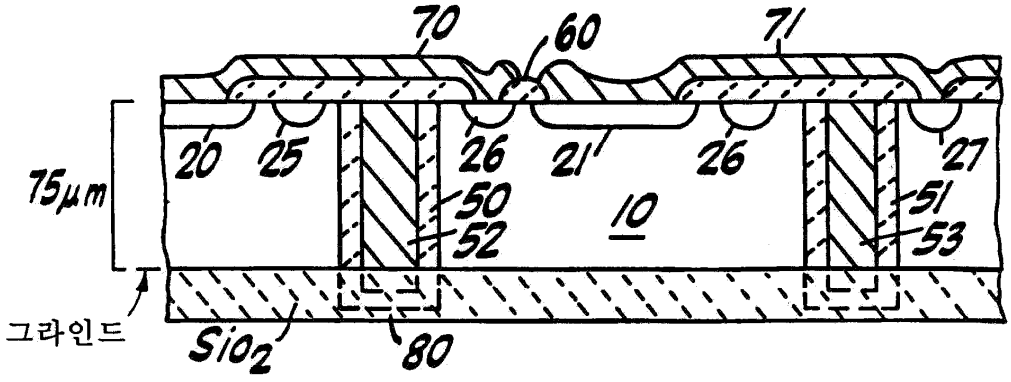
도면3



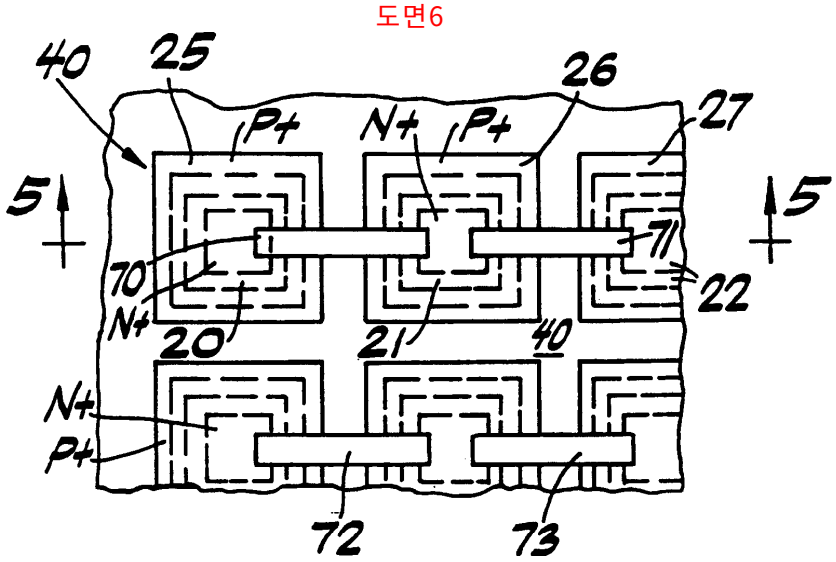
도면4



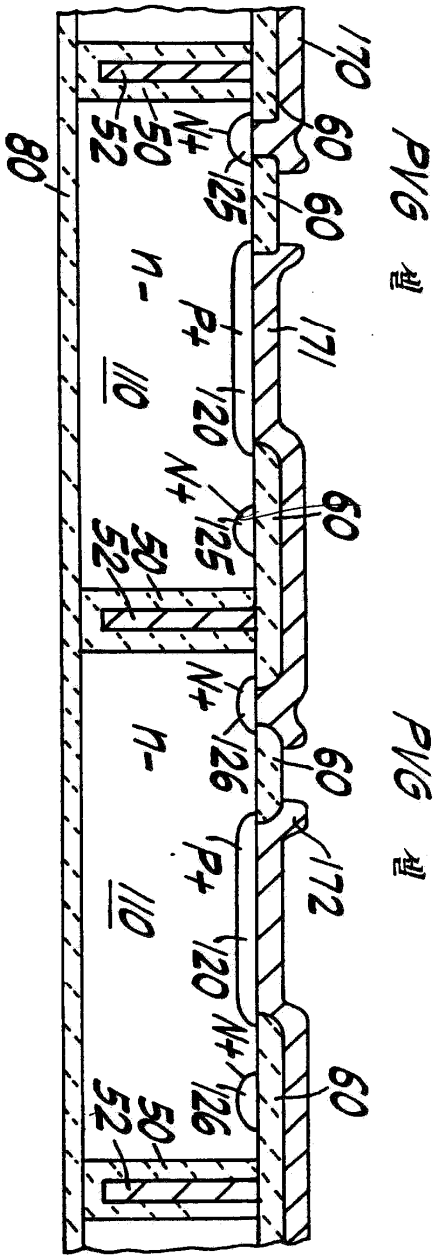
도면5



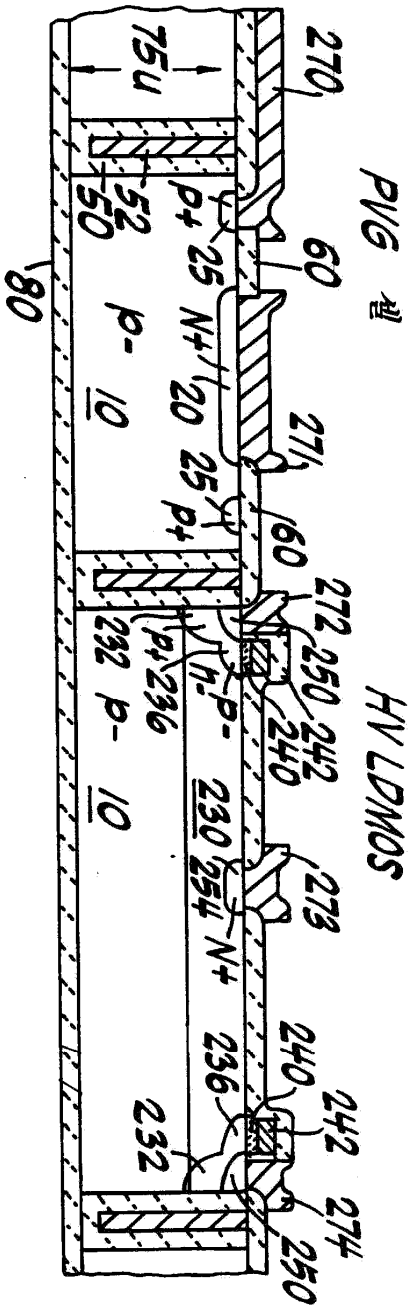
도면6


40
25
26
27
P+
N+
P+
5
5
70
71
22
N+
20
21
40
N+
P+
72
73

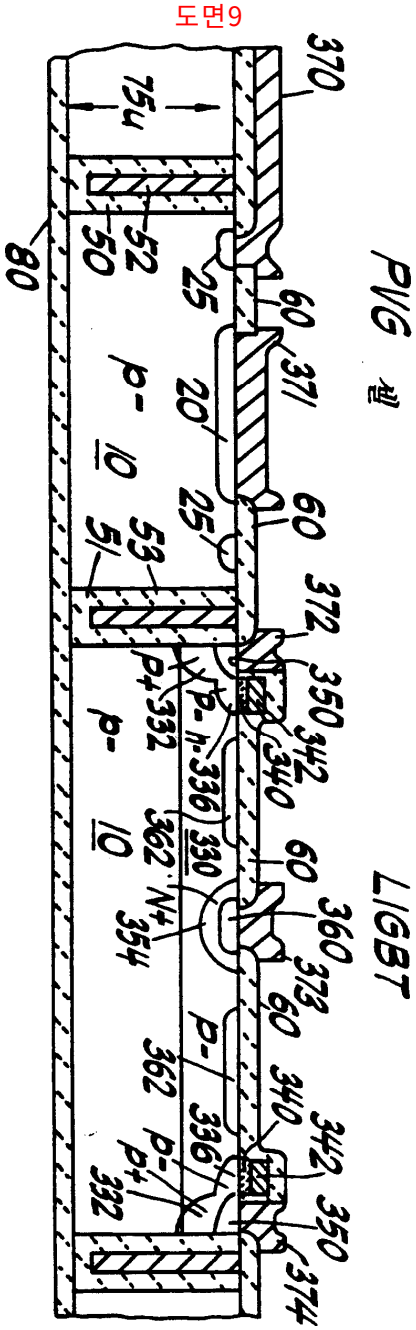
도면7


170
60
PVG 셀
80
52
50
N+
125
60
n-
P+
171
110
120
N+
60
125
52
50
N+
n-
126
60
PVG 셀
P+
172
110
120
N+
60
126
52
50

도면8


PVG 셀
HV LDMOS
75u
270
60
271
272
273
274
250
242
240
236
232
230
254
N+
P+
P-
n-
20
25
50
52
80
10

도면9


PVG 셀
LIGBT
370
75u
80
50
52
25
60
371
20
p-
10
25
60
51
53
372
350
342
340
p+
332
p-
n-
336
330
362
60
360
N+
354
373
60
p-
362
340
342
336
p-
p+
332
350
374