

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4162076号  
(P4162076)

(45) 発行日 平成20年10月8日(2008.10.8)

(24) 登録日 平成20年8月1日(2008.8.1)

(51) Int.Cl.

F I

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/34 3 3 5 A

請求項の数 12 (全 15 頁)

(21) 出願番号 特願2002-156646 (P2002-156646)  
 (22) 出願日 平成14年5月30日(2002.5.30)  
 (65) 公開番号 特開2004-5777 (P2004-5777A)  
 (43) 公開日 平成16年1月8日(2004.1.8)  
 審査請求日 平成17年5月26日(2005.5.26)

(73) 特許権者 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区大手町二丁目6番2号  
 (74) 代理人 100081938  
 弁理士 徳若 光政  
 (74) 代理人 100075096  
 弁理士 作田 康夫  
 (72) 発明者 山岡 雅直  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 長田 健一  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内

審査官 加藤 俊哉

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数のスタティック型メモリセルを具備するメモリアレイと、  
 上記メモリアレイを制御する周辺回路と、  
 上記メモリアレイの第1電源電圧を形成する第1回路とを具備し、  
 上記スタティック型メモリセルは、

第1 pチャネル型MOSトランジスタと第1 nチャネル型MOSトランジスタとにより構成された第1CMOSインバータ回路と、第2 pチャネル型MOSトランジスタと第2 nチャネル型MOSトランジスタとにより構成された第2CMOSインバータ回路とを含み、

上記第1CMOSインバータ回路と第2CMOSインバータ回路は、入力と出力とが交差接続され、

上記第1回路は、上記第1、第2 pチャネル型MOSトランジスタのしきい値電圧の絶対値が上記第1、第2 nチャネル型MOSトランジスタのしきい値電圧の絶対値よりも高くなった場合には、上記第1電源電圧を上記周辺回路の第2電源電圧よりも高くし、上記第1、第2 pチャネル型MOSトランジスタのしきい値電圧の絶対値が上記第1、第2 nチャネル型MOSトランジスタのしきい値電圧の絶対値よりも低くなった場合には、上記第1電源電圧を上記第2電源電圧よりも低くすることを特徴とする半導体記憶装置。

【請求項2】

請求項1において、

10

20

上記第 1 回路は、上記第 2 電源電圧の昇圧電圧を形成する昇圧回路を具備し、上記昇圧電圧を降圧して上記第 1 電源電圧を形成することを特徴とする半導体記憶装置。

【請求項 3】

請求項 1 において、

上記第 2 電源電圧よりも高い第 3 電源電圧で動作する入出力回路を更に有し、

上記第 1 回路は、上記第 3 電源電圧を降圧して上記第 1 電源電圧を形成することを特徴とする半導体記憶装置。

【請求項 4】

請求項 1 において、

上記第 1 回路は、

上記スタティック型メモリセル内の上記第 1、第 2 p チャネル型 MOS トランジスタのしきい値電圧の大きさに応じてしきい値電圧の大きさが変化する第 3 p チャネル型 MOS トランジスタと、上記第 1、第 2 n チャネル型 MOS トランジスタのしきい値電圧の大きさに応じてしきい値電圧の大きさが変化する第 3 n チャネル型 MOS トランジスタとを有し、

上記第 2 電源電圧に対して上記第 3 p チャネル型 MOS トランジスタのしきい値電圧の大きさ分だけ高くした電圧から上記第 3 n チャネル型 MOS トランジスタのしきい値電圧の大きさ分だけ低くした基準電圧を形成し、

上記基準電圧を電力増幅して上記第 1 電源電圧を形成することを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 において、

上記スタティック型メモリセルは、アドレス選択用の第 4 及び第 5 n チャネル型 MOS トランジスタを有することを特徴とする半導体記憶装置。

【請求項 6】

複数のスタティック型メモリセルを具備するメモリアレイと、

上記メモリアレイを制御する周辺回路と、

上記メモリアレイの第 1 電源電圧を形成する第 1 回路とを具備し、

上記スタティック型メモリセルは、

第 1 p チャネル型 MOS トランジスタと第 1 n チャネル型 MOS トランジスタとにより構成された第 1 CMOS インバータ回路と、第 2 p チャネル型 MOS トランジスタと第 2 n チャネル型 MOS トランジスタとにより構成された第 2 CMOS インバータ回路とを含み、

上記第 1 CMOS インバータ回路と第 2 CMOS インバータ回路は、入力と出力とが交差接続され、

上記第 1 回路は、

上記周辺回路に供給される第 2 電源電圧よりも高い電源電圧を分圧して複数の基準電圧を形成する基準電圧発生回路と、

上記第 1、第 2 p チャネル型 MOS トランジスタのしきい値電圧と上記第 1、第 2 n チャネル型 MOS トランジスタのしきい値電圧との大きさを検出して、上記複数の基準電圧の中から最適な上記第 1 電源電圧に対応した基準電圧の選択信号を形成するしきい値電圧検出回路と、

上記選択信号により上記基準電圧を出力する参照電位出力回路と、

上記参照電位出力回路の出力信号に対応して上記第 1 電源電圧を形成する電源回路とを有することを特徴とする半導体記憶装置。

【請求項 7】

複数のスタティック型メモリセルを具備するメモリアレイと、

上記メモリアレイを制御する周辺回路と、

上記メモリアレイの第 1 電源電圧を形成する第 1 回路とを具備し、

上記スタティック型メモリセルは、

第 1 p チャネル型 MOS トランジスタと第 1 n チャネル型 MOS トランジスタとにより構成された第 1 CMOS インバータ回路と、第 2 p チャネル型 MOS トランジスタと第 2 n チャネル型 MOS トランジスタとにより構成された第 2 CMOS インバータ回路とを含み、

上記第 1 CMOS インバータ回路と第 2 CMOS インバータ回路は、入力と出力とが交差接続され、

上記第 1 回路は、

上記周辺回路に供給される第 2 電源電圧よりも高い電源電圧を分圧して複数の基準電圧を形成する基準電圧発生回路と、

上記第 1、第 2 p チャネル型 MOS トランジスタのしきい値電圧と上記第 1、第 2 n チャネル型 MOS トランジスタのしきい値電圧に対応してプログラムされたプログラム素子の記憶情報に従って上記複数の基準電圧の中から最適な上記第 1 電源電圧に対応した基準電圧の選択信号を形成する制御回路と、

上記選択信号により上記基準電圧を出力する参照電位出力回路と、

上記参照電位出力回路の出力信号に対応して上記第 1 電源電圧を形成する電源回路とを有することを特徴とする半導体記憶装置。

#### 【請求項 8】

複数のスタティック型メモリセルを具備するメモリアレイと、

上記メモリアレイを制御する周辺回路と、

上記メモリアレイの第 1 電源電圧を形成する第 1 回路とを具備し、

上記スタティック型メモリセルは、

第 1 p チャネル型 MOS トランジスタと第 1 n チャネル型 MOS トランジスタとにより構成された第 1 CMOS インバータ回路と、第 2 p チャネル型 MOS トランジスタと第 2 n チャネル型 MOS トランジスタとにより構成された第 2 CMOS インバータ回路とを含み、

上記第 1 CMOS インバータ回路と第 2 CMOS インバータ回路は、入力と出力とが交差接続され、

上記第 1 回路は、

上記第 1、第 2 p チャネル型 MOS トランジスタのしきい値電圧と上記第 1、第 2 n チャネル型 MOS トランジスタのしきい値電圧に対応して記憶情報がプログラムされたプログラム素子と、

上記プログラム素子の記憶情報に従って複数の第 1 基準電圧の中から最適な上記第 1 電源電圧に対応した第 1 基準電圧の第 1 選択信号を形成する第 1 制御回路と、

上記プログラム素子の記憶情報に従って複数の第 2 基準電圧の中から最適な上記メモリアレイの n チャネル型 MOS トランジスタが形成される第 1 ウェル電位に対応した第 2 基準電圧の第 2 選択信号を形成する第 2 制御回路と、

上記複数の第 1 基準電圧を形成し、上記第 1 選択信号に従って上記第 1 基準電圧を出力する第 1 参照電位出力回路と、

上記複数の第 2 基準電圧を形成し、上記第 2 選択信号に従って上記第 2 基準電圧を出力する第 2 参照電位出力回路と、

上記第 1、第 2 参照電位出力回路の出力信号に対応して上記第 1 電源電圧と上記第 1 ウェル電圧とを形成する電源回路とを有することを特徴とする半導体記憶装置。

#### 【請求項 9】

複数のスタティック型メモリセルを具備するメモリアレイと、

上記メモリアレイを制御する周辺回路と、

上記メモリアレイの第 1 電源電圧を形成する第 1 回路とを具備し、

上記スタティック型メモリセルは、

第 1 p チャネル型 MOS トランジスタと第 1 n チャネル型 MOS トランジスタとにより構成された第 1 CMOS インバータ回路と、第 2 p チャネル型 MOS トランジスタと第 2 n チャネル型 MOS トランジスタとにより構成された第 2 CMOS インバータ回路と

10

20

30

40

50

を含み、

上記第 1 CMOS インバータ回路と第 2 CMOS インバータ回路は、入力と出力とが交差接続され、

上記第 1 回路は、

上記第 1, 第 2 p チャネル型 MOS トランジスタのしきい値電圧と上記第 1, 第 2 n チャネル型 MOS トランジスタのしきい値電圧に対応して記憶情報がプログラムされたプログラム素子と、

上記プログラム素子の記憶情報に従って複数の第 1 基準電圧の中から最適な上記第 1 電源電圧に対応した第 1 基準電圧の第 1 選択信号を形成する第 1 制御回路と、

上記プログラム素子の記憶情報に従って複数の第 3 基準電圧の中から最適な上記メモリアレイの p チャネル型 MOS トランジスタが形成される第 2 ウェル電位に対応した第 3 基準電圧の第 3 選択信号を形成する第 3 制御回路と、

上記複数の第 1 基準電圧を形成し、上記第 1 選択信号に従って上記第 1 基準電圧を出力する第 1 参照電位出力回路と、

上記複数の第 3 基準電圧を形成し、上記第 3 選択信号に従って上記第 3 基準電圧を出力する第 3 参照電位出力回路と、

上記第 1, 第 3 参照電位出力回路の出力信号に対応して上記第 1 電源電圧と上記第 2 ウェル電圧とを形成する電源回路とを有することを特徴とする半導体記憶装置。

【請求項 10】

複数のスタティック型メモリセルを具備するメモリアレイと、

上記メモリアレイを制御する周辺回路と、

上記メモリアレイの第 1 電源電圧を形成する第 1 回路とを具備し、

上記スタティック型メモリセルは、

第 1 p チャネル型 MOS トランジスタと第 1 n チャネル型 MOS トランジスタとにより構成された第 1 CMOS インバータ回路と、第 2 p チャネル型 MOS トランジスタと第 2 n チャネル型 MOS トランジスタとにより構成された第 2 CMOS インバータ回路とを含み、

上記第 1 CMOS インバータ回路と第 2 CMOS インバータ回路は、入力と出力とが交差接続され、

上記第 1 回路は、

上記第 1, 第 2 p チャネル型 MOS トランジスタのしきい値電圧と上記第 1, 第 2 n チャネル型 MOS トランジスタのしきい値電圧に対応して記憶情報がプログラムされたプログラム素子と、

上記プログラム素子の記憶情報に従って複数の第 1 基準電圧の中から最適な上記第 1 電源電圧に対応した第 1 基準電圧の第 1 選択信号を形成する第 1 制御回路と、

上記プログラム素子の記憶情報に従って複数の第 2 基準電圧の中から最適な上記メモリアレイの n チャネル型 MOS トランジスタが形成される第 1 ウェル電位に対応した第 2 基準電圧の第 2 選択信号を形成する第 2 制御回路と、

上記プログラム素子の記憶情報に従って複数の第 3 基準電圧の中から最適な上記メモリアレイの p チャネル型 MOS トランジスタが形成される第 2 ウェル電位に対応した第 3 基準電圧の第 3 選択信号を形成する第 3 制御回路と、

上記複数の第 1 基準電圧を形成し、上記第 1 選択信号に従って上記第 1 基準電圧を出力する第 1 参照電位出力回路と、

上記複数の第 2 基準電圧を形成し、上記第 2 選択信号に従って上記第 2 基準電圧を出力する第 2 参照電位出力回路と、

上記複数の第 3 基準電圧を形成し、上記第 3 選択信号に従って上記第 3 基準電圧を出力する第 3 参照電位出力回路と、

上記第 1, 第 2 及び第 3 参照電位出力回路の出力信号に対応して上記第 1 電源電圧、上記第 1 ウェル電位及び上記第 2 ウェル電圧を形成する電源回路とを有することを特徴とする半導体記憶装置。

10

20

30

40

50

## 【請求項 1 1】

請求項 1 ないし 1 1 のいずれか 1 において、

上記周辺回路は、センスアンプとワードドライバのいずれか少なくとも 1 つを含むことを特徴とする半導体記憶装置。

## 【請求項 1 2】

請求項 1 ないし 1 2 のいずれか 1 において、

上記メモリアレイ及び周辺回路は、それぞれの電源電圧が 0 . 5 V 以下となるように設計されることを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

10

## 【発明の属する技術分野】

この発明は、スタティックメモリ (SRAM) 回路が半導体チップ上に集積された半導体集積回路に関する。より特定的には、この発明は SRAM 集積回路装置の動作電圧を低減する構成に関する。

## 【0002】

## 【従来の技術】

特開平6-139779号では、メモリセルのトランジスタのしきい値電圧をあらかじめ設定した基準電圧と比較し、基準電圧と同一のしきい値電圧になるような基板バイアスを発生させる回路が開示されている。特開2000-268574号では、トランジスタのしきい値検出回路と電圧検出回路から発生する信号を用いて基板バイアスを変化させ、メモリセルのトランジスタのしきい値を設定値に近付ける回路が開示されている。

20

## 【0003】

## 【発明が解決しようとする課題】

LSI (Large Scale Integrated circuit: 大規模集積回路) の低消費電力化および LSI 中のトランジスタの微細化により、LSI の電源電圧が低下している。たとえば、0.13  $\mu\text{m}$  プロセスでは、電源電圧 1.2V で動作する LSI が製造される。LSI の電源電圧を下げる場合には、回路性能 (回路の動作速度) を低下させないために、トランジスタのしきい値電圧を下げてトランジスタの電流を増加させている。トランジスタのしきい値電圧を下げると SRAM メモリセルのデータ読み出し時の動作マージンであるスタティックノイズマージン (SNM) が低下し回路動作が難しくなる。さらに電源電圧が下がると読み出し時のみならず書き込み時の動作マージンが低下し SRAM 回路が動作しなくなる。このため、低電源電圧のもとにおいても S R A M メモリセルのデータ読出しおよび書き込み時の動作マージンを大きくする方法が必要となる。

30

## 【0004】

## 【課題を解決するための手段】

複数のスタティック型メモリセルを具備するメモリアレイと、上記メモリアレイを制御する周辺回路と、上記スタティック型メモリセル内のトランジスタのしきい値電圧の大きさに応じて上記メモリアレイの電源電圧を変換する回路とを具備させた半導体記憶装置を用いることで読み出し時、または書き込み時の動作マージンの量を増減する。動作マージンはトランジスタ性能により変化するため、LSI 製造後または LSI 動作中にトランジスタのしきい値電圧を検出し最適なメモリアレイの電源電圧を決定し、最適なメモリアレイの電圧を印加する。別の手段としては、LSI 製造後のトランジスタの特性を検出してメモリアレイの電源電圧を調整し、さらにメモリセルの基板電位を変化させてメモリセルを構成するトランジスタのしきい値を変化させる。また、メモリアレイの電源電圧と、メモリアレイ周辺回路の電源電圧とを分離させ、メモリアレイ内のトランジスタのしきい値電圧に応じた電圧をメモリアレイの電源電圧を印加し、それぞれに別の電圧を印加させることも可能である。

40

## 【0005】

## 【発明の実施の形態】

[実施例 1]

50

図1に本発明を用いたSRAM回路とその電源構成の一例を概略的に示す。図1において、MAはSRAMのメモリセルをアレイ状に並べたメモリセルアレイ、WDはワードドライバ、ロウアドレスデコーダ等のワード線を制御する回路、SAはセンスアンプ、プリチャージ回路、カラムデコーダ等ビット線を制御する回路、DTVT1はトランジスタのしきい値電圧を検出しメモリアレイ電源電圧を発生するための参照電位信号sigref1を発生する回路、CTVAはDTVT1からの信号sigref1にしたがって電源電圧Vddに対して昇圧や降圧を行ってメモリアレイの電源電圧Vaを出力する電源回路である。メモリセルアレイMA中のwlはメモリセルのワード線、blおよびblbはビット線、Vssは接地電位線、Vbpはメモリセル内のpMOSの基板電極が接続されたノード、Vbnはメモリセル内のnMOSの基板電極が接続されたノードである。メモリセルは、1対のCMOSインバータの入力と出力が互いに接続されて構成されるフリップ・フロップ（2つのpチャネル型負荷MOSトランジスタと2つのnチャネル型駆動MOSトランジスタと有する）と、前記フリップ・フロップの2つの記憶ノードをデータ線に選択的に接続する2つのnチャネル型転送MOSトランジスタとで構成される。nチャネル型MOSトランジスタのゲート電極には、ワード線が接続され、nチャネル型駆動MOSトランジスタと、nチャネル型転送MOSトランジスタとの基板電位は、同じ信号線により制御されている。これは、nチャネル型転送MOSトランジスタと、nチャネル型駆動MOSトランジスタとを同じウェルに生成しているためであり、これにより基板電位を容易に制御することが可能となる。なお、上記のnチャネル型転送MOSトランジスタと、nチャネル型駆動MOSトランジスタとを異なるウェルに生成し、別の制御信号を与えることにより、両者のしきい値電圧の変動を別々に調整することも可能である。

参照電位発生回路DTVT1中のI1およびI2は定電流源、BOOST1は昇圧回路、Vthp1はpMOSトランジスタMP1のしきい値電圧の大きさ、Vthn1はnMOSトランジスタMN1のしきい値電圧の大きさ、Vddは周辺回路の電源電圧、nd1はMP1のソース電極と接続されているノードである。上記pMOSトランジスタおよびnMOSトランジスタは上記メモリセル内のpMOS負荷トランジスタ、nMOS駆動トランジスタ、およびnMOS転送トランジスタと同じ工程を経たものを使用しており、酸化膜厚、不純物のインプラ濃度が同じトランジスタである。このため、DTVT1内で使用しているトランジスタのしきい値電圧とMA内で使用しているトランジスタのしきい値電圧とは一定の比例関係にある。例えばMA内のトランジスタのしきい値電圧が上昇すれば、それに応じてDTVT1のトランジスタのしきい値電圧も上昇し、MA内のトランジスタのしきい値電圧が下降すれば、同様にDTVT1のトランジスタのしきい値電圧も下降する。ゲート長、ゲート幅等をメモリセルより変えて、しきい値の変化を検出しやすくすることも可能である。これによりメモリセル自身に影響を及ぼすことなく、トランジスタのしきい値を検出することができる。電源回路CTVAにおいてVdduはメモリアレイ電源Vaの最大電圧よりも高い電圧の電源、Vssは接地電位である。DTVT1中のI1およびI2は電流量の等しい電流源であり、Vdduは、メモリアレイ電源Vaの最大電圧よりも高い電圧であり、昇圧回路BOOST1にVddを供給しVddを昇圧することによって生成される。BOOST1はキャパシタ等を用いたチャージポンプ回路で構成される回路である。ノードnd1の電位はVddからpMOSトランジスタMP1のしきい値の大きさ分上昇しVdd+Vthp1となる。ノードnd1はnMOSトランジスタMN1のゲート電極に接続されており、それゆえにMN1のソース電極の電位はVdd+Vthp1-Vthn1となり、pMOSのしきい値電圧の大きさとnMOSのしきい値電圧の大きさの差に周辺回路の電源電圧を加えた電圧がsigref1として出力される。よって、DTVT1において、pMOSトランジスタのしきい値電圧の絶対値がnMOSトランジスタのしきい値電圧の絶対値よりも高くなった場合にはメモリアレイの電源電圧を高くし、逆にpMOSトランジスタのしきい値電圧の絶対値がnMOSトランジスタのしきい値電圧の絶対値よりも低くなった場合にはメモリアレイの電源電圧を低くすることが可能となる。通常のSRAMメモリセルにおいては、nMOSトランジスタのしきい値電圧の大きさが一定の場合pMOSトランジスタのしきい値電圧の大きさが高くなると書き込みマージンが大きくなり、pMOSトランジスタのしきい値電圧の大きさが低くなると書き込みマージンが小さくなる。したがって、図の回路によってメモリアレイ電圧を制御することによって書き込みマージンの増減を考慮したSRAM動作が実現可能である。回路DTVT1を用いると、回路動作中にLSIの温度変化等によ

10

20

30

40

50

るトランジスタのしきい値電圧の大きさの変化もメモリアレイの電源電圧に反映され、動作中のトランジスタ特性の変化による動作マージンの減少も補正することが可能となる。電源回路CTVAでは、入力された信号sigref1の電圧と出力されるVaの電圧を比較して、sigref1の電圧とVaが等しくなるようにVaが調節され、メモリアレイには周辺回路の電源電圧にpMOSのしきい値電圧の大きさを加えnMOSのしきい値電圧の大きさを引いた電圧が電源電圧として印加される。動作時にsonにハイの電位がかけられることによって、電源回路CTVAが活性化される。sonがロウの場合には回路CTVAは活性化されず、回路が動作していない場合にはsonをロウとすることで消費電力を下げるができる。回路DTVT1および回路CTVAを用いた場合には、pMOSのしきい値電圧の大きさとnMOSのしきい値電圧の大きさの電圧差と等しい電圧だけメモリアレイ電源Vaを昇圧または降圧し、pMOSのしきい値電圧の大きさがnMOSのしきい値電圧の大きさよりも高い場合に昇圧、pMOSのしきい値電圧の大きさがnMOSのしきい値電圧の大きさよりも低い場合に降圧となる。図1の回路中において、電圧Vddの電源はSRAM回路の周辺回路WDおよびSAと参照電位を出力する回路DTVT1に供給され、また、電源電圧Vddを昇圧した電源Vdduは、VddをDTVT1内の昇圧回路で生成し参照電位を生成する回路DTVT1および電源Vaを出力する回路CTVAに供給される。CTVAで出力した電源電圧Vaの電源はメモリセルアレイMAに供給されている。回路を動作させている時には、しきい値電圧検出回路DTVT1は、LSI中のnMOSとpMOSのしきい値電圧の設計したしきい値電圧からのずれを検出し、最適なメモリアレイの電圧を信号sigref1としてCTVAに10 入力する。電源回路CTVAは、メモリアレイの電源電圧Vaが入力された信号sigref1の値となるように、Vdduを昇圧または降圧し電源Vaとしてメモリセルアレイに印加する。これによって、メモリセルの動作電圧マージンが大きくとれ低電圧での動作が可能となる。なお、図1では昇圧回路を用いてメモリアレイ周辺回路の電源電圧を昇圧しているが、DTVT1またはCTVAにダイオード接続されたトランジスタ等を用いた降圧回路を含ませ、昇圧電圧を降圧することも可能である。さらに上記メモリアレイに印加するための電圧を降圧させてから昇圧電圧を生成することも可能であることは言うまでもない。

例として、図2に周辺回路の電源電圧Vddとメモリアレイの電圧Vaの関係を示す。曲線RRは読み出し動作が律速して動作しなくなる限界の電圧を示し、RRよりもVaが高い領域(図2中上方)において読み出し動作が正常に行われ、RRよりもVaが低い領域において読み出しが正常に動作しない。また曲線WRは書き込み動作が律速して動作しなくなる限界の電圧を示し、WRよりもVddが高い領域(図2中右方)において書き込み動作が正常に行われ、WRよりもVddが低い領域において書き込みが正常に動作しない。読み出しおよび書き込みの動作ができるのは図中の網かけ部分である。よって、図2の性能のメモリセルを設計しVdd=0.4Vで動作させようとした場合にはVa=0.5V程度に昇圧した点、つまり図中の黒点の電圧において動作させると最大の電圧マージンがとれる。しかし製造時にトランジスタの性能がばらついてメモリセルの特性が図3で示す状態となった場合には、Va=0.5Vではほとんど電圧マージンがなくなり、この状態では、Vaをさらに昇圧した電圧0.6V程度で動作させる場合に電圧マージンが大きくとれることがわかる。よって、図1の回路においてVaを0.6Vに変更することによりSRAM回路の動作マージンが大きくなる。また図3とは異なりメモリセルの特性が図4で示す状態となった場合には、Va>0.5Vの領域ではメモリセルで書き込みが正常に行われず、VaをVddよりも降圧し電圧0.35V程度で動作させる場合に電圧マージンが20 大きくとれることがわかる。この場合にも図1の回路においてVaを0.35Vに変更することによりSRAM回路の動作マージンが大きくなる。このように本発明では、製造工程時においてばらついたトランジスタの性能を、トランジスタのしきい値が検出可能な回路等を同一チップまたはウェハ上に設けることによって評価し、メモリセルに使用されているトランジスタの特性を考慮した電源電圧をメモリアレイに供給することが可能となる。

図5にDTVT1回路の別の一例を示す。図5の回路は図1中の回路DTVT1とほぼ同等であり、Vddより高い電位のVdduの生成の方法が異なる。現在、一般に製造されているLSIにおいては、内部回路用の電圧と入出力回路用の2種類の電源を使用して動作している。図5において、Vddは内部回路用の電源を、Vccは入出力回路用の電源を表し、VccはVddよりも高い電圧である。DBST1は降圧回路であり、ダイオード接続したトランジスタ等を用いてVccを降圧30 40 50

してVddよりも高い電圧Vdduを生成している。また、Vccの電圧がVddと比較してそれほど大きくない場合には降圧回路を用いずVccをそのままVdduとして用いることも可能である。図6以降の図の回路においてもVdduが用いられているが、Vdduの生成方法は図1中の回路DTVT1または図5のどちらを用いてもよい。また図1中のDTVT1と図5の回路とを同時に用いる場合には、DTVT1または図5の昇圧または降圧回路を同時に使用することも可能である。また、図5については、内部回路用の電源Vddと入出力用電源Vccとの2種の電源を使用しているが、入出力用電源Vccにさらに降圧回路を接続して内部回路用の電源を用いてもよい。

図6に図1の回路を用いた場合のシステムLSI全体の構成例の概略を電源の関係も含めて示す。ここでシステムLSIとは、現在広く製造されているメモリ回路とロジック回路とが混載されている回路である。図6では、システムLSIの回路構成を示すが、ロジック回路を含まないメモリLSIについての構成もロジック回路を除いて考えれば同等と考えることができる。図6において、システムLSIであるCHIPは、データに所定の処理を実行するロジック回路LGCと、データを記憶するスタティックメモリ回路SRMと、トランジスタのしきい値電圧を検出する回路DTVT1と、メモリアレイの電源を生成する回路CTVAとで構成されている。SRAM回路SRMは、メモリセルアレイMAと、周辺回路WDとSAで構成されている。内部回路の電源電圧VddはLSI外部から入力され、LGC、WD、SA、CTVA、DTVT1に供給されている。入出力回路用のVddよりも高い電圧Vccは、外部から入力されIOに供給されるとともに、CTVAおよびDTVT1に供給され、その電圧を用いてメモリアレイ用のVddとは異なった電源電圧がCTVAにおいて生成されメモリアレイMAに供給される。

図14に本発明を用いたSRAM回路の電源配線のレイアウトの例を示す。図14において、NETDDは内部回路の電源ネットであり電圧はVdd、NETAはメモリセルアレイの電源ネットであり電圧はVa、MAはSRAMメモリセルアレイ、PERI1およびPERI2はSRAM回路中のメモリセル以外の回路でワードドライバ、センスアンプ等を含む回路、CTVAは電源電圧Vddの電源に対して昇降圧を行いメモリアレイの電源電圧Vaを生成する昇降圧回路である。メモリアレイの電源ネットNETAはメモリアレイ内のメモリセルに電源Vaを供給し、周辺回路の電源ネットNETDDからは分離されており昇降圧回路CTVAおよびメモリアレイMAにのみ接続されている。

また、実施例1においてはメモリアレイの高電位側のp負荷MOSトランジスタのソースノードの電位を変化させてメモリアレイに最適な電圧を印加する方法を提示したが、低電位側のn駆動MOSトランジスタのソースノードの接地電位Vssを昇圧または降圧することも可能であり、このことは実施例2以降についても同様である。

#### [実施例2]

図7に本発明を用いたSRAM回路とその電源構成の一例を概略的に示す。図7において、MAはSRAMのメモリセルをアレイ状に並べたメモリセルアレイ、WDはワードドライバ、ロウアドレスデコーダ等のワード線を制御する回路、SAはセンスアンプ、プリチャージ回路、カラムデコーダ等ビット線を制御する回路、BOOST2はVddを昇圧した電圧Vdduを生成する昇圧回路、CTVAは参照電位信号sigref2にしたがってメモリアレイ用の電源電圧Vaを出力する電源回路、DREG1は参照電位選択信号によりswcont1によって指示された参照電位を出力する回路、DTVT2はトランジスタのしきい値電圧の大きさにしたがって参照電位選択信号swcont1を出力する回路である。この回路は、動作中にはしきい値電圧検出回路DTVT2でnMOSトランジスタおよびpMOSトランジスタのしきい値電圧の大きさから最適なメモリアレイの電圧を選択する信号swcont1を出力し、参照電位出力回路DREG1においてswcont1によって最適なメモリアレイの電圧を参照電位信号sigref2として出力する。電源回路CTVAは、参照電位信号sigref2と等しい電圧をメモリアレイ電源Vaとして出力する。これによって、メモリセルの動作電圧マージンが大きくとれ低電圧での動作が可能となる。

図8に参照電位を出力する回路DREG1の一例を示す。図8において、RREF1からRREF6は抵抗、SW1からSW5は制御信号swcont1によって開閉が制御されるスイッチである。図8にはRREF1～RREF6の6個の抵抗が記述されているが、実際には複数の最適な数の抵抗が使用される。図8において、抵抗RREF1からRREF6はVdduとVss間の電位を分割し、メモリアレイに印加



する可能性のある電位を生成する。抵抗で分割されたノードはスイッチSW1からSW5 を介して出力ノードと接続されており、トランジスタのしきい値電圧の大きさを検出して生成される信号swcont1によって信号sigref2の電位が決定され出力される。信号swcont1はスイッチSW1からSW5の個数ビットの信号であり、SWC1からSWC5は信号swcont1を転送するバスである。

図9に制御回路DTVT2の構成の一例を示す。図9において、PGCはプログラム素子、DEC1はPGCの個数ビット分のデータをデコードし制御信号swcont1に変換する回路である。PGCにはメタルヒューズやフラッシュメモリ等の不揮発性のプログラム素子を用い、LSI製造後のテスト時に出来上がったLSIのトランジスタ特性を測定し、最適なメモリアレイ電圧Vaを決定し、その電圧に制御する値をPGCに書き込むことによって、LSI動作時に最適なメモリアレイ電圧でLSIを動作させる。図9の回路では、不揮発なプログラム素子を用いているため製造後にトランジスタ特性を記憶させる工程が必要となる。

プログラム素子ではトランジスタのしきい値電圧の大きさにしたがって参照電位を制御するデータを記憶するが、記憶回路のかわりにトランジスタのしきい値電圧の大きさを検出する回路と比較するための参照しきい値電圧の大きさを出力する回路および2つの電圧の比較回路の組合せでも同等の動作が可能である。これらの回路を用いた場合、電源投入とともにトランジスタのしきい値電圧の大きさと設計された参照しきい値電圧の大きさが比較され比較結果に従って最適なメモリアレイ電圧となるように制御信号swcont1が生成される。

図10に図9中のプログラム回路PGCを置き換える回路の例を示す。図10において、OVTはMOSトランジスタのしきい値電圧の大きさを検知して信号sigvt1として出力する回路、CMPは入力された2つの信号の大小を比較してハイかロウの信号を出力する回路である。図10の回路では、CMPは抵抗RREF7およびRREF8によってしきい値電圧比較用の参照電位を生成し、比較用の参照電位と実際のトランジスタのしきい値電圧の大きさを大小を比較し結果を出力することによってトランジスタのしきい値電圧の大きさを検出する。信号sigvt1は実際のしきい値電圧の大きさを出力する必要はなくしきい値電圧の大きさにしたがって変化する電圧を出力する回路であればよく、その電圧にしたがってsigrv1の電位が決定され、その電位によってRREF7およびRREF8の抵抗値が決定される。例えば、図10の回路によってトランジスタのしきい値電圧の大きさが0.5Vよりも高いまたは低いかを判別する必要がある場合、トランジスタのしきい値電圧の大きさの1/2の電位をOVTがsigvt1として出力する回路であれば、RREF7およびRREF8の抵抗値をsigrv1の電位が0.25Vとなるように設計する。回路動作時にはsigrv1の電位は0.25Vとなり、sigvt1にはトランジスタのしきい値電圧の大きさの1/2の電位が出力されるため、sigvt1が0.25Vより高いすなわちMOSトランジスタのしきい値電圧の大きさが0.5Vよりも高ければCMPからハイが出力され、MOSトランジスタのしきい値電圧の大きさが0.5Vよりも低ければCMPからロウが出力される。よって、図10の回路はトランジスタのしきい値電圧の大きさによってデータを記憶する回路を置き換えることが可能である。

プログラム回路を用いた回路の場合は、LSI製造後にトランジスタのしきい値電圧の大きさ等の特性を測定しプログラム回路にその特性を保存する。したがって、LSI製造時の特性ばらつきを補正できるが、LSI動作時の温度等によるトランジスタの特性ばらつきは補正することができない。しかし、製造後にしきい値電圧の大きさとメモリアレイの電圧の関係を決定できるため、設計時と異なる条件でメモリアレイの電源電圧を決定することが可能となる。図10の回路を用いた場合には、LSIの動作中にトランジスタ特性を検出しているため、温度変化等によるLSI動作中のトランジスタの特性の変化も補正することが可能となり、動作マージンを大きく補償することが可能である。

#### [実施例3]

図11に本発明を用いたSRAM回路の一例の概略を示す。図11において、MAはSRAMのメモリセルをアレイ状に並べたメモリセルアレイ、WDはワードドライバ、ロウアドレスデコーダ等のワード線を制御する回路、SAはセンスアンプ、プリチャージ回路、カラムデコーダ等ビット線を制御する回路、DTVT3はトランジスタのしきい値電圧の大きさを検出しメモリア

10

20

30

40

50

レイ電源電圧を発生するための参照電位信号sigref3およびメモリアレイの基板電位を発生するための参照電位信号sigref4 およびsigref5を発生する回路、CTVAはDTVT3からの信号sigref3にしたがって電源電圧Vddに対して昇圧または降圧を行ってメモリアレイの電源電圧Vaを出力する電源回路、CTVBBはDTVT3からの信号sigref4およびsigref5にしたがってメモリアレイの基板電位であるVbnおよびVbpを発生する回路である。VbnはメモリセルのnMOSトランジスタの基板であるpウエルの電位、VbpはメモリセルのpMOSトランジスタの基板であるnウエルの電位である。

図12に参照電位sigref3からsigref5を発生する回路DTVT3の構成の一例を示す。PGVTNおよびPGVTPはnMOSトランジスタおよびpMOSトランジスタのしきい値電圧の大きさを記憶する回路であり、nMOSのしきい値電圧の大きさを信号sigvtn、pMOSのしきい値電圧の大きさを信号sigvtpとして出力する。記憶回路PGVTNおよびPGVTPには、メモリの欠陥救済等で用いられているヒューズ回路やフラッシュメモリなどの不揮発性の記憶回路が用いられ、LSI製造後のLSIテスト時にMOSトランジスタのしきい値電圧の大きさを測定し記憶回路にデータを書き込む。DEC2はnMOSおよびpMOSのしきい値電圧の大きさである信号sigvtnとsigvtpをデコードしDREG2を制御する信号swcont2を生成する。DREG2は図8と同等の回路であり、複数の抵抗によってVdduとVss間の電位を分割し、制御信号swcont2によって分割して生成された電位のうち適切な電位を選択しメモリアレイの電源電圧Vaを生成するための参照電位信号sigref3として出力する。DEC3はnMOSのしきい値電圧の大きさである信号sigvtnをデコードしDREG3を制御する信号swcont3を生成する。DREG3は図8と同等の回路であり、複数の抵抗によってVddと-Vdd間の電位を分割し、制御信号swcont3によって分割して生成された電位のうち適切な電位を選択し、メモリアレイのnMOSの基板電位Vbnを生成するための参照電位信号sigref4として出力する。設計時にnMOSの基板電位Vbnを0Vに設定していた場合、デコード回路DEC3はnMOSのしきい値電圧の大きさが設計値よりも高くなっている場合には参照電位を0Vよりも高くなるように制御し順方向の基板バイアスをnMOSに印加してしきい値電圧を下げる。逆にnMOSのしきい値電圧の大きさが設計値より低くなっている場合には参照電位を0Vよりも低くなるように制御し逆方向の基板バイアスをnMOSに印加してしきい値電圧をあげる。-Vddの電位は一般的に使用されている基板バイアスを制御する回路同様チャージポンプ等を用いて比較的容易に生成することが可能であり、SRAM回路とは別に同一LSI上に基板バイアスを制御する回路が搭載されている場合には-Vddの電位をその回路中で生成していると考えられ、その電位を使用することも可能である。DEC4はpMOSのしきい値電圧である信号sigvtpをデコードしDREG4を制御する信号swcont4を生成する。DREG4は図8と同等の回路であり、複数の抵抗によってVdduとVss間の電位を分割し、制御信号swcont4によって分割して生成された電位のうち適切な電位を選択し、メモリアレイのpMOSの基板電位Vbpを生成するための参照電位信号sigref5として出力する。設計時にpMOSの基板電位VbpをVddに設定していた場合、デコード回路DEC4はpMOSのしきい値電圧の大きさが設計値よりも高くなっている場合には参照電位をVddよりも低くなるように制御し順方向の基板バイアスをpMOSに印加してしきい値電圧を下げる。逆にpMOSのしきい値電圧が設計値より低くなっている場合には参照電位をVddよりも高くなるように制御し逆方向の基板バイアスをpMOSに印加してしきい値電圧をあげる。

図11および図12の回路を用いることによって、基板バイアスを制御することによって製造したLSI中のメモリセルの特性が図3または図4の状態になった場合にも、図2の状態に近付けることが可能となり、さらにメモリアレイの電源電圧をもっとも動作マージンの大きい電圧にすることが可能となる。

図12において、回路PGVTNおよびPGVTPは不揮発性の記憶素子を用いた回路としLSI製造後のLSIテスト時にMOSトランジスタのしきい値電圧を測定して書き込む回路としたが、図13のような回路で置き換えることも可能である。図13において、OVTはMOSトランジスタのしきい値電圧の大きさを検知して信号sigvt2として出力する回路、CMP1、CMP2は入力された2つの信号の大小を比較してハイカロウの信号を出力する回路である。この回路は、図13においては、複数の抵抗によってしきい値電圧比較用の参照電位を生成し、比較用の参照電位と実際のトランジスタのしきい値電圧の大きさの大小を比較し結果を出力すること

10

20

30

40

50

によってメモリアレイの電源電圧や基板バイアスを制御するための信号とする。信号sigvt2は実際のしきい値電圧を出力する必要はなくしきい値電圧にしたがって変化する電圧を出力する。

例えばsigvtnが2ビットの信号の場合、図13の回路の動作は以下のとおりである。トランジスタのしきい値電圧が設計値よりも高い場合にはsigvt2の電位がsigrv2およびsigrv3の電位よりも高くなり出力信号sigvtnとして"00"が出力される。トランジスタのしきい値電圧が設計値に近い値の場合にはsigvt2の電位がsigrv2の電位よりも低くsigrv3の電位よりも高くなり出力信号sigvtnとして"10"が出力される。トランジスタのしきい値電圧が設計値よりも低い場合にはsigvt2の電位がsigrv2およびsigrv3の電位よりも低くなり出力信号sigvtnとして"11"が出力される。この例では、sigvtnが2ビットの場合であったため、しきい値電圧の大きさの状態は3通りの状態で検出されたが、分割する抵抗および比較回路を増やすことによりさらに多くの状態を検出することが可能となり、細かくメモリセルアレイの電源電圧および基板バイアスを制御することが可能となる。

プログラム回路を用いた回路の場合は、LSI製造後にトランジスタのしきい値電圧等の特性を測定しプログラム回路にその特性を保存するため、LSI製造時の特性ばらつきを補正できるが、LSI動作時の温度等によるトランジスタの特性ばらつきは補正することができない。トランジスタのしきい値電圧は動作温度にも大きく影響を受けて変化するが、図13の回路を用いた場合には、LSIの動作中にトランジスタ特性を検出しているため、温度変化等によるLSI動作中のトランジスタの特性の変化をメモリアレイの電源電圧および基板バイアスを用いて補償し、動作マージンを大きく補償する。

図15に本発明を用いたSRAM回路の電源制御方式の一例の概略図を示す。図15において、NF1はnチャネル型トランジスタ、PF1はpチャネル型トランジスタ、DCUR1およびDCUR2はトランジスタの電流を検出する回路、GENV1は入力された信号により3つの電源電圧を変化させる回路である。図15の回路の動作は以下の通りである。nチャネル型トランジスタNF1は、ソース電極が接地電位Vssのノードに接続されており、電流検知回路DCUR1はNF1のゲート電圧を制御してドレイン電極の電流を検出し、検出した電流値から電源電圧変化させる回路GENV1を制御する信号sigcur1を発生する。pチャネル型トランジスタPF1は、ソース電極が電源電位Vddのノードに接続されており、電流検知回路DCUR2はPF1のゲート電圧を制御してドレイン電極の電流を検出し、検出した電流値から電源電圧変化させる回路GENV1を制御する信号sigcur2を発生する。GENV1は、信号sigcur1およびsigcur2によって、メモリセルの電源電圧であるVaおよびnチャネル型トランジスタの基板電位Vbnおよびpチャネル型トランジスタの基板電位Vbpを制御する。これによって、nチャネル型およびpチャネル型トランジスタのしきい値電圧と関係する電流特性にしたがって、3種類の電源電圧を調整することが可能となる。

【0006】

【発明の効果】

本発明によれば、SRAM回路の動作マージンを増加させ動作マージンが低減する条件下とくに0.5V以下の低電圧の電源下でもSRAM回路を動作させることが可能となる。

【図面の簡単な説明】

【図1】本発明が適用されたSRAM回路の回路構成および電源構成の概略図である。

【図2】SRAM回路が動作する周辺回路の電源電圧とメモリセルアレイの電源電圧の関係を図示したグラフである。

【図3】トランジスタの特性が図2の特性から変化した時のSRAM回路が動作する周辺回路の電源電圧とメモリセルアレイの電源電圧の関係を図示したグラフである。

【図4】トランジスタの特性が図2および図3の特性から変化した時のSRAM回路が動作する周辺回路の電源電圧とメモリセルアレイの電源電圧の関係を図示したグラフである。

【図5】図1中の電源回路CTVAの例を示した回路図である。

【図6】本発明を適用したシステムLSIの回路配置および電源配置の概略図である。

【図7】本発明が適用されたSRAM回路の回路構成および電源構成の図1とは異なる構成の概略図である。

10

20

30

40

50

【図 8】図7中の参照電位出力回路DREG1の例を示した回路図である。

【図 9】図7中のMOSトランジスタのしきい値電圧によって参照電位出力回路DREG1を制御する信号を出力する回路DTVT2の例を示した概略図である。

【図 10】図9中のプログラム回路PGCを置き換えるトランジスタのしきい値検出回路の例を示した概略図である。

【図 11】本発明が適用されたSRAM回路の回路構成、電源構成および基板電位を制御する回路の概略図である。

【図 12】図9中のトランジスタのしきい値電圧を検出しメモリアレイ電源電圧を発生するための参照電位信号およびメモリアレイの基板電位を発生するための参照電位信号を発生する回路の概略図である。

10

【図 13】トランジスタのしきい値検出回路の例を示した概略図である。

【図 14】SRAM回路の電源配線のレイアウトの例を示したレイアウト図である。

【図 15】SRAM回路の電源制御方式の概略図である。

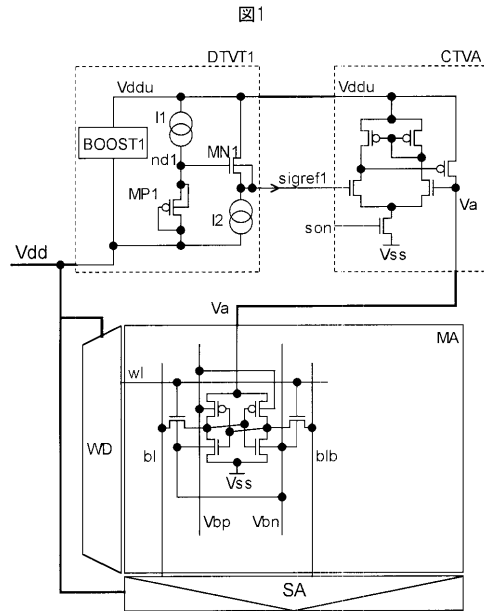
【符号の説明】

Vdd...メモリ周辺回路電源電圧、Vss...接地電位、Va...メモリアレイ電源電圧、WR...読み出し律速線、RR...書き込み律速線、CTVA...電源回路、DTVT1~DTVT3...参照電位生成回路、MA...メモリセルアレイ、WD・SA...SRAM周辺回路、wl...ワード線、bl・blb...ビット線、sigref1~sigref5...参照電位、BOOST1...昇圧回路、DBST1...降圧回路、Vcc...入出力回路用電源電圧、Vddu...Vddよりも高い電圧、I1・I2...定電流源、MN1...nMOSトランジスタ、MP1...pMOSトランジスタ、nd1...ノード、Vthn1...nMOSトランジスタのしきい値電圧、Vthp1...pMOSトランジスタのしきい値電圧、son...電源回路活性化信号、IO...入出力回路、LGC...ロジック回路、SRM...SRAM回路、RREF1~RREF10...抵抗素子、SW1~SW5...スイッチ、DREG1~DREG4...参照電位出力回路、swcont1~swcont4...参照電位選択信号、PGC...記憶回路、DEC1~DEC4...デコーダ回路、Vbn...nMOS基板バイアス、Vbp...pMOS基板バイアス、CTVBB...基板バイアス発生回路、PGVTN...nMOSのしきい値電圧記憶回路、PGVTP...pMOSのしきい値電圧記憶回路、sigvtn・sigvtp・sigvt1・sigvt2...トランジスタのしきい値出力信号、OVT...トランジスタしきい値電圧検出回路、CMP...電圧比較回路、sigrv1~sigrv3...参照電位生成用信号、NETDD・NETA...電源ネット、PERI1・PERI2...SRAM周辺回路、DCUR1・DCUR2...電流量検知回路、NF1...nチャネル型トランジスタ、PF1...pチャネル型トランジスタ、sigcur1・sigcur2...電流量を表す信号、GENV1...電源電圧調整回路。

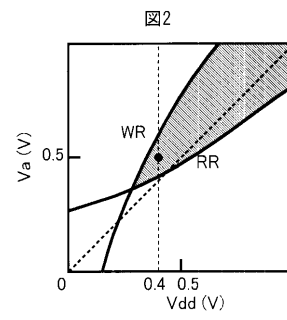
20

30

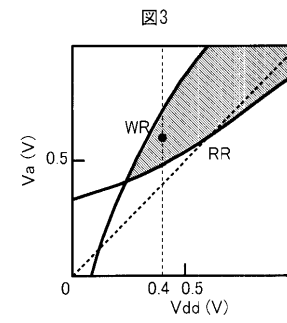
【図 1】



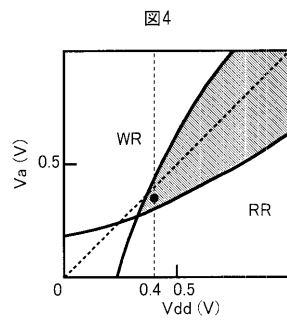
【図 2】



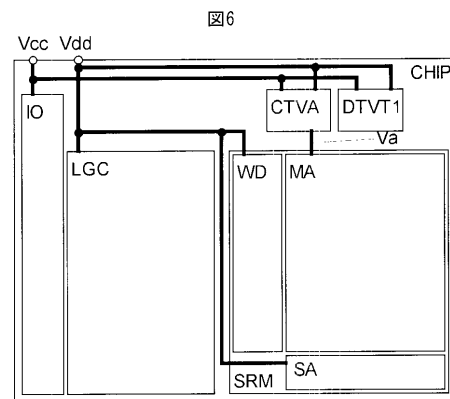
【図 3】



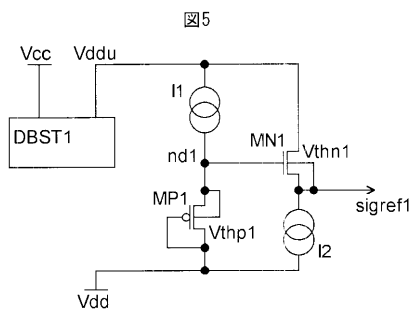
【図 4】



【図 6】



【図 5】



【 図 9 】

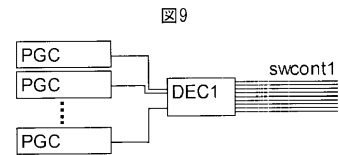
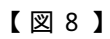
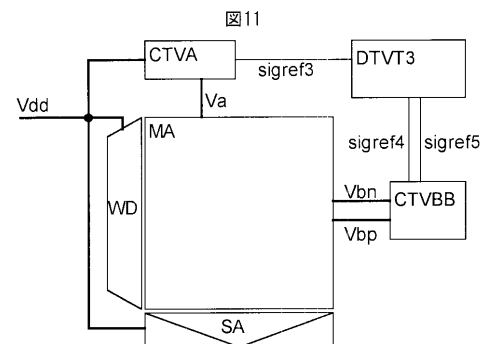


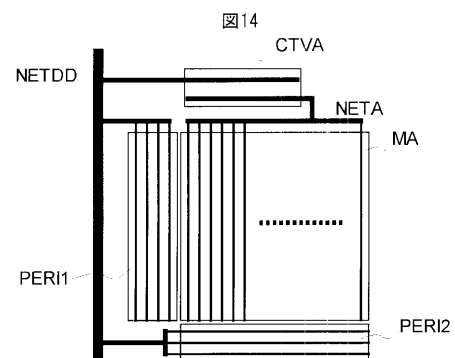
图 10



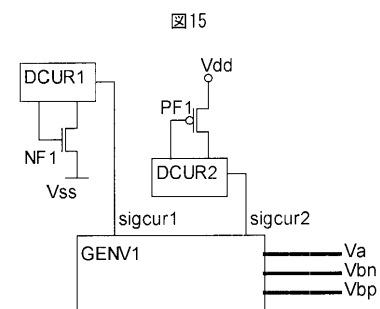
【 図 1 1 】



【 図 1 4 】



【 図 1 5 】



---

フロントページの続き

(56)参考文献 特開昭62-289994(JP,A)  
特開2000-268574(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 11/413