

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年10月5日(05.10.2023)



(10) 国際公開番号

WO 2023/190324 A1

- (51) 国際特許分類:
G06F 12/06 (2006.01) GIIC 5/14 (2006.01)
- (21) 国際出願番号: PCT/JP2023/012173
- (22) 国際出願日: 2023年3月27日(27.03.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-052941 2022年3月29日(29.03.2022) JP
- (71) 出願人: ラピステクノロジー株式会社(LAPIS TECHNOLOGY CO., LTD.) [JP/JP]; 〒2228575 神奈川県横浜市港北区新横浜二丁目4番8 Kanagawa (JP).
- (72) 発明者: 山崎 淳 (YAMAZAKI Atsushi); 〒2228575 神奈川県横浜市港北区新横浜二丁目4番8 ラピステクノロジー株式会社内 Kanagawa (JP).
- (74) 代理人: 弁理士法人レクスト国際特許事務所 (LEXT, P.C.); 〒1620801 東京都新宿区山吹町333 江戸川橋アクセス4階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) Title: MEMORY DEVICE, AND MEMORY DEVICE POWER SOURCE CONTROL METHOD

(54) 発明の名称: メモリ装置及びメモリ装置の電源制御方法

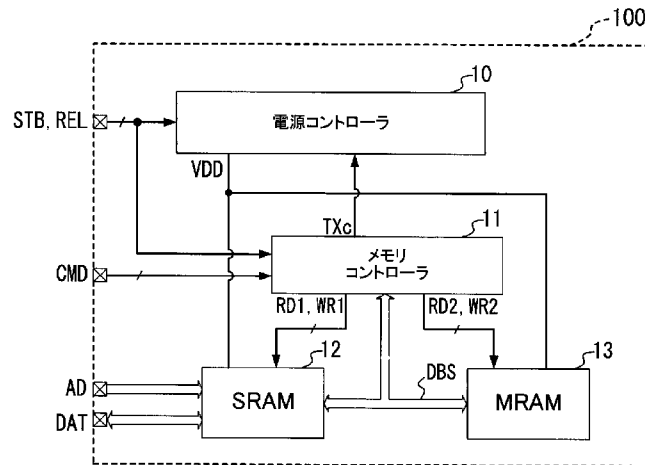


FIG. 1

- 10 Power source controller
11 Memory controller

(57) Abstract: The present invention includes a first and a second memory, and a control circuit that receives write access and read access from the outside, and performs write and read control with respect to the first memory. If a signal prompting a power source shutoff is received, the control circuit: executes a data saving process for writing, to the second memory, only the difference between data stored in a data storage region of the first memory and data stored in a data storage region of the second memory; stops the power supply to the first and the second memory following the data saving

LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

process; and when a signal prompting power on is received, starts the power supply to the first and the second memory, and then executes a data recovery process for writing the data stored in the data storage region of the second memory to the first memory.

(57) 要約：本発明は、第1及び第2のメモリと、外部からの書込アクセス及び読出アクセスを受けて第1のメモリに対して書込及び読出制御を施す制御回路とを含み、制御回路は、電源遮断を促す信号を受けた場合に、第1のメモリのデータ保存領域に記憶されているデータと第2のメモリのデータ保存領域に記憶されているデータとの差分のみを第2のメモリに書き込むデータ待避処理を実行し、データ待避処理に続いて第1及び第2のメモリへの電源供給を停止し、電源投入を促す信号を受けた場合に、第1及び第2のメモリへの電源供給を開始してから、第2のメモリのデータ保存領域に記憶されているデータを第1のメモリに書き込むデータ復帰処理を実行する。

明 細 書

発明の名称：メモリ装置及びメモリ装置の電源制御方法

技術分野

[0001] 本発明は、メモリ装置及びメモリ装置の電源制御方法に関する。

背景技術

[0002] マイクロコンピュータ（以下、MCと称する）を含む電子機器として、一定期間に亘りCPUが処理を停止している場合に、自身に搭載されている例えばメモリへの電源供給を停止することで消費電力の低減を図るスタンバイモードを備えたものが知られている。

[0003] そこで、このようなスタンバイモードに対応した半導体記憶装置として、1つの半導体ICチップに、主メモリとしてのSRAMと共に不揮発性メモリを搭載したものが提案されている（例えば特許文献1参照）。当該半導体記憶装置では、スタンバイモード時において、SRAMに記憶されている全てのデータ片を読み出し、この読み出された全てのデータ片を不揮発性メモリに書き込んだ後に、SRAM及び不揮発性メモリへの電源供給を遮断する。その後、スタンバイモードが解除されたら、当該不揮発性メモリに記憶されている全てのデータ片を読み出し、SRAMに書き込む。これにより、スタンバイモードでの電源の遮断によってSRAMに記憶されている全てのデータ片が消去されても、SRAMの記憶内容をスタンバイモード直前の状態に戻すことができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2006-302466号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、特許文献1に記載の半導体記憶装置では、スタンバイモード時に、SRAMに記憶されている全てのデータ片を読み出し、これを不揮発性

メモリに書き込まなければならない。この際、不揮発性メモリへのデータ書き込み時の消費電流は、SRAMからのデータ読み出し時の消費電流に比べて大きい。よって、電力消費量を大幅に低減することはできず、特に1回あたりのスタンバイモードの継続時間が短い場合には、逆に電力消費量が増加してしまうという問題が生じる。

[0006] そこで、本発明は、電力消費量を大幅に低減することが可能なメモリ装置及びメモリ装置の電源制御方法を提供することを目的とする。

課題を解決するための手段

[0007] 本発明に係るメモリ装置は、第1及び第2のメモリと、外部からの書込アクセス及び読出アクセスを受けて前記第1のメモリに対して書込及び読出制御を施す制御回路と、を含み、前記制御回路は、電源遮断を促す信号を受けた場合に、前記第1のメモリのデータ保存領域に記憶されているデータと前記第2のメモリのデータ保存領域に記憶されているデータとの差分のみを前記第2のメモリに書き込むデータ待避処理を実行し、前記データ待避処理に続いて前記第1及び第2のメモリへの電源供給を停止し、電源投入を促す信号を受けた場合に、前記第1及び第2のメモリへの電源供給を開始してから、前記第2のメモリのデータ保存領域に記憶されているデータを前記第1のメモリに書き込むデータ復帰処理を実行する。

[0008] 本発明に係るメモリ装置の電源制御方法は、第1及び第2のメモリと、外部からの書込アクセス及び読出アクセスを受けて前記第1のメモリに対して書込及び読出制御を施す制御回路とを含むメモリ装置における前記制御回路が実行する電源制御方法であって、電源遮断を促す信号を受けた場合に、前記第1のメモリのデータ保存領域に記憶されているデータと前記第2のメモリのデータ保存領域に記憶されているデータとの差分のみを前記第2のメモリに書き込んでから前記第1及び第2のメモリへの電源供給を停止し、電源投入を促す信号を受けた場合に、前記第1及び第2のメモリへの電源供給を開始してから、前記第2のメモリのデータ保存領域に記憶されているデータを前記第1のメモリに書き込む。

発明の効果

[0009] 本発明では、外部アクセス可能な第1のメモリのデータ保存領域に記憶されているデータを、電源遮断を促す信号に応じて第2のメモリに待避するにあたり、第1のメモリのデータ保存領域に記憶されているデータと第2のメモリのデータ保存領域に記憶されているデータとの差分のみを第2のメモリに書き込むようにしている。このようなデータ待避によれば、第1のメモリに記憶されている全データを第2のメモリに書き込む処理を行う場合に比べて書き込み回数が大幅に少なくなるので、電力消費量を大幅に低減することが可能となる。

図面の簡単な説明

[0010] [図1]本発明に係る第1の実施例であるメモリ装置100の構成を示すブロック図である。

[図2]メモリコントローラ11が実行するデータ待避処理の手順を示すフローチャートである。

[図3]メモリコントローラ11が実行するデータ復帰処理の手順を示すフローチャートである。

[図4]メモリコントローラ11が実行するデータ待避処理による、メモリ装置100の内部動作の一例を示すタイムチャートである。

[図5]メモリコントローラ11が実行するデータ復帰処理による、メモリ装置100の内部動作の一例を示すタイムチャートである。

[図6]本発明に係る第2の実施例であるメモリ装置100Aの構成を示すブロック図である。

[図7A]SRAM12及びMRAM13各々の全保存領域を r 個に区分けした領域 $AR1 \sim ARr$ を示す図である。

[図7B]領域 $AR1 \sim ARr$ に対応付けしてフラグレジスタに記憶されている書込フラグ $f1 \sim fr$ を表す図である。

[図8]メモリコントローラ11Aが実行する書込フラグ処理の手順を示すフローチャートである。

[図9]メモリコントローラ11Aが実行するデータ待避処理の手順を示すフローチャートである。

[図10]メモリコントローラ11Aが実行するデータ復帰処理の手順を示すフローチャートである。

発明を実施するための形態

[0011] 以下、本発明の実施例について、図面を参照しつつ詳細に説明する。

実施例 1

[0012] 図1は、本発明に係る第1の実施例であるメモリ装置100の構成を示すブロック図である。尚、当該メモリ装置100は、半導体ICチップ、又はマイクロコンピュータ等の制御装置が形成されている半導体ICチップに形成されている。

[0013] また、メモリ装置100は、自身の外部、例えばメモリ装置100を含むパーソナルコンピュータやスマートフォン等のシステムから、データの書込アクセス及び読出アクセスを受ける。メモリ装置100は、当該書込又は読出アクセスに応じてデータの書込又は読出を行う通常モードと、書込及び読出アクセス元のシステムからのスタンバイ要求に応じて、自身の内部で電源遮断を行って消費電力の低減を図るスタンバイモードのうちの一方の状態に設定される。

[0014] 図1に示すように、メモリ装置100は、電源コントローラ10、メモリコントローラ11、揮発性メモリとしてのSRAM (Static Random Access Memory) 12、及び不揮発性メモリとしてのMRAM (Magnetoresistive Random Access Memory) 13を含む。更に、メモリ装置100には、SRAM 12及びMRAM 13間でデータ転送を行うための専用のバスDBSが設けられている。

[0015] 電源コントローラ10及びメモリコントローラ11は、スタンバイモード要求信号STB、又はスタンバイモード解除要求信号RELを受ける。尚、スタンバイモード要求信号STBとは、上記した書込及び読出アクセス元のシステムに対して、主たる動作を待機させることで低消費電力化することを

要求する信号である。一方、スタンバイモード解除要求信号RELとは、当該システムに対して、スタンバイモードを解除して通常モードに移行させることを要求する信号である。

[0016] 電源コントローラ10は、スタンバイモード要求信号STB、スタンバイモード解除要求信号REL、又はメモリコントローラ11から供給されたデータ転送完了信号TXcに基づき、SRAM12及びMRAM13への電源電圧VDDの供給、又は電源電圧VDDの供給停止を制御する。このように、電源コントローラ10は、スタンバイモード要求信号STBを、SRAM12及びMRAM13に対して電源遮断を促す信号と捉え、スタンバイモード解除要求信号RELを、SRAM12及びMRAM13への電源供給を再開する信号と捉える。

[0017] 尚、スタンバイモード要求信号STBを受ける前の段階では、電源コントローラ10は、電源電圧VDDをSRAM12及びMRAM13に供給することで、メモリ装置100を動作可能な状態、つまりデータの書込及び読出アクセスが可能な通常モードに設定しているものとする。

[0018] メモリコントローラ11は、SRAM12に対してデータ書込又はデータ読出のアクセスを指示するための各種の制御信号CMD（チップイネーブル信号、ライトイネーブル信号、アウトプットイネーブル信号等）、上記したスタンバイモード要求信号STB、スタンバイモード解除要求信号RELを受ける。

[0019] メモリコントローラ11は、制御信号CMDに応じて、例えば16ビットのデータDATをアドレスADにて示される番地に書き込ませるべく、書込信号WR1をSRAM12に供給する。また、メモリコントローラ11は、制御信号CMDに応じて、アドレスADにて示される番地に記憶されているデータをSRAM12から読み出すべく、読出信号RD1を当該SRAM12に供給する。

[0020] また、メモリコントローラ11は、スタンバイモード要求信号STBを受けた場合には、当該スタンバイモード要求信号STBに応じて以下のデータ

待避処理を実行する。

[0021] 尚、データ待避処理において、メモリコントローラ11は、バスDBSを介してアドレスをSRAM12に供給しつつ読出信号RD1をSRAM12に供給することで、SRAM12のデータ保存領域に記憶されているデータ片をバスDBSに読み出す。更に、メモリコントローラ11は、バスDBSを介してアドレスをMRAM13に供給しつつ読出信号RD2又は書込信号WR2をMRAM13に供給する。これにより、メモリコントローラ11は、MRAM13のデータ保存領域に記憶されているデータ片をバスDBSに読み出す、又はバスDBS上のデータ片をMRAM13のデータ保存領域に書き込む。なお、SRAM12のデータ保存領域およびMRAM13のデータ保存領域はそれぞれ、SRAM12およびMRAM13の全領域であってもよいし、一部の所定の領域であってもよい。

[0022] 以下に、図1に示されるメモリ装置100の動作について詳細に説明する。

[0023] 図2は、スタンバイモード要求信号STBを受けた場合にメモリコントローラ11が実行するデータ待避処理の手順を示すフローチャートである。

[0024] 図2において、先ず、メモリコントローラ11は、初期アドレスとして例えばゼロ番地を示す読出アドレスAdを設定する（ステップS10）。

[0025] 次に、メモリコントローラ11は、SRAM12から、読出アドレスAdにて示される番地に記憶されているデータ片を読み出し、これを読出データRsとしてバスDBSを介して取り込む（ステップS11）。

[0026] 次に、メモリコントローラ11は、MRAM13から、読出アドレスAdにて示される番地に記憶されているデータ片を読み出し、これを読出データRmとしてバスDBSを介して取り込む（ステップS12）。

[0027] 次に、メモリコントローラ11は、読出データRsの内容と読出データRmの内容とが不一致であるか否かを判定する（ステップS13）。

[0028] ステップS13において、読出データRsと読出データRmとが不一致であると判定した場合、メモリコントローラ11は、当該読出データRsを、

MRAM 13の上記読出アドレスA dにて示される番地に上書きする（ステップS 14）。

[0029] ステップS 14の実行後、又はステップS 13において読出データR sと読出データR mとが一致していると判定した場合、メモリコントローラ11は、読出アドレスA dにて示される番地に1を加算したものを新たな読出アドレスA dとして設定する（ステップS 15）。

[0030] 次に、メモリコントローラ11は、読出アドレスA dにて示されている番地がSRAM 12のデータ保存領域内の番地を示しているか否かを判定する（ステップS 16）。

[0031] ステップS 16において、読出アドレスA dにて示されている番地がSRAM 12のデータ保存領域内の番地を示していると判定した場合、メモリコントローラ11は、ステップS 11の実行に戻って、前述したステップS 11～S 16の処理を再び実行する。

[0032] 一方、ステップS 16において、読出アドレスA dにて示されている番地がSRAM 12のデータ保存領域外の番地を示していると判定した場合、メモリコントローラ11は、SRAM 12及びMRAM 13間でのデータ転送が終了したことを示すデータ転送完了信号TX cを電源コントローラ10に供給する（ステップS 17）。

[0033] ステップS 17の実行後、メモリコントローラ11は、このデータ待避処理を終了する。

[0034] かかるデータ待避処理により、MRAM 13には、スタンバイモード要求信号ST Bを受ける直前にSRAM 12の保存領域に記憶されていた全てのデータ片が記憶される。

[0035] 電源コントローラ10は、上記したスタンバイモード要求信号ST Bを受け、その後、メモリコントローラ11からデータ転送完了信号TX cを受けたときに、SRAM 12及びMRAM 13への電源電圧VDDの供給を停止する。これにより、SRAM 12に記憶されていた全てのデータが消去されるものの、MRAM 13は不揮発性のメモリであることから、電源供給の停

止後も自身に記憶されていた全データ片を保持し続ける。

[0036] その後、スタンバイモード解除要求信号RELを受けると、先ず、電源コントローラ10がSRAM12及びMRAM13への電源電圧VDDの供給を開始し、引き続きメモリコントローラ11が、以下のデータ復帰処理を実行する。

[0037] 図3は、データ復帰処理の手順を示すフローチャートである。

[0038] 図3において、先ず、メモリコントローラ11は、初期アドレスとして例えばゼロ番地を示す読出アドレスAdを設定する（ステップS20）。

[0039] 次に、メモリコントローラ11は、MRAM13から、読出アドレスAdにて示される番地に記憶されているデータ片を読み出し、これを読出データRmとしてバスDBSを介して取り込む（ステップS21）。

[0040] 次に、メモリコントローラ11は、読出データRmをSRAM12に書き込む（ステップS22）。

[0041] 次に、メモリコントローラ11は、読出アドレスAdにて示される番地に1を加算したものを新たな読出アドレスAdとして設定する（ステップS23）。

[0042] 次に、メモリコントローラ11は、読出アドレスAdにて示されている番地がSRAM12のデータ保存領域内の番地を示しているか否かを判定する（ステップS24）。

[0043] ステップS24において、読出アドレスAdにて示されている番地がSRAM12のデータ保存領域内の番地を示していると判定した場合、メモリコントローラ11は、ステップS21の実行に戻って、前述したステップS21～S24の処理を再び実行する。

[0044] 一方、ステップS24において、読出アドレスAdにて示されている番地がSRAM12のデータ保存領域外の番地を示していると判定した場合、メモリコントローラ11は、MRAM13及びSRAM12間でのデータ転送が終了したことを示すデータ転送完了信号TXcを電源コントローラ10に供給する（ステップS25）。

- [0045] ステップS 2 5の実行後、メモリコントローラ1 1は、このデータ復帰処理を終了して、通常モードで実行するメインフロー（説明せず）の処理に戻る。つまり、かかるデータ復帰処理の実行により、S R A M 1 2のデータ保存領域は、スタンバイモード要求信号S T Bを受ける直前のデータ保存状態になる。
- [0046] 上記した一連の処理により、メモリ装置1 0 0は、スタンバイモードから通常モードの状態に移行する。
- [0047] 以下に、図2に示すデータ待避処理によるメモリ装置1 0 0の内部動作について、図4に示す一例をもって詳細に説明する。
- [0048] 図4は、スタンバイモード要求信号S T Bに応じてメモリコントローラ1 1が実行するデータ待避処理によるメモリ装置1 0 0の内部動作の一例としてS R A Mの全領域のデータを退避させる場合を示すタイムチャートである。
- [0049] 図4に示すように、スタンバイモード要求信号S T Bに応じて、メモリコントローラ1 1は、M R A M 1 3に記憶されている全てのデータ片をアドレス順に読み出す読出信号R D 2をM R A M 1 3に供給する。これにより、例えば図4に示すように、M R A M 1 3の先頭の番地0に記憶されているデータa 1、番地1に記憶されているデータa 2、番地2に記憶されているデータa 3が順にM R A M 1 3から読み出される。
- [0050] 更に、メモリコントローラ1 1は、S R A M 1 2に記憶されている全てのデータ片をアドレス順に読み出す読出信号R D 1をS R A M 1 2に供給する。これにより、例えば図4に示すように、S R A M 1 2の先頭の番地0に記憶されているデータb 1、番地1に記憶されているデータa 2、番地2に記憶されているデータa 3が順にS R A M 1 2から読み出される。
- [0051] この間、メモリコントローラ1 1は、同一の番地でS R A M 1 2及びM R A M 1 3の各々から読み出されたデータ片同士を比較し、両者が一致していない場合にだけ、S R A M 1 2から読み出されたデータ片によってM R A M 1 3に記憶されているデータ片を書き換える。

[0052] 例えば、図4に示す一例では、MRAM13の番地0から読み出されたデータa1は、SRAM12の番地0から読み出されたデータb1と一致している。また、MRAM13の番地1から読み出されたデータa2は、SRAM12の番地1から読み出されたデータb2とは一致していない。更に、MRAM13の番地2から読み出されたデータa3は、SRAM12の番地2から読み出されたデータb3と一致している。

[0053] そこで、図4に示す一例では、メモリコントローラ11は、SRAM12の番地0～番地2から夫々読み出されたデータb1～b3のうちで、データb2のみをMRAM13の番地1に書き込むべく、論理レベル1の書込信号WR2をMRAM13に供給する。これにより、MRAM13に記憶ずみのデータa1～a3のうちのデータa2のみが、SRAM12に記憶されていたデータb2に書き換わる。

[0054] そして、図4に示すように、SRAM12の保存領域の最終番地に記憶されているデータbxの読み出しが終了すると、メモリコントローラ11は、SRAM12からMRAM13へのデータ転送動作が終了したことを示す論理レベル1のデータ転送完了信号TXcを電源コントローラ10に供給する。よって、論理レベル1のデータ転送完了信号TXcに応じて、電源コントローラ10は、SRAM12及びMRAM13への電源電圧VDDの供給を停止する。

[0055] 次に、図3に示すデータ復帰処理によるメモリ装置100の内部動作について、図5に示す一例をもって詳細に説明する。

[0056] 図5は、スタンバイモード解除要求信号RELに応じて実行されるデータ復帰処理によるメモリ装置100の内部動作の一例としてSRAMの全領域のデータを復帰させる場合を示すタイムチャートである。

[0057] 図5に示すように、スタンバイモード解除要求信号RELに応じて、メモリコントローラ11は、MRAM13に記憶されている全てのデータ片をアドレス順に読み出す読出信号RD2をMRAM13に供給する。これにより、例えば図5に示すように、MRAM13の先頭の番地0に記憶されている

データ a 1、番地 1 に記憶されているデータ b 2、番地 2 に記憶されているデータ a 3 が順に M R A M 1 3 から読み出される。

[0058] 更に、メモリコントローラ 1 1 は、そのアドレス順に、M R A M 1 3 から読み出された各データ片を順に S R A M 1 2 に書き込ませる書込信号 W R 1 を、当該 S R A M 1 2 に供給する。これにより、例えば図 5 に示すように、M R A M 1 3 の番地 0 ～番地 2 から夫々読み出されたデータ a 1、b 2、及び a 3 が S R A M 1 2 の番地 0 ～番地 2 に記憶される。

[0059] 以上、詳述したように、メモリ装置 1 0 0 では、スタンバイモード要求（S T B）に応じて、先ず、S R A M 1 2 に記憶されている全データと M R A M 1 3 に記憶されている全データとが同一となるように、S R A M 1 2 から M R A M 1 3 へデータの転送が行われる（データ待避処理）。そして、メモリ装置 1 0 0 では、当該データ待避処理の終了後に、S R A M 1 2 及び M R A M 1 3 への電源供給を停止する。尚、M R A M 1 3 は不揮発性メモリであるので、電源停止後も、スタンバイモード要求を受ける直前の S R A M 1 2 の全記憶内容を保持し続ける。

[0060] その後、スタンバイモード解除要求（R E L）を受けると、メモリ装置 1 0 0 では、S R A M 1 2 及び M R A M 1 3 への電源供給を再開させ、M R A M 1 3 に記憶されている全てのデータ片を S R A M 1 2 に転送する（データ復帰処理）。これにより、S R A M 1 2 の全記憶内容が、スタンバイモード要求を受ける直前の状態に復帰する。

[0061] ここで、上記したデータ待避処理では、S R A M 1 2 のデータ保存領域に記憶されている記憶内容を M R A M 1 3 に待避するにあたり、同一のアドレス同士で S R A M 1 2 に記憶されているデータ片の内容と M R A M 1 3 に記憶されているデータ片の内容とを比較する。この際、両者が互いに異なる場合にだけ、この S R A M 1 2 に記憶されているデータ片を M R A M 1 3 に書き込む。

[0062] つまり、データ待避処理により、S R A M 1 2 のデータ保存領域に記憶されているデータと M R A M 1 3 のデータ保存領域に記憶されているデータと

の差分のみをMRAM13に書き込むのである。

[0063] これにより、SRAM12及びMRAM13に対する電源供給を停止する直前に、SRAM12のデータ保存領域に記憶されているデータをMRAM13に待避するにあたり、当該SRAM12のデータ保存領域に記憶されているデータをMRAM13に書き込む処理を行う従来のメモリ装置に比べて書き込み回数が大幅に少なくなる。

[0064] よって、メモリ装置100によれば、電力消費量を大幅に低減することが可能となる。

[0065] 尚、上記実施例では、各アドレスに対応したデータ片の単位でMRAM13に書き込むか否かを決定しているが、SRAM12及びMRAM13各々の全保存領域を複数に区分けした領域単位でMRAM13への書き込みを実施するか否かを決定するようにしても良い。

実施例 2

[0066] 図6は、かかる点に鑑みて為された第2の実施例としてのメモリ装置100Aの構成を示すブロック図である。

[0067] 尚、メモリ装置100Aは、メモリコントローラ11に代えてメモリコントローラ11Aを採用した点を除く他の構成(10、12、13)及びその動作は、図1に示すものと同一である。

[0068] メモリコントローラ11Aは、SRAM12及びMRAM13各々のデータ保存領域を図7Aに示すように r (r は2以上の整数)個に区分けした領域AR1～AR r の各々に対応付けして、その領域にデータの書き込みが行われたか否かを示す書込フラグ $f_1 \sim f_r$ が記憶されるフラグレジスタ(図示せず)を内蔵している。つまり、初期状態時には、書込無を示す例えば論理レベル0の書込フラグ $f_1 \sim f_r$ がフラグレジスタに格納されており、SRAM12にデータが書き込まれると、その書き込まれた領域に対応した書込フラグが書込有を示す論理レベル1に書き換えられる。

[0069] メモリコントローラ11Aは、通常モード時において外部からのSRAM12へのデータの書込アクセスが行われる度に、図8に示す書込フラグ処理

を実行する。

[0070] すなわち、先ず、メモリコントローラ11Aは、SRAM12においてデータの書き込み先の領域が図7Aに示す領域AR1～ARrのうちのいずれの領域であるのかを判定し、その領域を領域ARxとする（ステップS71）。次に、メモリコントローラ11Aは、上記したフラグレジスタに記憶されている領域ARxに対応した書込フラグfxの内容を、書込有を示す例えば論理レベル1に書き換える（ステップS72）。ステップS72の実行後、メモリコントローラ11Aは、通常モードで実行するメインフロー（説明せず）の処理に戻る。

[0071] 次に、スタンバイモード要求信号STBに応じてメモリコントローラ11Aが実行するデータ待避処理について説明する。

[0072] 図9は、メモリコントローラ11Aが実行するデータ待避処理の手順を示すフローチャートである。

[0073] 図9において、先ず、メモリコントローラ11Aは、図7Aに示す領域AR1～ARrを表す領域番号（1～r）として、先頭の領域AR1の番号「1」を示す領域番号wを設定する（ステップS81）。

[0074] 次に、メモリコントローラ11Aは、領域AR1～ARrのうちで領域番号wにて示される領域ARwに対応した書込フラグfwが書込み有を示す論理レベル1であるか否かを判定する（ステップS82）。ステップS82において、書込フラグfwが論理レベル1であると判定した場合、メモリコントローラ11Aは、SRAM12の領域ARwからデータ片を読み出し、これを読出データRsとしてバスDBSを介して取り込む（ステップS83）。次に、メモリコントローラ11Aは、MRAM13の領域ARwからデータ片を読み出し、これを読出データRmとしてバスDBSを介して取り込む（ステップS84）。

[0075] 次に、メモリコントローラ11Aは、読出データRsの内容と読出データRmの内容とが不一致であるか否かを判定する（ステップS85）。

[0076] ステップS85において、読出データRsと読出データRmとが不一致で

あると判定した場合、メモリコントローラ11Aは、当該読出データRsを、MRAM13の領域ARwに上書きする（ステップS86）。

[0077] ステップS86の実行後、又はステップS85において読出データRsと読出データRmとが一致していると判定した場合、或いはステップS82において書込フラグfwが論理レベル1ではないと判定した場合、メモリコントローラ11Aは、領域番号wに1を加算したものを新たな領域番号wとして設定する（ステップS87）。

[0078] 次に、メモリコントローラ11Aは、領域番号wが保存領域の最終の領域番号rより大きいのか否か、つまり領域番号wが保存領域外の番号であるのか否かを判定する（ステップS88）。

[0079] ステップS88において、領域番号wが領域番号r以下であると判定した場合、メモリコントローラ11Aは、ステップS82の実行に戻って、前述したステップS82～S88の処理を再び実行する。

[0080] 一方、ステップS88において領域番号wが領域番号rより大きいと判定した場合、メモリコントローラ11Aは、SRAM12及びMRAM13間のデータ転送が終了したことを示すデータ転送完了信号TXcを電源コントローラ10に供給する（ステップS89）。

[0081] ステップS89の実行後、メモリコントローラ11Aは、このデータ待避処理を終了して、スタンバイモード解除要求信号RELの待ち受け状態となる。

[0082] かかるデータ待避処理により、MRAM13には、スタンバイモード要求信号STBを受ける直前にSRAM12の保存領域に記憶されていた全てのデータ片が記憶される。

[0083] 電源コントローラ10は、スタンバイモード要求信号STBを受け、且つメモリコントローラ11Aからデータ転送完了信号TXcを受けたときに、SRAM12及びMRAM13への電源電圧VDDの供給を停止する。これにより、SRAM12に記憶されていた全てのデータが消去されるものの、MRAM13は不揮発性のメモリであることから、電源供給の停止後も自身

に記憶されていた全データ片を保持し続ける。

[0084] その後、スタンバイモード解除要求信号RELを受けると、先ず、電源コントローラ10がSRAM12及びMRAM13への電源電圧VDDの供給を開始し、引き続きメモリコントローラ11Aが、以下のデータ復帰処理を実行する。

[0085] 図10は、メモリコントローラ11Aが実行するデータ復帰処理の手順を示すフローチャートである。

[0086] 図10において、先ず、メモリコントローラ11Aは、図7Aに示す領域AR1～ARrを表す領域番号(1～r)として、先頭の領域AR1の番号「1」を示す領域番号wを設定する(ステップS91)。

[0087] 次に、メモリコントローラ11Aは、MRAM13の領域ARwからデータ片を読み出し、これを読出データRmとしてバスDBSを介して取り込む(ステップS92)。

[0088] 次に、メモリコントローラ11Aは、読出データRmをSRAM12の領域ARwに書き込む(ステップS93)。

[0089] 次に、メモリコントローラ11Aは、領域番号wに1を加算したものを新たな領域番号wとして設定する(ステップS94)。

[0090] 次に、メモリコントローラ11Aは、領域番号wが保存領域の最終の領域番号rより大きいかな否か、つまり領域番号wが保存領域外の番号であるかな否かを判定する(ステップS95)。

[0091] ステップS95において、領域番号wが領域番号r以下であると判定した場合、メモリコントローラ11Aは、ステップS92の実行に戻って、前述したステップS92～S95の処理を再び実行する。

[0092] 一方、ステップS95において領域番号wが領域番号rより大きいと判定した場合、メモリコントローラ11Aは、フラグレジスタに記憶されている書込フラグf1～frの内容を全て論理レベル0、つまり書込無を示す状態に初期化する(ステップS96)。

[0093] 次に、メモリコントローラ11Aは、MRAM13及びSRAM12間で

のデータ転送が終了したことを示すデータ転送完了信号 TX_c を電源コントローラ 10 に供給する（ステップ S 97）。

[0094] ステップ S 97 の実行後、メモリコントローラ 11 A は、このデータ復帰処理を終了して、通常モードで実行するメインフロー（説明せず）の処理に戻る。かかるデータ復帰処理の実行により、SRAM 12 のデータ保存領域は、スタンバイモード要求信号 STB を受ける直前のデータ保存状態になる。

[0095] 上記した一連の処理により、メモリ装置 100 A は、スタンバイモードから通常モードの状態に戻る。

[0096] このように、メモリ装置 100 A のデータ待避処理（図 9）では、スタンバイモード要求（STB）を受ける直前までに、SRAM 12 のデータ保存領域のうちで書込みが行われた領域（AR1～ARr）に対してだけ、SRAM 12 に記憶されているデータを MRAM 13 に書き込むようにしている。つまり、メモリ装置 100 A においてもメモリ装置 100 と同様に、SRAM 12 のデータ保存領域に記憶されているデータと MRAM 13 のデータ保存領域に記憶されているデータとの差分のみを MRAM 13 に書き込むのである。

[0097] よって、メモリ装置 100 A によれば、メモリ装置 100 と同様に、当該 SRAM 12 のデータ保存領域に記憶されているデータを MRAM 13 に待避する為に実行する書込み回数が大幅に少なくなるので、電力消費量を大幅に低減することが可能となる。

[0098] 尚、上記実施例では、メモリコントローラ（100、100 A）は、スタンバイモード要求（STB）及び解除要求（REL）に応じて、データ待避処理（図 2、図 9）及びデータ復帰処理（図 3、図 10）を実行している。要するに、メモリ装置（100、100 A）に対して電源遮断を指示する信号及び電源投入を指示する信号を受けた場合に、当該データ待避処理及びデータ復帰処理を実行するようにすれば良い。

[0099] また、上記実施例では、メモリ装置 100 の第 1 のメモリとして揮発性メ

メモリであるSRAM、第2のメモリとして不揮発性メモリであるMRAM（磁気抵抗メモリ）を採用しているが、メモリの種類は限定されない。つまり、データ書込可能なものであれば、例えば第1のメモリとしてDRAM等の他の記憶素子を用いても良く、第2のメモリとして、フラッシュメモリ、フラッシュメモリ、抵抗変化型メモリ、又は強誘電体メモリ等を用いても良い。

[0100] 要するに、本発明に係るメモリ装置（100、100A）としては、以下のような制御回路、第1及び第2のメモリを含んだものであれば良い。

[0101] すなわち、制御回路（10、11、11A）は、外部からの書込アクセス及び読出アクセスを受けて第1のメモリ（12）に対して書込及び読出制御を施す。また、制御回路は、電源遮断を促す信号（STB）を受けた場合には、第1のメモリのデータ保存領域に記憶されているデータと第2のメモリのデータ保存領域に記憶されているデータの差分のみを第2のメモリに書き込み（S14、S86）、引き続き第1及び第2のメモリへの電源供給を停止する。また、電源投入を促す信号（REL）を受けた場合には、制御回路は、第1及び第2のメモリへの電源供給を開始してから、第2のメモリのデータ保存領域に記憶されているデータを第1のメモリに書き込む（S22、S93）。

符号の説明

[0102]	10	電源コントローラ
	11、11A	メモリコントローラ
	12	SRAM
	13	MRAM
	100、100A	メモリ装置

請求の範囲

- [請求項1] 第1及び第2のメモリと、
外部からの書込アクセス及び読出アクセスを受けて前記第1のメモリに対して書込及び読出制御を施す制御回路と、を含み、
前記制御回路は、
電源遮断を促す信号を受けた場合に、前記第1のメモリのデータ保存領域に記憶されているデータと前記第2のメモリのデータ保存領域に記憶されているデータとの差分のみを前記第2のメモリに書き込むデータ待避処理を実行し、前記データ待避処理に続いて前記第1及び第2のメモリへの電源供給を停止し、
電源投入を促す信号を受けた場合に、前記第1及び第2のメモリへの電源供給を開始してから、前記第2のメモリのデータ保存領域に記憶されているデータを前記第1のメモリに書き込むデータ復帰処理を実行することを特徴とするメモリ装置。
- [請求項2] 前記第1のメモリは揮発性メモリであり、前記第2のメモリは不揮発性のメモリであることを特徴とする請求項1に記載のメモリ装置。
- [請求項3] 前記電源遮断を促す信号は、前記書込アクセス及び読出アクセスの要求元をスタンバイ状態にすることを要求するスタンバイモード要求信号であり、
前記電源投入を促す信号は、スタンバイ状態の解除を要求するスタンバイモード解除要求信号であることを特徴とする請求項1又は2に記載のメモリ装置。
- [請求項4] 前記第1のメモリはSRAMであり、前記第2のメモリは磁気抵抗メモリであることを特徴とする請求項1～3のいずれか1に記載のメモリ装置。
- [請求項5] 前記第1及び第2のメモリと前記制御回路とが1つの半導体チップに形成されていることを特徴とする請求項1～4のいずれか1に記載のメモリ装置。

[請求項6] 前記制御回路は、前記第1及び第2のメモリ各々のデータ保存領域を複数の領域に区分けした前記領域の各々に対応付けして、その領域にデータの書込が為された場合には書込有を表す一方、データの書込が為されていない場合には書込無を表す書込フラグが記憶されるフラグレジスタを含み、

前記データ待避処理において、前記第1のメモリにおける前記複数の領域のうちで、前記書込有を表す前記書込フラグが対応付けされている領域に対してのみ前記第1のメモリに記憶されているデータで前記第2のメモリのデータを書き換えることを特徴とする請求項1～5のいずれか1に記載のメモリ装置。

[請求項7] 前記制御回路は、前記電源投入を促す信号を受けた場合に、前記複数の書込フラグ各々の内容を全て前記書込無に初期化することを特徴とする請求項6に記載のメモリ装置。

[請求項8] 第1及び第2のメモリと、外部からの書込アクセス及び読出アクセスを受けて前記第1のメモリに対して書込及び読出制御を施す制御回路とを含むメモリ装置における前記制御回路が実行する電源制御方法であって、

電源遮断を促す信号を受けた場合に、前記第1のメモリのデータ保存領域に記憶されているデータと前記第2のメモリのデータ保存領域に記憶されているデータとの差分のみを前記第2のメモリに書き込んでから前記第1及び第2のメモリへの電源供給を停止し、

電源投入を促す信号を受けた場合に、前記第1及び第2のメモリへの電源供給を開始してから、前記第2のメモリのデータ保存領域に記憶されているデータを前記第1のメモリに書き込むことを特徴とするメモリ装置の電源制御方法。

[図1]

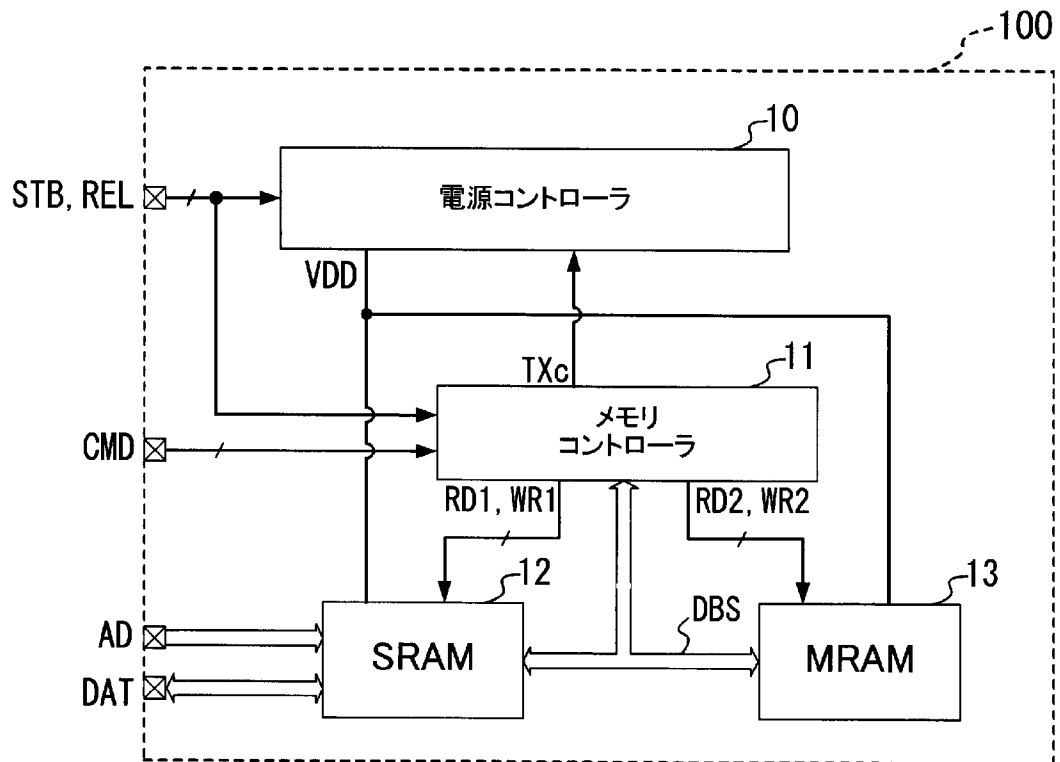


FIG. 1

[図2]

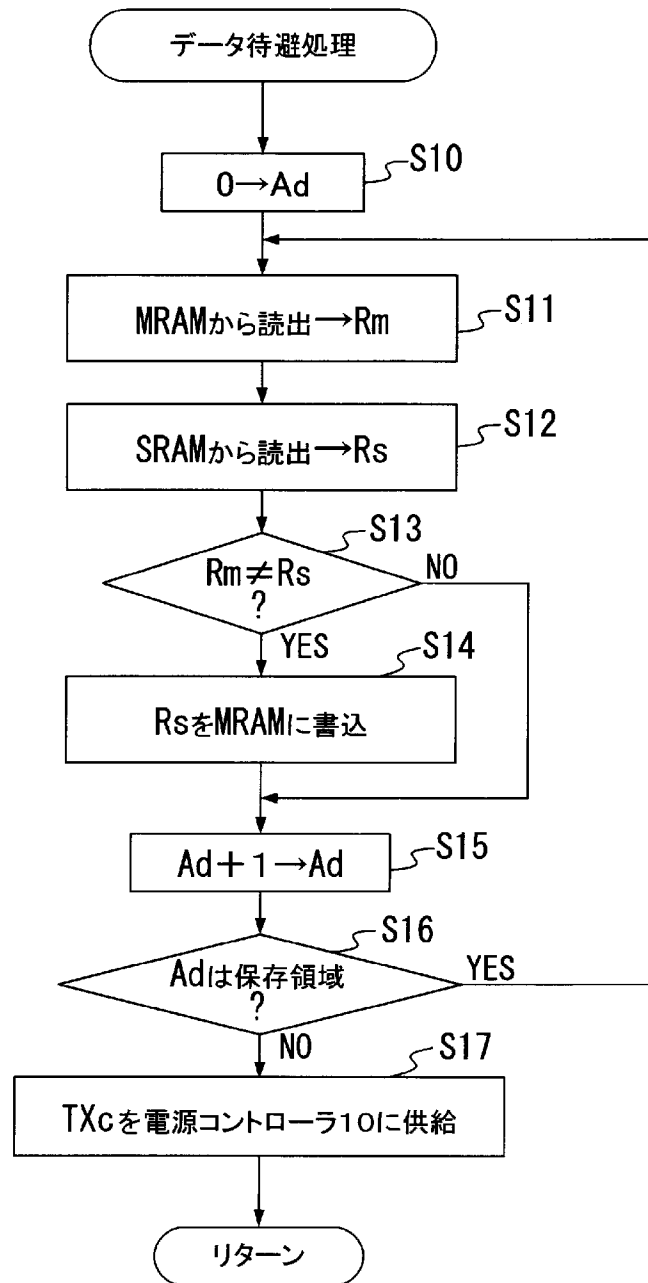


FIG. 2

[図3]

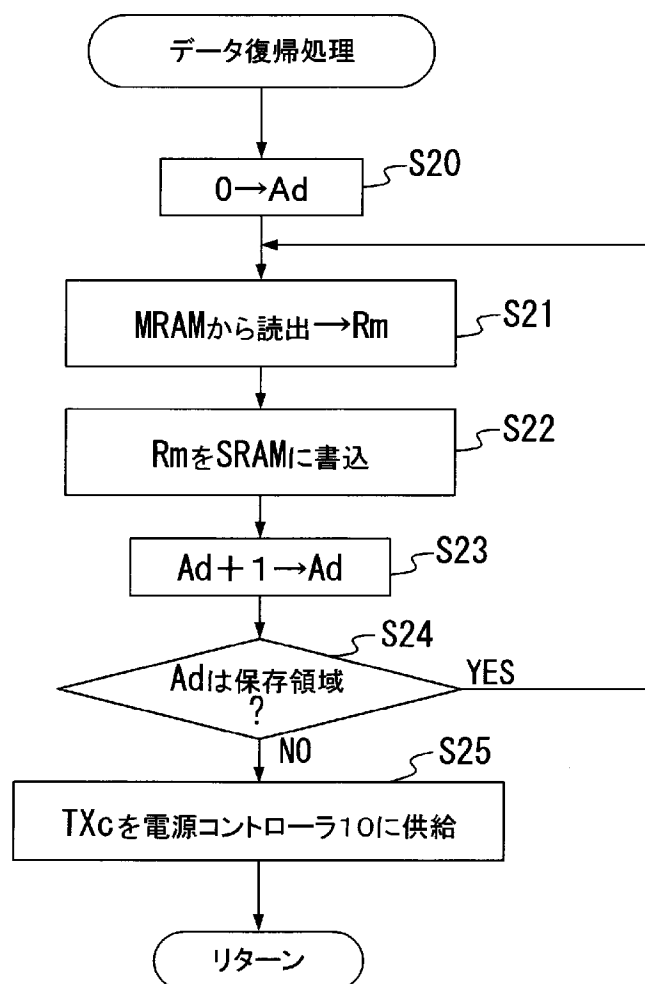


FIG. 3

[図4]

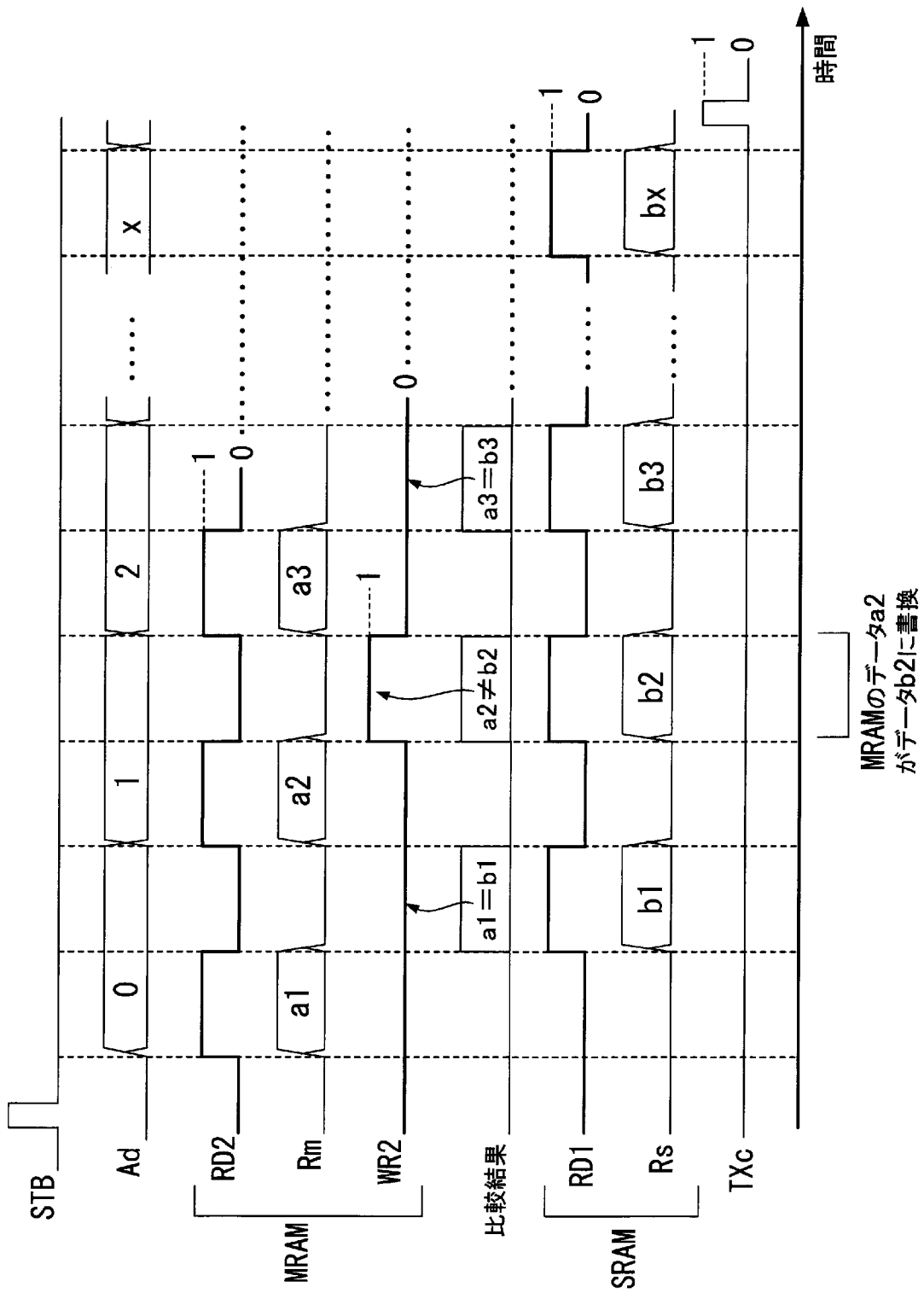


FIG. 4

[図5]

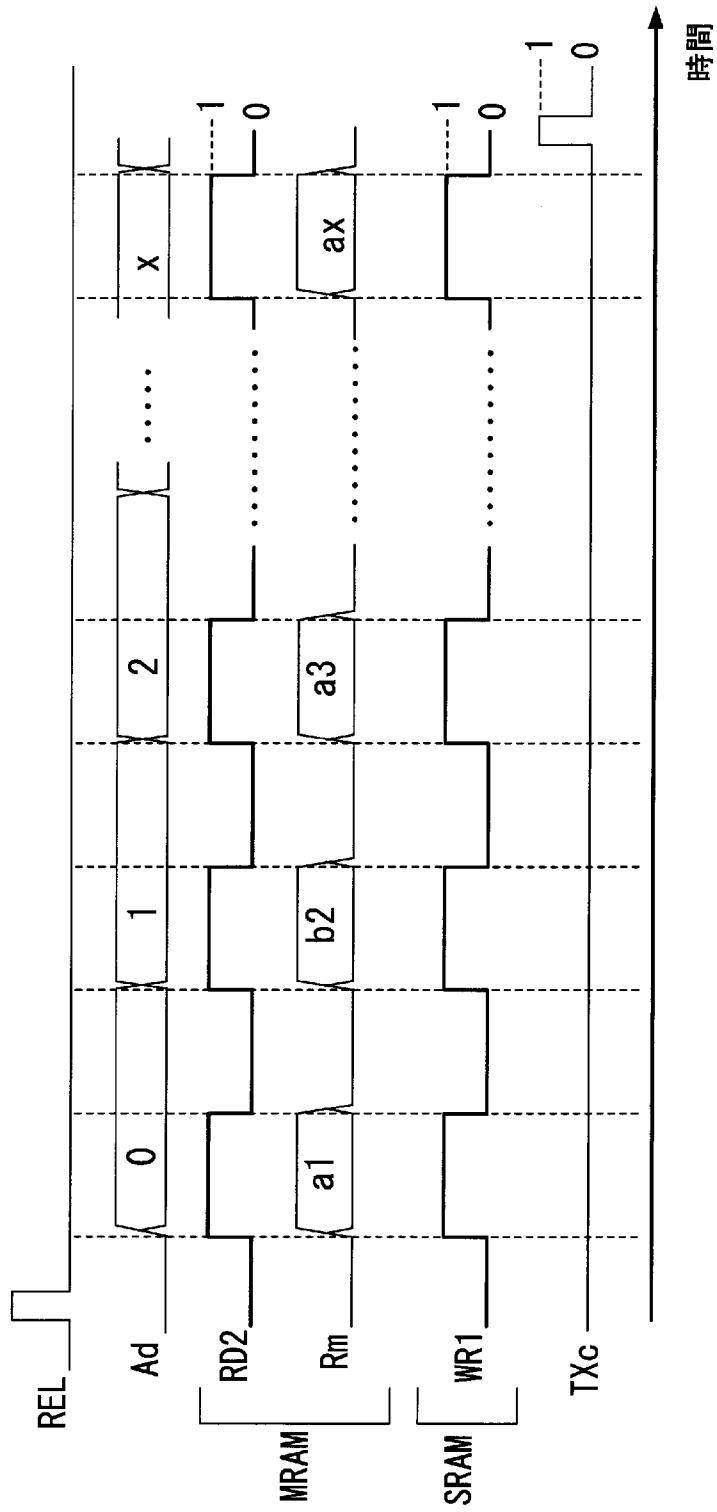


FIG. 5

[図6]

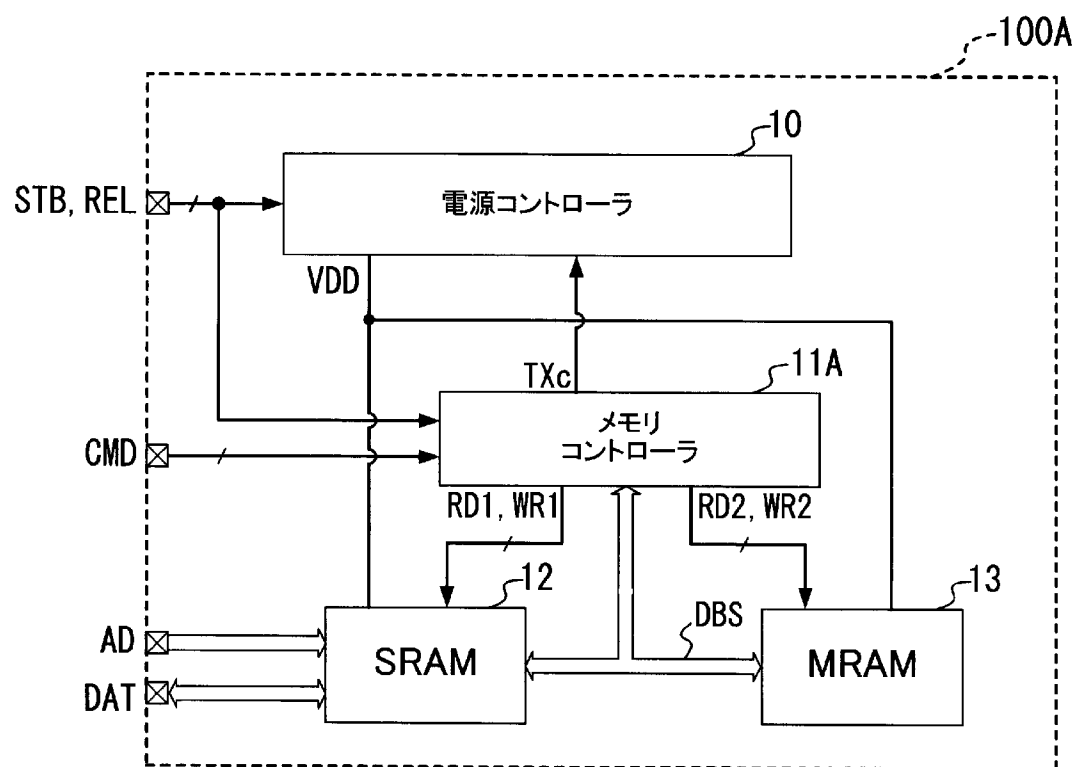


FIG. 6

[図7A]

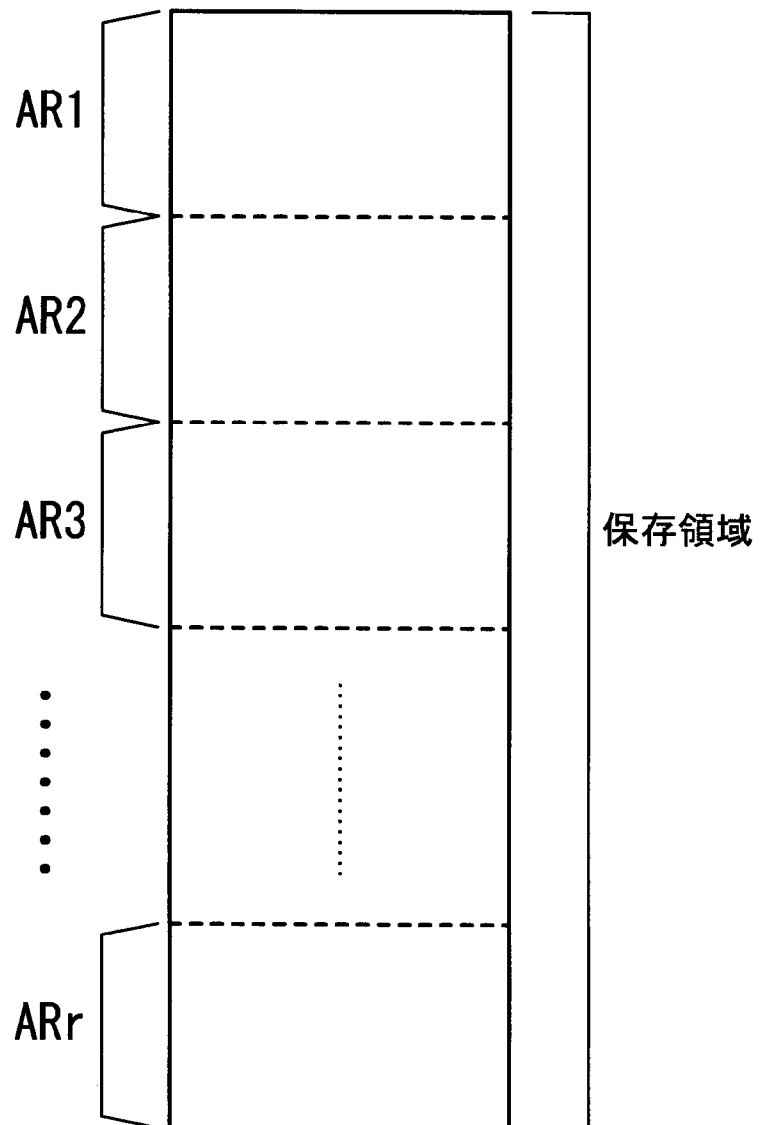


FIG. 7A

[図7B]

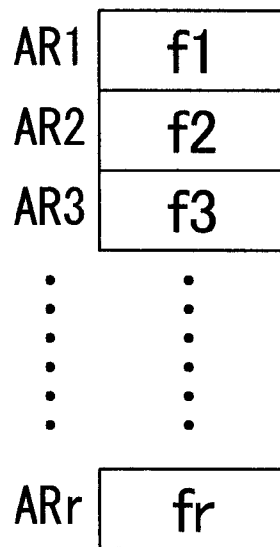


FIG. 7B

[図8]

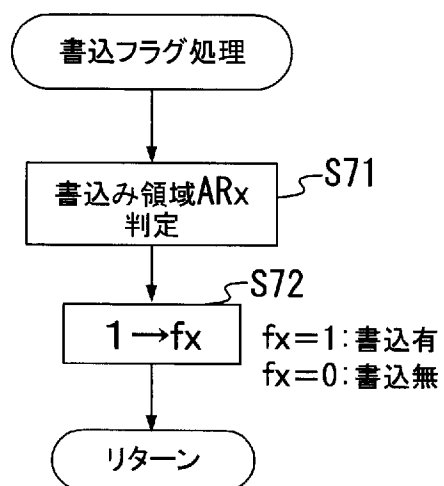


FIG. 8

[図9]

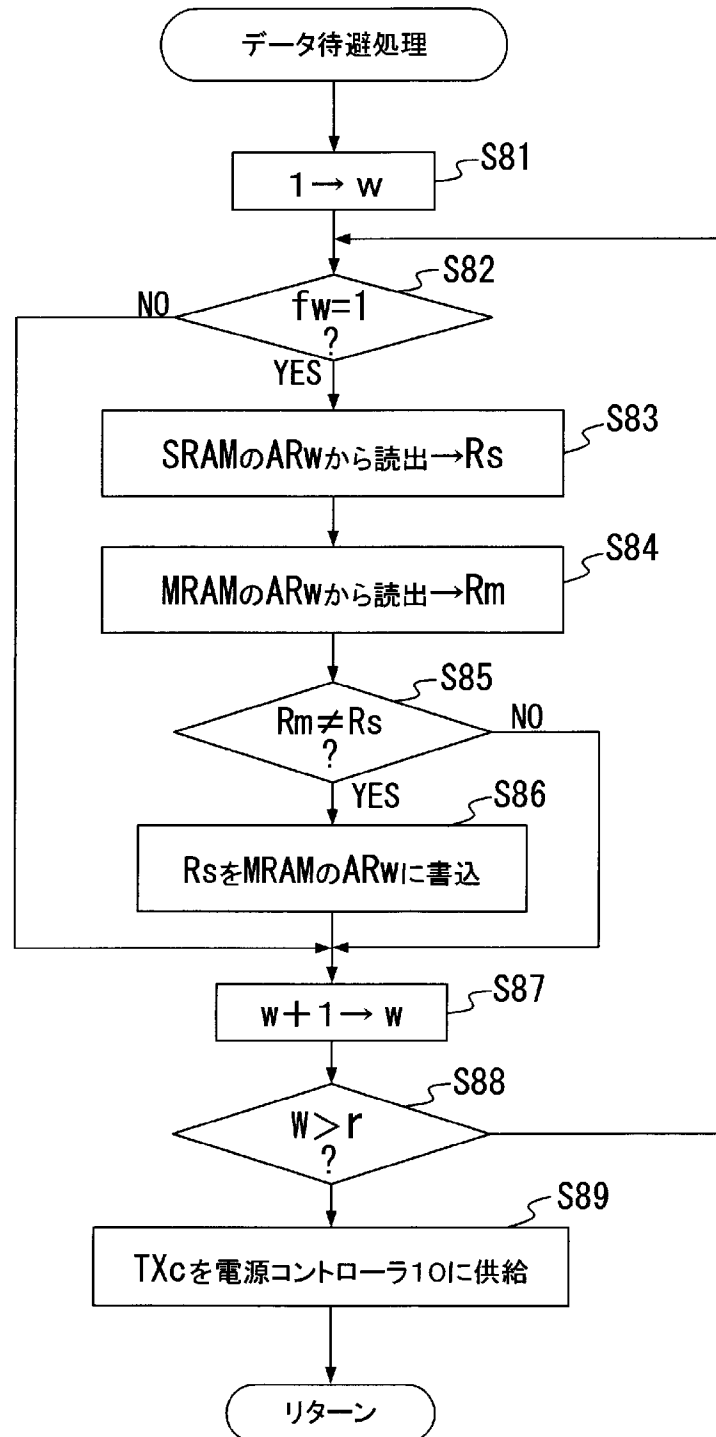


FIG. 9

[図10]

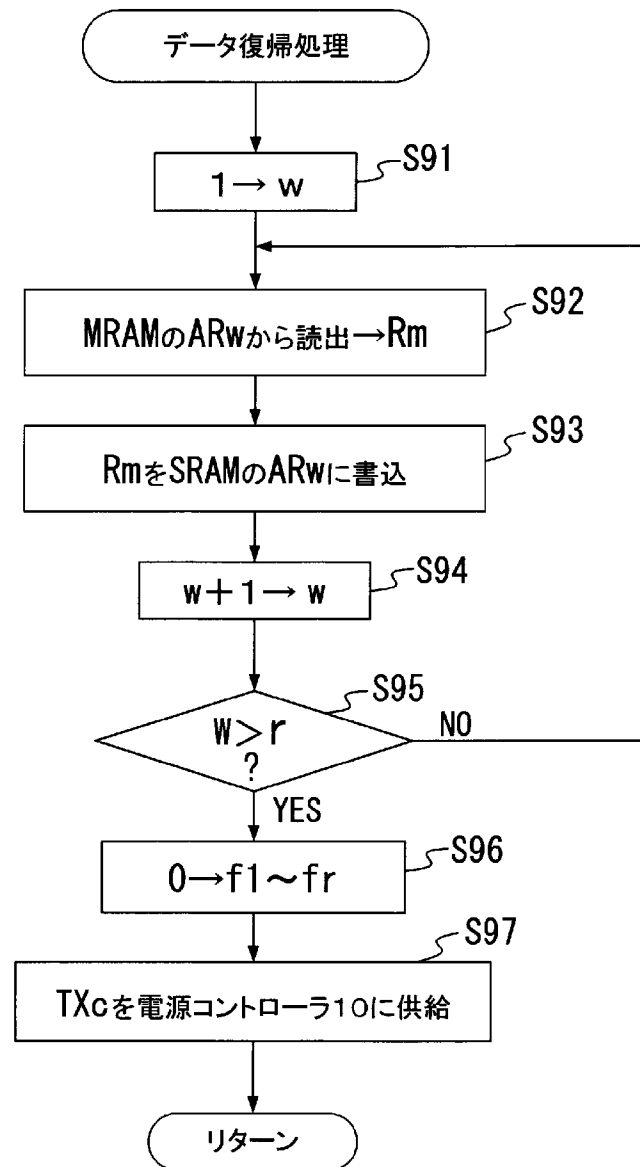


FIG. 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/012173

A. CLASSIFICATION OF SUBJECT MATTER**G06F 12/06**(2006.01)i; **G11C 5/14**(2006.01)i

FI: G06F12/06 522B; G06F12/06 515J; G11C5/14 320

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/06; G11C5/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-088928 A (HITACHI, LTD.) 13 May 2013 (2013-05-13) paragraphs [0013]-[0016], [0038]-[0043], [0050]-[0058], [0066]-[0081], fig. 1, 5-8	1-8
Y	JP 2008-276646 A (HITACHI, LTD.) 13 November 2008 (2008-11-13) paragraphs [0025]-[0035], fig. 1	1-8
Y	JP 2005-321938 A (NEC ELECTRONICS CORP.) 17 November 2005 (2005-11-17) paragraphs [0006]-[0009]	3-7
Y	JP 2015-230611 A (FUJITSU LTD.) 21 December 2015 (2015-12-21) paragraphs [0071], [0081]	4-7
Y	JP 2006-302466 A (ELPIDA MEMORY, INC.) 02 November 2006 (2006-11-02) paragraphs [0008]-[0013], [0018]-[0024], fig. 1-2	5-7

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 May 2023

Date of mailing of the international search report

30 May 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/012173

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-088928	A	13 May 2013	US 2013/0097451 A1 paragraphs [0021]-[0024], [0046]-[0051], [0057]-[0066], [0074]-[0089], fig. 1, 5-8	
JP	2008-276646	A	13 November 2008	US 2008/0276040 A1 paragraphs [0046]-[0056], fig. 1	
JP	2005-321938	A	17 November 2005	(Family: none)	
JP	2015-230611	A	21 December 2015	US 2015/0355706 A1 paragraphs [0114], [0126]	
JP	2006-302466	A	02 November 2006	US 2006/0239097 A1 paragraphs [0010]-[0015], [0029]-[0035], fig. 1, 2A-2C US 2008/0130390 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 12/06(2006.01)i; G11C 5/14(2006.01)i FI: G06F12/06 522B; G06F12/06 515J; G11C5/14 320										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） G06F12/06; G11C5/14										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y	JP 2013-088928 A（株式会社日立製作所）13.05.2013（2013 - 05 - 13） 段落[0013]-[0016], [0038]-[0043], [0050]-[0058], [0066]-[0081], 図1,5-8	1-8								
Y	JP 2008-276646 A（株式会社日立製作所）13.11.2008（2008 - 11 - 13） 段落[0025]-[0035], 図1	1-8								
Y	JP 2005-321938 A（NECエレクトロニクス株式会社）17.11.2005（2005 - 11 - 17） 段落[0006]-[0009]	3-7								
Y	JP 2015-230611 A（富士通株式会社）21.12.2015（2015 - 12 - 21） 段落[0071], [0081]	4-7								
Y	JP 2006-302466 A（エルピーダメモリ株式会社）02.11.2006（2006 - 11 - 02） 段落[0008]-[0013], [0018]-[0024], 図1-2	5-7								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 22.05.2023		国際調査報告の発送日 30.05.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 北村 学 5S 4535 電話番号 03-3581-1101 内線 3546								

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/012173

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-088928	A	13.05.2013	US 2013/0097451 A1 paragraphs [0021]-[0024], [0046]-[0051], [0057]- [0066], [0074]-[0089], figures 1, 5-8	
JP	2008-276646	A	13.11.2008	US 2008/0276040 A1 paragraphs [0046]-[0056], figure 1	
JP	2005-321938	A	17.11.2005	(ファミリーなし)	
JP	2015-230611	A	21.12.2015	US 2015/0355706 A1 paragraphs [0114], [0126]	
JP	2006-302466	A	02.11.2006	US 2006/0239097 A1 paragraphs [0010]-[0015], [0029]-[0035], figures 1, 2A-2C	
				US 2008/0130390 A1	