

압을 발생시킨다. 부가적 제어 증폭기는 전술한 차를 최소로 하기 위해 제어 전압에 의해 결정된 극성 및 크기를 가진 비반전 증폭기의 부하에 위상이동된, 신호를 인가한다.

미합중국 특허원 제4,020,500호에 도시된 회로의 집적회로 실용화에 있어서, 불필요한 위상 이동이 비반전 증폭기와 위상 이동된 신호의 제어 증폭기에 의해 공유된 부하에 관련된다. 이는 상기 공유된 부하에 연결된 다수의 트랜지스터의 각 콜렉터 전극에서 나타나는 기생 캐패시턴스의 축적 효과에 의한 것이다. 이를보상할 수 있는 적절한 것이 없다면, 이러한 위상 이동은 발진기의 프리-런닝 주파수의 적절한 터닝을 방해하게 되며, 또한 동기화를 목적으로 이용되는 위상 제어 특성에 불필요한 불균형을 가하게 된다. 미합중국 특허원 제4,095,255호에는 전술된 불필요한 위상 이동을 작게하는 공유 부하로부터 제어 증폭기의 콜렉터 전극을 분리시키기 위해 캐스코드(cascode) 기술이 발표되어 있다. 미합중국 특허원 제4,249,199호에 발진기의 프리-런닝 주파수를 적절하게 터닝하기 위해 전술된 불필요한 위상 이동의 역효과를 반족스럽게 제거할 수 있는 위상 이동 보상 기술이 발표되어 있다.

본 발명은 전술된 미합중국 특허원 제4,249,199호에 발표된 장치에 대해 개선한 것으로 프리-런닝 주파수의 적절한 터닝을 얻기 위해 역효과를 제거할 뿐만 아니라 제어 증폭기에 대해 대칭적인 위상 제어 특성을 확실하게 제공해준다

본 발명의 도식적인 실시예에 따라 미합중국 특허원 제4,020,500호에 도시된 일반적인 형태의 발진기 동기 시스템에 있어서의 직각 위상 이동 회로망의 출력은 각각의 매트릭스된 신호의 위상중 중간 위치의 위상을 갖는 결과적 신호를 형성하기 위해 비반전 증폭기로부터 바로 유도되는 신호로서 매트릭스된다. 이러한 결과적 신호는 위상 비교기의 제어 전압 출력에 의해 결정되는 방식으로 제어되는 증폭에 제한된다. 비교기 입력간의 요구된 직각 위상 관계와의 차의 센스는 증폭이 위상 반전을 하는지 여부를 결정한다. 상기 차의 크기는 증폭도를 결정한다. 제어 증폭기는 발진기의 비반전 증폭기의 부하 레지스터를 공유한다. 부가된 발진 증폭기는 전술된 매트릭싱에 의해 발생된 결과적 신호에 응답하며 또한 공유 부하 레지스터를 양단에서 거의 고정된 크기의 결과적 신호의 위상 반전 버전을 발생시킨다.

매트릭스 파라미터 및 반전 증폭기의 이득은 공유 부하와 관련된 불필요한 위상 이동에 관련하여 선택된다. 그에 따라 (1) 반전 증폭기에 의해 공유 부하 레지스터 양단에 발생된 신호와 비반전 증폭기의 공유 부하 레지스터 양단에 발생된 신호의 컴비네이션이 비반전 증폭기의 입력에서 나타나는 신호와 거의 동상인 신호를 포함하게되며 (2) 공유 부하 레지스터 양단에서 발생된 제어 증폭기의 출력상에 미치는 공유 부하레지스터에 연관되는 불필요한 위상 이동 효과는 전술된 컴비네이션의 위상에 대해 거의 직각인 위상에 놓여진다.

도식적으로, 제어 증폭기는 공동 전류원에 접속되고 상호 접속된 에미터 전극을 가진 제1 및 제2트랜지스터를 포함한다. 제1트랜지스터의 베이스 전극은 전술된 매트릭싱에 의해 형성된 결과적 신호에 응답하는 반면, 제2트랜지스터의 베이스 전극은 선정된 바이어스 퍼텐셜에 유지된다. 제1 및 제2 증폭수단은 각각 제1 및 제2트랜지스터의 콜렉터 전극에 연결된 신호 입력을 가지며, 상호 접속된 출력을 갖고 있으며, 또한 위상 비교기의 제어 전압 출력에 따라 차동 이득 제어의 영향을 받게 된다.

반전 증폭기는 제1트랜지스터의 베이스-에미터 통로와 분기되어 연결된 베이스-에미터 통로와 공유 부하 레지스터에 연결된 콜렉터 전극을 가진 제3트랜지스터를 포함한다. 반전 증폭기를 위한 이러한 회로 배치(즉, 여기서 전류원은 제어 증폭기와 공유됨)의 한 예로써 제어 증폭기의 동작의 대칭을 유지하기 위해, 제2트랜지스터의 베이스-에미터 통로와 분기되어 연결된 베이스~에미터 통로와 고정된 퍼텐셜의 공급단자에 접속된 콜렉터 전극을 가진 제4트랜지스터가 적절하게 배치된다.

첨부된 도면을 참조하여 본원 명세서를 보다 상세하게 설명하겠다.

도면으로 도시된 칼라 텔레비전 수상기에 있어서, 비반전 증폭기(10)에는 이 증폭기가 필터의 대역 통과영역내의 동작 주파수에서 발진기로 동작할 수 있도록 출력과 입력을 연결하는 대역통과필터를 통한 충분한 피드백이 준비된다.

증폭기(10)는 에미터 전극이 상호 접속된 차동 증폭기 구조로 배치된 한쌍의 NPN 트랜지스터(11 및, 13)를 포함한다.

상기 차동 증폭기의 입력 트랜지스터(11)의 콜렉터 전극은 동작 퍼텐셜 공급원의 퍼지티브 단자 +VCC에 바로 접속되는 반면, 상기 차동 증폭기의 출력 트랜지스터(13)의 콜렉터 전극은 부하 레지스터(14)를 통해 +Vcc 단자에 접속된다. 트랜지스터(11 및 13)의 상호 접속된 에미터 전극은 에미터 레지스터(16)와 직렬로 연결된 NPN 전류원 트랜지스터(15)의 콜렉터-에미터 통로를 통해 동작 퍼텐셜 공급원의 네가티브단자(예를 들면, 접지)로 복귀된다.

신호가 증폭기 입력 단자E로부터 NPN 에미터 팔로워(emitter-follower) 트랜지스터(21)의 베이스-에미터 통로를 경유하여 입력 트랜지스터(11)의 베이스 전극에 인가된다. 신호가 출력 트랜지스터(13)의 콜렉터(단자 S)로부터 한쌍의 NPN 에미터 팔로워 트랜지스터(31 및 33)의 베이스-에미터 통로를 경유하여 증폭기 출력 단자(O)에 인가되며, 상기 에미터-팔로워 트랜지스터는 트랜지스터(31)의 에미터 전극을 트랜지스터(33)의 베이스 전극에 연결하는 레지스터(32)에 의해 상호 접속된다. 트랜지스터(33)의 에미터 전극은 레지스터(34)를 정유하여 접지로 복귀된다. 에미터 팔로워 트랜지스터(21, 31, 33)의 콜렉터전극은 각각 +Vcc 공급단자에 직접 접속된다.

출력 트랜지스터(13)의 베이스 전극은 NPN 에미터 팔로워 트랜지스터(25)에 의해 바이어스되며, 상기트랜지스터(25)의 콜렉터 전극은 +Vcc 공급단자에 바로 접속되고, 베이스 전극은 레지스터(26)를 경유하여 바이어스 공급의 퍼지티브 단자(+5.2V)에 접속되며, 그리고 에미터 전극은 출력 트랜지스터(13)의 베이스 전극에 직접 접속된다. 에미터 팔로워 트랜지스터(25)의 정작등 전류는 NPN 전류원 트랜지스터(27)에 의해 결정되며, 상기 트랜지스터(27)의 콜렉터 전극은 트랜지스터(25)의 에

미터 전극에 직접 접속되고, 에미터 전극은 레지스터(28)를 경유하여 접지로 복귀된다. 증폭기 입력에서 에미터 팔로우어 트랜지스터(21)의 정작동 전류는 NPN 전류원 트랜지스터(23)에 의해 결정되며, 상기 트랜지스터(23)의 컬렉터 전극은 트랜지스터(21)의 에미터 전극에 직접 접속되고 에미터 전극은 레지스터(24)를 경유하여 접지로 복귀된다. 레지스터(22)는 트랜지스터(21)의 베이스 전극을 +5.2V 바이어스 공급 단자에 연결시킨다. 전류원 트랜지스터(15, 23 및 27)의 베이스 전극은 부가적 바이어스 공급원의 퍼지티브 단자(+1.2V)에 각각 바로 접속된다.

증폭기 출력 단자(0)는 압전 크리스탈(35), 고정 캐패시터(36) 및 레지스터(38)의 직렬 조합에 의해 증폭기 입력 단자E에 연결된다. 도식적으로, 상기 크리스탈(35)은 수상기가 응답하는 칼라 텔레비전 신호의 칼라 부반송파 주파수(예를 들면 3,579545MHz)의 바로 옆부근, 하지만 약간 아래의 주파수에서 직렬 공진을 나타내기 위해 절연된다. 따라서, 크리스탈(35)은 칼라 부반송파 주파수에서 유도성을 나타낸다. 고정캐패시터(36)의 용량은 소자(35 및 36)의 직렬 조합이 칼라 부반송파 주파수에서 직렬 공진도록 선택되며, 여기서 공진 시스템의 Q는 피드백 통로의 대역통과필터 특성을 위해 적절한 대역폭(즉, 1000Hz)을 결정하도록 직렬 레지스터(38)의 저항치에 의해 결정된다. 단자E와 접지사이에 연결된 캐패시터(39)는 이러한 높은 주파수에서 일어나는 발진을 실제로 방지하는데 필요한 동작 주파수의 조파를 충분히 감소시키기 위해 레지스터(38)와 연결된다. 소자(35 및 36)에 의해 제공되는 대역통과 특성은 칼라 부반송파 주파수의 바로 옆부근에서 발진 보유 크기의 퍼지티브 피드백을 허용한다. 그러나, 소자(35 및 36)와 연관되는 실질적인 허용한도 때문에 칼라 부반송파 주파수에 대한 프리-런닝 동작 주파수의 정확한 매치는 이뤄지지 않을 수도 있다. 차후에 설명되는 바와 같이, 도면에 도시된 시스템은 필요한 정확한 주파수에 대해 프리-런닝 동작 주파수의 조절을 허용하는 부가적 장치를 포함한다.

전송된 주파수 발진기와 칼라 부반송파 기준 입력 칼라 텔레비전 신호 위상을 동기하기 위해, 도시된 시스템은 위상 비교기(54)를 포함한다. 위상 비교기(54)의 국부 입력은 입력 트랜지스터(11)의 베이스 전극에서 단자(F)로부터 유도되는 발진을 포함한다. 색도 증폭기(50)는 단자(C)에서 나타나고 또한 칼라 부반송파 주파수와 기준 위상의 주기적인 동기 발진 버스트를 포함하는 인입 신호의 색도 성분에 응답한다. 색도증폭기(50)의 출력은 버스트 분리기(52)에 인가되며, 상기 분리기(52)는 분리된 칼라 동기 버스트를 위상 비교기(54)의 다른 입력에 전달한다.

위상 비교기(54)는 직각 위상차로부터의 편이가 각 비교기 입력사이에 존재할때의 크기 및 센스를 나타내는 크기 및 극성을 가진 제어 전압 출력을 발생시킨다. 도식적으로, 위상 비교기(54)는 푸쉬-풀출력을 발생시키는 형태이며 또한 각 출력 단자에서 보상 제어 전압(CV 및 CV')을 제공한다. 이러한 제어 전압은 비반전 증폭기(10)와 부하 레지스터(14)를 공유하는 위상 이동 신호 증폭기의 동작을 제어하는데 이용된다.

위상 이동 신호는 위상 이동기(40, 42 및 41)의 출력 단자(P)로부터 유도된다. 위상 이동기는 증폭기 입력 단자E와 위상 이동기 출력 단자(P)사이에 접속된 인덕터(40) 및 단자(P)와 접지사이에 접속된 레지스터(42)와 캐패시터(41)의 직렬 조합을 포함한다. 위상 이동기 소자의 값은 자연 위상 이동(칼라 부반송파주파수에서 90°)이 단자E로부터 인가되는 발진에 전해지도록 선택된다. 위상 이동기 출력 단자(P)에 나타나는 위상 이동 발진은 NPN 에미터 팔로우어 트랜지스터(43)의 베이스-에미터 통로를 경유하여 매트릭스입력 단자E에 연결되며, 상기 트랜지스터(43)의 컬렉터 전극은 +Vcc 단자에, 베이스 전극은 단자(P)에, 그리고 에미터 전극은 단자E에 각각 직접 접속된다. 트랜지스터(43)에서 유도되는 정작동 전류는NPN 전류원 트랜지스터(45)에 의해 결정되며, 상기 트랜지스터(45)의 컬렉터 전극은 단자E에, 베이스 전극은 +1.2V 바이어스 공급원 단자에, 그리고 에미터 전극은 레지스터(46)를 경유하여 접지에 각각 접속된다.

비교기(54)의 제어 출력에 응답하는 제어 증폭기는 한쌍의 NPN 트랜지스터(61 및 62)를 포함하며, 상기 트랜지스터(61 및 62)는 상호 접속된 에미터 전극이 에미터 레지스터(64)와 직렬로 연결된 NPN 전류원 트랜지스터(63)의 컬렉터-에미터 통로를 경유하여 접지로 복귀되는 차동 증폭기로 설치된다. 트랜지스터(63)의 베이스 전극은 +1.2V 바이어스 공급원 단자에 직접 접속된다. 단자E에서의 위상 이동 신호는 매트릭스 레지스터(56)를 경유하여 트랜지스터(61)의 베이스 전극에 인가된다. 단자(F)로부터 비반전 증폭기(10)의 입력에서의 신호가 매트릭스 레지스터(58)를 경유하여 트랜지스터(61)의 베이스 전극에 인가된다. 바이어스는 단자(G)(트랜지스터(13)의 베이스에서)에서 트랜지스터(62)의 베이스 전극에 인가된다.

트랜지스터(61)의 컬렉터 전극은 트랜지스터(61)의 베이스 전극에 나타나는 매트릭스 신호의 반전 버전을 NPN 트랜지스터(65 및 66)의 상호 접속된 에미터 전극에 인가한다. 트랜지스터(62)의 컬렉터 전극은 트랜지스터(62)의 베이스 전극에 나타나는 매트릭스 신호의 비반전 버전을 NPN 트랜지스터(67 및 68)의 상호접속된 에미터 전극에 인가한다. 위상 비교기(54)의 출력 단자에 나타나는 제어 페텐셜 출력(CV)은 트랜지스터(65 및 67)의 베이스 전극에 인가되는 반면, 출력 단자에 나타나는 보상 가변 제어 페텐셜 출력(CV')은 트랜지스터(66 및 68)의 베이스 전극에 인가된다.

트랜지스터(66 및 67)의 컬렉터 전극은 +Vcc 공급원 단자에 바로 접속되는 반면, 트랜지스터(65 및 68)의 컬렉터 전극은 공유된 부하 레지스터(14) 양단에 출력을 발생시키기 위해 트랜지스터(13)의 컬렉터 전극에 직접 접속된다. 또한, 레지스터(14)양단에 출력을 발생시키는 것은 부가된 NPN 트랜지스터(70)이고, 이 트랜지스터(70)의 베이스-에미터 통로는 차동 증폭기 트랜지스터(61)의 베이스-에미터 통로의 분로점에 직접 연결되고, 컬렉터 전극은 단자(S)에 직접 접속된다. 차동 증폭기 트랜지스터(62)의 베이스-에미터 통로는 NPN 트랜지스터(72)의 베이스-에미터 통로에 의해 직접 분기되며, 상기 트랜지스터(72)의 컬렉터 전극은 +Vcc 공급원 단자에 직접 접속된다.

동작시, 칼라 신호가 수신될때, 단자(F)로부터 수신된 동기 버스트 및 발진간의 요구된 직각 위상 관계로부터의 한 센스의 편이는 단자(CV) 및(CV')에서는 제어 전압(CV 및 CV')을, 트랜지스터(65 및 67)의 베이스 전극에서는 페텐셜을 각각 상승시키는 반면 트랜지스터(66 및 68)의 베이스 전극에서는 페텐셜을 감소시키는 방향으로 불평형하게 한다. 이러한 상황에서, 트랜지스터(65)에 의해 통과되는 제어 증폭기 입력의 반전 버전의 크기는 트랜지스터(68)에 의해 통과되는 제어 증폭기 입력의

비반전 버전의 크기를 초과한다. 반대로, 필요한 직각 위상 관계로부터의 반대 센스의 편이는 제어 전압을 반대 방향으로 불평형하게하며, 이로 인해, 트랜지스터(68)에 의해 통과된 비반전 버전의 크기는 트랜지스터(65)에 의해 통과된 반전버전의 크기를 초과한다. 각 상태에 있어서, 위상 이동 신호의 발진기 루프의 연속 주입은 필요한 동기화시키기 위해 발진기의 주파수를 비교기 입력간의 필요한 직각 위상차로부터의 편이를 감소시키는 방향으로 전환시 킨다.

비반전 증폭기(10)와 위상 이동 신호의 제어 증폭기에 의한 부하 레지스터(14)의 공유는 결과적으로 다수의 콜렉터 전극이 이에 직접 접속되도록 함을 알 수 있다 따라서, 부하 레지스터(14)는 각 콜렉터에 연관된 기생 캐패시턴스에 의해 효과적으로 분리되어 연결된다. 결과적으로, 이는 적절한 조치가 요구될 경우 보정을 요하는 동조 영역 및 위상 제어 불균형 문제를 일으키기에 충분한 크기의 불필요한 지연 위상이동을 발생시 키게 된다.

제어 증폭기의 신호 입력을 형성기 위해 단자(E 및 F)로부터의 신호 매트릭스는 본 발명의 보정 기술의 일부이다. 매트릭싱 레지스터(56 및 58)의 저항치의 비는 매트릭스의 결과가 단자E에서 직각 위상 신호의 위상에 비해 앞선 방향의 위상으로 이동되도록 선택된다. 앞선 방향으로의 위상 이동 크기는 비반전 증폭기(10)의 부하 회로와 연관되는 지연 위상 이동 크기와 실제로 일치한다. 부가적으로 반전 증폭기(70)에 의해 공유 부하내로 삽입되는 매트릭싱 결과로 반전된 버전의 크기는 이러한 주입된 신호와 비반전 증폭기의 출력 트랜지스터(13)에 의해 공유 부하로 전달되는 신호 성분과의 벡터 합이 비반전 증폭기의 입력 트랜지스터(11)의 베이스에 나타나는 신호와 실제로 동일한 위상을 갖는 신호를 포함도록 선택된다.

전송된 바와 같이 반전 증폭기(70)로부터 이러한 보상적 신호를 주입할 수 있음에 따라, 비반전 증폭기(10)의 부하 회로와 연관되는 위상 지연은 사실상 발진기의 프리-런닝 동작상에 아무런 효과를 미치지 않는다. 그러나, 동기 루프에 대한 위상 제어 작용의 균형을 위해 제어 증폭기의 출력상의 공유된 부하와 연관되는 위상 지연 효과에 대한 보상은 부가적으로 제공되어야만 한다. 이러한 보상은 매트릭스(56, 58)에 의한 제어 증폭기의 입력을 위해 제공된 앞선 삽입을 통해 제공된다. 이러한 앞선 삽입과 공유된 부하와 연관되는 지연의 순수한 효과는 제어 증폭기로부터 주입 성분을 지연 직각 관계 또는 앞선 직각 관계(동기에 필요한 조절에 적절하게)를 트랜지스터(70 및 13)의 배치(연속적으로 존재하는)로 인정함으로써, 제어 작용 균형이 이뤄진다.

도시된 배치에 있어서, 반전 증폭기 트랜지스터(70)는 트랜지스터(61 및 62)로 구성된 차동 증폭기와 함께 전류원(트랜지스터 63)을 공유한다. 이러한 전류원과 공유하는 차동 증폭기의 균형 작동은 공동 전류원을 부가적으로 공유하는(트랜지스터 76에 구조적으로 결합된) 부가적 트랜지스터(72)에 의해 실시된다. 트랜지스터(76)에 의한 보상 신호 삽입의 적당한 크기는(트랜지스터 70에 적절하게 결합된 트랜지스터 72)의 적당한 에미터 차원을 선택함으로써 용이하게 얻어진다.

전송된 바와 같이, 칼라 기준 발진기의 프리-런닝 주파수를 용이하게 조절할 수 있는 어떤 시스템이 요구되는데, 이는 필요한 칼라 부반송파 주파수에 정확하게 맞춰진다. 이러한 편리를 제공하는 공지된 기술에서는 미국특허 제4,020,500호에 실려있는 것처럼 발진기의 피드백 필터에 가변 캐패시터를 이용하였다.

그러나 수반된 도면에 도시된 시스템에서는 다른 기술을 이용하고 있다.(상세한 설명은 알.산리 등의 미국특허출원 제383,303호로서 발명의 명칭이 "프리-런닝 주파수의 DC 제어를 구비한 발진기 동기 시스템"에 수록)단자E의 위상 이동 신호는 신호 입력으로서 부가적인 제어 증폭기(47)에 인가되고, 상기 신호출력은 발진기의 출력 에미터 공동 접지 트랜지스터(33)의 베이스 전극에서 단자(A)에 연결된다. 움직이는 전위계(48)의 탭에 연결되는 DC 전압은 증폭기(47)의 제어 입력 종단(FR)에 인가된다. 증폭기(47)는 평형 세팅으로부터 전위계의 탭 위치의 이탈에 대한 크기와 센스에 의존하는 크기와 극성을 갖는 발진기 루프 위상 이동 신호로 인가된다. 인가된 성분은 평형 세팅의 프리-런닝 주파수보다 높은 조절이 요구될때는 앞선 직각 성분이 되고, 평형 세팅의 프리-런닝 주파수보다 아래의 조절이 요구될때는 지연 직각 성분이 된다.

(57) 청구의 범위

청구항 1

입력 단자(I)와 출력 단자(O)를 가진 비반전 신호 증폭기(10) 및, 대역통과필터의 통과대역내의 주파수로 발진을 가능케하는 포지티브 피드백의 통로를 상기 비반전 증폭기에 제공하기 위해 상기 비반전 증폭기의 상기 출력 단자와 상기 입력 단자 사이에 연결된 대역통과필터(35,36,38)를 포함하는 발진기, 상기 비반전 증폭기로부터의 발진 신호를 수신하기 위해 연결된 입력 단자 및 위상 이동된 발진 신호가 나타나는 출력 단자(P)를 가지는 위상 이동기(40, 41, 42) 및, 비반전 증폭기로부터 취해진 발진 신호를 수신하도록 연결된 제1입력 단자 및, 기준발진 신호를 수신하도록 연결된 제2입력 단자를 포함하며 입력 단자에 나타나는 각 신호사이에 직각 위상 관계의 편이가 생길 경우 상기 편이의 크기와 센스를 나타내는 진폭 및 극성을 가진 제어 전압을 발생시키는 위상 비교기(54)의 컴비네이션을 구비하는 발진기 동기 시스템에 있어서, 위상 이동된 발진 신호 및 직접 취해진 발진 신호의 위상중 중간위치의 위상을 나타내는 매트릭스 출력신호를 형성하기 위해 상기 비반전 증폭기로부터 직접 취해진 발진 신호를 가진 상기 위상 이동기의 상기 출력단자에 나타나는 상기 이상된 발진 신호를 매트릭싱하기 위한 수단(56, 58), 거의 고정된 크기의 상기 매트릭스 출력신호의 이상된 버전을 발생시키기 위해 상기 매트릭스 출력신호에 응답하는 반전 증폭기(70), 어떤 센스의 편이가 위상 비교기의 입력 단자에 나타나는 각 신호사이에서 일어날 경우 반전시켜 상기 매트릭스 출력신호를 증폭시키고 반대 센스의 편이가 위상 비교기의 입력 단자에 나타나는 각 신호사이에서 일어날 경우 반전시키지 않고 상기 매트릭스 출력신호를 증폭시키기 위해 상기 매트릭스 출력신호 및 제어 전압에 응답하고 상기 매트릭스 출력신호의 상기 증폭도는 직각 위상 관계로부터의 편이의 크기에 따라 결정되는 제어 증폭기 수단(61, 65, 66, 62, 67, 68), 및 상기 반전 증폭기 및 상기 제어 증폭기 수단의 각 출력을 상기 비반전 증폭기의 출력과 결합시키기 위한 수단(14)을 특징으로 하는 발진기

동기 시스템.

청구항 2

제1항에 있어서, 상기 위상 이동기(40, 41, 42)가 상기 발진 신호의 상기 주파수에서 90° 에 거의 일치하게 위상 지연을 시키는 것을 특징으로 하는 발진기 동기 시스템.

청구항 3

제2항에 있어서, 상기 결합수단이 상기 비반전 증폭기, 상기 반전 증폭기 및 상기 제어 증폭기 수단에 의해 공유되는 부하 레지스터(14)를 포함하며, 상기 부하 레지스터(14)와 조합된 표유 캐패시터는 상기 비-반전 증폭기(10)의 출력에 대해 위상 지연을 나타내며, 매트릭싱 수단(56, 58)의 변수 및 상기 반전증폭기(70)의 이득이 상기 반전 증폭기에 의해 발생된 상기 매트릭스 출력신호의 반전 버전과, 비반전 증폭기(10)의 출력의 콤비네이션이 상기 비반전 증폭기의 입력 단자에 나타나는 발진 신호와 거의 동상인 신호를 구비하며, 상기 제어 증폭기(65 내지 68)의 출력 위상은 상기 비반전 증폭기의 상기 입력 단자에서 나타나는 상기 발진 신호의 위상에 대해 거의 직각 위상이 되게 하는 것을 특징으로 하는 발진기 동기 시스템.

청구항 4

제1항 또는 제3항에 있어서, 상기 제어 증폭기 수단이, 에미터 전극이 상호 접속된 제1(61) 및 제2(62)트랜지스터, 상기 상호 접속된 에미터 전극에 연결된 공동 전류원(63), 상기 매트릭스 출력신호에 응답하는 제1트랜지스터(61)의 베이스 전극, 상기 제2트랜지스터(62)의 베이스 전극을 선정된 바이어스 전압에 유지하는 수단(C), 상기 제1트랜지스터(61)의 컬렉터 전극에 연결된 신호입력을 가진 제1증폭수단(65,66), 상기 제2트랜지스터의 컬렉터 전극에 연결된 신호입력을 가진 제2증폭기 수단(67,68), 상기 제1 및 제2증폭수단의 이득을 다르게 변화시키기 위해 위상 비교기의 제어 전압 출력에 응답하는 수단, 및 상기 제1 및 제2증폭수단의 출력을 결합시키는 수단(S)을 포함하는 것을 특징으로 하는 발진기 동기 시스템.

청구항 5

제4항에 있어서, 상기 반전 증폭기가 상기 제 1트랜지스터의 베이스-에미터 통로에서 분기되어 접속된 베이스-에미터 통로와 상기 부하 레지스터에 접속된 컬렉터 전극을 가진 제 3트랜지스터(70)를 포함하는 것을 특징으로 하는 발진기 동기 시스템.

청구항 6

제5항에 있어서, 상기 제어 증폭기 수단이 상기 제2트랜지스터의 베이스-에미터 통로에서 분기되어 접속된 베이스-에미터 통로를 가진 제4트랜지스터(72)를 포함하는 것을 특징으로 하는 발진기 동기 시스템.

도면

도면1

