

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(43) 국제공개일
2011년 9월 1일 (01.09.2011)

PCT

(10) 국제공개번호
WO 2011/105693 A2

- (51) 국제특허분류:
G02B 6/13 (2006.01) G02B 6/42 (2006.01)
- (21) 국제출원번호: PCT/KR2010/009635
- (22) 국제출원일: 2010년 12월 31일 (31.12.2010)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2010-0017243 2010년 2월 25일 (25.02.2010) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): 부산대학교 산학협력단 (PUSAN NATIONAL UNIVERSITY INDUSTRY-UNIVERSITY COOPERATION FOUNDATION) [KR/KR]; 부산 금정구 장전동 산 30 부산대학교 내, 609-735 Pusan (KR).
- (72) 발명자: 겸
- (75) 발명자/출원인 (US 에 한하여): 정명영 (JEONG, Myung Yung) [KR/KR]; 부산 금정구 부곡 2 동 대우아파트 110 동 902 호, 609-766 Busan (KR). 김창석 (KIM, Chang Seok) [KR/KR]; 부산 남구 용호동 LG 메트로 222-706 호, 608-090 Busan (KR). 류진화 (RYU, Jin Hwa) [KR/KR]; 울산 남구 신정 4 동 1836-1 번지 인송아파트 202 호, 680-014 Ulsan (KR). 오승훈

(OH, Seung Hun) [KR/KR]; 부산 남구 용호 1 동 424-15 6/4, 608-091 Busan (KR). 이태호 (LEE, Tae Ho) [KR/KR]; 부산 남구 대연 6 동 1781-76 번지, 608-026 Busan (KR). 조상욱 (CHO, Sang Uk) [KR/KR]; 경상남도 함양군 서상면 상남리 683, 676-843 Gyeongsangnam-Do (KR).

(74) 대리인: 오위환 (OH, Wi-Hwan); 서울 강남구 역삼동 601-18 은성빌딩 5층, 135-080 Seoul (KR).

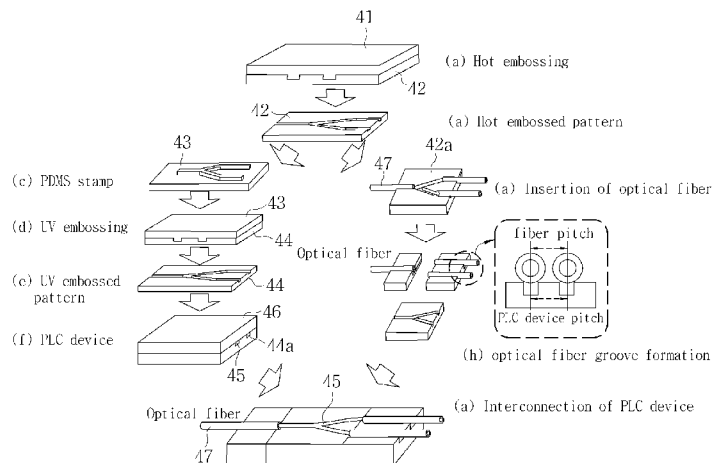
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[다음 쪽 계속]

(54) Title: OPTICAL INTERCONNECTION METHOD FOR A PLANAR LIGHTWAVE CIRCUIT DEVICE

(54) 발명의 명칭 : 평면 광회로 소자의 광연결 방법



(57) Abstract: The present invention relates to an optical interconnection method for a planar lightwave circuit (PLC) device, which simultaneously forms the PLC device and grooves for the insertion of optical fibers using a single imprint mold during the manufacture of the PLC device, and optically interconnects the PLC device and the grooves. The method comprises the following steps: forming a first pattern duplicating an original pattern using an original silicon master, and forming a second pattern duplicating an original pattern using the first pattern duplicating an original pattern; forming a lower clad using the second pattern duplicating an original pattern; forming a core layer on a channel cavity of the lower clad, and stacking an upper clad to form a PLC device chip; cutting an input end and an output end of the first pattern duplicating an original pattern, and arranging optical fibers in the grooves; and aligning the grooves having the optical fibers arranged therein with the PLC device chip, and optically interconnecting the grooves and the PLC device chip.

(57) 요약서:

[다음 쪽 계속]



WO 2011/105693 A2



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

본 발명은 평면광파 회로(Planar Lightwave Circuit; PLC) 소자의 제조시에 단일의 임프린트 금형을 사용하여 PLC 소자와 광섬유 정렬을 위한 그루브(groove)를 동시에 제조하여 광결합을 할 수 있도록 한 평면 광회로 소자의 광연결 방법에 관한 것으로, 원형 실리콘 마스터(original master)를 사용하여 원형 복제 제 1 패턴을 형성하고, 원형 복제 제 1 패턴을 이용하여 원형 복제 제 2 패턴을 형성하는 단계; 상기 원형 복제 제 2 패턴을 이용하여 하부 클래드를 형성하는 단계; 상기 하부 클래드의 채널 캐비티에 코어층을 형성하고 상부 클래드를 적층하여 PLC 디바이스 칩을 형성하는 단계; 상기 원형 복제 제 1 패턴의 입,출력단을 절단하고 그루브에 광 파이버를 실장하는 단계; 상기 광 파이버가 실장된 그루브와 상기 PLC 디바이스 칩을 정렬하여 광결합하는 단계;를 포함한다.

명세서

발명의 명칭: 평면 광회로 소자의 광연결 방법

기술분야

- [1] 본 발명은 평면 광회로 소자(Planar Lightwave Circuit; PLC)에 관한 것으로, 구체적으로 단일의 임프린트 금형을 사용하여 PLC 소자와 광섬유 정렬을 위한 그루브(groove)를 동시에 제조하여 광결합을 할 수 있도록 한 평면 광회로 소자의 광연결 방법에 관한 것이다.

배경기술

- [2] 현재 PLC(Planar Lightwave circuit) 소자는 대용량 정보의 고속 처리를 위하여 활발한 연구가 이루어지고 있다. 이러한 연구는 저가격, 고효율의 관점에서 고분자를 이용한 소자 제작 기술이 각광받고 있다.
- [3] 현재 고분자를 이용한 소자 제작 방법 중에서 임프린트 기술이 부각되고 있다. 임프린트 기술은 미세 구조물을 가진 금형을 폴리머와 물리적으로 접촉시켜 미세 패턴을 직접 전사시키는 기법으로 단순한 공정, 짧은 공정시간 및 저렴한 공정비용으로 마이크로/나노(micro/nano) 패터닝 기술에서 차세대 공정기술로 부각되고 있다.
- [4] 임프린트 공정에 의한 패턴 복제는 금형에 직접적으로 의존하므로 수 nm의 해상도까지 구현이 가능하다. 그러나 PLC 소자의 기능 구현을 위해서는 광원(Optical source)과 PLC 소자 그리고 광검출기(optical detector)간의 정밀한 광결합 기술이 요구된다.
- [5] 현재 이러한 광 결합기술은 PLC 타입 고분자 광소자와 광섬유가 실장된 V-groove 또는 U-groove를 접합하여 광결합하는 방법으로 주로 진행되고 있다.
- [6] PLC 소자와 광섬유의 광연결 방법 중에서 가장 보편적인 버트 커플링(butt coupling) 방법을 도 1 내지 도 24에 도시하였다.
- [7] 도 1 내지 도 13은 종래 기술의 PLC 소자 제작을 위한 방법 중에서 광학적 리소그래피 공정을 나타낸 것이다.
- [8] PLC 소자 제작 공정은 기판위에 감광성 고분자를 코팅하고, 사진 공정, 식각 공정, 광학적 특성을 가지는 고분자의 코팅 등을 반복적으로 수행하여 PLC 소자를 제작하고 있다.
- [9] 구체적으로, 기판상에 접착성을 높이기 위한 접착층(Adhesion promoter) 형성 --> 하부 클레드 코팅(Under clad coating) --> 광학적 특성을 가지는 고분자의 코팅(Core coating) --> 코어층상에 포토레지스트(PR)를 코팅 --> 포토레지스트의 용제를 증발시켜 경화시키기 위한 소프트 베이킹(soft baking) --> 노광 마스크를 이용하여 UV를 조사하여 포토레지스트 노광(exposure) --> 노광 이후의 베이킹(post exposure baking) --> 포토레지스트 패턴 형성을 위한 현상 및 패턴 검사(Development & Inspection) --> 현상 과정에서 용해되지 않고 남아

포토리저스트 패턴에 흡수된 용제, 수분, 솔벤트 등을 제거하기 위한 하드베이킹(Hardbaking) --> 패터닝된 포토리저스트 패턴을 이용하여 코어층 식각(Core etching) --> 포토리저스트 패턴을 제거 및 코어 패턴 검사(Development & Inspection) --> 상부 클레드 코팅(Upper clad coating)을 하여 광소자 칩 형성(Optical device chip)의 과정으로 진행된다.

[10] 그리고 도 14내지 도 23은 광섬유 정렬용 그루브(groove) 제작을 위한 방법 중에서 광학적 리소그래피 공정을 나타낸 것이다.

[11] 도 1내지 도 13의 공정과 동일하게 감광성 고분자를 코팅하고, 사진 공정, 식각 공정 등을 반복적으로 수행하여 광섬유 정렬용 그루브 기판을 제작하고 있다.

[12] 구체적으로, 기판과 포토리저스트의 접착성을 높이기 위하여 기판상에 HMDS(Hexamethyldisilazane)층 프라이밍(priming) 공정을 진행 --> HMDS층상에 포토리저스트(PR)를 코팅 --> 포토리저스트의 용제를 증발시켜 경화시키기 위한 소프트 베이킹(soft baking) --> 노광 마스크를 이용하여 UV를 조사하여 포토리저스트 노광(exposure) --> 노광 이후의 베이킹(post exposure baking) --> 포토리저스트 패턴 형성을 위한 현상 및 패턴 검사(Development & Inspection) --> 현상 과정에서 용해되지 않고 남아 포토리저스트 패턴에 흡수된 용제, 수분, 솔벤트 등을 제거하기 위한 하드베이킹(Hardbaking) --> 패터닝된 포토리저스트 패턴을 이용하여 기판 식각(Substrate etching)하고 포토리저스트 패턴을 제거하여 그루브 패턴을 형성(Development & Inspection & Groove)의 과정으로 진행된다.

[13] 도 24는 도 1내지 도 13에서 제작된 PLC 디바이스 칩과 도 14내지 도 23에서 제작된 광섬유 정렬용 그루브 기판을 직접적으로 접합하는 버트 커플링(butt coupling) 방법을 나타낸 것이다.

[14] 버트 커플링 방법은 PLC 소자를 제작하고, PLC 소자의 코어 피치(core pitch) 간격과 동일한 피치를 갖는 파이버 그루브(fiber groove)를 제작하여 광 파이버(optical fiber)를 실장 후 PLC 소자와 접합하는 것으로, 정밀한 광결합이 가능한 장점이 있지만, PLC 디바이스 제작 공정과 그루브 제작 공정의 복합적인 공정이 요구된다.

[15] 이상에서 설명한 도 1내지 도 24에서와 같은 종래 기술의 PLC 디바이스 칩 제작, 그루브 제작, 그리고 광결합 방법은 정밀한 광결합이 가능하지만, 복잡하고 반복적인 공정, 장시간의 공정시간에 따른 각종 부대비용의 증가에 따른 한계성을 내포하고 있다.

[16] 따라서, 고분자 광소자의 광학적 특성 구현을 위해서는 간단하고 고효율의 광결합 연구가 수행되어야 한다.

발명의 상세한 설명

기술적 과제

[17] 본 발명은 종래 기술의 그루브 제작, 그리고 광결합 방법의 문제를 해결하기

위한 것으로, PLC 소자의 제작을 위한 PLC 디바이스 칩과 광 파이버(optical fiber)의 광연결 방법을 단순화하여 고효율의 PLC 디바이스 칩 제작 방법을 제공하는데 그 목적이 있다.

[18] 본 발명의 목적은 임프린트 공정에 의하여 PLC 디바이스 칩을 제작하고, PLC 디바이스 칩 제작 과정 중에서 제작된 임프린트 패턴(imprinted pattern)을 광섬유 실장용 그루브로 사용할 수 있도록 한 평면 광회로 소자의 광연결 방법을 제공하는데 그 목적이 있다.

[19] 본 발명은 단일의 임프린트 금형을 사용하여 PLC 광소자와 광섬유 정렬을 위한 그루브(groove)를 동시에 제조하여 광결합을 할 수 있도록 한 평면 광회로 소자의 광연결 방법을 제공하는데 그 목적이 있다.

과제 해결 수단

[20] 이와 같은 목적을 달성하기 위한 본 발명에 따른 평면 광회로 소자의 광연결 방법은 원형 실리콘 마스터(original master)를 사용하여 원형 복제 제 1 패턴을 형성하고, 원형 복제 제 1 패턴을 이용하여 원형 복제 제 2 패턴을 형성하는 단계; 상기 원형 복제 제 2 패턴을 이용하여 하부 클레드를 형성하는 단계; 상기 하부 클레드의 채널 캐비티에 코어층을 형성하고 상부 클레드를 적층하여 PLC 디바이스 칩을 형성하는 단계; 상기 원형 복제 제 1 패턴의 입,출력단을 절단하고 그루브에 광 파이버를 실장하는 단계; 상기 광 파이버가 실장된 그루브와 상기 PLC 디바이스 칩을 정렬하여 광결합하는 단계;를 포함하는 것을 특징으로 한다.

[21] 여기서, 상기 원형 실리콘 마스터(original master)는, 직선 다채널 또는 스플리터(splitter) 구조를 갖는 포지티브 타입용 임프린트 마스터인 것을 특징으로 한다.

[22] 그리고 상기 원형 복제 제 1 패턴을, 열가소성 고분자 물질을 사용하여 열가소성 고분자의 유리전이 온도보다 10°C ~ 50°C 높은 온도에서 10bar ~ 30bar의 압력으로 핫 엠보싱(Hot embossing) 공정으로 형성하는 것을 특징으로 한다.

[23] 그리고 상기 원형 복제 제 2 패턴을 PDMS(Polydimethylsiloxane) 고분자 물질을 사용하여 형성하는 것을 특징으로 한다.

[24] 그리고 상기 하부 클레드를 형성하는 단계는, 상기 원형 복제 제 2 패턴의 표면 위에 UV 큐어블 레진(UV curable resin)을 도포하는 공정, 자외선에 노광 공정을 수행하여 상기 UV 큐어블 레진(UV curable resin)을 액체 상태에서 고체 상태로 경화시키는 공정으로 이루어지는 것을 특징으로 한다.

[25] 그리고 상기 UV 큐어블 레진(UV curable resin)에 의하여 제작된 패턴은 상기 원형 복제 제 1 패턴의 패턴 형상 및 치수를 복원하게 되며 PLC 디바이스 칩의 하부 클레드로 사용되는 것을 특징으로 한다.

[26] 그리고 상기 그루브에 실장된 광 파이버와 상기 PLC 디바이스 칩의 코어는 결합되는 부분의 코어 치수와 피치가 동일한 것을 특징으로 한다.

발명의 효과

- [27] 이와 같은 본 발명에 따른 평면 광회로 소자의 광연결 방법은 다음과 같은 효과를 갖는다.
- [28] 첫째, PLC 디바이스 칩 제작 공정과 파이버 그루브(fiber groove) 제작 공정을 단일의 임프린트 공정으로 진행할 수 있다.
- [29] 둘째, PLC 디바이스 칩 제작 공정과 파이버 그루브(fiber groove) 제작 공정을 단일의 임프린트 공정으로 진행하는 것에 의해 공정을 단순화할 수 있다.
- [30] 셋째, 단일의 임프린트 공정으로 평면 광회로 소자를 제조하는 것에 의해 공정 시간, 공정 비용을 절감하는 효과가 있다.
- [31] 넷째, 단일의 임프린트 공정으로 평면 광회로 소자를 제조하는 기술을 적용하는 경우에 PLC 디바이스의 종류 및 코어 피치(core pitch)에 상관없이 정밀한 파이버 그루브의 제작이 가능하다.

도면의 간단한 설명

- [32] 도 1내지 도 13은 종래 기술의 PLC 디바이스 칩 제조를 위한 공정 단면도
- [33] 도 14내지 도 23은 종래 기술의 광 섬유 정렬용 파이버 그루브 제조를 위한 공정 단면도
- [34] 도 24는 종래 기술의 PLC 소자와 광섬유의 광 결합 구성을 나타낸 구성도
- [35] 도 25는 본 발명에 따른 평면 광회로 소자의 제조를 위한 공정 단면도

발명의 실시를 위한 최선의 형태

- [36] 이하, 본 발명에 따른 평면 광회로 소자의 광연결 방법의 바람직한 실시예에 관하여 상세히 설명하면 다음과 같다.
- [37] 본 발명에 따른 평면 광회로 소자의 광연결 방법의 특징 및 이점들은 이하에서의 각 실시예에 대한 상세한 설명을 통해 명백해질 것이다.
- [38] 도 25는 본 발명에 따른 평면 광회로 소자의 제조를 위한 공정 단면도이다.
- [39] 본 발명은 단일의 임프린트 금형을 사용하여 PLC 광소자와 광섬유 정렬을 위한 그루브(groove)를 동시에 제조하여 광결합을 할 수 있도록 한 것이다.
- [40] 도 25는 본 발명의 바람직한 실시예에 따른 평면 광회로 소자의 광결합 방법을 나타낸 것으로, 1x2 스플리터 구조를 가지는 실리콘 마스터(original master)를 가지고, 1x2 광 스플리터(optical splitter)를 제작하는 것을 예로 들어 설명한다.
- [41] 먼저, 도 25의 (a)(b)에서와 같이, 단일의 임프린트 금형(원형 마스터, original master)을 사용하여 열가소성 고분자에 구조물을 복제하는 임프린트 공정을 수행한다.
- [42] 즉, 원형 실리콘 마스터(41)를 사용하여 열가소성 고분자에 임프린트 공정(Hot embossing)을 진행하여 원형 복제 제 1 패턴(42)을 형성한다.
- [43] 이때 원형 실리콘 마스터(41)는 패턴 부분이 돌출된 직선 다채널 또는 스플리터(splitter) 구조를 갖는 포지티브 타입용 임프린트 마스터를 사용한다. 임프린트 공정은 열가소성 고분자의 유리전이 온도보다 10°C ~ 50°C 높은

온도에서 10bar ~ 30bar의 압력으로 공정을 수행한다.

- [44] 본 발명의 실시예에서는 열가소성 고분자 물질로 유리전이 온도가 105°인 PMMA(polymethylmethacryate) 또는 PC(poly carbonate)를 사용하는데, 이와 같은 물질로 한정되는 것이 아님은 당연하다.
- [45] 그리고 도 25의 (c)에서와 같이, 복제된 원형 복제 제 1 패턴(42)을 사용하여 탄성체 고분자 패턴(PDMS stamp)으로 복제한다.
- [46] 즉, 고분자 패턴이 존재하는 원형 복제 제 1 패턴(42)을 금형 대신 사용하여 탄성체 패턴으로 복제하여 원형 복제 제 2 패턴(43)을 형성한다.
- [47] 여기서, 탄성체 고분자는 PDMS(Polydimethylsiloxane) 고분자 물질을 사용한다.
- [48] 이때 탄성체 고분자는 원형 실리콘 마스터(41)의 치수 및 형상을 복원하게 된다.
- [49] 여기서, 원형 복제 제 2 패턴(43)을 이루는 탄성체 고분자는 탄성적인 특성과 낮은 표면에너지에 의하여 원형 복제 제 1 패턴(42)과 쉽게 분리가 가능하다.
- [50] 이어, 도 25의 (d)(e)에서와 같이, 복제된 탄성체 고분자로 이루어진 원형 복제 제 2 패턴(43)을 금형 대신 사용하여 UV 큐어블 레진(UV curable resin)으로 구조물을 복제하여 PLC 디바이스의 하부 클레드를 제조한다.
- [51] 즉, 원형 복제 제 2 패턴(43)을 사용하여 UV 큐어블 레진(UV curable resin)으로 패턴을 복제하여 하부 클레드층으로 사용하기 위한 복제 패턴(44)을 형성한다.
- [52] 여기서, UV 큐어블 레진(UV curable resin)에 의한 원형 복제 제 2 패턴(43)의 복제는 원형 복제 제 2 패턴(43)의 표면 위에 UV 큐어블 레진(UV curable resin)을 도포하고, 자외선에 노광 공정을 수행하게 되면 UV 큐어블 레진(UV curable resin)은 액체 상태에서 고체 상태로 경화가 이루어진다.
- [53] 이때 UV 큐어블 레진(UV curable resin)에 의하여 제작된 패턴은 원형 복제 제 1 패턴(42)의 패턴 형상 및 치수를 복원하게 되며 또한, PLC 디바이스 칩의 하부 클레드(44a)로 사용된다.
- [54] 그리고 도 25의 (f)에서와 같이, 제작된 하부 클레드(44a)에 UV 큐어블 레진(UV curable resin)을 사용하여 코어(45) 충전 및 상부 클레드(46)를 제작하여 PLC 디바이스 칩을 형성한다.
- [55] 즉, 제작된 하부 클레드(44a)의 채널 캐비티(channel cavity) 내부에 코어(45)로 사용될 UV 큐어블 레진(UV curable resin)을 충전하고 상부 클레드(46)를 적층 후 UV 노광 공정으로 PLC 디바이스 칩을 제작한다.
- [56] 여기서, 상부 클레드(46)의 제작은 상기 하부 클레드(44a)의 제작방법과 동일하지만, 패턴이 존재하지 않는 고분자 쉬트를 사용하여 제작한다.
- [57] 이어, 도 25의 (g)(h)에서와 같이, 원형 복제 제 1 패턴(42)의 입력단 및 출력단 부분을 절단하여 광 파이버(optical fiber)의 그루브(groove)로 사용하여 광 파이버(optical fiber)(47)를 실장 후 고정한다.
- [58] 여기서, 원형 복제 제 1 패턴(42) PLC 디바이스의 입력단 및 출력단에서 코어 치수 및 피치가 동일한 특성을 가지고 있다.

- [59] 그리고 도 25의 (i)에서와 같이, 광 파이버(47)가 실장된 그루브(groove)는 PLC 디바이스 칩의 입력단 및 출력단 부분을 각각 정렬하여 광결합한다.
- [60] 이와 같은 본 발명의 평면광파 회로 소자의 광결합 방법은 단일의 임프린트 금형을 사용하는 공정에 의하여 PLC 디바이스 칩을 제작하고, PLC 디바이스 칩 제작 과정 중에서 제작된 임프린트 패턴(imprinted pattern)을 광섬유 실장용 그루브로 사용할 수 있도록 한 것이다.
- [61] 이상에서의 설명에서와 같이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 본 발명이 구현되어 있음을 이해할 수 있을 것이다.
- [62] 그러므로 명시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 하고, 본 발명의 범위는 전술한 설명이 아니라 특허청구 범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

산업상 이용가능성

- [63] 본 발명은 단일의 임프린트 금형을 사용하는 공정에 의하여 PLC 디바이스 칩을 제작하고, PLC 디바이스 칩 제작 과정 중에서 제작된 임프린트 패턴(imprinted pattern)을 광섬유 실장용 그루브로 사용할 수 있도록 한 것이다.
- [64]

청구범위

- [청구항 1] 원형 실리콘 마스터(original master)를 사용하여 원형 복제 제 1 패턴을 형성하고, 원형 복제 제 1 패턴을 이용하여 원형 복제 제 2 패턴을 형성하는 단계;
상기 원형 복제 제 2 패턴을 이용하여 하부 클레드를 형성하는 단계;
상기 하부 클레드의 채널 캐비티에 코어층을 형성하고 상부 클레드를 적층하여 PLC 디바이스 칩을 형성하는 단계;
상기 원형 복제 제 1 패턴의 입,출력단을 절단하고 그루브에 광 파이버를 실장하는 단계;
상기 광 파이버가 실장된 그루브와 상기 PLC 디바이스 칩을 정렬하여 광결합하는 단계;를 포함하는 것을 특징으로 하는 평면 광회로 소자의 광연결 방법.
- [청구항 2] 제 1 항에 있어서, 상기 원형 실리콘 마스터(original master)는, 직선 다채널 또는 스플리터(splitter) 구조를 갖는 포지티브 타입용 임프린트 마스터인 것을 특징으로 하는 평면 광회로 소자의 광연결 방법.
- [청구항 3] 제 1 항에 있어서, 상기 원형 복제 제 1 패턴을, 열가소성 고분자 물질을 사용하여 열가소성 고분자의 유리전이 온도보다 10°C ~ 50°C 높은 온도에서 10bar ~ 30bar의 압력으로 핫 엠보싱(Hot embossing) 공정으로 형성하는 것을 특징으로 하는 평면 광회로 소자의 광연결 방법.
- [청구항 4] 제 1 항에 있어서, 상기 원형 복제 제 2 패턴을 PDMS(Polydimethylsiloxane) 고분자 물질을 사용하여 형성하는 것을 특징으로 하는 평면 광회로 소자의 광연결 방법.
- [청구항 5] 제 1 항에 있어서, 상기 하부 클레드를 형성하는 단계는, 상기 원형 복제 제 2 패턴의 표면 위에 UV 큐어블 레진(UV curable resin)을 도포하는 공정, 자외선에 노광 공정을 수행하여 상기 UV 큐어블 레진(UV curable resin)을 액체 상태에서 고체 상태로 경화시키는 공정으로 이루어지는 것을 특징으로 하는 평면 광회로 소자의 광연결 방법.
- [청구항 6] 제 5 항에 있어서, 상기 UV 큐어블 레진(UV curable resin)에 의하여 제작된 패턴은 상기 원형 복제 제 1 패턴의 패턴 형상 및 치수를 복원하게 되며 PLC 디바이스 칩의 하부 클레드로 사용되는 것을 특징으로 하는 평면 광회로 소자의 광연결 방법.
- [청구항 7] 제 1 항에 있어서, 상기 그루브에 실장된 광 파이버와 상기 PLC 디바이스 칩의 코어는 결합되는 부분의 코어 치수와 피치가

동일한 것을 특징으로 하는 평면 광회로 소자의 광연결 방법.

[Fig. 1]



Substrate

[Fig. 2]



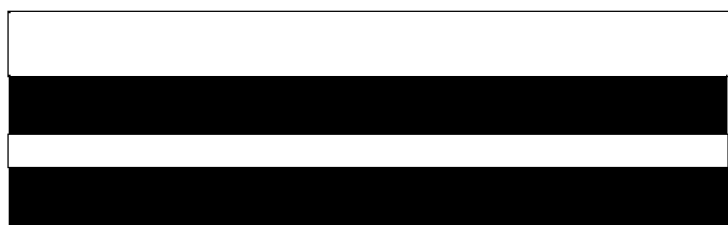
Adhesion promoter

[Fig. 3]



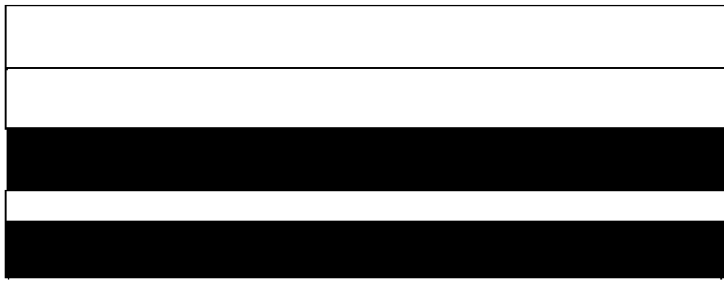
Under clad coating

[Fig. 4]



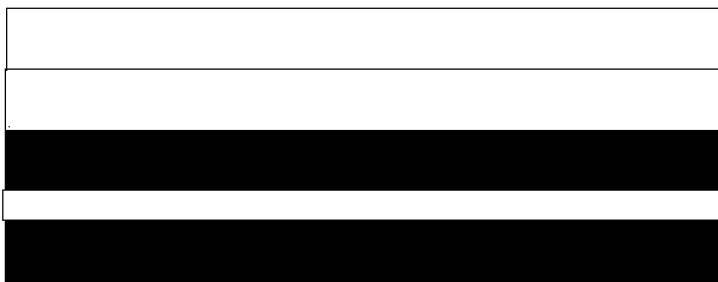
Core coating

[Fig. 5]



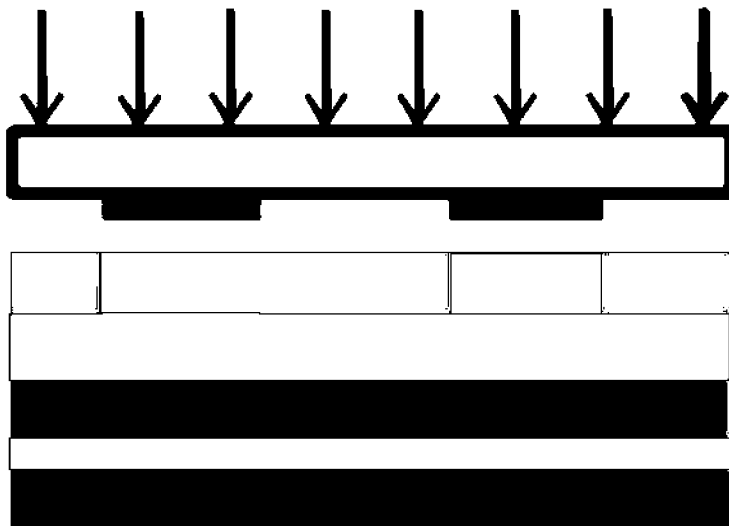
PR coating

[Fig. 6]



Soft baking

[Fig. 7]



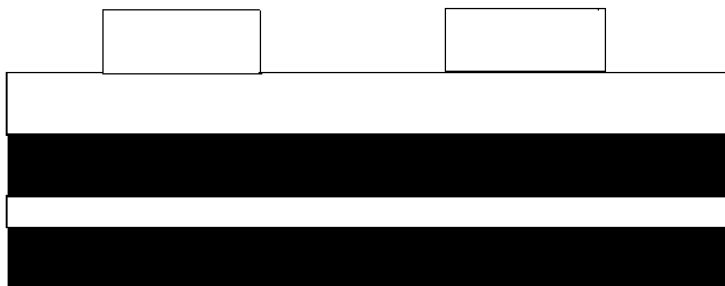
UV exposure

[Fig. 8]



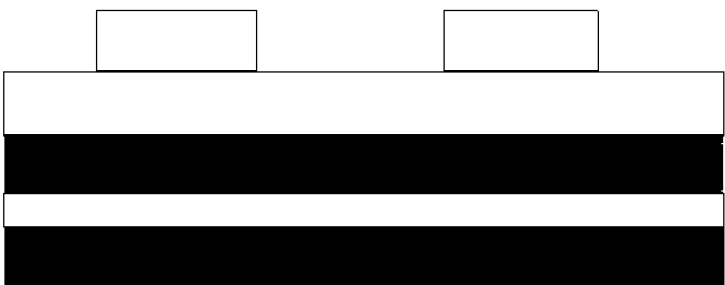
Post exposure baking

[Fig. 9]



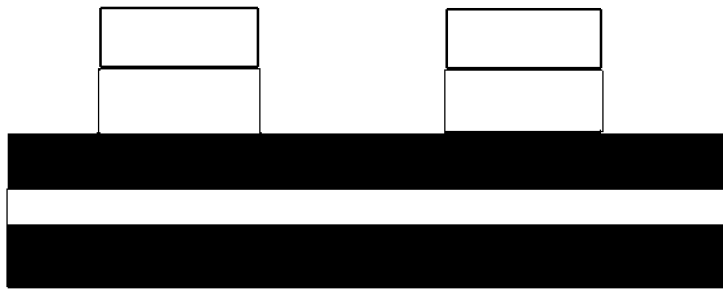
Development &
Inspection

[Fig. 10]



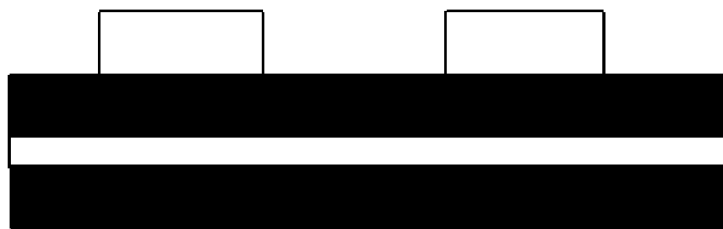
Hard baking

[Fig. 11]

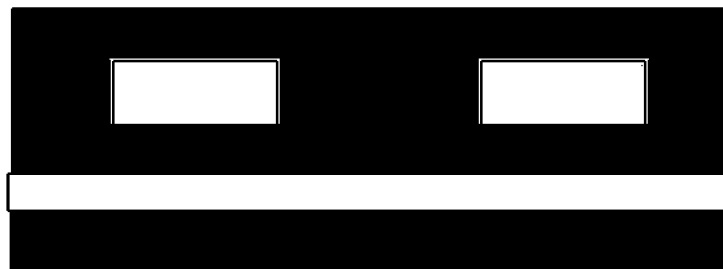


Core etching

[Fig. 12]

Development &
Inspection

[Fig. 13]

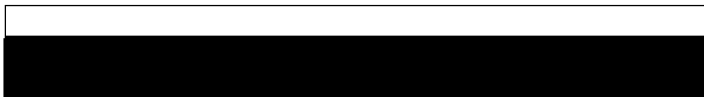
Upper cladcoating
/Optical device chip

[Fig. 14]



Substrate

[Fig. 15]



HMDS Priming

[Fig. 16]



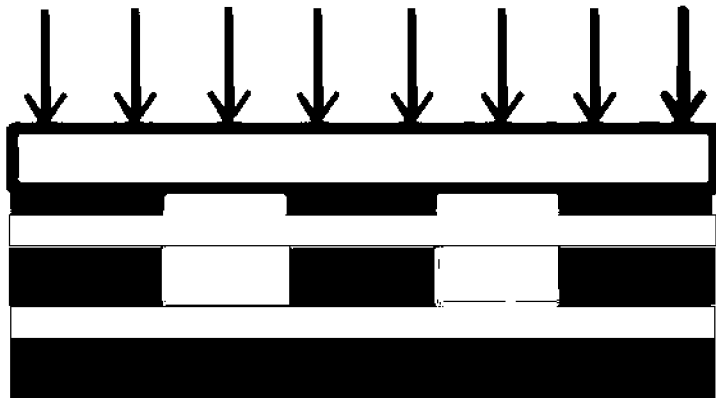
PR coating

[Fig. 17]



Soft baking

[Fig. 18]



UV exposure

[Fig. 19]



Post exposure baking

[Fig. 20]

Development &
Inspection

[Fig. 21]



Hard baking

[Fig. 22]

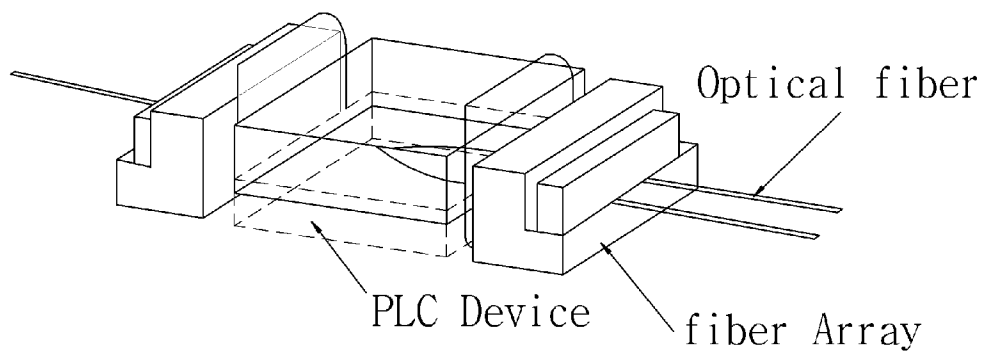


Substrate etching

[Fig. 23]

Development &
Inspection &
Groove

[Fig. 24]



[Fig. 25]

