(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 1 月 28 日(28.01.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/013087 A1

(51) 国際特許分類:
*H01L 21/336* (2006.01) *H01L 29/78* (2006.01)

(21) 国際出願番号: PCT/JP2014/069611

(22) 国際出願日: 2014 年 7 月 24 日(24.07.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): ユニサンティス エレクトロニクス シンガポール プライベート リミテッド (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098 ノースブリッジロード １１１、ペニンシュラプラザ ＃１６－０４ Singapore (SG).

(72) 発明者; および

(71) 出願人 (米国についてのみ): 舛岡 富士雄 (MASUOKA Fujio) [JP/JP]; 〒1020072 東京都千代田区飯田橋１－１２－１３ いずみ九段ビル５Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 中村 広記 (NAKAMURA Hiroki) [JP/JP]; 〒1020072 東京都千代田区飯田橋１－１２－１３ いずみ九段ビル５Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP).

(74) 代理人: 辻居 幸一, 外 (TSUJII Koichi et al.); 〒1008355 東京都千代田区丸の内３丁目３番１号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置の製造方法、及び、半導体装置

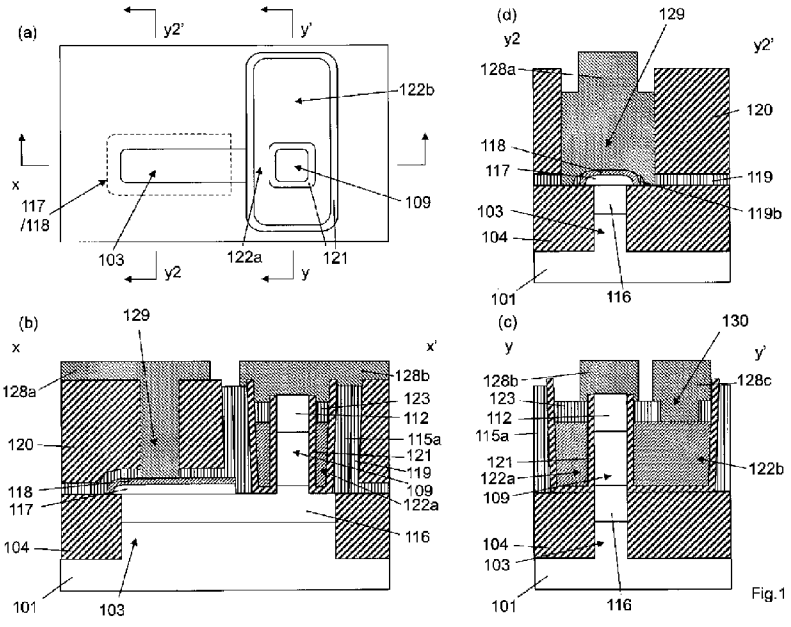



Fig.1

(57) **Abstract**: The present invention addresses the problem of providing: a method for manufacturing a surrounding gate transistor (SGT), which has a structure that reduces parasitic resistance by forming a fin-like semiconductor layer, a columnar semiconductor layer, a gate electrode, and gate wiring using two masks, said method employing gate-last process; and an SGT structure obtained as a result of using the method. The problem is solved by having: a first step, wherein a fin-like semiconductor layer is formed on a semiconductor substrate, and a first insulating film is formed around the fin-like semiconductor layer; a second step, wherein a second insulating film is formed around the fin-like semiconductor layer, and a columnar semiconductor layer, a first dummy gate, and a first hard mask are formed; a third step, wherein a second hard mask is formed on a side wall of the first hard mask, and second polysilicon is etched, thereby leaving the second polysilicon on the first dummy gate and a side wall of the columnar semiconductor layer, and forming a second dummy gate; and a fourth step, wherein a first epitaxially grown layer is formed on the fin-like semiconductor layer.

(57) 要約:

[続葉有]

WO 2016/013087 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

２個のマスクで、フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を形成し、寄生抵抗を低減する構造を有し、ゲートラストプロセスであるＳＧＴの製造方法とその結果得られるＳＧＴの構造を提供することを課題とする。半導体基板上にフィン状半導体層を形成し、フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程と、フィン状半導体層の周囲に第２の絶縁膜を形成し、柱状半導体層と第１のダミーゲートと第１のハードマスクとを形成する第２工程と、第１のハードマスクの側壁に、第２のハードマスクを形成し、第２のポリシリコンをエッチングすることにより、第１のダミーゲートと柱状半導体層の側壁に残存させ、第２のダミーゲートを形成する 第３工程と、フィン状半導体層上に第１のエピタキシャル成長層を形成する第４工程を有することにより、上記課題を解決する。

# 明　細　書

## 発明の名称 ： 半導体装置の製造方法、及び、半導体装置

## 技術分野

[0001] 本発明は半導体装置の製造方法、及び、半導体装置に関する。

## 背景技術

[0002] 半導体集積回路、特にＭＯＳトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているＭＯＳトランジスタはナノ領域まで微細化が進んでいる。このようなＭＯＳトランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。このような問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層を取り囲む構造のSurrounding Gate Transistor（以下、「ＳＧＴ」という。）が提案されている（例えば、特許文献１、特許文献２、特許文献３を参照）。

[0003] 従来のＳＧＴの製造方法では、シリコン柱を描画するためのマスクを用いて窒化膜ハードマスクが柱状に形成されたシリコン柱を形成し、平面状シリコン層を描画するためのマスクを用いてシリコン柱底部に平面状シリコン層を形成し、ゲート配線を描画するためのマスクを用いてゲート配線を形成している（例えば特許文献４を参照）。すなわち、３つのマスクを用いてシリコン柱、平面状シリコン層、ゲート配線を形成している。

[0004] また、従来のＭＯＳトランジスタにおいて、メタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスが実際の製品で用いられている(非特許文献１)。ポリシリコンでゲートを作成し、その後、層間絶縁膜を堆積後、化学機械研磨によりポリシリコンゲートを露出し、ポリシリコンゲートをエッチング後、メタルを堆積している。そのためＳＧＴにおいてもメタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成

するメタルゲートラストプロセスを用いる必要がある。

[0005] また、メタルを埋め込む際、孔の下部より孔の上部が狭いと、孔の上部が先に埋まり、空孔が発生する。

[0006] また、ゲート配線と基板間の寄生容量を低減するために、従来のＭＯＳトランジスタでは、第１の絶縁膜を用いている。例えばＦＩＮＦＥＴ（非特許文献２）では、１つのフィン状半導体層の周囲に第１の絶縁膜を形成し、第１の絶縁膜をエッチバックし、フィン状半導体層を露出し、ゲート配線と基板間の寄生容量を低減している。そのためＳＧＴにおいてもゲート配線と基板間の寄生容量を低減するために第１の絶縁膜を用いる必要がある。ＳＧＴではフィン状半導体層に加えて、柱状半導体層があるため、柱状半導体層を形成するための工夫が必要である。

[0007] また、フィン状半導体層の寄生抵抗が大きいと、トランジスタの電流駆動力が減少する。

## 先行技術文献

## 特許文献

[0008] 特許文献1：特開平２－７１５５６号公報

特許文献2：特開平２－１８８９６６号公報

特許文献3：特開平３－１４５７６１号公報

特許文献4：特開２００９－１８２３１７号公報

## 非特許文献

[0009] 非特許文献1：IEDM2007 K.Mistry et.al, pp 247-250

非特許文献2：IEDM2010 CC.Wu, et. al, 27.1.1-27.1.4.

## 発明の概要

## 発明が解決しようとする課題

[0010] そこで、２個のマスクで、フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を形成し、寄生抵抗を低減する構造を有し、ゲートラストプロセスであるＳＧＴの製造方法とその結果得られるＳＧＴの構造を提供するこ

とを目的とする。

## 課題を解決するための手段

[0011] 本発明の半導体装置の製造方法は、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程と、前記第１工程の後、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、前記第１のポリシリコン上に第３の絶縁膜を形成し、ゲート配線と柱状半導体層を形成するための第２のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第３の絶縁膜と前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと前記第３の絶縁膜による第１のハードマスクとを形成する第２工程と、前記第２工程の後、前記柱状半導体層と前記第１のダミーゲートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し平坦化し、エッチバックし、前記第１のハードマスクを露出し、第６の絶縁膜を堆積し、エッチングをすることにより、前記第１のハードマスクの側壁に、第２のハードマスクを形成し、前記第２のポリシリコンをエッチングすることにより、前記第１のダミーゲートと前記柱状半導体層の側壁に残存させ、第２のダミーゲートを形成する第３工程と、前記第２のダミーゲートの周囲に、第５の絶縁膜を形成し、エッチングし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上に第１のエピタキシャル成長層を形成する第４工程を有することを特徴とする。

[0012] また、前記第２のダミーゲートの上面の面積は、前記第２のダミーゲートの下面の面積より大きいことを特徴とする。

[0013] また、前記柱状半導体層と前記第１のダミーゲートの周囲に第４の絶縁膜を形成後、第３のレジストを形成し、エッチバックを行い、前記柱状半導体層上部を露出し、前記柱状半導体層上部に第１の拡散層を形成することを特徴とする。

[0014] また、前記第５の絶縁膜からなるサイドウォールを形成後、前記フィン状半導体層上部と前記柱状半導体層下部に第２の拡散層を形成することを特徴とする。

[0015] また、前記第１のエピタキシャル成長層に金属と半導体の化合物を形成することを特徴とする。

[0016] また、前記第４の工程の後、コンタクトストッパ膜を堆積し、層間絶縁膜を堆積し化学機械研磨し、前記第２のダミーゲートと前記第１のダミーゲートの上部を露出し、前記第２のダミーゲートと前記第１のダミーゲートを除去し、前記第２の絶縁膜と前記第４の絶縁膜を除去し、ゲート絶縁膜を前記柱状半導体層の周囲と前記第５の絶縁膜の内側に形成し、金属を堆積し、エッチバックを行い、ゲート電極及びゲート配線を形成する第５工程を有することを特徴とする。

[0017] また、本発明の半導体装置は、半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第１の絶縁膜と、前記フィン状半導体層上に形成された柱状半導体層と、前記柱状半導体層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成された金属からなるゲート電極と、前記ゲート電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなるゲート配線と、前記フィン状半導体層上に形成された第１のエピタキシャル成長層と、を有し、前記ゲート電極と前記ゲート配線の上面の面積は、前記ゲート電極と前記ゲート配線の下面の面積より大きく、かつ、前記第１のエピタキシャル成長層の前記フィン状半導体層に直交する方向の幅は、前記フィン状半導体層の前記フィン状半導体層に直交する方向の幅より広いことを特徴とする。

[0018] また、前記柱状半導体層の上部に形成された第１の拡散層と、前記フィン状半導体層の上部と前記柱状半導体層の下部に形成された第２の拡散層と、を有することを特徴とする。

[0019] また、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜とをさらに有することを特徴とする。

## 発明の効果

[0020] 本発明によれば、２個のマスクで、フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を形成し、寄生抵抗を低減する構造を有し、ゲートラストプロセスであるＳＧＴの製造方法とその結果得られるＳＧＴの構造を提供することができる。

[0021] 半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程と、前記第１工程の後、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、前記第１のポリシリコン上に第３の絶縁膜を形成し、ゲート配線と柱状半導体層を形成するための第２のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第３の絶縁膜と前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと前記第３の絶縁膜による第１のハードマスクとを形成する第２工程と、前記第２工程の後、前記柱状半導体層と前記第１のダミーゲートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し平坦化し、エッチバックし、前記第１のハードマスクを露出し、第６の絶縁膜を堆積し、エッチングをすることにより、前記第１のハードマスクの側壁に、第２のハードマスクを形成し、前記第２のポリシリコンをエッチングすることにより、前記第１のダミーゲートと前記柱状半導体層の側壁に残存させ、第２のダミーゲートを形成する第３工程を有することを特徴とすることにより、２個のマスクで、フィン状半導体層、柱状半導体層、後にゲート電極とゲート配線となる第１のダミーゲート及び第２のダミーゲートを形成することができ、工程数を削減することができる。

[0022] また、前記第２のダミーゲートの周囲に、第５の絶縁膜を形成し、エッチングし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールにより、第１のダミーゲートと第２のダミーゲートが、第１と第２のハードマスクと第５の絶縁膜からなるサイドウォールにより覆われ、フィン

状半導体層上部のみを露出することができるため、前記フィン状半導体層上のみに第１のエピタキシャル成長層を形成することができ、寄生抵抗を減らすことができる。また、第１と第２のハードマスクと第５の絶縁膜からなるサイドウォールにより、第１と第２のダミーゲートに金属と半導体の化合物が形成されることを防ぎ、フィン状半導体層上の第１のエピタキシャル成長層のみに金属と半導体の化合物を形成することができる。

[0023] また、第２のポリシリコンをエッチングする際、逆テーパエッチングを用いることにより、前記第２のダミーゲートの上面の面積を、前記第２のダミーゲートの下面の面積より大きくすることができ、ゲートのための金属を埋め込む際、空孔が形成されないようにすることができる。

[0024] 柱状半導体層と、ゲート配線との合わせずれをなくすことができる。

[0025] また、ポリシリコンで第１のダミーゲートと第２のダミーゲートを作成し、その後、層間絶縁膜を堆積後、化学機械研磨により第１のダミーゲートと第２のダミーゲートを露出し、ポリシリコンゲートをエッチング後、金属を堆積する従来のメタルゲートラストの製造方法を用いることができるため、メタルゲートＳＧＴを容易に形成できる。

[0026] また、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜により、ゲート電極とゲート配線とは、柱状半導体層とフィン状半導体層とから絶縁をすることができる。

## 図面の簡単な説明

[0027] [図1]（ａ）は本発明に係る半導体装置の平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図2]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図3]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）の ｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線で

の断面図である。

[図4]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図5]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図6]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図7]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図8]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図9]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図10]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図11]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図12]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図13]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図14]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図15]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図16]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図17]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図18]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図19]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図20]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図21]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図22]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（

ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図23]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図24]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。

[図25]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図26]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図27]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図28]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図29]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図30]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図31]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線

での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図32]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図33]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図34]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図35]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図36]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図37]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図38]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図39]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図40]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図41]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図42]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図43]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図44]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図45]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図46]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

[図47]（ａ）は本発明に係る半導体装置の製造方法に係る平面図である。（ｂ）は（ａ）のｘ－ｘ’線での断面図である。（ｃ）は（ａ）のｙ－ｙ’線での断面図である。（ｄ）は（ａ）のｙ２－ｙ２’線での断面図である。

## 発明を実施するための形態

[0028] 以下に、本発明の実施形態に係るＳＧＴの構造を形成するための製造工程を、図２～図４７を参照して説明する。

[0029] まず、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程を示す。本実施例では、シリコン基板としたが、半導体であればシリコン以外のものも基板として使用できる。

[0030] 図２に示すように、シリコン基板１０１上にフィン状シリコン層を形成するための第１のレジスト１０２を形成する。

[0031] 図３に示すように、シリコン基板１０１をエッチングし、フィン状シリコン層１０３を形成する。今回はレジストをマスクとしてフィン状シリコン層を形成したが、酸化膜や窒化膜といったハードマスクを用いてもよい。

[0032] 図４に示すように、第１のレジスト１０２を除去する。

[0033] 図５に示すように、フィン状シリコン層１０３の周囲に第１の絶縁膜１０４を堆積する。第１の絶縁膜として高密度プラズマによる酸化膜や低圧CVD(Chemical Vapor Deposition)による酸化膜を用いてもよい。

[0034] 図６に示すように、第１の絶縁膜１０４をエッチバックし、フィン状シリコン層１０３の上部を露出する。ここまでは、非特許文献２のフィン状シリコン層の製法と同じである。

[0035] 以上によりシリコン基板１０１上にフィン状シリコン層１０３を形成し、前記フィン状シリコン層１０３の周囲に第一の絶縁膜１０４を形成する第１工程が示された。

[0036] 次に、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、前記第１のポリシリコン上に第３の絶縁膜を形成し、ゲート配線と柱状半導体層を形成するための第２のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第３の絶縁膜と前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと前記第３の絶縁膜による第１のハードマスクとを形成する第２工程を示す。

[0037] 図７に示すように、前記フィン状シリコン層１０３の周囲に第２の絶縁膜１０５を形成する。第２の絶縁膜１０５は、酸化膜が好ましい。また、第２の絶縁膜１０５に、窒化膜を用いてもよい。

[0038] 図８に示すように、前記第２の絶縁膜１０５の上に第１のポリシリコン１０６を堆積し平坦化する。

[0039] 図９に示すように、前記第１のポリシリコン１０６上に第３の絶縁膜１０７を形成する。第３の絶縁膜１０７は、窒化膜が好ましい。

[0040] 図１０に示すように、ゲート配線と柱状シリコン層を形成するための第２のレジスト１０８を、前記フィン状シリコン層１０３の方向に対して垂直の方向に形成する。また、第２のレジスト１０８のかわりに、ハードマスクを用いてもよい。

[0041] 図１１に示すように、前記第３の絶縁膜１０７と前記第１のポリシリコン１０６と前記第２の絶縁膜１０５と前記フィン状シリコン層１０３をエッチングすることにより、柱状シリコン層１０９と前記第１のポリシリコンによる第１のダミーゲート１０６ａと第３の絶縁膜による第１のハードマスク１０７ａを形成する。

[0042] 図１２に示すように、第２のレジスト１０８を除去する。

[0043] 以上により、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、前記第１のポリシリコン上に第３の絶縁膜を形成し、ゲート配線と柱状半導体層を形成するための第２のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第３の絶縁膜と前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと前記第３の絶縁膜による第１のハードマスクとを形成する第２工程が示された。

[0044] 次に、前記第２工程の後、前記柱状半導体層と前記第１のダミーゲートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し平坦化し、エッチバックし、前記第１のハードマスクを露出し、第６の絶縁膜を堆積し、エッチングをすることにより、前記第１のハードマスクの側壁に、第２のハードマスクを形成し、前記第２のポリシリコンをエッチングすることにより、前記第１のダミーゲートと前記柱状半導体層の側壁に残存させ、第２のダミーゲートを形成する第３工程を示す。

[0045] 図１３に示すように、前記柱状シリコン層１０９と前記第１のダミーゲー

ト１０６ａの周囲に第４の絶縁膜１１０を形成する。第４の絶縁膜１１０は、酸化膜が好ましい。また、第４の絶縁膜１１０に、窒化膜を用いてもよい。

[0046] 図１４に示すように、第３のレジスト１１１を形成し、エッチバックを行い、前記柱状シリコン層１０９上部を露出する。また、第３のレジスト１１１として、有機材料もしくは無機材料を用いてもよい。

[0047] 図１５に示すように、不純物を導入し、前記柱状シリコン層１０９上部に第１の拡散層１１２を形成する。ｎ型拡散層のときは、砒素やリンを導入することが好ましい。ｐ型拡散層のときは、ボロンを導入することが好ましい。

[0048] 図１６に示すように、第３のレジスト１１１を除去する。

[0049] 図１７に示すように、前記第４の絶縁膜１１０の周囲に第２のポリシリコン１１３を堆積し平坦化する。

[0050] 図１８に示すように、第２のポリシリコン１１３をエッチバックし、前記第１のハードマスク１０７ａを露出する。

[0051] 図１９に示すように、第６の絶縁膜１１４を堆積する。第６の絶縁膜１１４は窒化膜が好ましい。

[0052] 図２０に示すように、第６の絶縁膜１１４をエッチングすることにより、前記第１のハードマスク１０７ａの側壁に、第２のハードマスク１１４ａを形成する。

[0053] 図２１に示すように、前記第２のポリシリコン１１３をエッチングすることにより、前記第１のダミーゲート１０６ａと前記柱状半導体層１０９の側壁に残存させ、第２のダミーゲート１１３ａを形成する。第２のポリシリコン１１３をエッチングする際、逆テーパエッチングを用いることにより、前記第２のダミーゲート１１３ａの上面の面積は、前記第２のダミーゲート１１３ａの下面の面積より大きくすることができ、ゲートのための金属を埋め込む際、空孔が形成されないようにすることができる。

[0054] 以上により、前記第２工程の後、前記柱状半導体層と前記第１のダミーゲ

ートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し平坦化し、エッチバックし、前記第１のハードマスクを露出し、第６の絶縁膜を堆積し、エッチングをすることにより、前記第１のハードマスクの側壁に、第２のハードマスクを形成し、前記第２のポリシリコンをエッチングすることにより、前記第１のダミーゲートと前記柱状半導体層の側壁に残存させ、第２のダミーゲートを形成する第３工程が示された。

[0055] 次に、前記第２のダミーゲートの周囲に、第５の絶縁膜を形成し、エッチングし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上に第１のエピタキシャル成長層を形成する第４工程を示す。

[0056] 図２２に示すように、前記第２のダミーゲート１１３ａの周囲に、第５の絶縁膜１１５を形成する。第５の絶縁膜１１５は、窒化膜が好ましい。また、第５の絶縁膜１１５は、酸化膜、窒化膜の積層構造としてもよい。

[0057] 図２３に示すように、第５の絶縁膜１１５をエッチングし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォール１１５ａを形成する。

[0058] 図２４に示すように、不純物を導入し、前記フィン状シリコン層１０３上部と前記柱状シリコン層１０９下部に第２の拡散層１１６を形成する。ｎ型拡散層のときは、砒素やリンを導入することが好ましい。ｐ型拡散層のときは、ボロンを導入することが好ましい。

[0059] 図２５に示すように、選択エピタキシャル成長を行い、前記フィン状半導体層１０３上に、第１のエピタキシャル成長層１１７を形成する。第１のエピタキシャル成長層１１７は、シリコンであることが好ましい。また、シリコンとゲルマニウムの化合物層を成長させてもよい。前記第１のエピタキシャル成長層１１７の前記フィン状半導体層１０３に直交する方向の幅は、前記フィン状半導体層１０３の前記フィン状半導体層１０３に直交する方向の幅より広くなる。第１のダミーゲートと第２のダミーゲートが、第１と第２のハードマスクと第５の絶縁膜からなるサイドウォールにより覆われ、フィ

ン状半導体層上部のみを露出することができるため、前記フィン状半導体層上のみに第１のエピタキシャル成長層を形成することができ、寄生抵抗を減らすことができる。

[0060] 図２６に示すように、第１のエピタキシャル成長層１１７に金属と半導体の化合物１１８を形成する。金属と半導体の化合物１１８は、第１のエピタキシャル成長層１１７全体に形成されてもよい。また、第１と第２のハードマスクと第５の絶縁膜からなるサイドウォールにより、第１と第２のダミーゲートに金属と半導体の化合物が形成されることを防ぎ、フィン状半導体層上の第１のエピタキシャル成長層のみに金属と半導体の化合物を形成することができる。

[0061] 以上により、前記第２のダミーゲートの周囲に、第５の絶縁膜を形成し、エッチングし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上に第１のエピタキシャル成長層を形成する第４工程が示された。

[0062] 次に、前記第４の工程の後、コンタクトストッパ膜を堆積し、層間絶縁膜を堆積し化学機械研磨し、前記第２のダミーゲートと前記第１のダミーゲートの上部を露出し、前記第２のダミーゲートと前記第１のダミーゲートを除去し、前記第２の絶縁膜と前記第４の絶縁膜を除去し、ゲート絶縁膜を前記柱状半導体層の周囲と前記第５の絶縁膜の内側に形成し、金属を堆積し、エッチバックを行い、ゲート電極及びゲート配線を形成する第５工程を示す。

[0063] 図２７に示すように、コンタクトストッパ膜１１９を堆積し、層間絶縁膜１２０を堆積する。コンタクトストッパ膜１１９として、窒化膜が好ましい。

[0064] 図２８に示すように、化学機械研磨し、前記第２のダミーゲート１１３ａと前記第１のダミーゲート１０６ａの上部を露出する。

[0065] 図２９に示すように、前記第２のダミーゲート１１３ａと前記第１のダミーゲート１０６ａを除去する。

[0066] 図３０に示すように、前記第２の絶縁膜１０５と前記第４の絶縁膜１１０

を除去する。

[0067] 図３１に示すように、ゲート絶縁膜１２１を前記柱状シリコン層１０９の周囲と前記第５の絶縁膜１１５ａの内側に形成する。ゲート絶縁膜１２１は、高誘電体膜が好ましい。ゲート絶縁膜１２１として、酸化膜、酸窒化膜、窒化膜を用いてもよい。

[0068] 図３２に示すように、金属１２２を堆積する。

[0069] 図３３に示すように、金属１２２のエッチバックを行い、柱状シリコン層１０９上部を露出する。柱状シリコン層１０９の周囲にゲート電極１２２ａが形成される。また、ゲート配線１２２ｂが形成される。前記ゲート電極１２２ａと前記ゲート配線１２２ｂの周囲と底部に形成された前記ゲート絶縁膜１２１により、ゲート電極１２２ａとゲート配線１２２ｂとは、柱状シリコン層１０９とフィン状シリコン層１０３とから絶縁をすることができる。

[0070] 以上により、前記第４の工程の後、コンタクトストッパ膜を堆積し、層間絶縁膜を堆積し化学機械研磨し、前記第２のダミーゲートと前記第１のダミーゲートの上部を露出し、前記第２のダミーゲートと前記第１のダミーゲートを除去し、前記第２の絶縁膜と前記第４の絶縁膜を除去し、ゲート絶縁膜を前記柱状半導体層の周囲と前記第５の絶縁膜の内側に形成し、金属を堆積し、エッチバックを行い、ゲート電極及びゲート配線を形成する第５工程が示された。

[0071] 図３４に示すように、第７の絶縁膜１２３を堆積する。第７の絶縁膜１２３は窒化膜が好ましい。

[0072] 図３５に示すように、第７の絶縁膜１２３をエッチバックし、ゲート絶縁膜１２１を露出する。

[0073] 図３６に示すように、露出したゲート絶縁膜１２１を除去する。

[0074] 図３７に示すように、コンタクト孔を形成するための第４のレジスト１２４を形成する。

[0075] 図３８に示すように、層間絶縁膜１２０をエッチングすることにより、コンタクト孔１２５を形成する。

[0076] 図３９に示すように、第４のレジスト１２４を除去する。

[0077] 図４０に示すように、コンタクト孔を形成するための第５のレジスト１２６を形成する。

[0078] 図４１に示すように、第７の絶縁膜１２３をエッチングし、コンタクト孔１２７を形成する。

[0079] 図４２に示すように、第５のレジスト１２６を除去する。

[0080] 図４３に示すように、コンタクト孔１２５下のコンタクトストッパ膜１１９を除去する。

[0081] 図４４に示すように、金属１２８を堆積し、コンタクト１２９、１３０を形成する。

[0082] 図４５に示すように、金属配線を形成するため第６のレジスト１３１、１３２、１３３を形成する。

[0083] 図４６に示すように、金属１２８をエッチングし、金属配線１２８ａ、１２８ｂ、１２８ｃを形成する。

[0084] 図４７に示すように、第６のレジスト１３１、１３２、１３３を除去する。

[0085] 以上により、２個のマスクで、フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を形成し、寄生抵抗を低減する構造を有し、ゲートラストプロセスであるＳＧＴの製造方法が示された。

[0086] 上記製造方法によって得られる半導体装置の構造を図１に示す。

[0087] 図１に示す半導体装置の構造は、シリコン基板１０１上に形成されたフィン状シリコン層１０３と、前記フィン状シリコン層１０３の周囲に形成された第１の絶縁膜１０４と、前記フィン状シリコン層１０３上に形成された柱状シリコン層１０９と、前記柱状シリコン層１０９の周囲に形成されたゲート絶縁膜１２１と、前記ゲート絶縁膜１２１の周囲に形成された金属からなるゲート電極１２２ａと、前記ゲート電極１２２ａに接続された前記フィン状シリコン層１０３に直交する方向に延在する金属からなるゲート配線１２２ｂとを有し、前記ゲート電極１２２ａと前記ゲート配線１２２ｂの上面の

面積は前記ゲート電極１２２ａと前記ゲート配線１２２ｂの下面の面積より大きく、さらに、前記フィン状シリコン層１０３上に形成された第１のエピタキシャル成長層１１７と、を有し、前記第１のエピタキシャル成長層１１７の前記フィン状シリコン層１０３に直交する方向の幅は、前記フィン状シリコン層１０３の前記フィン状シリコン層１０３に直交する方向の幅より広い。

[0088] また、前記柱状シリコン層１０９の上部に形成された第１の拡散層１１２と、前記フィン状シリコン層１０３の上部と前記柱状シリコン層１０９の下部に形成された第２の拡散層１１６と、を有する。

[0089] また、前記ゲート電極１２２ａと前記ゲート配線１２２ｂの周囲と底部に形成された前記ゲート絶縁膜１２１とをさらに有する。

[0090] フィン状シリコン層１０３上部にフィン状シリコン層１０３よりも幅が広い第１のエピタキシャル成長層１１７が形成されることで、寄生抵抗を低減することができる。また、金属と半導体の化合物層の幅も広がることから、さらに寄生抵抗を低減することができる。また、コンタクトとの接触面積が広がることから、コンタクトとの接触抵抗を低減することができる。

[0091] セルフアラインで形成されるので、柱状シリコン層１０９と、ゲート配線１２２ｂとの合わせずれをなくすことができる。

[0092] また、前記ゲート電極１２２ａと前記ゲート配線１２２ｂの周囲と底部に形成された前記ゲート絶縁膜１２１により、ゲート電極１２２ａとゲート配線１２２ｂとは、柱状シリコン層１０９とフィン状シリコン層１０３とから絶縁をすることができる。

[0093] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0094] 例えば、上記実施例において、ｐ型（$p^+$型を含む。）とｎ型（$n^+$型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それに

より得られる半導体装置も当然に本発明の技術的範囲に含まれる。

## 符号の説明

[0095] １０１．シリコン基板

１０２．第１のレジスト

１０３．フィン状シリコン層

１０４．第１の絶縁膜

１０５．第２の絶縁膜

１０６．第１のポリシリコン

１０６ａ．第１のダミーゲート

１０７．第３の絶縁膜

１０７ａ．第１のハードマスク

１０８．第２のレジスト

１０９．柱状シリコン層

１１０．第４の絶縁膜

１１１．第３のレジスト

１１２．第１の拡散層

１１３．第２のポリシリコン

１１３ａ．第２のダミーゲート

１１４．第６の絶縁膜

１１４ａ．第２のハードマスク

１１５．第５の絶縁膜

１１５ａ．サイドウォール

１１６．第２の拡散層

１１７．第１のエピタキシャル成長層

１１８．金属と半導体の化合物

１１９．コンタクトストッパ膜

１２０．層間絶縁膜

１２１．ゲート絶縁膜

１２２．金属

１２２ａ．ゲート電極

１２２ｂ．ゲート配線

１２３．第７の絶縁膜

１２４．第４のレジスト

１２５．コンタクト孔

１２６．第５のレジスト

１２７．コンタクト孔

１２８．金属

１２８ａ．金属配線

１２８ｂ．金属配線

１２８ｃ．金属配線

１２９．コンタクト

１３０．コンタクト

１３１．第６のレジスト

１３２．第６のレジスト

１３３．第６のレジスト

# 請求の範囲

[請求項1] 半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第１の絶縁膜を形成する第１工程と、

前記第１工程の後、前記フィン状半導体層の周囲に第２の絶縁膜を形成し、前記第２の絶縁膜の上に第１のポリシリコンを堆積し平坦化し、前記第１のポリシリコン上に第３の絶縁膜を形成し、ゲート配線と柱状半導体層を形成するための第２のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第３の絶縁膜と前記第１のポリシリコンと前記第２の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第１のポリシリコンによる第１のダミーゲートと前記第３の絶縁膜による第１のハードマスクとを形成する第２工程と、

前記第２工程の後、前記柱状半導体層と前記第１のダミーゲートの周囲に第４の絶縁膜を形成し、前記第４の絶縁膜の周囲に第２のポリシリコンを堆積し平坦化し、エッチバックし、前記第１のハードマスクを露出し、第６の絶縁膜を堆積し、エッチングをすることにより、前記第１のハードマスクの側壁に、第２のハードマスクを形成し、前記第２のポリシリコンをエッチングすることにより、前記第１のダミーゲートと前記柱状半導体層の側壁に残存させ、第２のダミーゲートを形成する第３工程と、

前記第２のダミーゲートの周囲に、第５の絶縁膜を形成し、エッチングし、サイドウォール状に残存させ、前記第５の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上に第１のエピタキシャル成長層を形成する第４工程と、を有することを特徴とする半導体装置の製造方法。

[請求項2] 前記第２のダミーゲートの上面の面積は、前記第２のダミーゲートの下面の面積より大きいことを特徴とする請求項１に記載の半導体装置。

[請求項3] 前記柱状半導体層と前記第１のダミーゲートの周囲に第４の絶縁膜を形成後、第３のレジストを形成し、エッチバックを行い、前記柱状半導体層上部を露出し、前記柱状半導体層上部に第１の拡散層を形成することを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項4] 前記第５の絶縁膜からなるサイドウォールを形成後、前記フィン状半導体層上部と前記柱状半導体層下部に第２の拡散層を形成することを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項5] 前記第１のエピタキシャル成長層に金属と半導体の化合物を形成することを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項6] 前記第４の工程の後、コンタクトストッパ膜を堆積し、層間絶縁膜を堆積し化学機械研磨し、前記第２のダミーゲートと前記第１のダミーゲートの上部を露出し、前記第２のダミーゲートと前記第１のダミーゲートを除去し、前記第２の絶縁膜と前記第４の絶縁膜を除去し、ゲート絶縁膜を前記柱状半導体層の周囲と前記第５の絶縁膜の内側に形成し、金属を堆積し、エッチバックを行い、ゲート電極及びゲート配線を形成する第５工程を有することを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項7] 半導体基板上に形成されたフィン状半導体層と、

前記フィン状半導体層の周囲に形成された第１の絶縁膜と、

前記フィン状半導体層上に形成された柱状半導体層と、

前記柱状半導体層の周囲に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の周囲に形成された金属からなるゲート電極と、

前記ゲート電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなるゲート配線と、

前記フィン状半導体層上に形成された第１のエピタキシャル成長層と、を有し、

前記ゲート電極と前記ゲート配線の上面の面積は、前記ゲート電極と前記ゲート配線の下面の面積より大きく、かつ、前記第１のエピタ

キシャル成長層の前記フィン状半導体層に直交する方向の幅は、前記フィン状半導体層の前記フィン状半導体層に直交する方向の幅より広いことを特徴とする半導体装置。

[請求項8] 前記柱状半導体層の上部に形成された第１の拡散層と、

前記フィン状半導体層の上部と前記柱状半導体層の下部に形成された第２の拡散層と、

を有することを特徴とする請求項７に記載の半導体装置。

[請求項9] 前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜とをさらに有することを特徴とする請求項７に記載の半導体装置。

[図1]

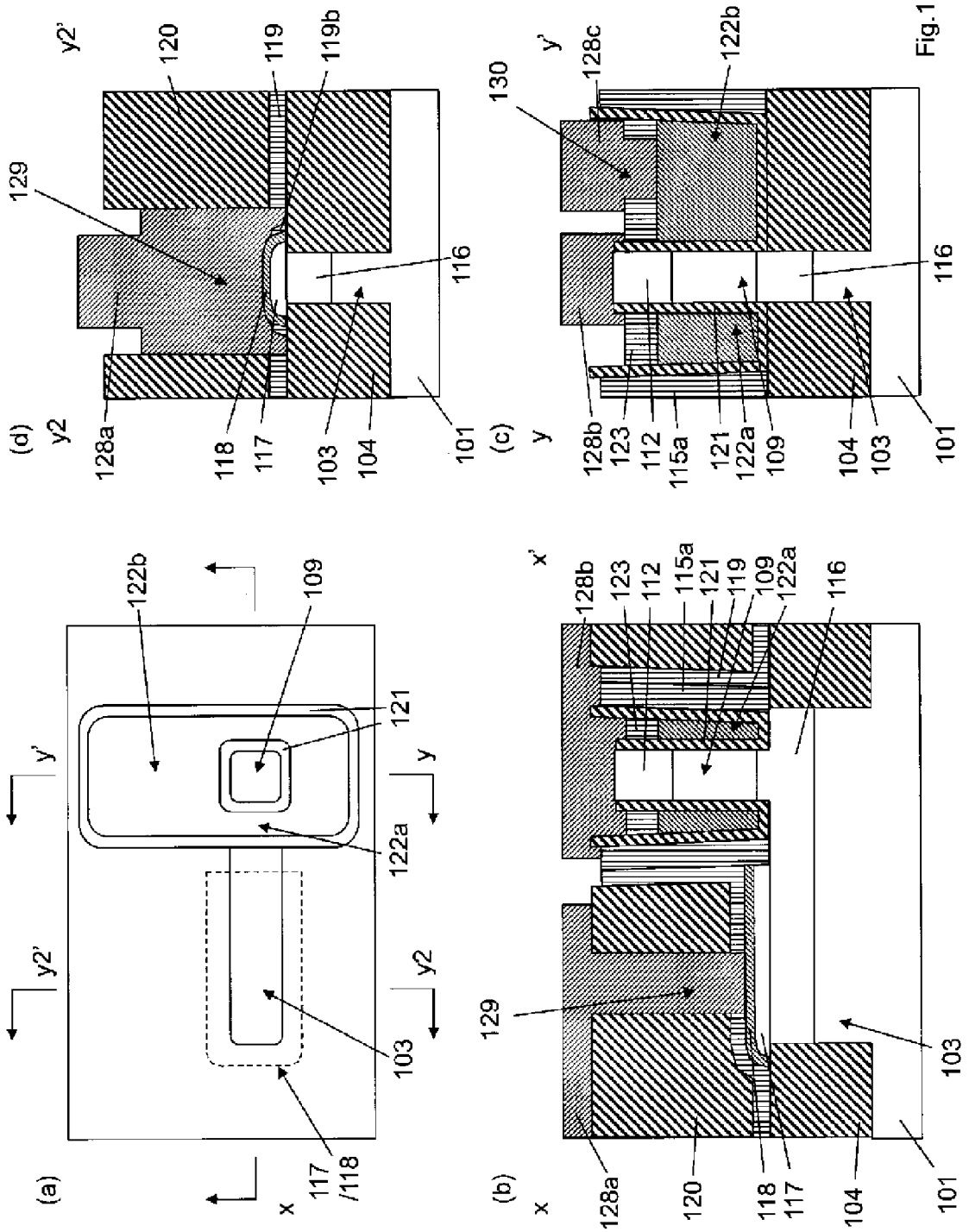
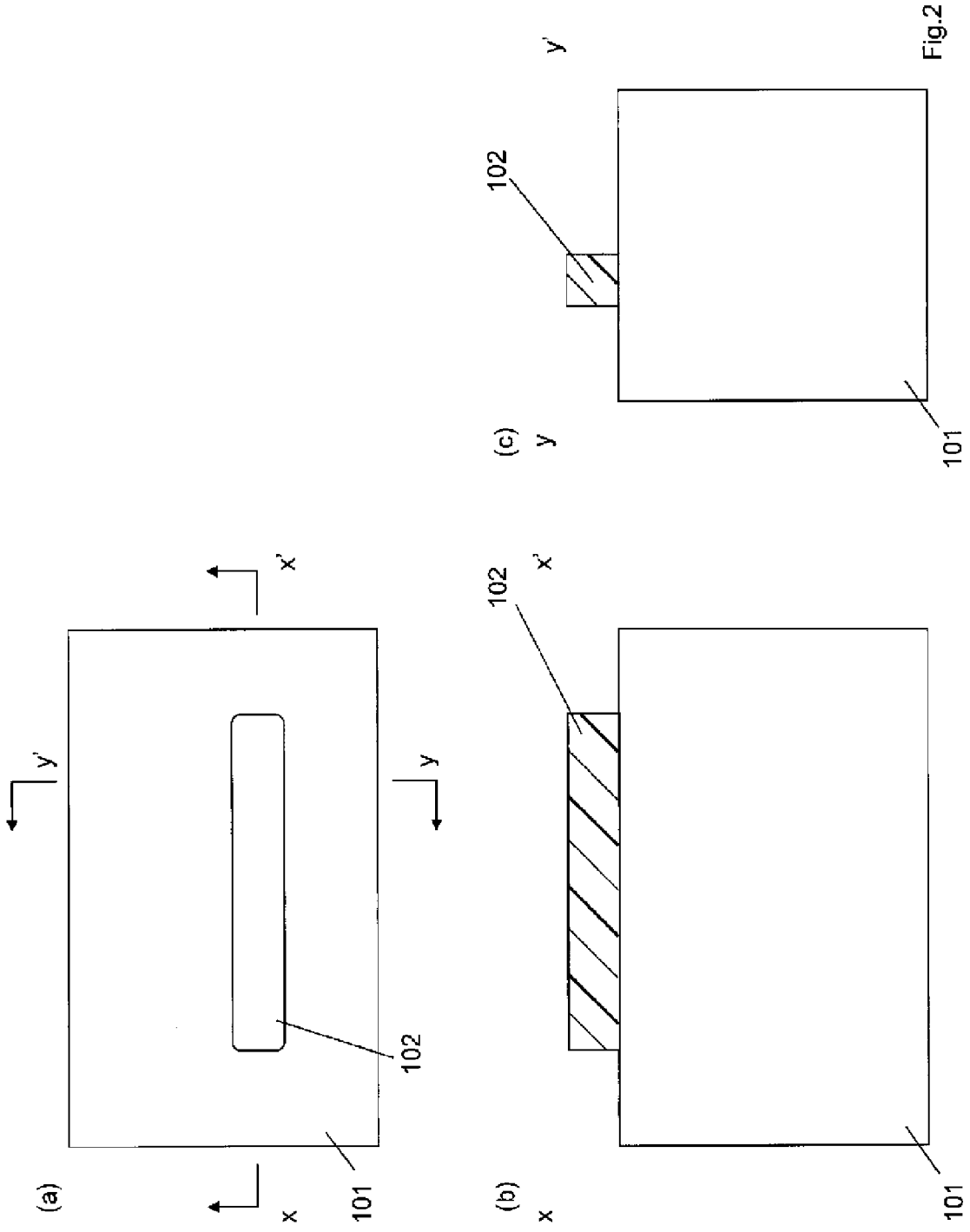

(a)
(b)
(c)
(d)
x
x'
y
y'
y2
y2'
101
103
104
109
112
115a
116
117
118
119
119b
120
121
122a
122b
123
128a
128b
128c
129
130

Fig.1

[図2]



[図3]

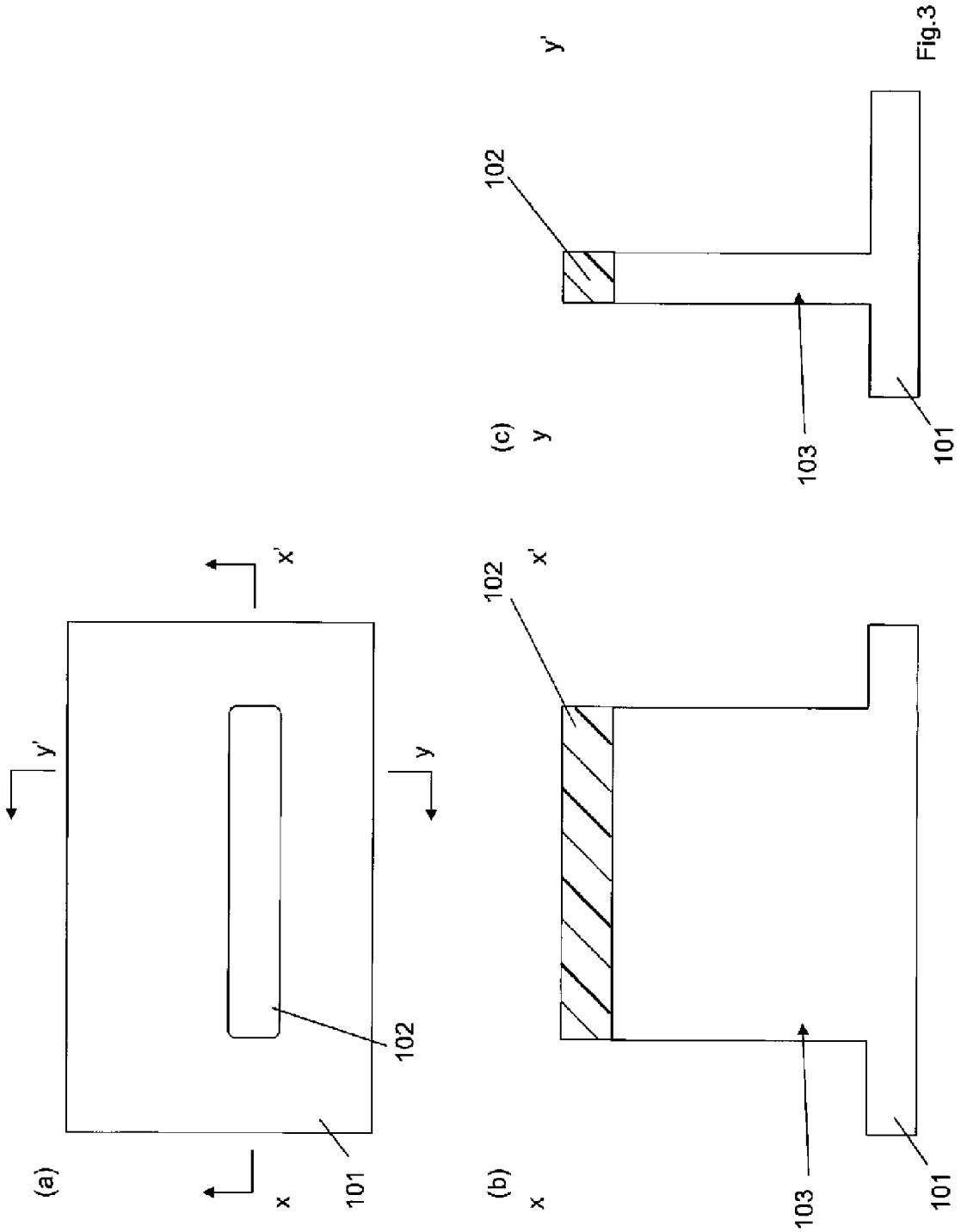



Fig.3

[図4]

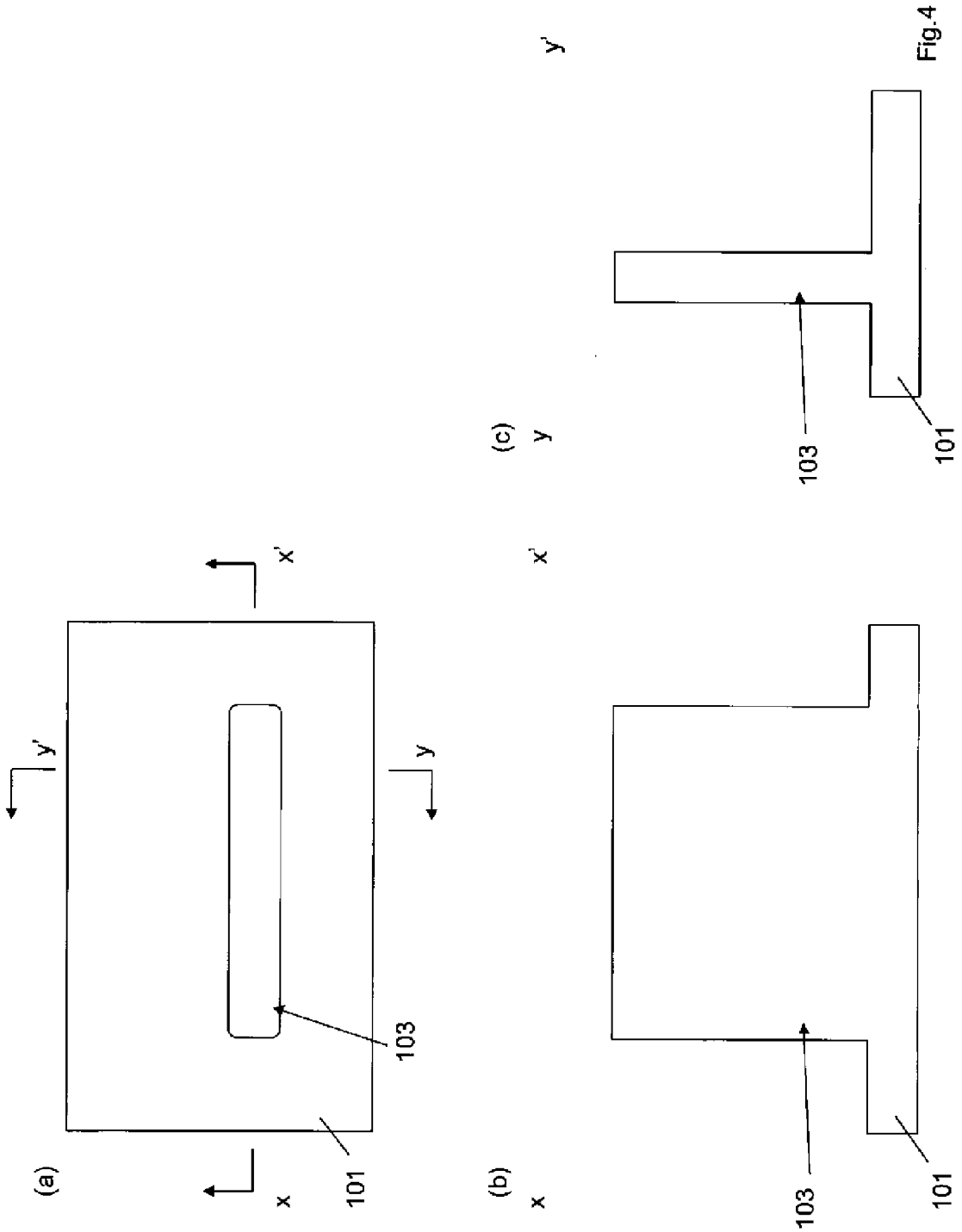



Fig.4

[図5]

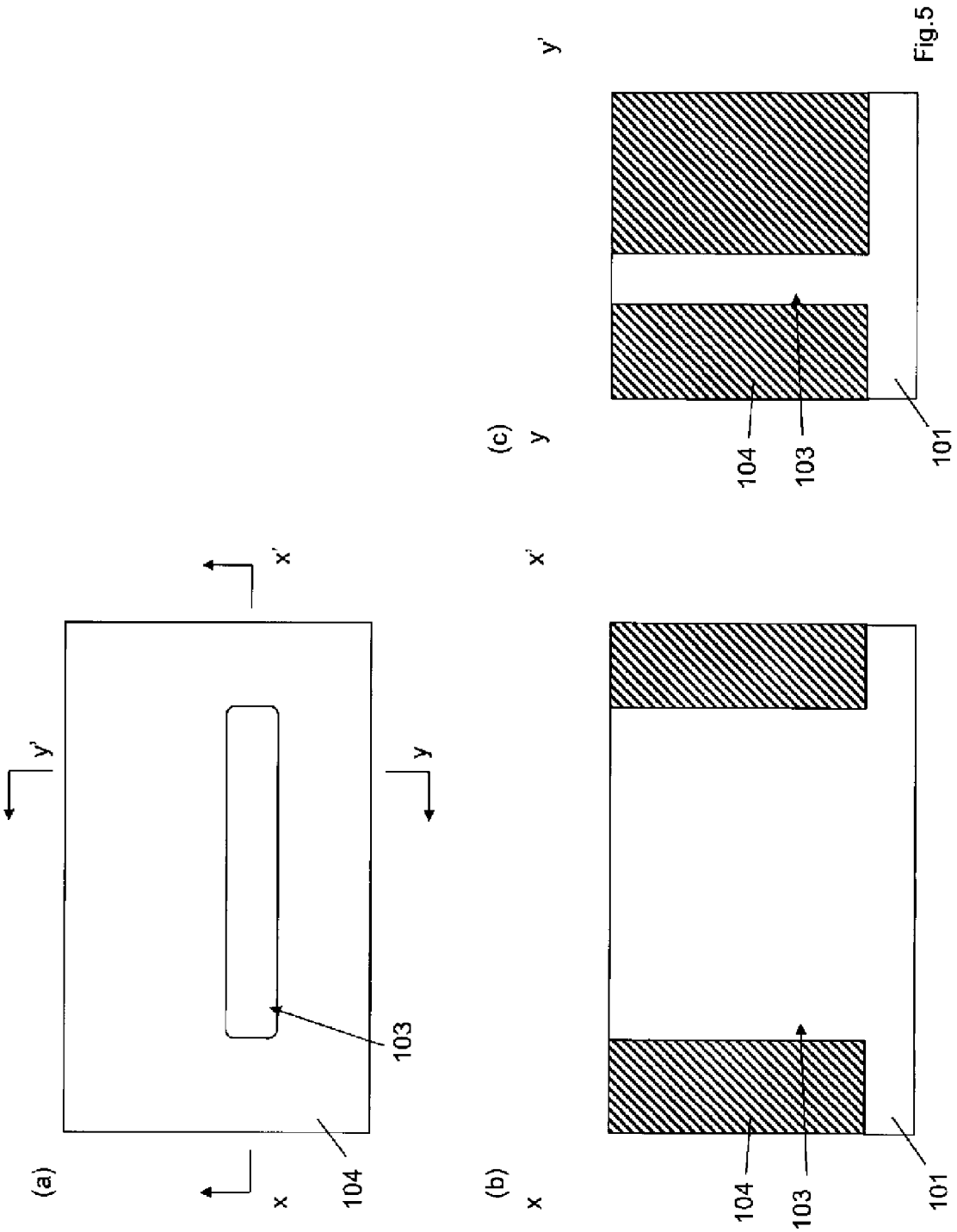



Fig.5

[図6]

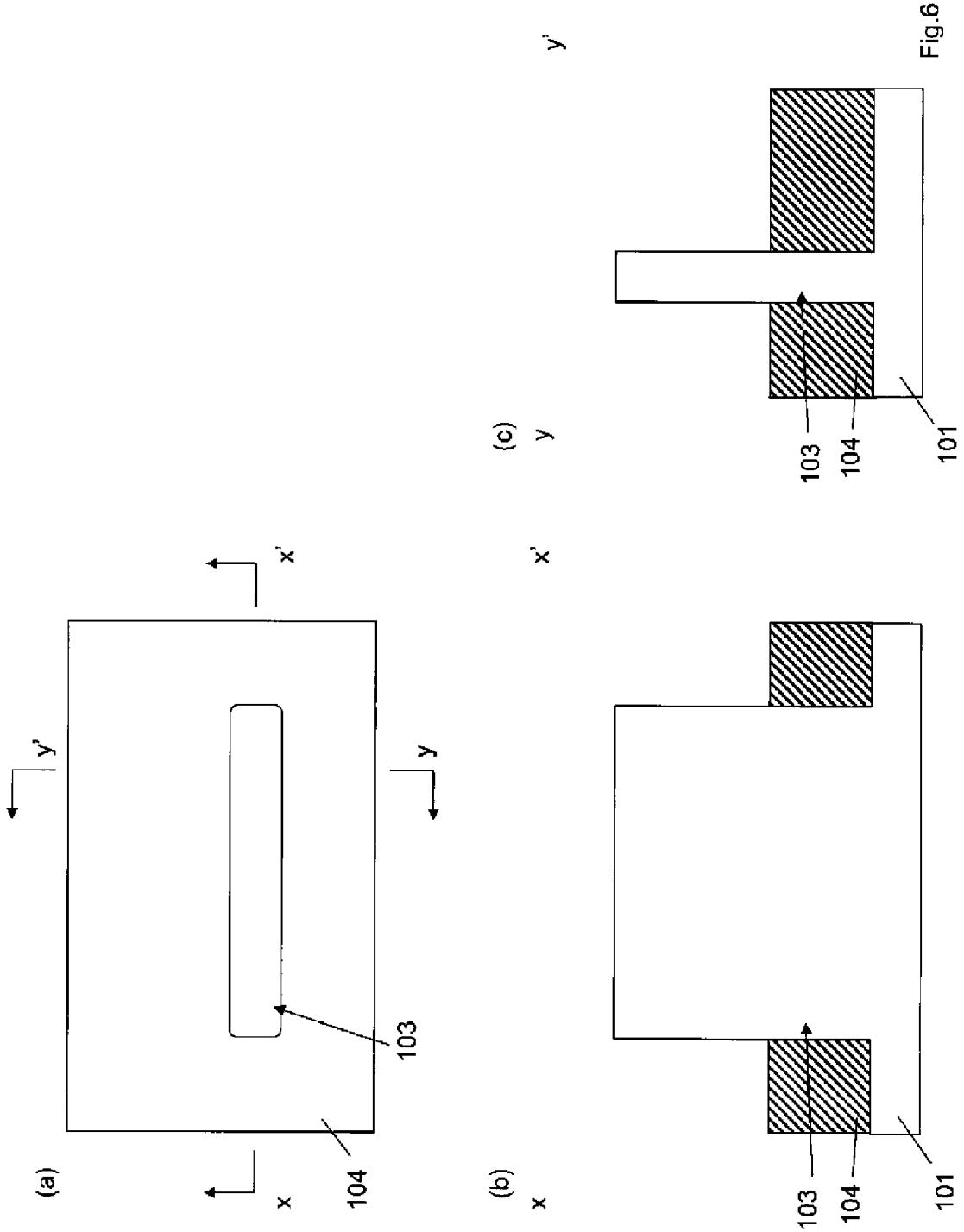



Fig.6

[図7]

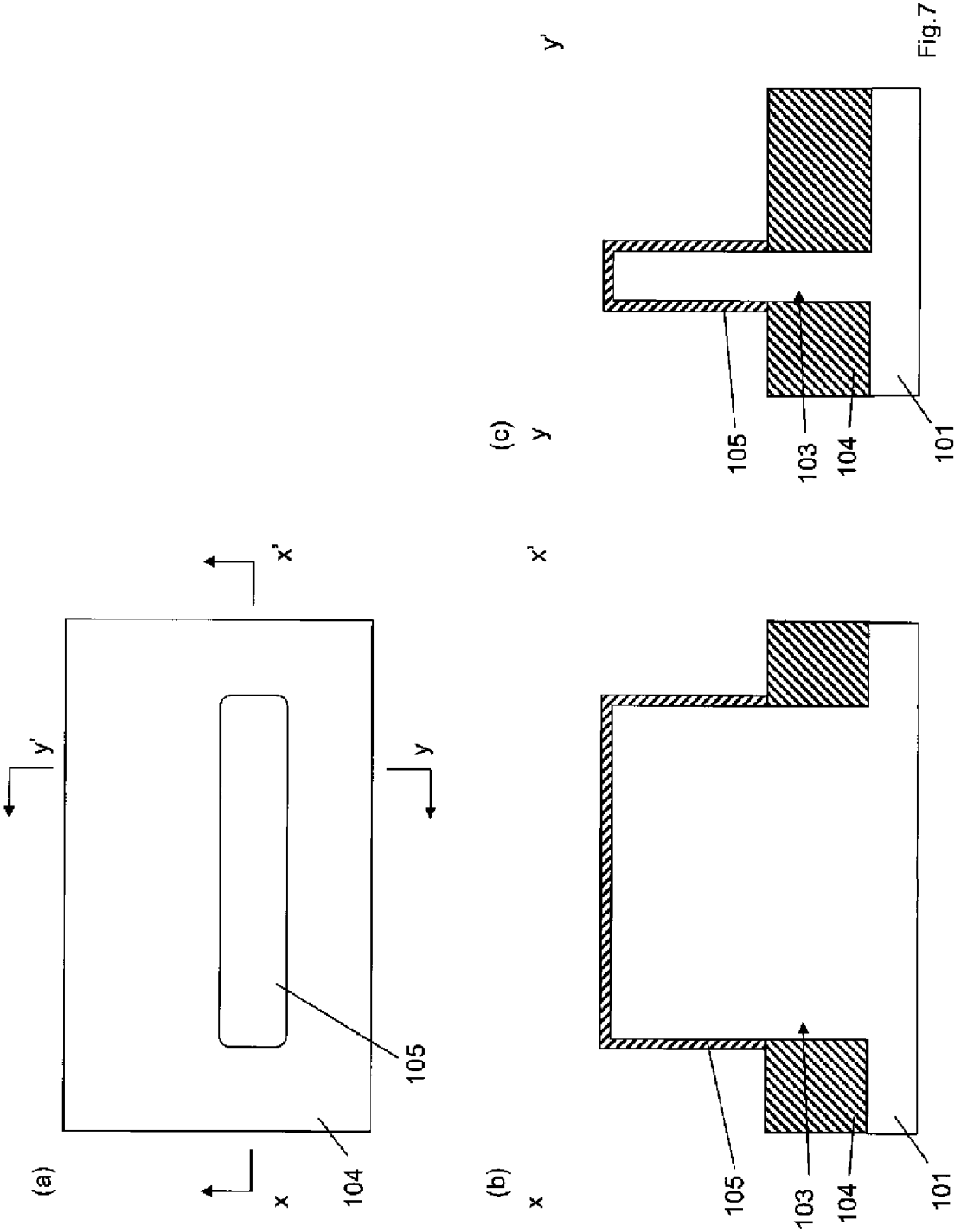
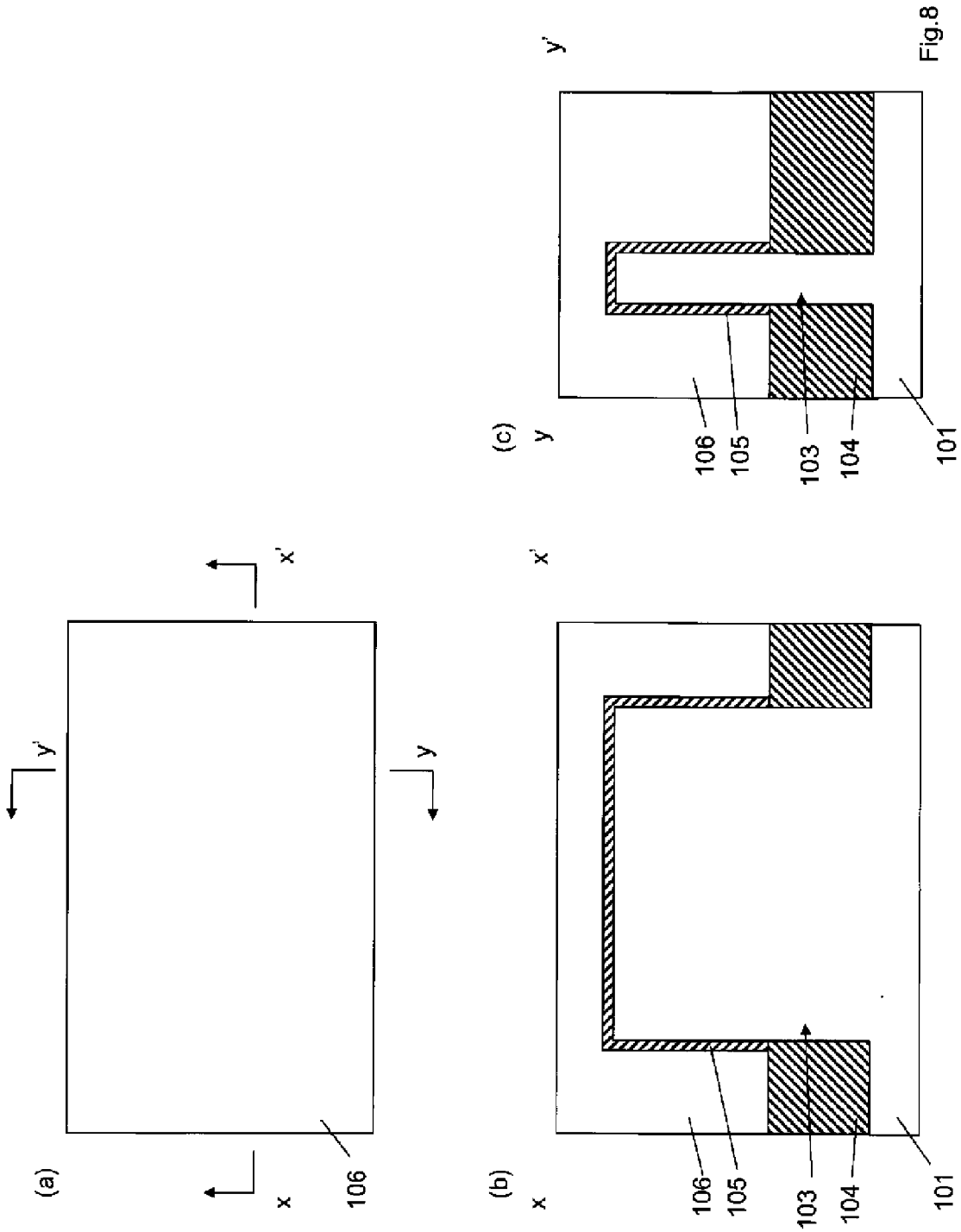



Fig.7

[図8]



[図9]

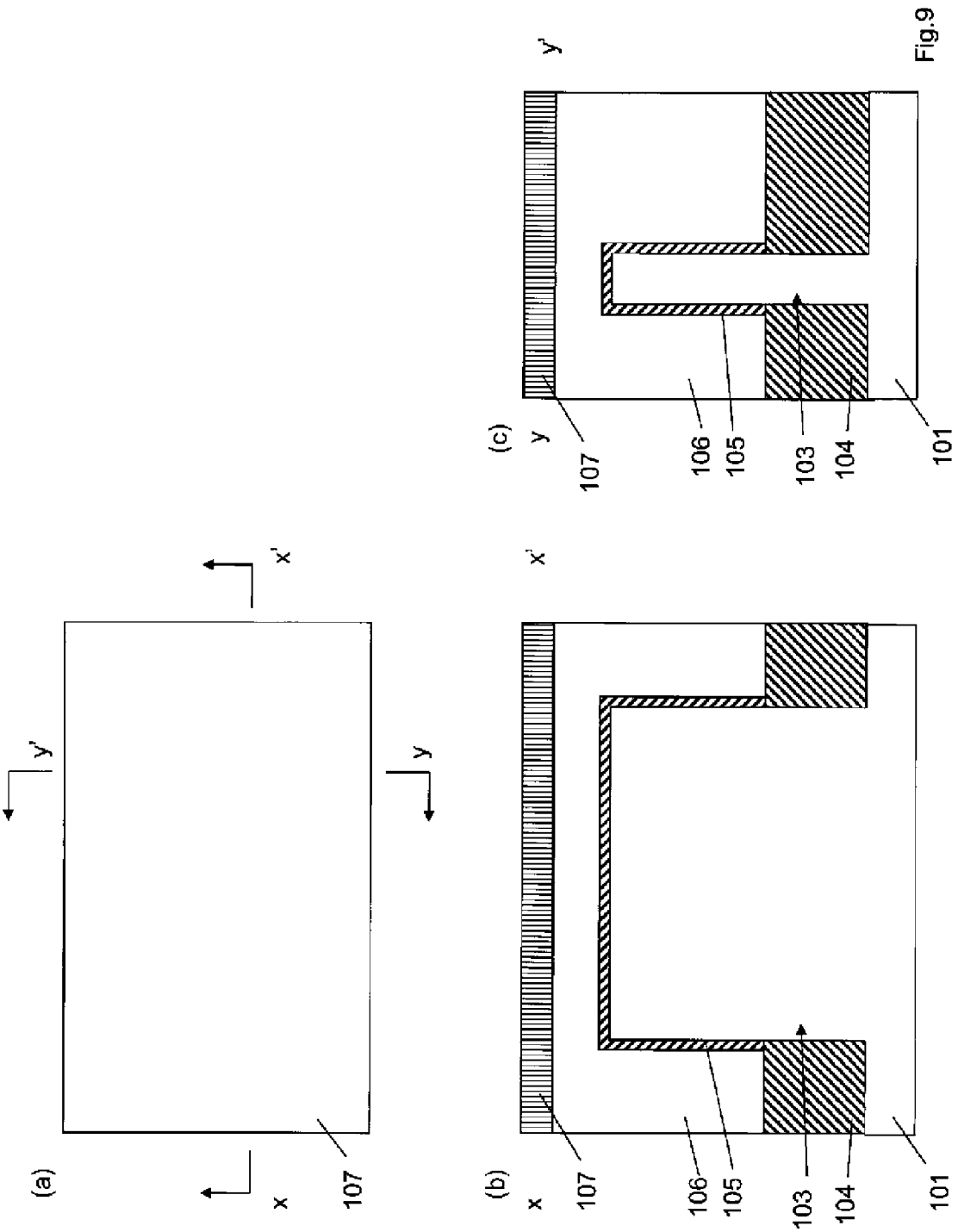
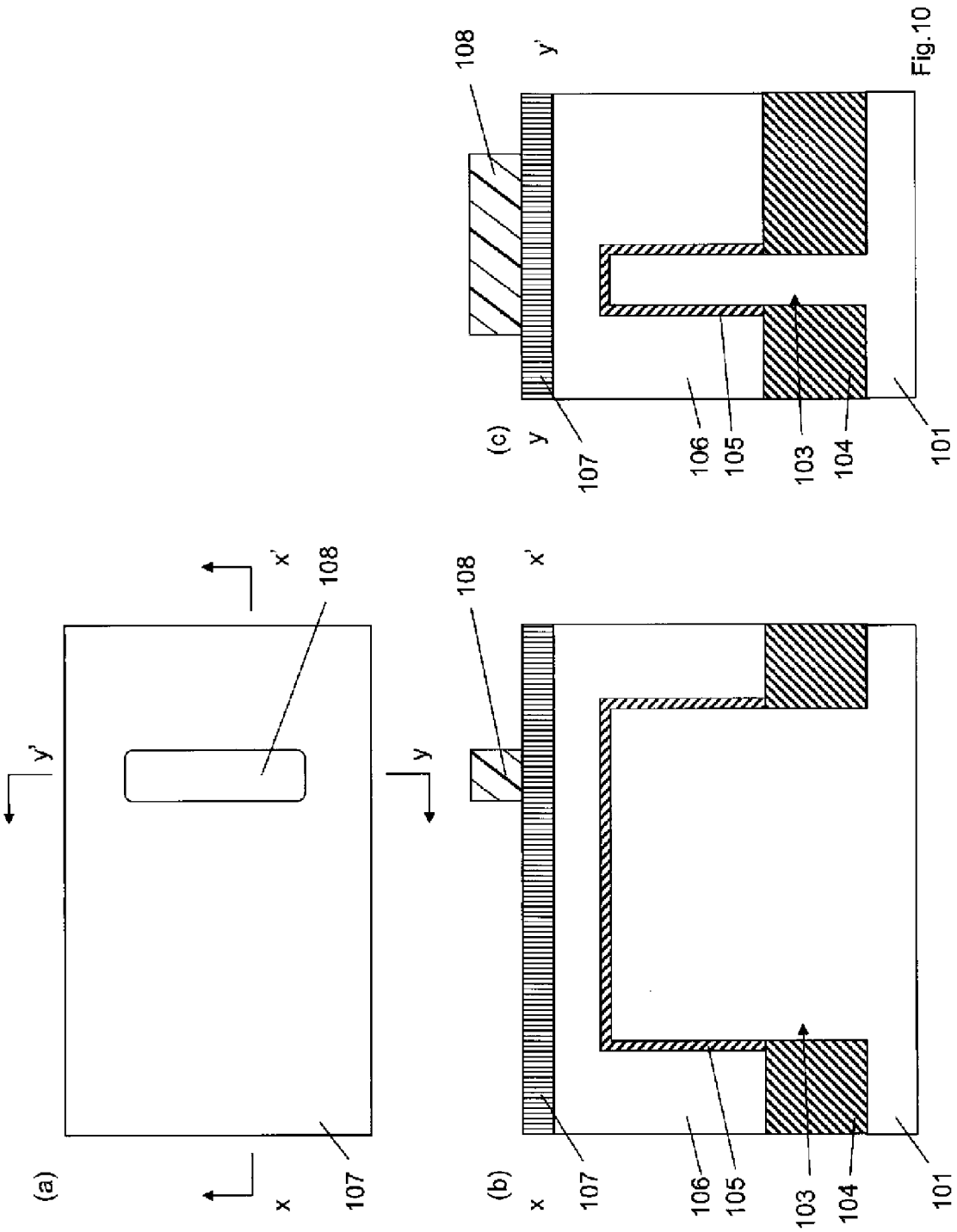

(a)
x
x'
y
y'
107
(b)
x
x'
107
106
105
103
104
101
(c)
y
y'
107
106
105
103
104
101

Fig.9

[図10]



[図11]

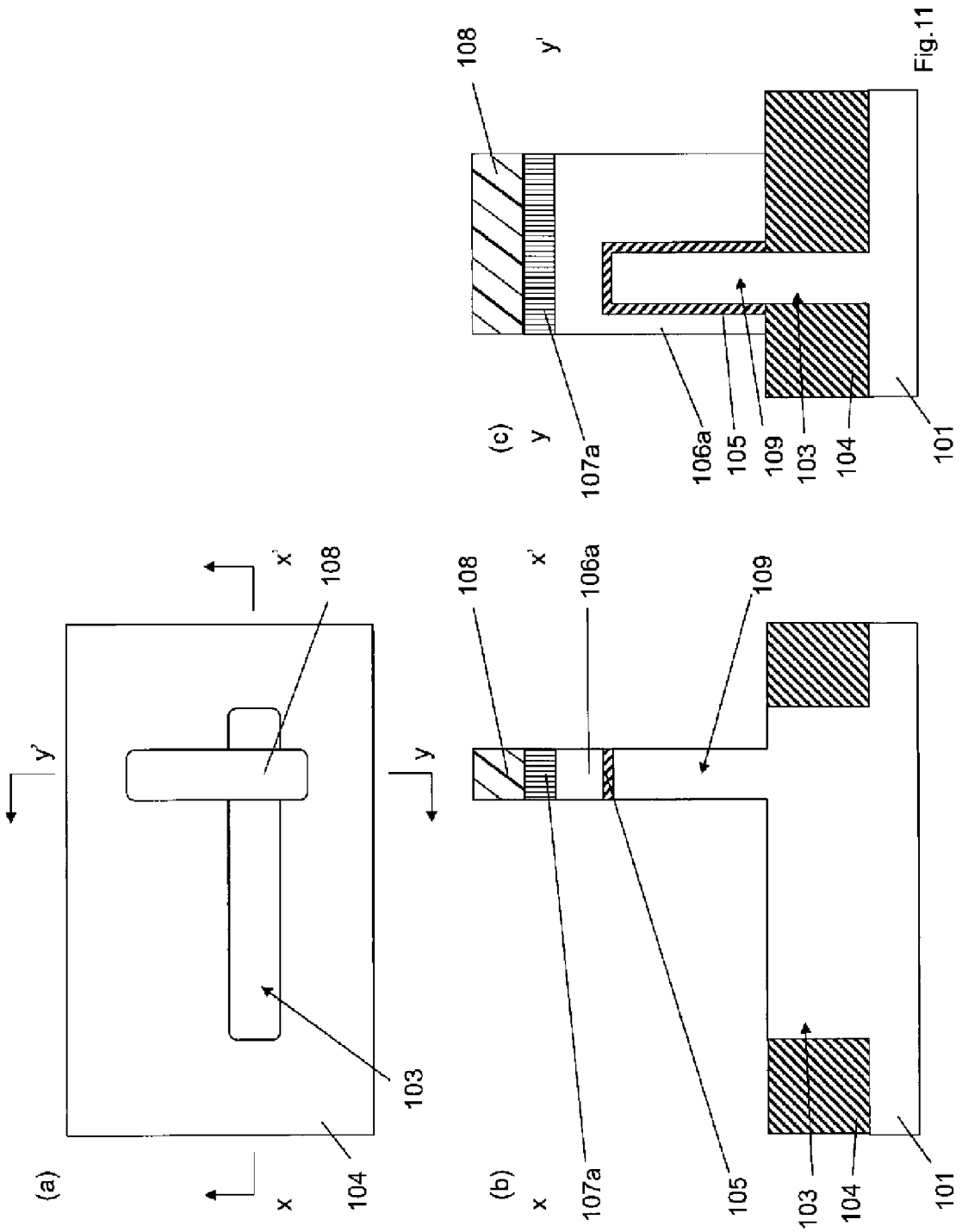


Fig.11
(a)
x
x'
y
y'
108
103
104
(b)
x
x'
108
106a
109
107a
105
103
104
101
(c)
y
y'
108
107a
106a
105
109
103
104
101

[図12]

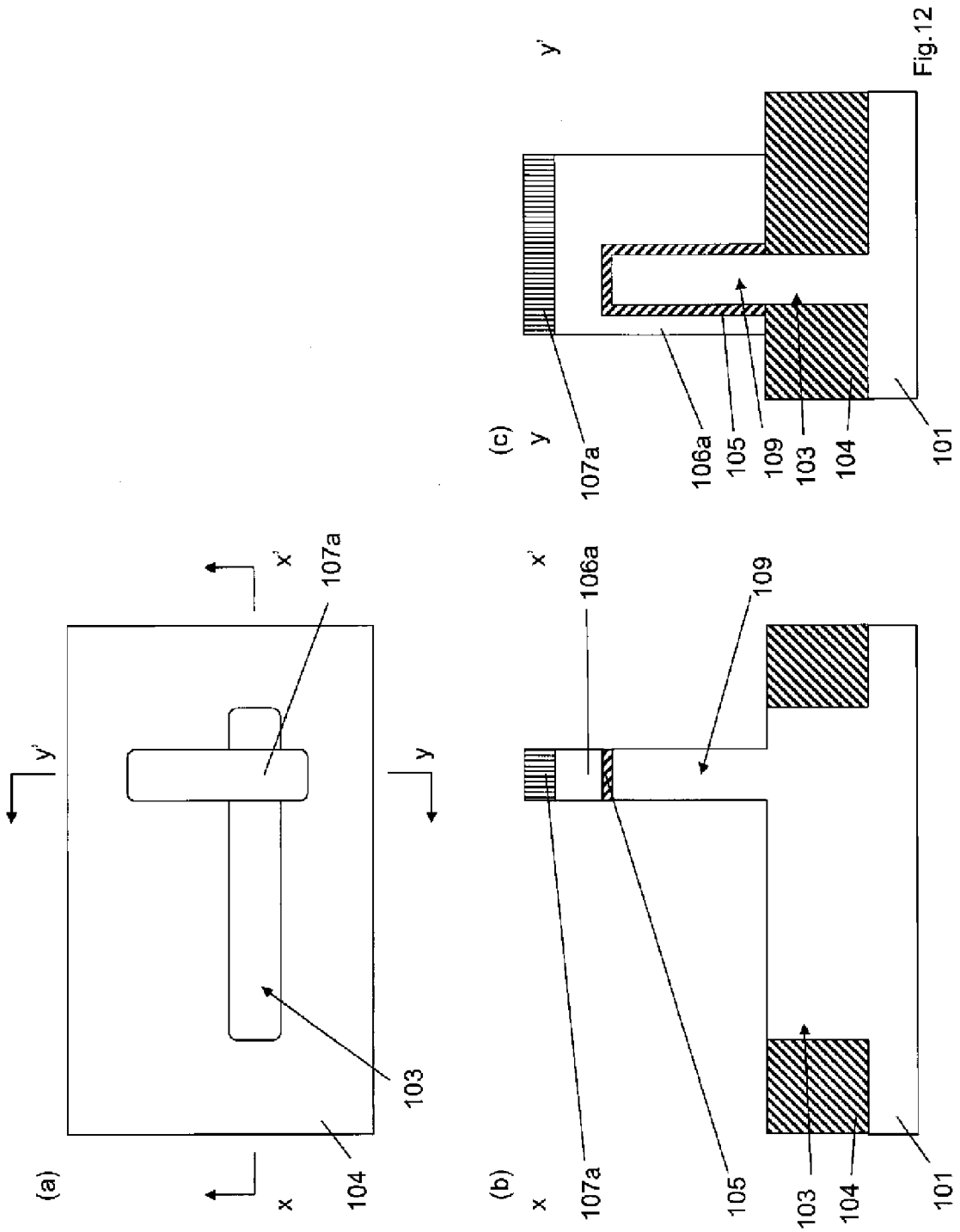


Fig.12
(a)
x
x'
y
y'
107a
103
104
(b)
x
x'
107a
106a
109
105
103
104
101
(c)
y
y'
107a
106a
105
109
103
104
101

[図13]

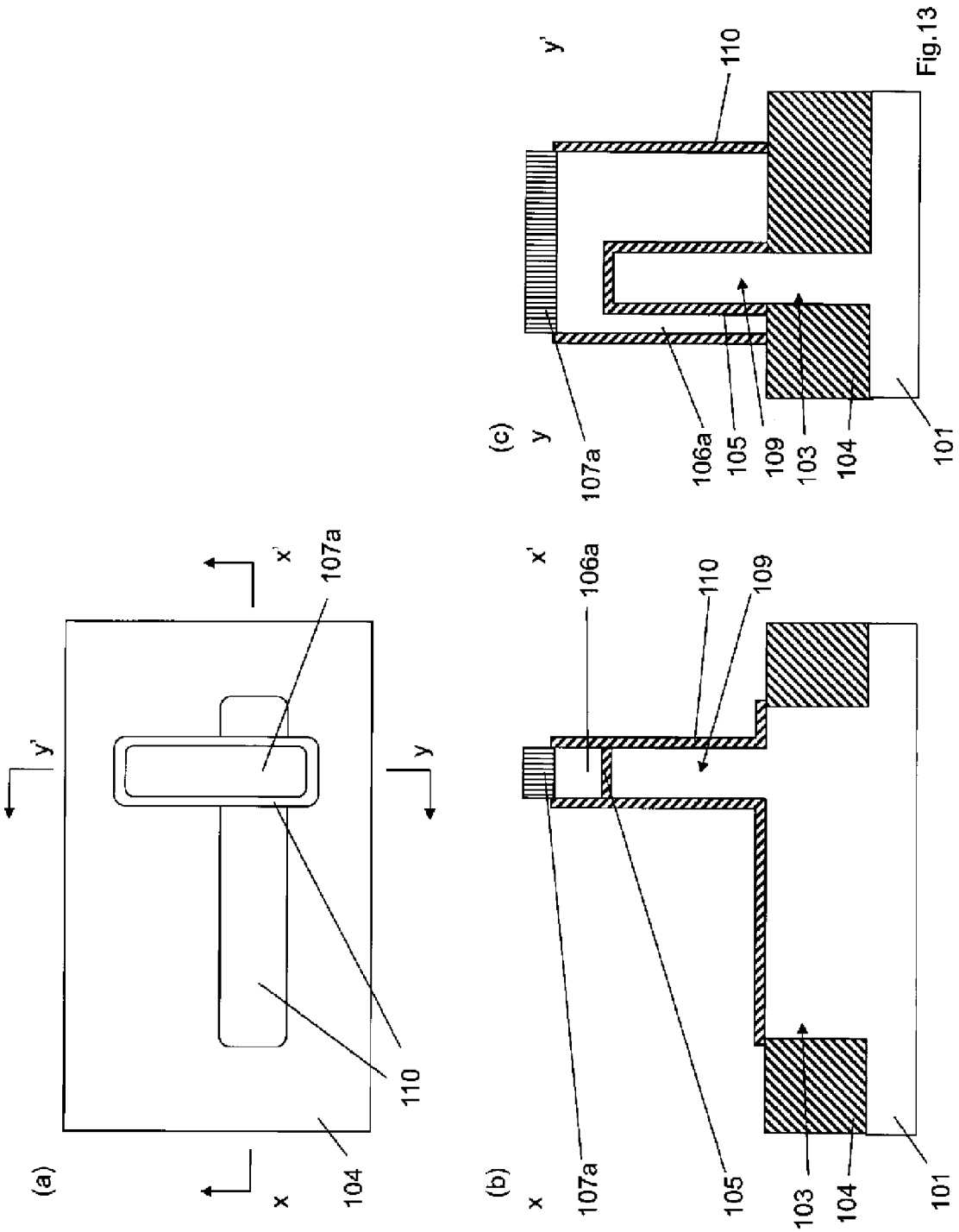


Fig.13
(a)
x
x'
y
y'
104
110
107a
(b)
x
x'
107a
106a
110
109
105
103
104
101
(c)
y
y'
107a
106a
105
109
103
104
101
110

[図14]

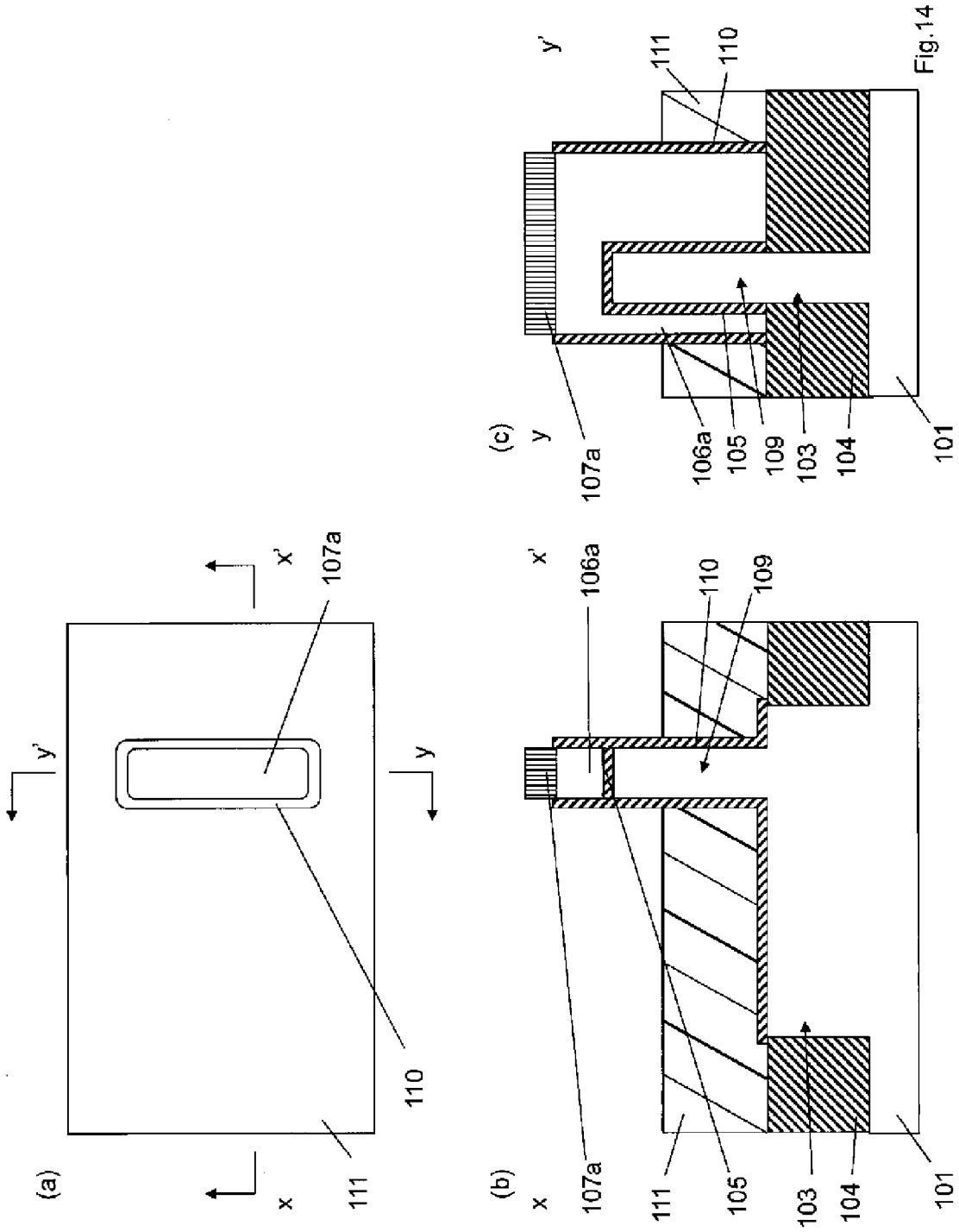


Fig.14
(a)
x
x'
y
y'
107a
110
111
(b)
x
x'
107a
106a
110
109
111
105
103
104
101
(c)
y
y'
107a
106a
105
109
103
104
101
111
110

[図15]

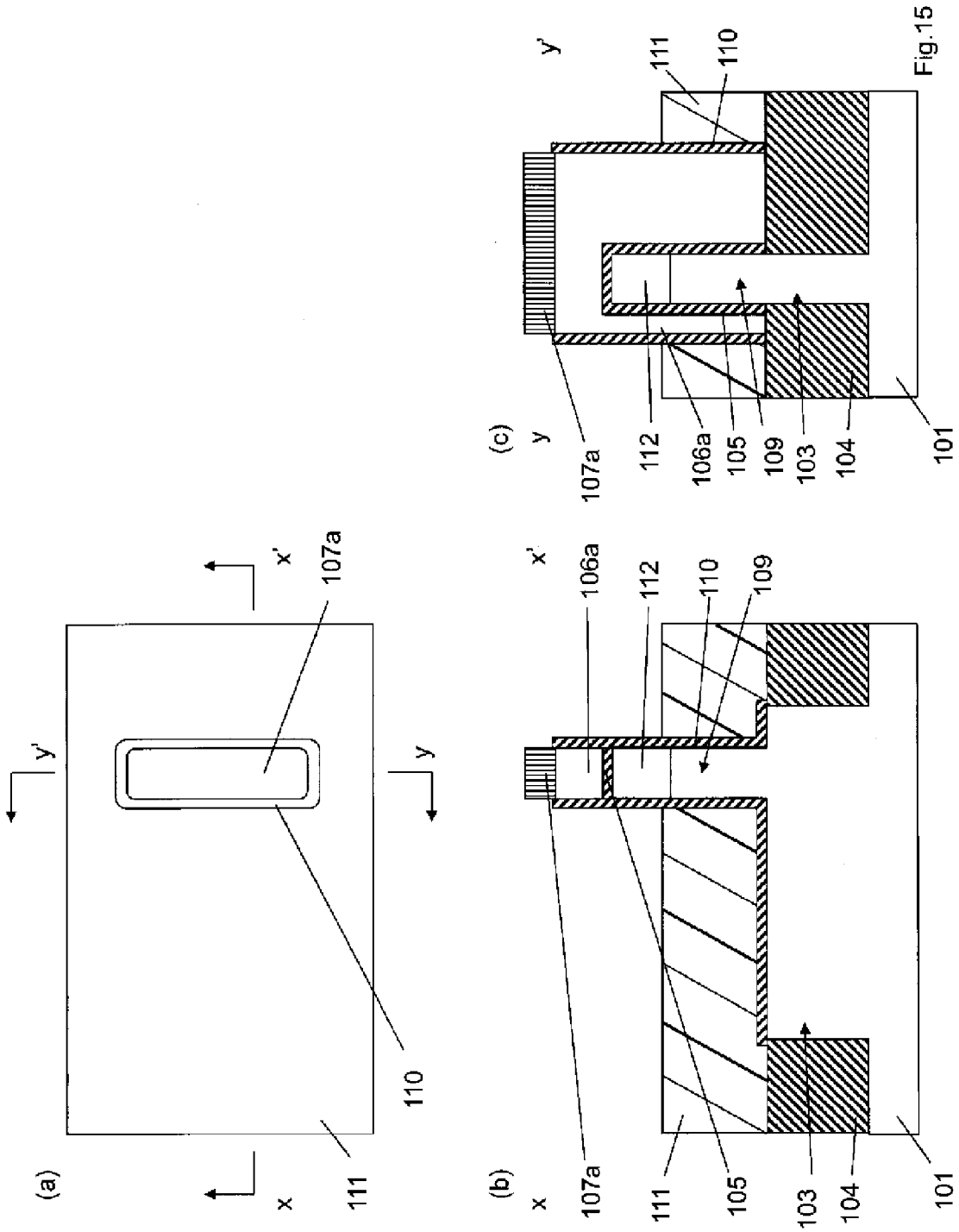


Fig.15
(a)
x
x'
y
y'
107a
110
111
(b)
x
x'
107a
106a
112
110
109
111
105
103
104
101
(c)
y
y'
107a
112
106a
105
109
103
104
101
111
110

[図16]

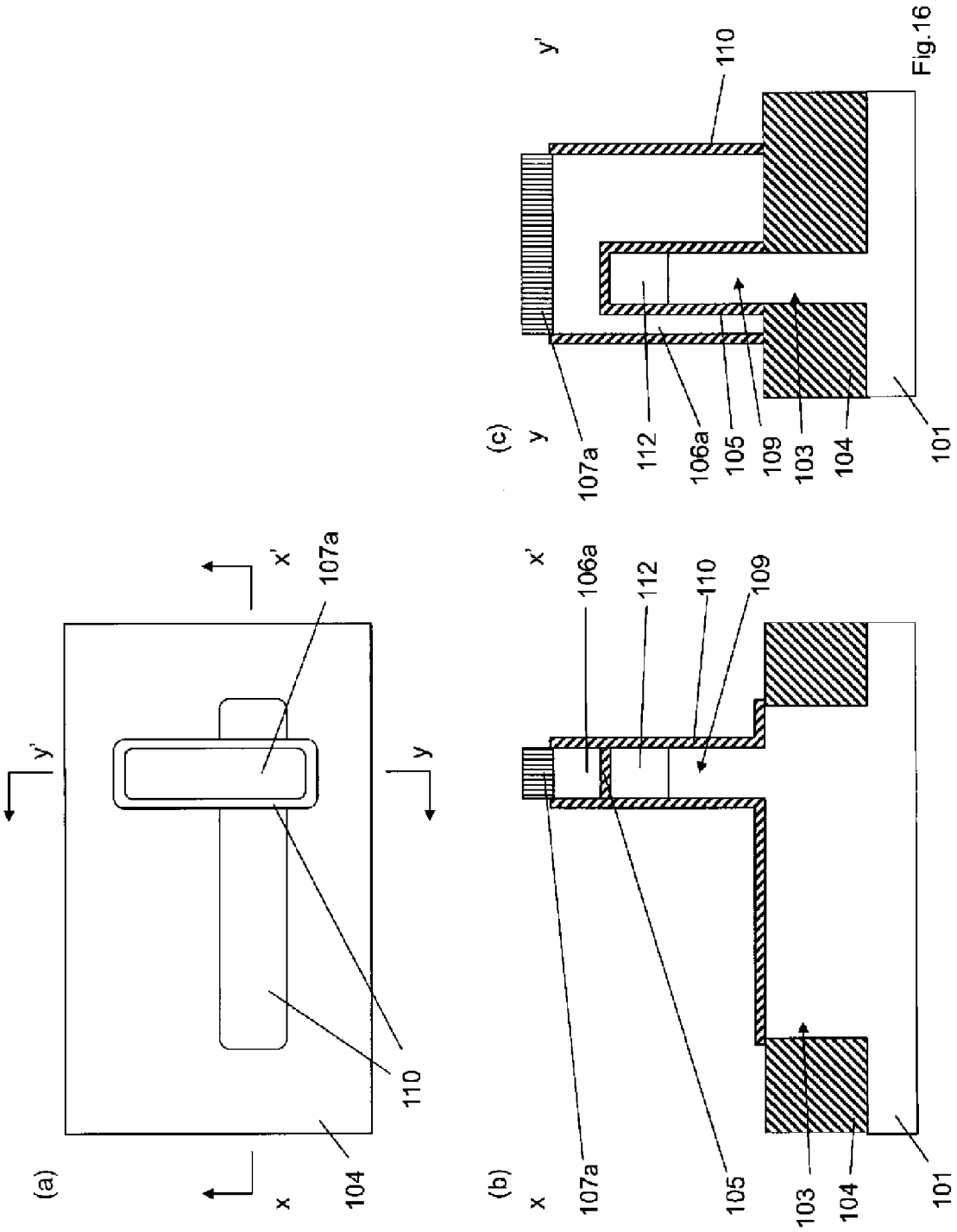


Fig.16
(a)
x
x'
y
y'
107a
110
104
(b)
x
x'
107a
106a
112
110
109
105
103
104
101
(c)
y
y'
107a
112
106a
105
109
103
104
101
110

[図17]

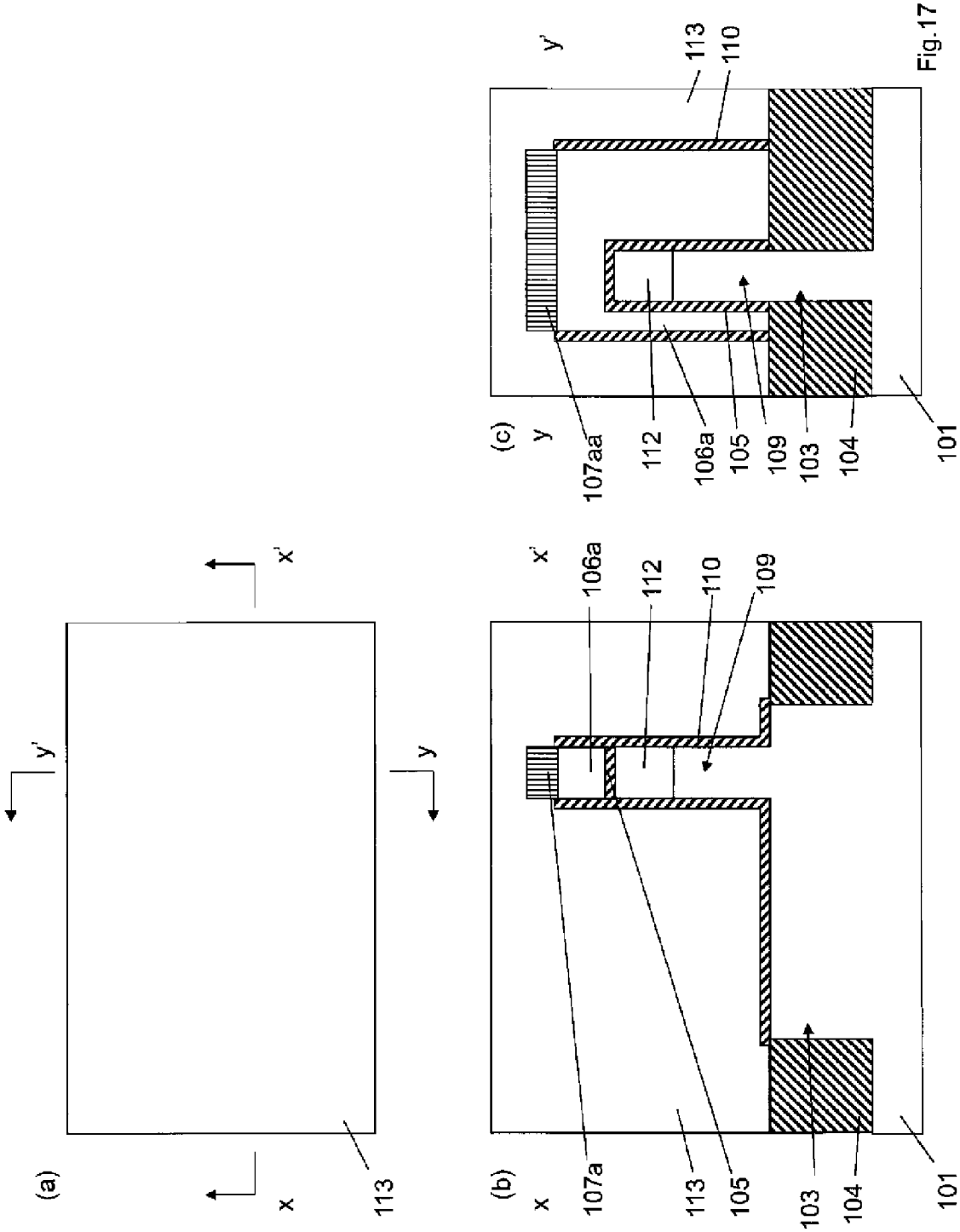

(a)
x
x'
y
y'
113
(b)
x
x'
107a
106a
112
113
110
105
109
103
104
101
(c)
y
y'
107aa
112
106a
105
109
103
104
113
110
101

Fig.17

[図18]

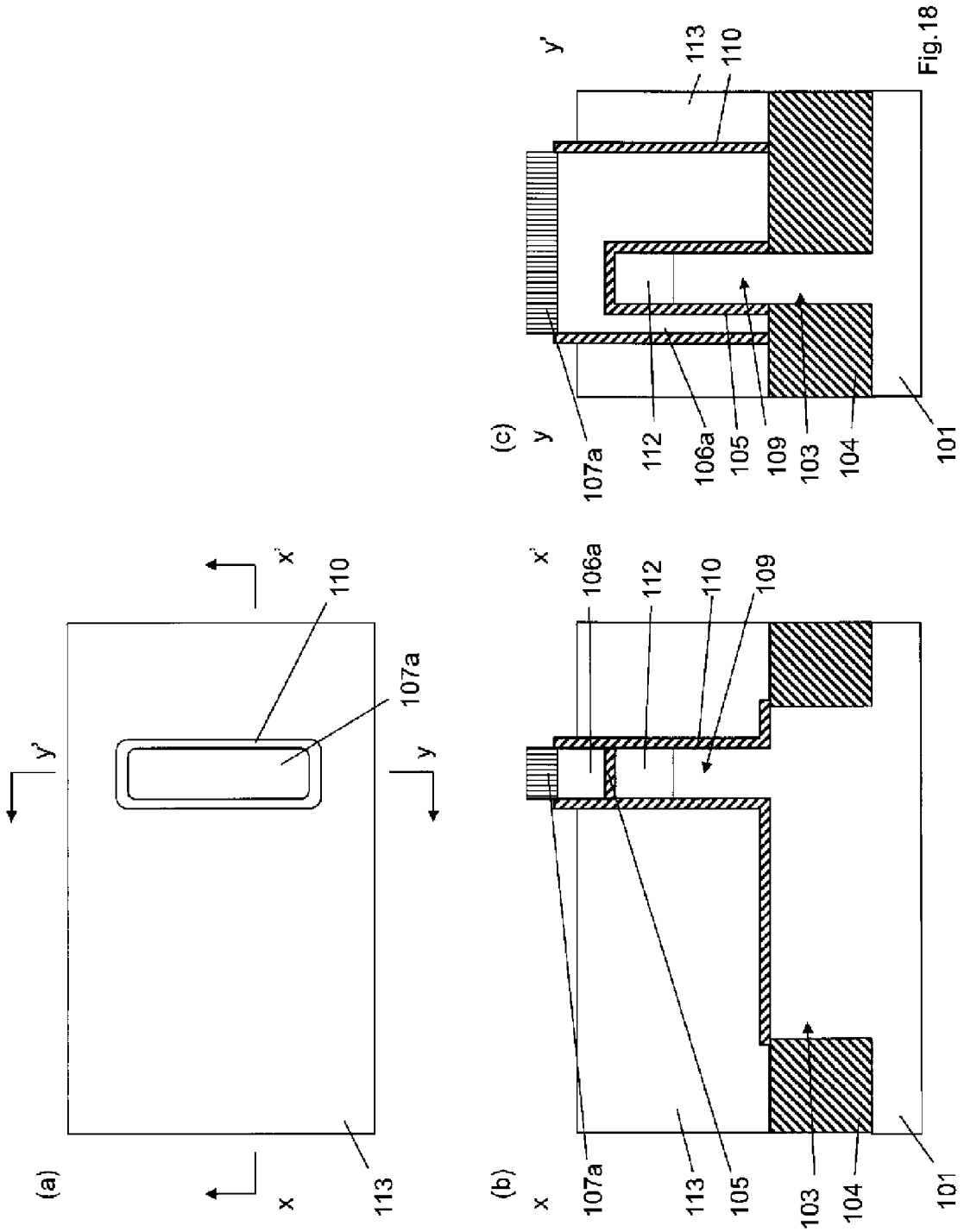
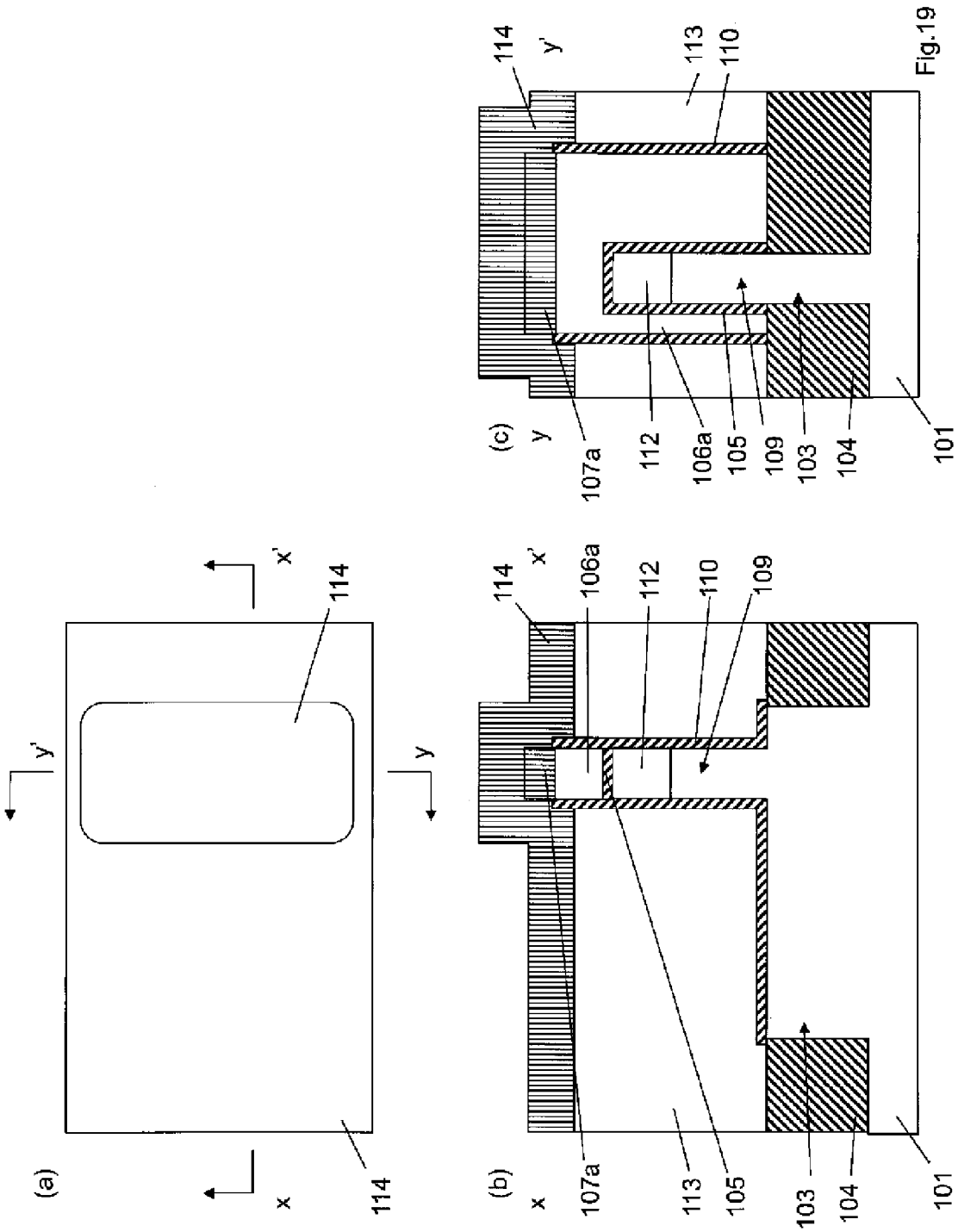


Fig.18
(a)
x
x'
y
y'
110
107a
113
(b)
x
x'
107a
113
105
103
104
101
106a
112
110
109
(c)
y
y'
107a
112
106a
105
109
103
104
101
113
110

[図19]



[図20]

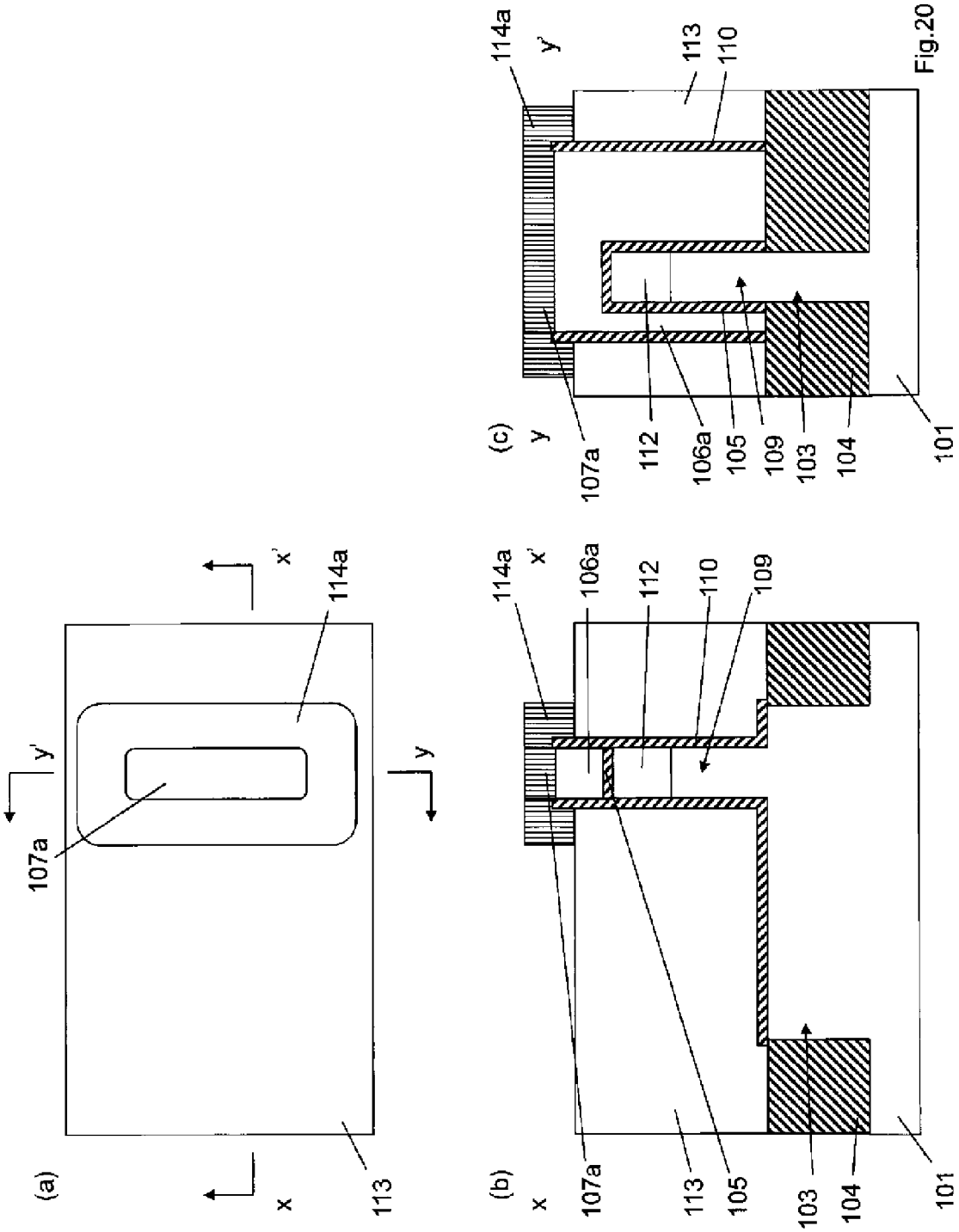

(a)
x
x'
y
y'
114a
107a
113
(b)
x
x'
114a
106a
112
110
109
107a
113
105
103
104
101
(c)
y
y'
114a
113
110
107a
112
106a
105
109
103
104
101

Fig.20

[図21]

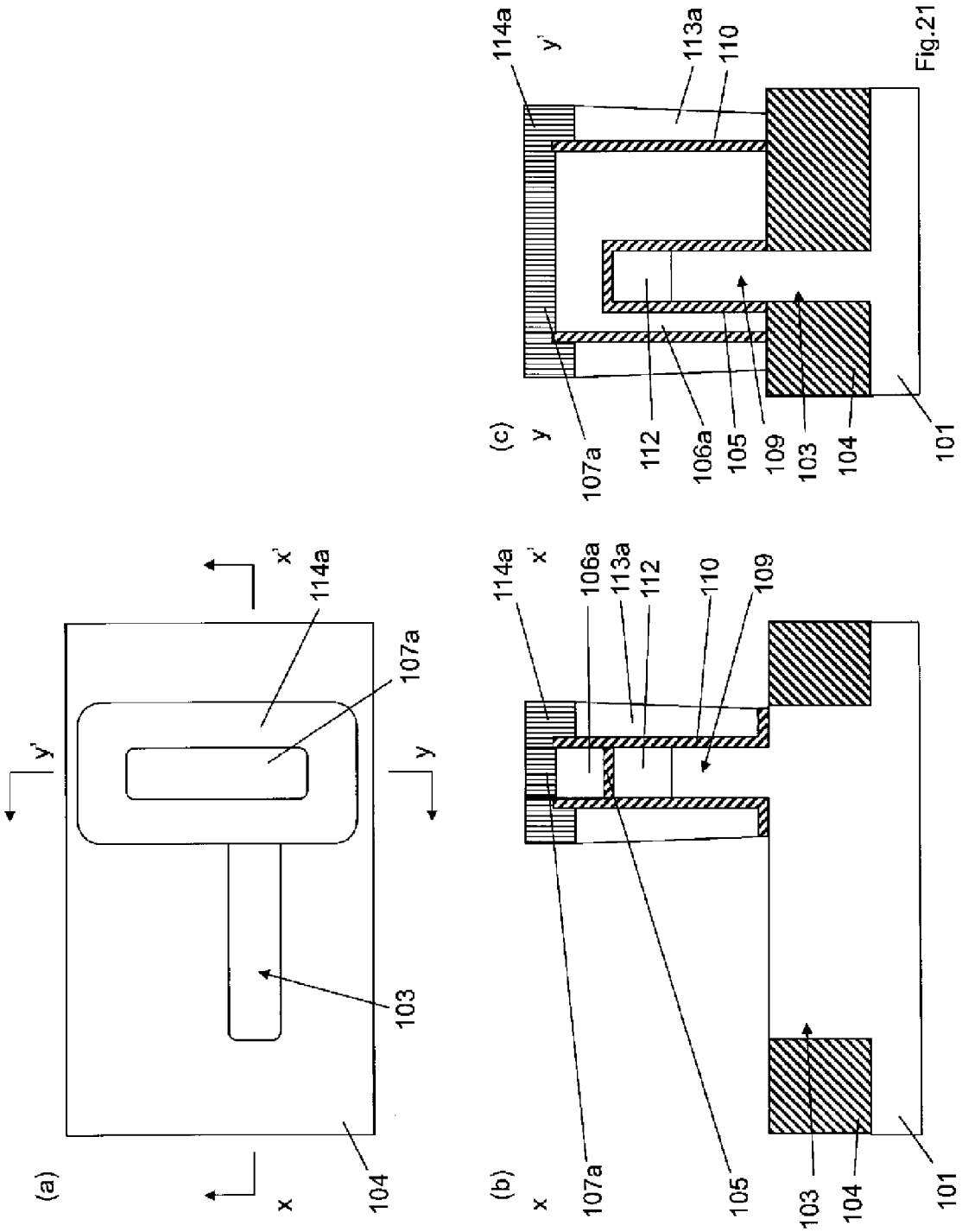


Fig.21
(a)
x
x'
y
y'
114a
107a
103
104
(b)
x
x'
114a
106a
113a
112
110
109
107a
105
103
104
101
(c)
y
y'
114a
113a
110
107a
112
106a
105
109
103
104
101

[図22]

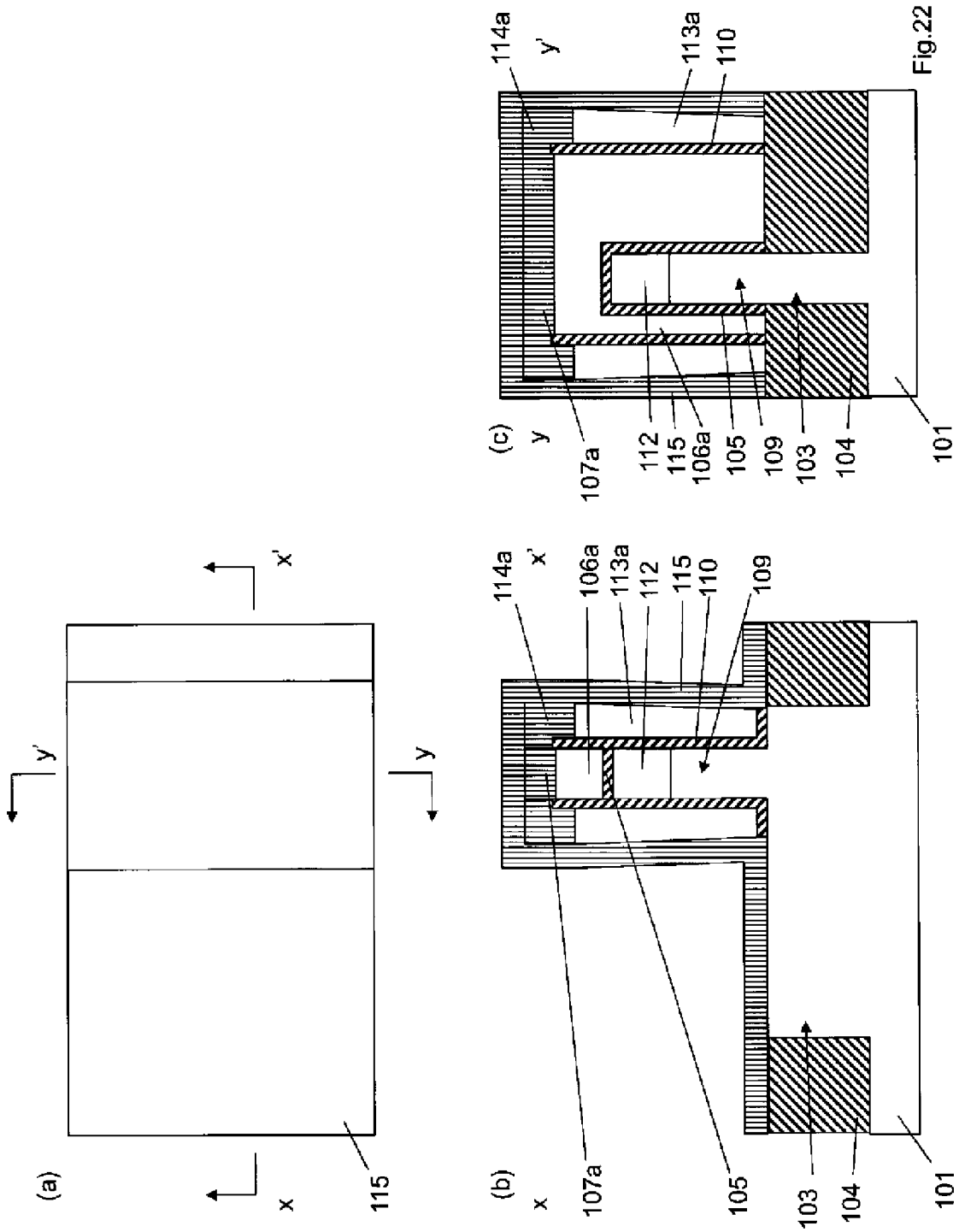


Fig.22
(a)
x
x'
y
y'
115
(b)
x
x'
107a
114a
106a
113a
112
115
110
109
105
103
104
101
(c)
y
y'
107a
114a
112
115
106a
113a
110
105
109
103
104
101

[図23]

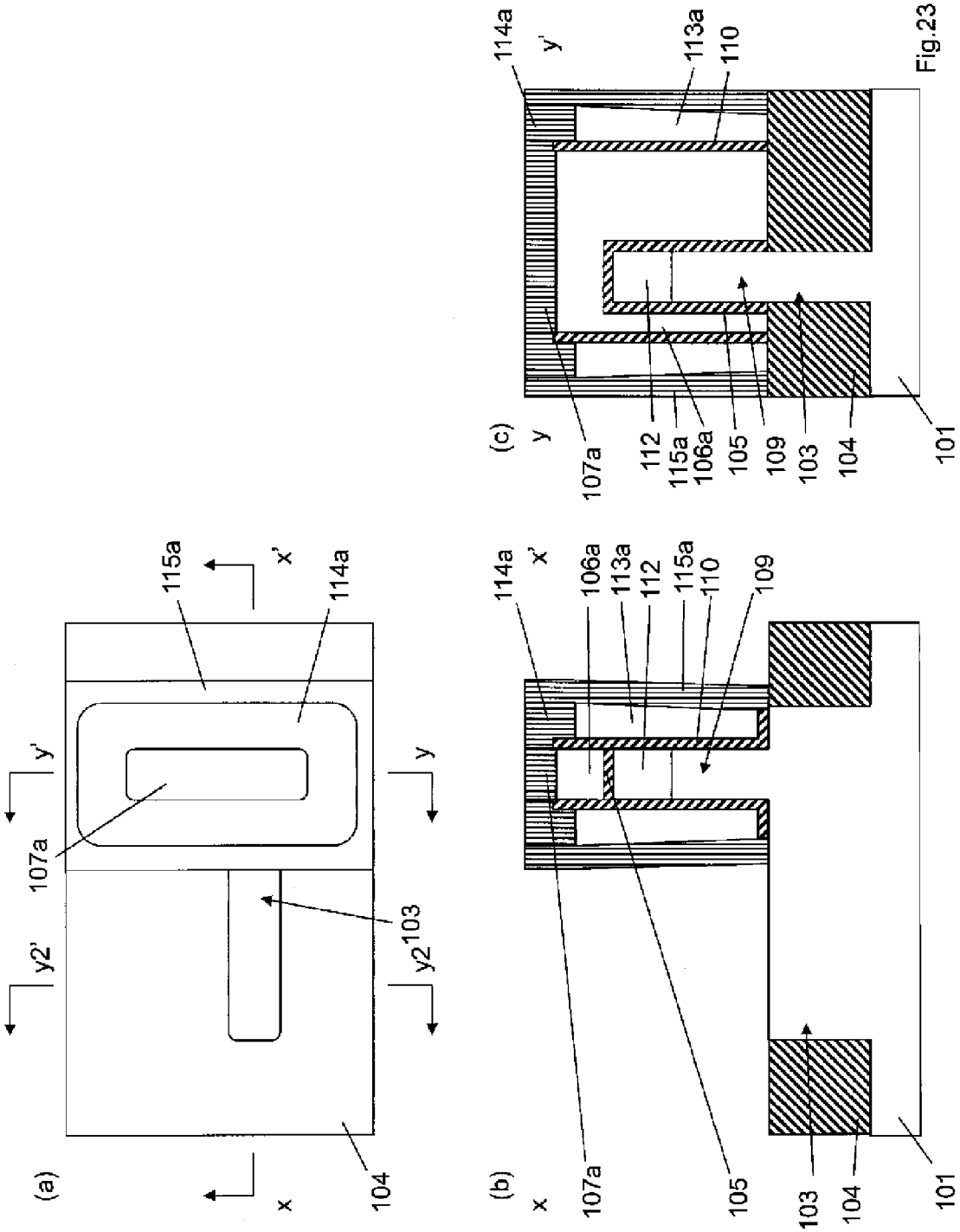


Fig.23
(a)
(b)
(c)
x
x'
y
y'
y2
y2'
101
103
104
105
106a
107a
109
110
112
113a
114a
115a

[図24]

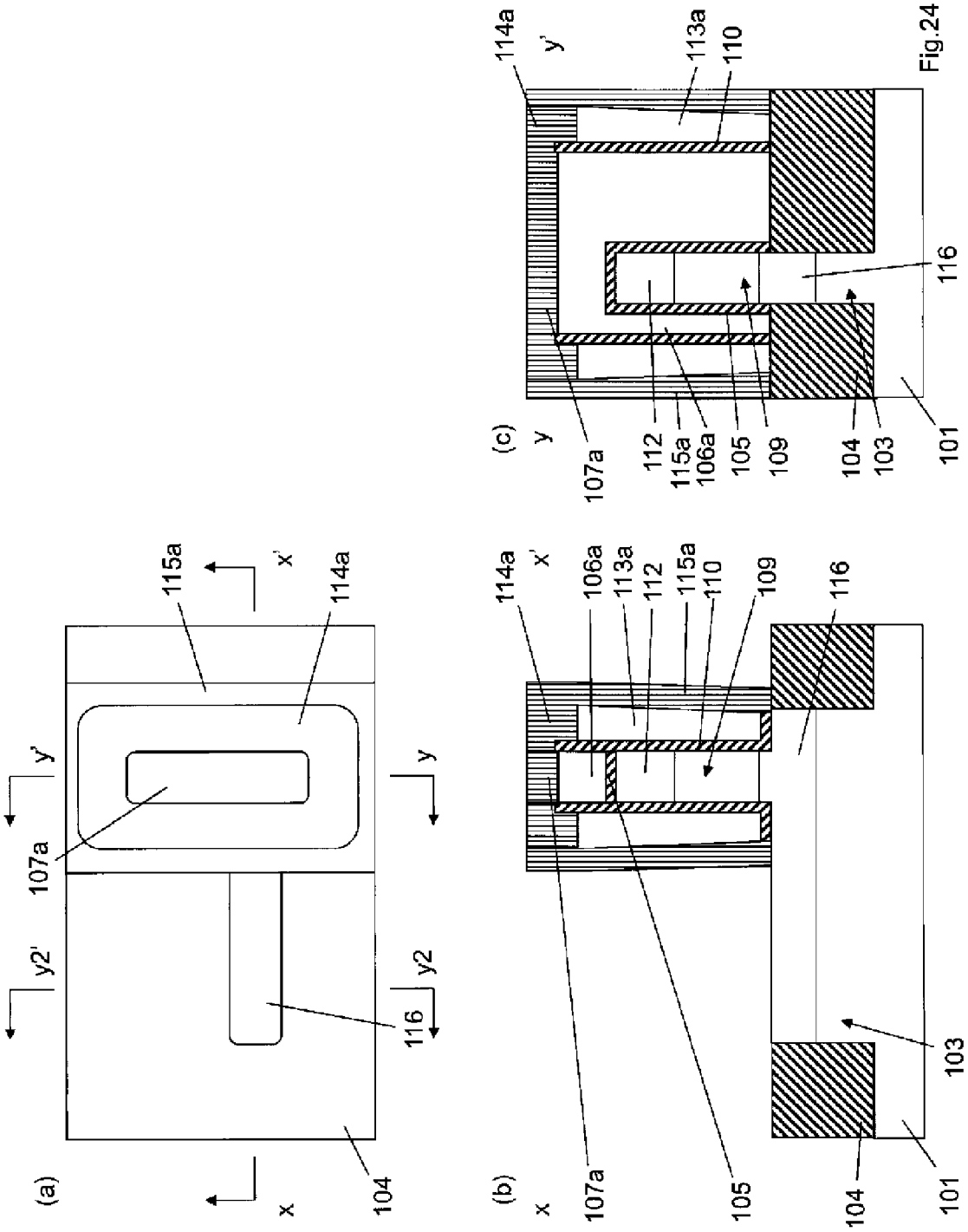

(a)
115a
x'
114a
y'
y
107a
y2'
y2
116
104
x
(b)
114a
x'
106a
113a
112
115a
110
109
116
x
107a
105
104
103
101
(c)
114a
y'
113a
110
116
y
107a
112
115a
106a
105
109
104
103
101

Fig.24

[図25]

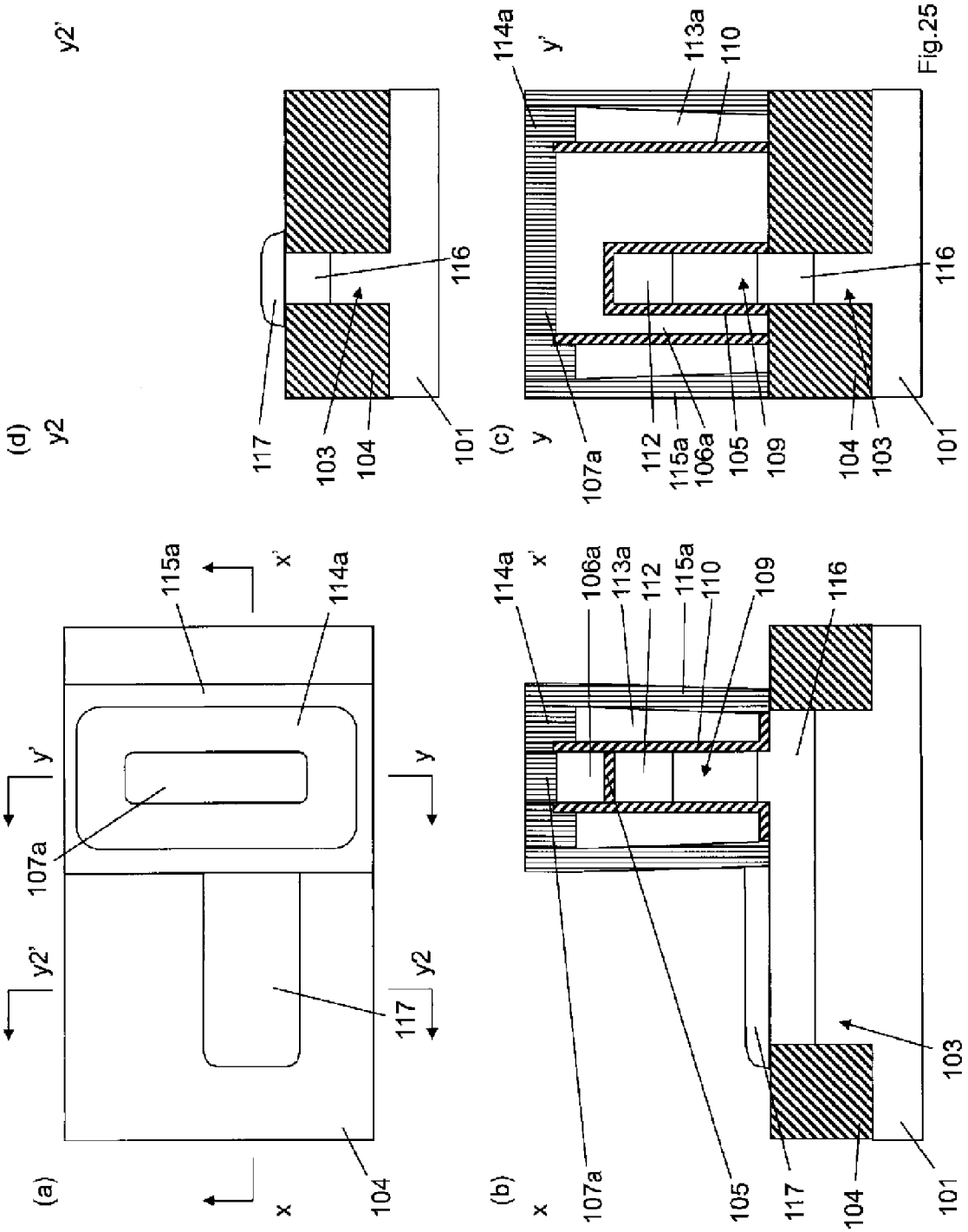
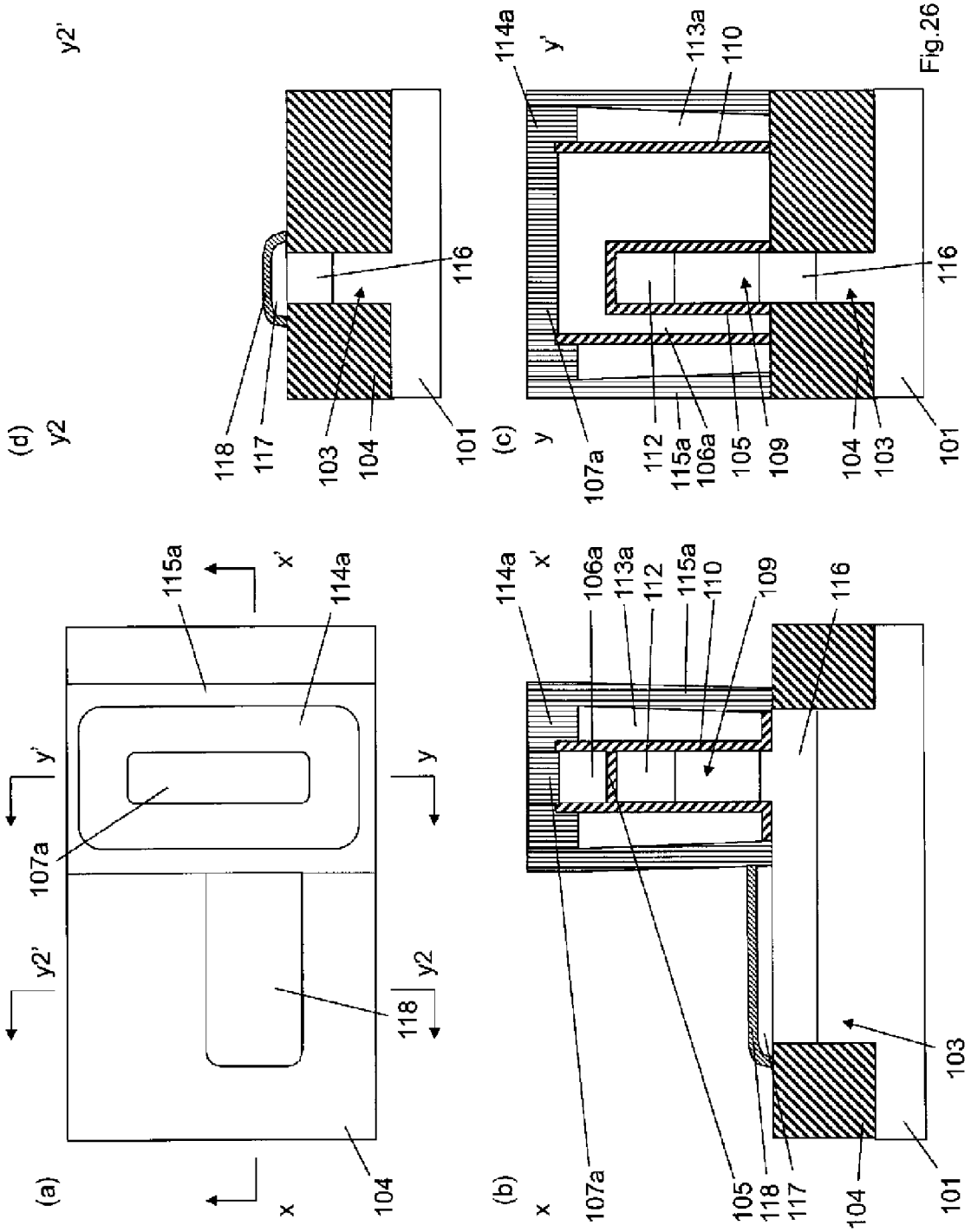


Fig.25
(a)
(b)
(c)
(d)
x
x'
y
y'
y2
y2'
101
103
104
105
106a
107a
109
110
112
113a
114a
115a
116
117

[図26]


(a)
(b)
(c)
(d)
Fig.26
x
x'
y
y'
y2
y2'
101
103
104
105
106a
107a
109
110
112
113a
114a
115a
116
117
118

[図27]

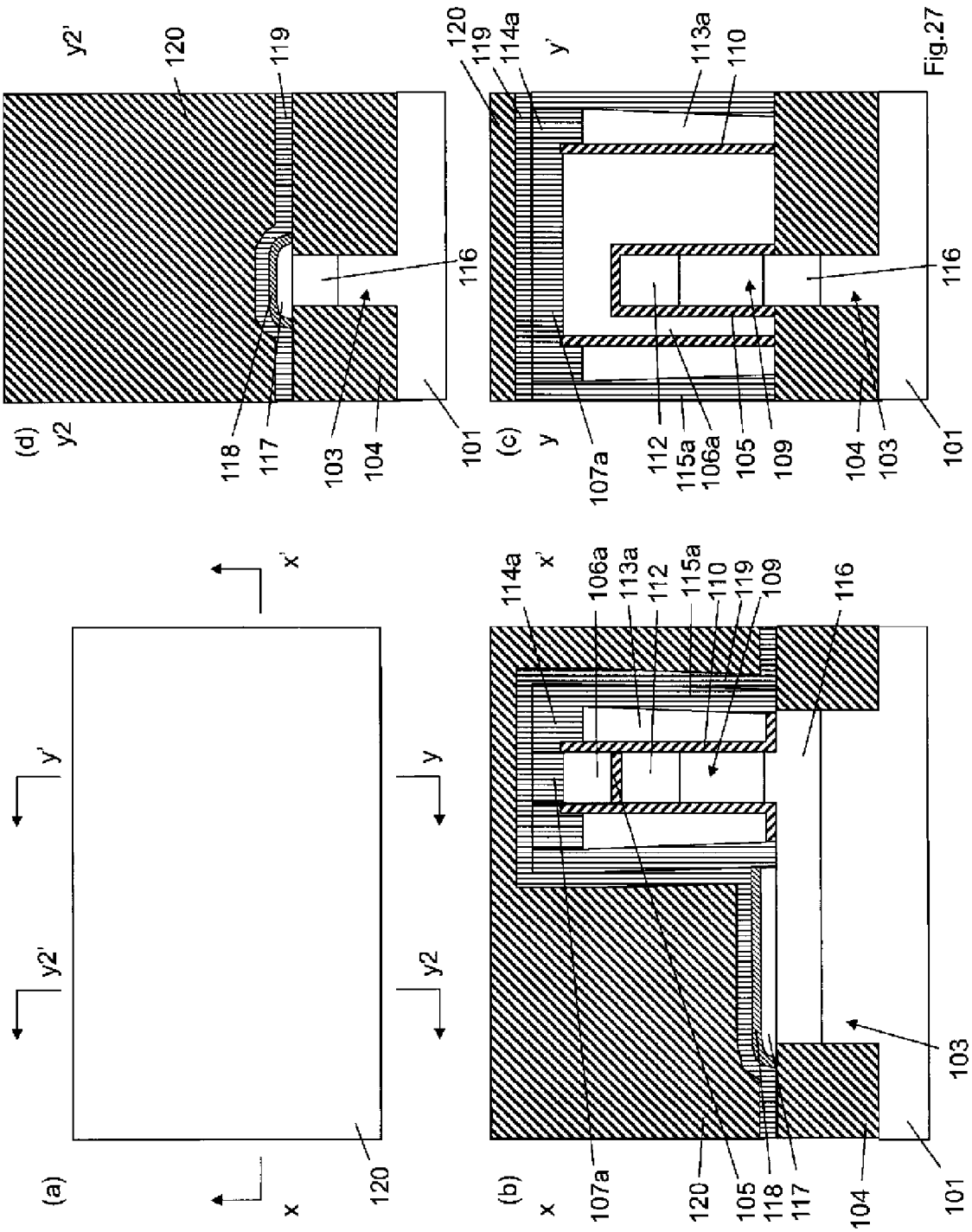

(a)
x
x'
y
y'
y2
y2'
120
(b)
x
x'
107a
114a
106a
113a
112
115a
110
119
109
116
103
120
105
118
117
104
101
(c)
y
y'
107a
112
115a
106a
105
109
104
103
101
116
120
119
114a
113a
110
(d)
y2
y2'
118
117
103
104
101
116
120
119

Fig.27

[図28]

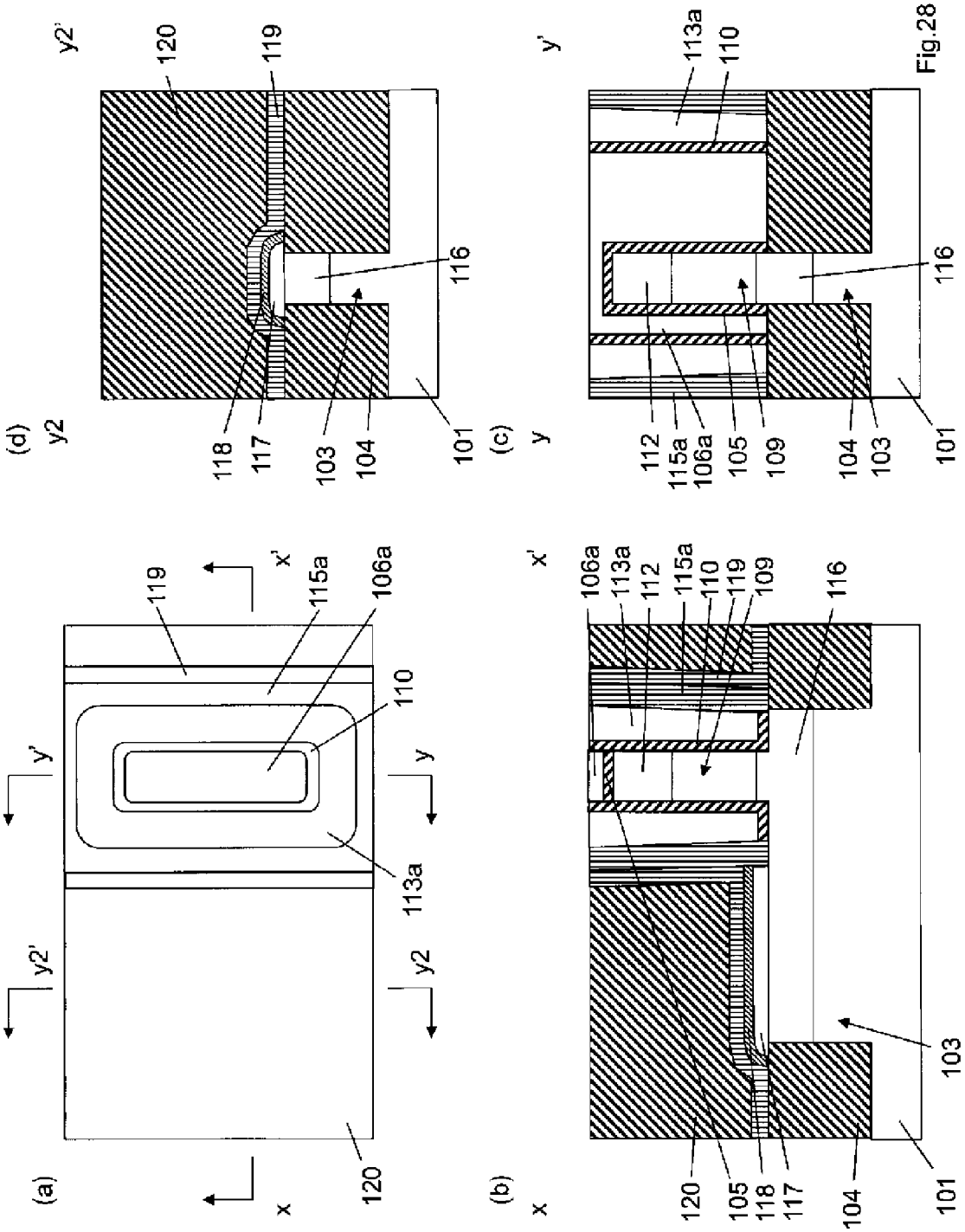


Fig.28
(a)
(b)
(c)
(d)
x
x'
y
y'
y2
y2'
101
103
104
105
106a
109
110
112
113a
115a
116
117
118
119
120

[図29]

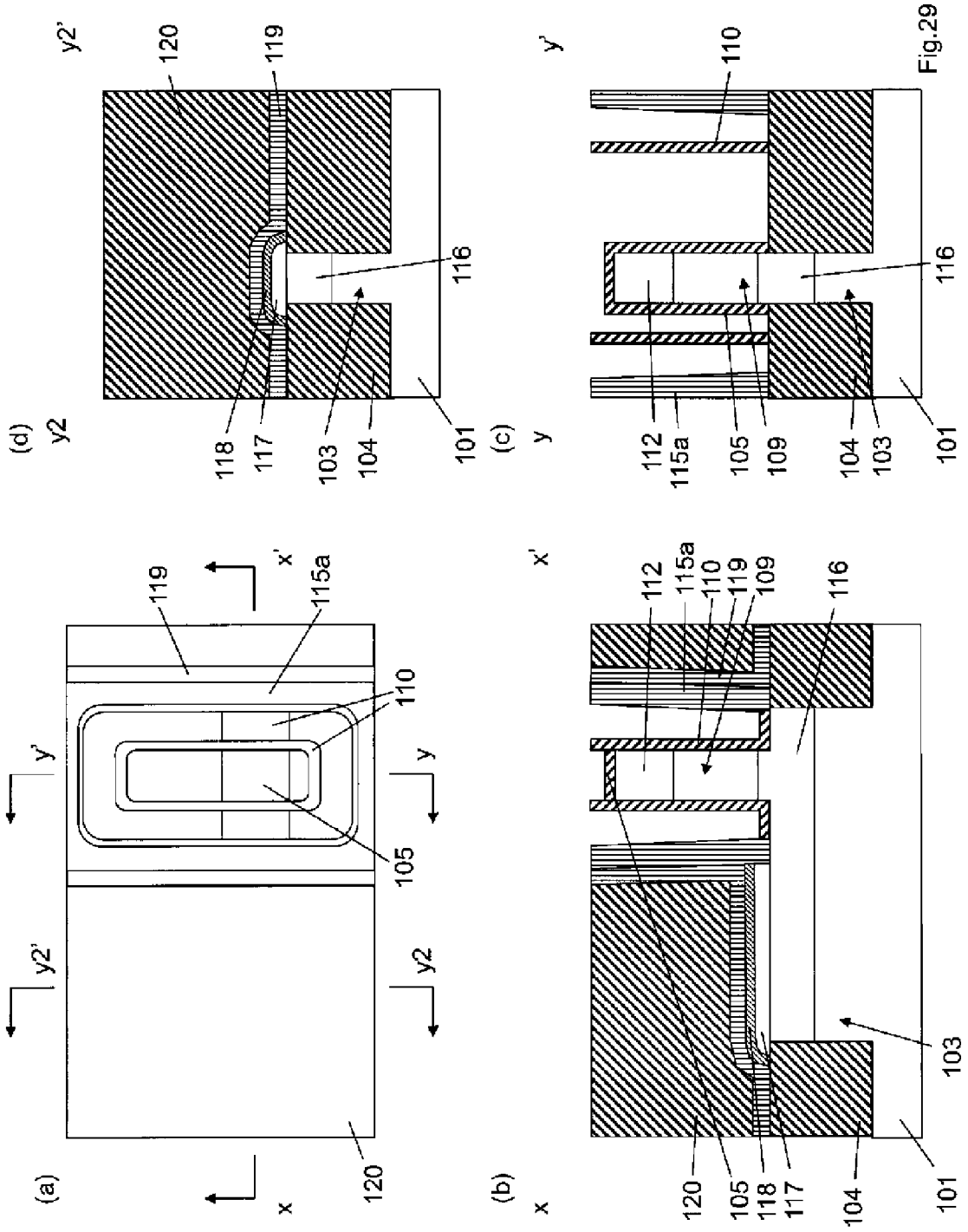

(a)
(b)
(c)
(d)
x
x'
y
y'
y2
y2'
101
103
104
105
109
110
112
115a
116
117
118
119
120

Fig.29

[図30]

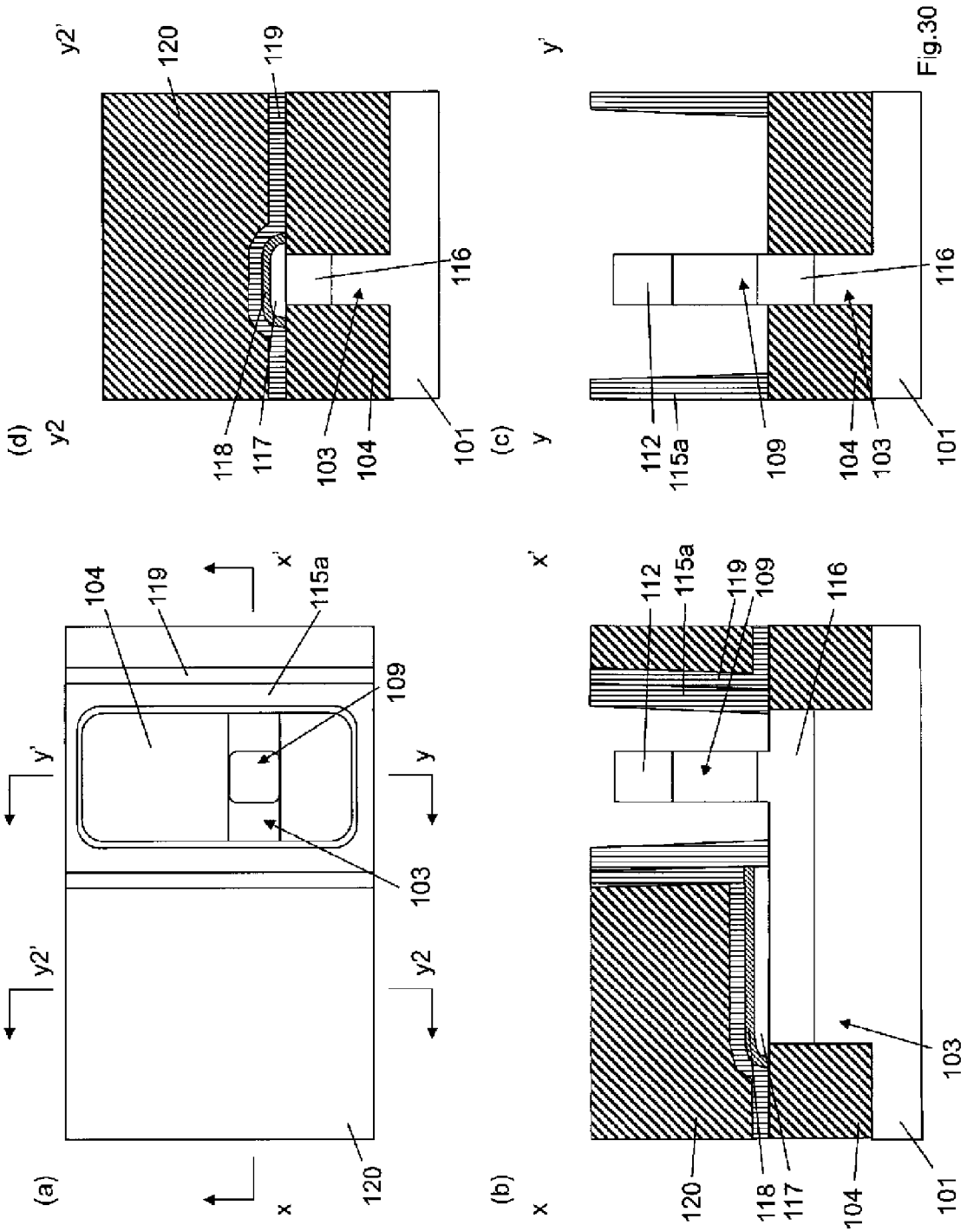



Fig.30

[図31]

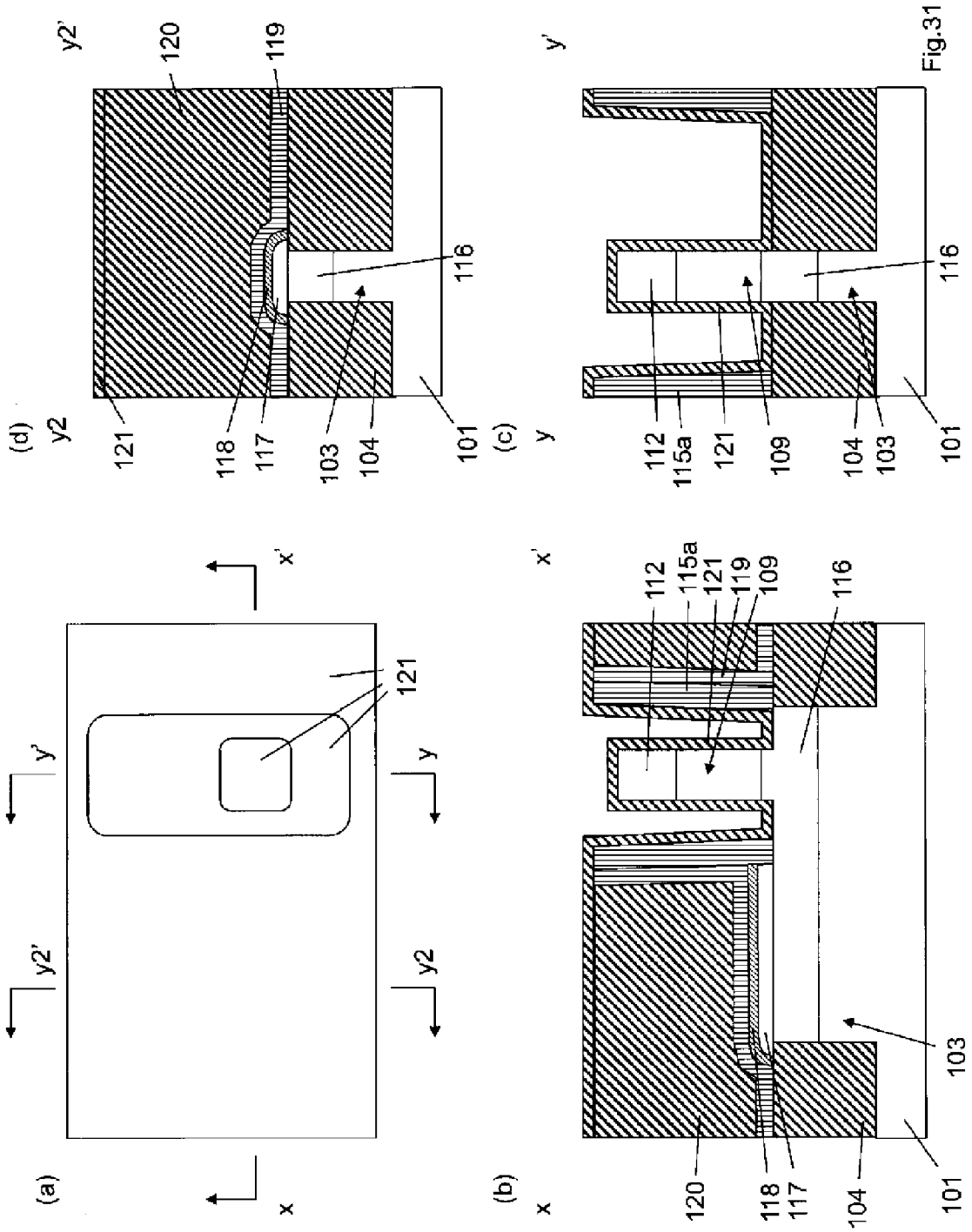

(a)
x
x'
y
y'
y2
y2'
121
(b)
x
x'
112
115a
121
119
109
116
103
120
118
117
104
101
(c)
y
y'
112
115a
121
109
116
104
103
101
(d)
y2
y2'
121
120
119
116
118
117
103
104
101

Fig.31

[図32]

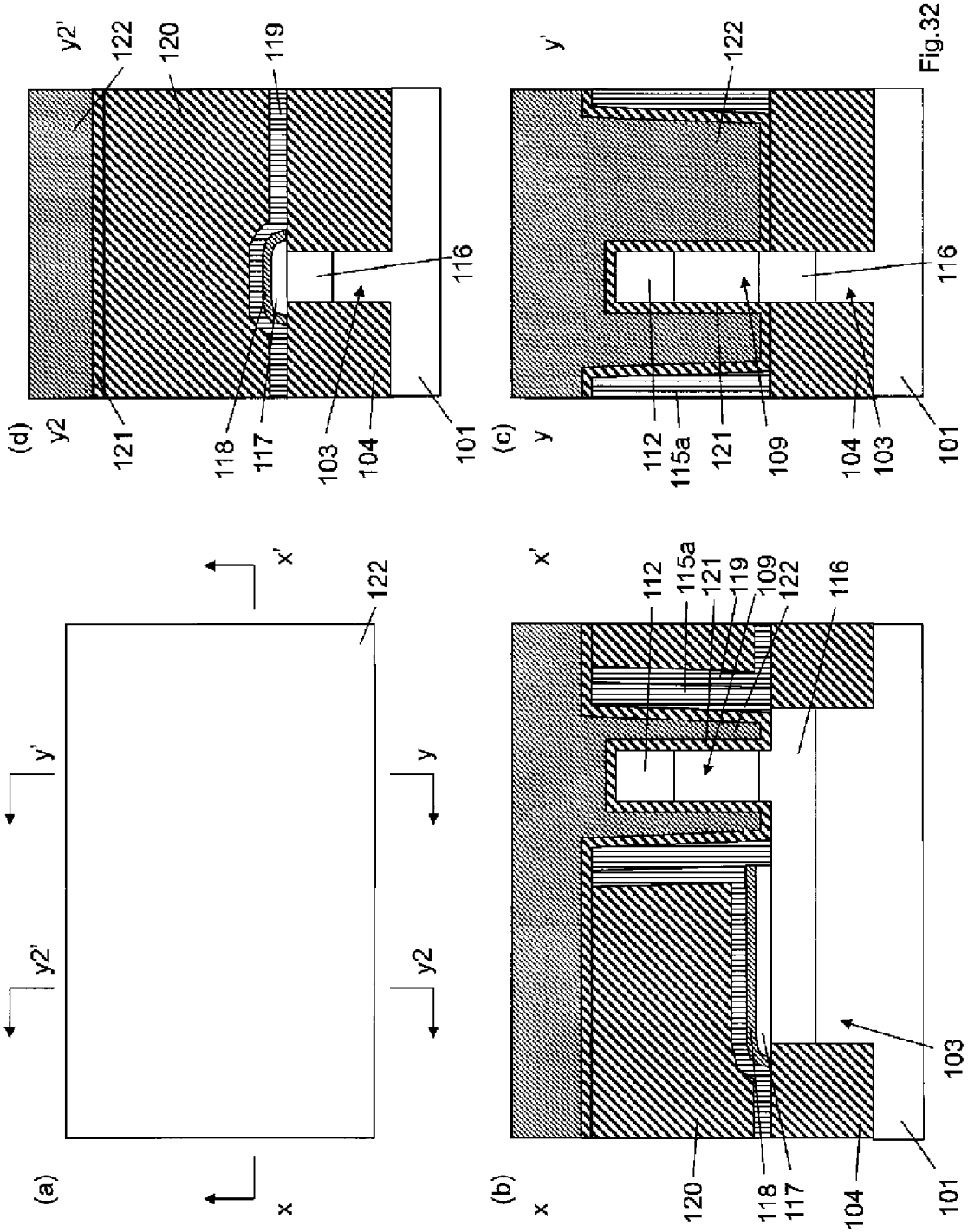

(a)
x
x'
y
y'
y2
y2'
122
(b)
x
x'
112
115a
121
119
109
122
116
103
120
118
117
104
101
(c)
y
y'
122
116
112
115a
121
109
104
103
101
(d)
y2
y2'
122
120
119
116
121
118
117
103
104
101

Fig.32

[図33]

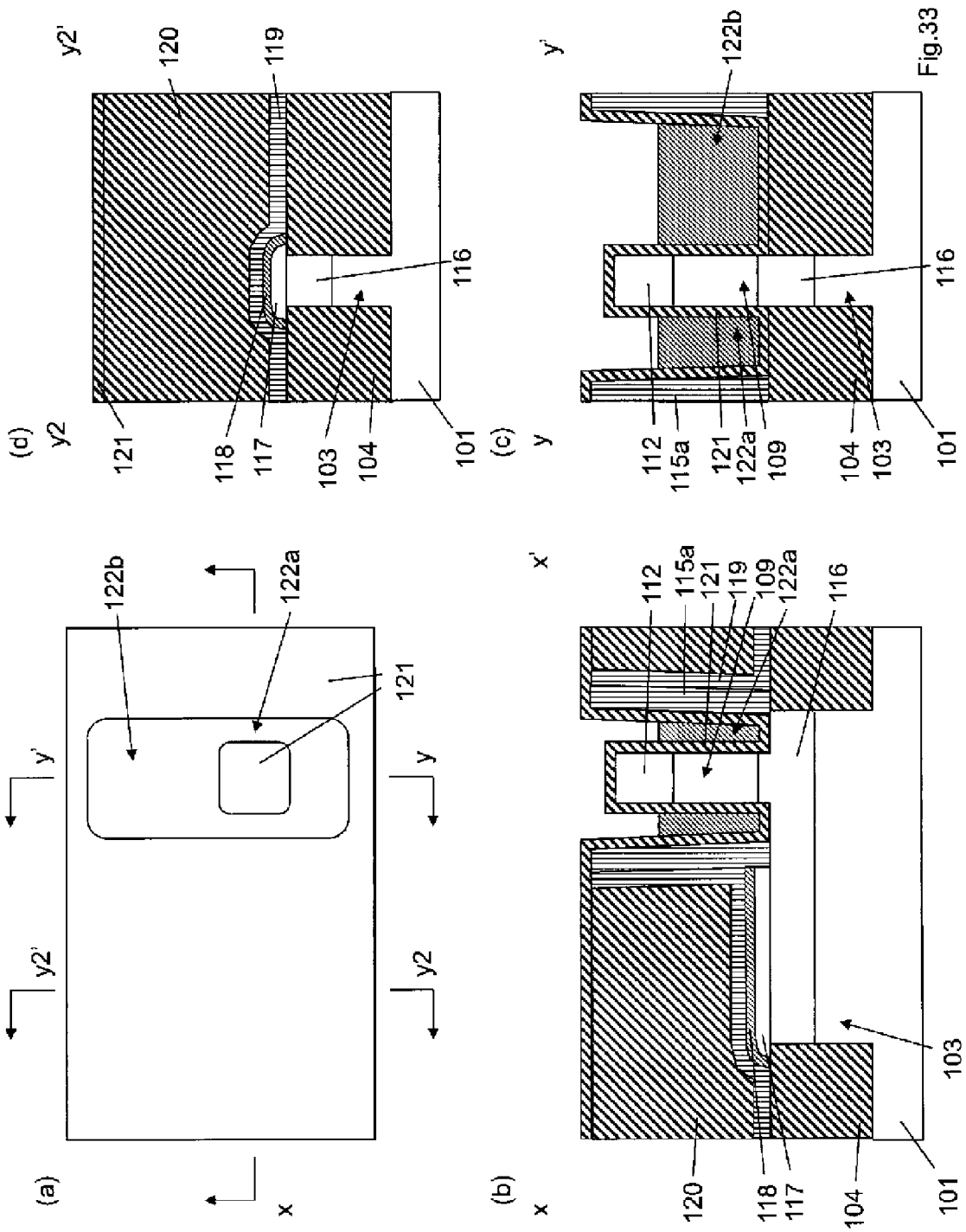

(a)
(b)
(c)
(d)
x
x'
y
y'
y2
y2'
122b
122a
121
120
119
118
117
116
115a
112
109
103
104
101

Fig.33

[図34]

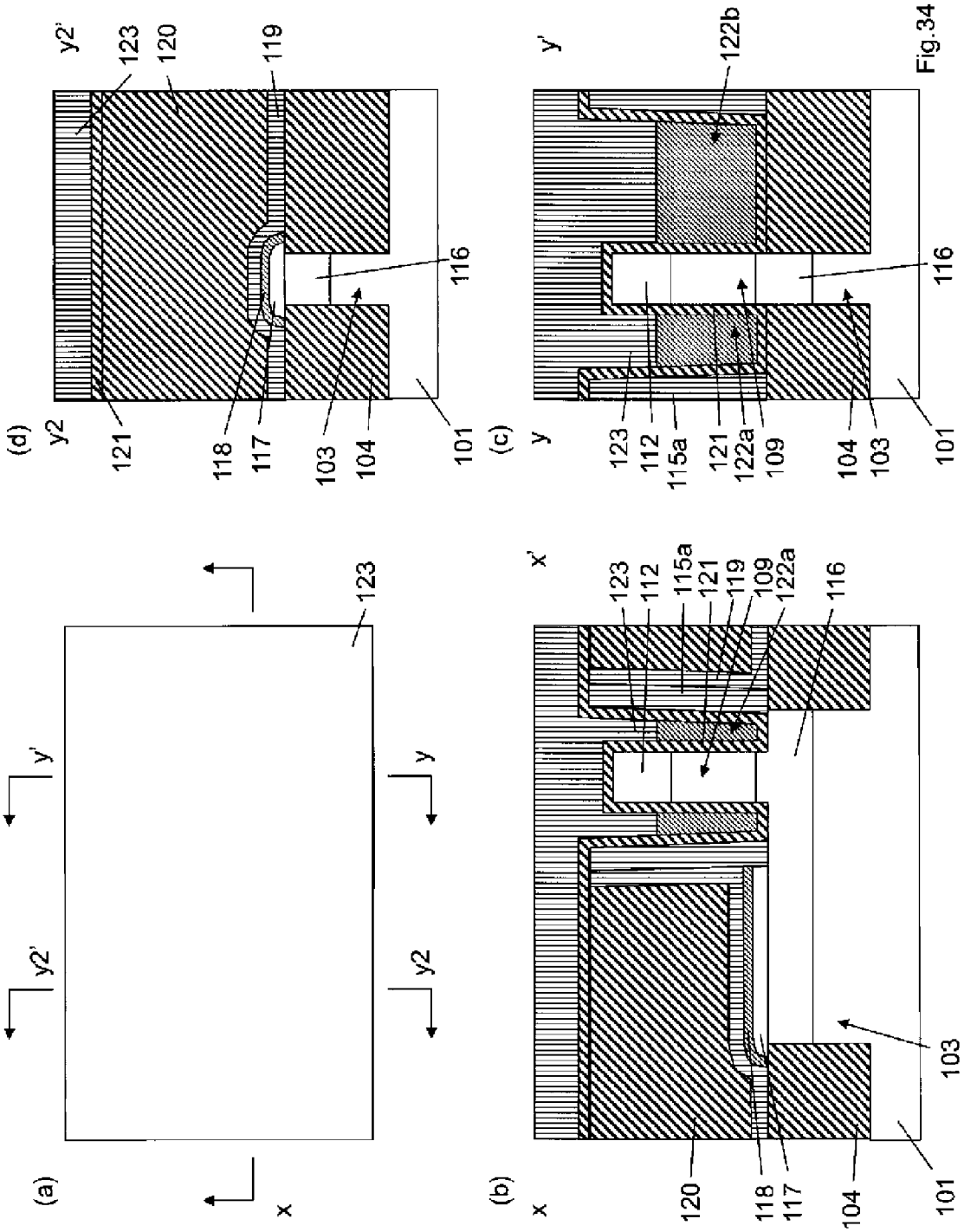

(a)
(b)
(c)
(d)
x
x'
y
y'
y2
y2'
123
112
115a
121
119
109
122a
116
103
120
118
117
104
101
122b

Fig.34

[図35]

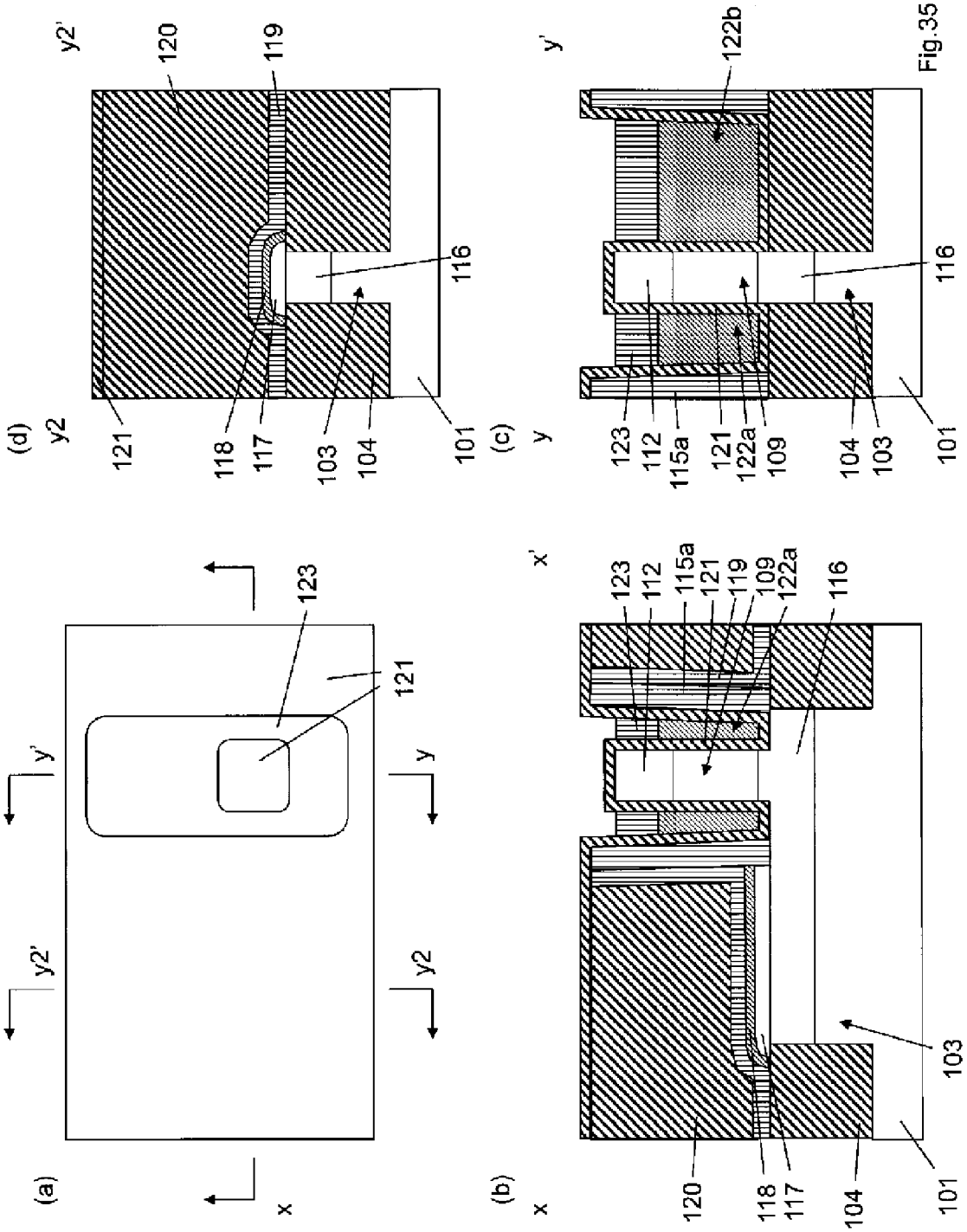
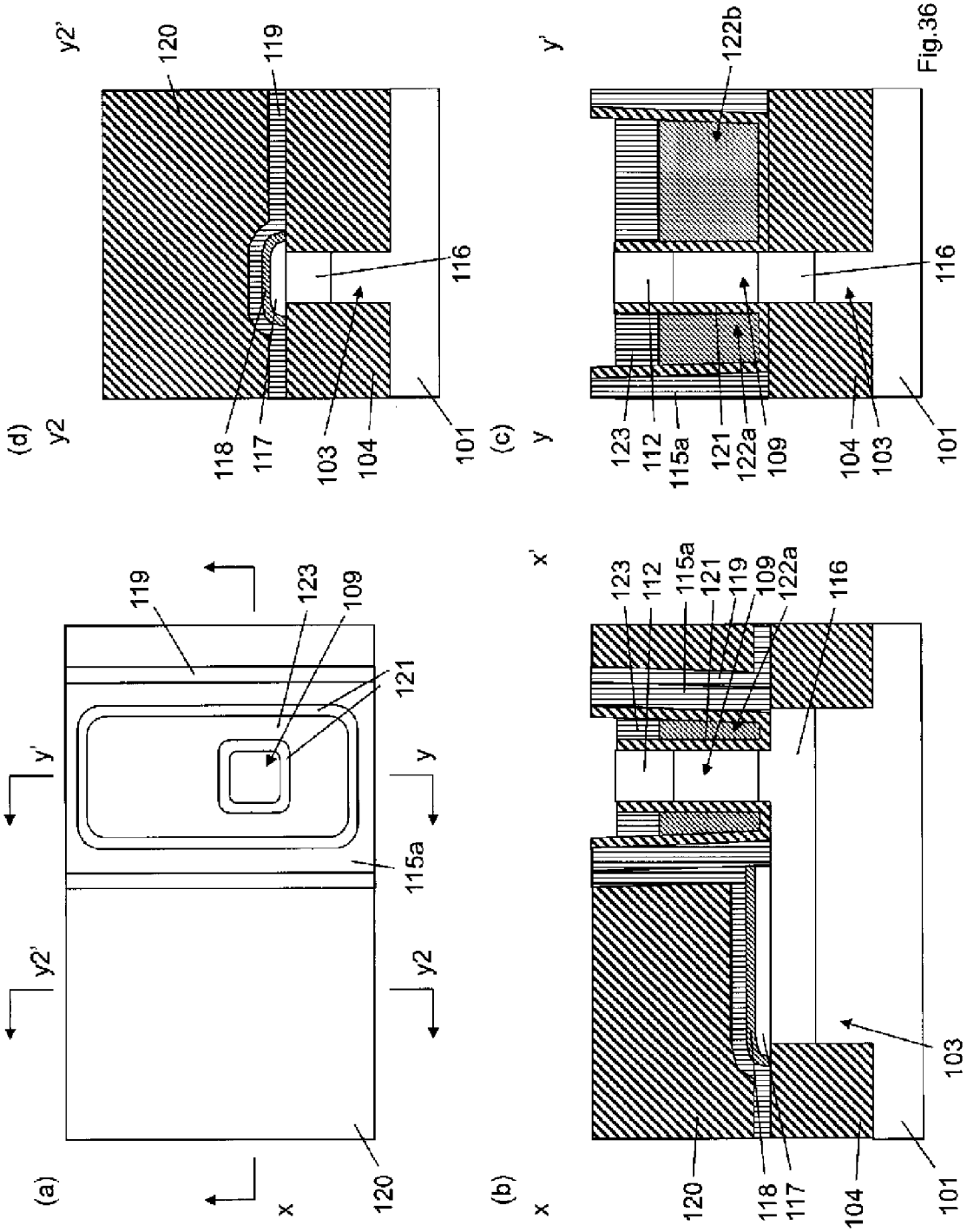

(a)
(b)
(c)
(d)
x
x'
y
y'
y2
y2'
123
121
112
115a
119
109
122a
116
103
120
118
117
104
101
122b

Fig.35

[図36]


(a)
(b)
(c)
(d)
Fig.36
x
x'
y
y'
y2
y2'
119
123
109
121
115a
120
112
122b
122a
116
103
104
101
118
117

[図37]

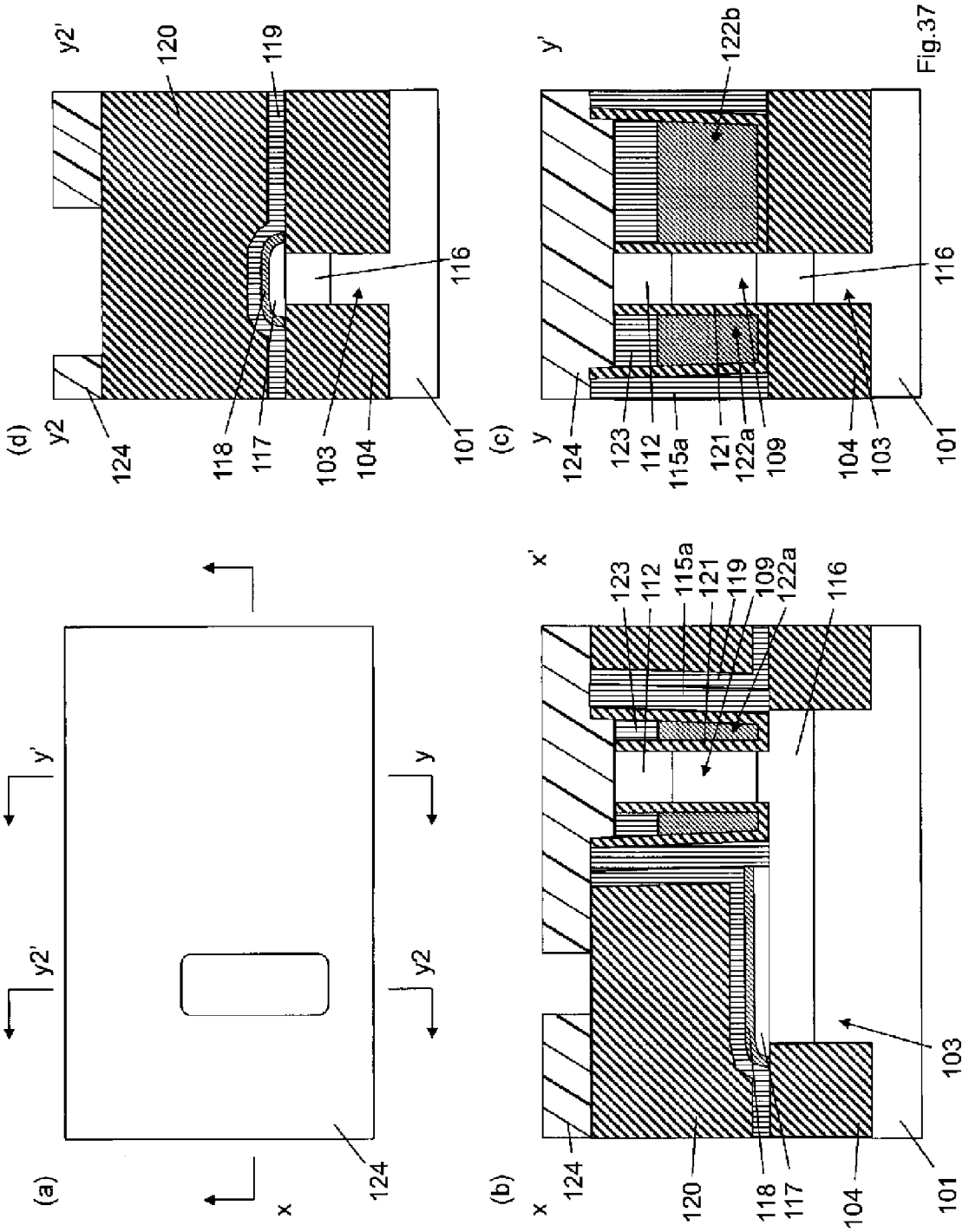

(a)
y'
y
y2'
y2
x
124
(b)
x'
x
123
112
115a
121
119
109
122a
116
103
124
120
118
117
104
101
(c)
y'
y
122b
116
124
123
112
115a
121
122a
109
104
103
101
(d)
y2'
y2
120
119
116
124
118
117
103
104
101

Fig.37

[図38]

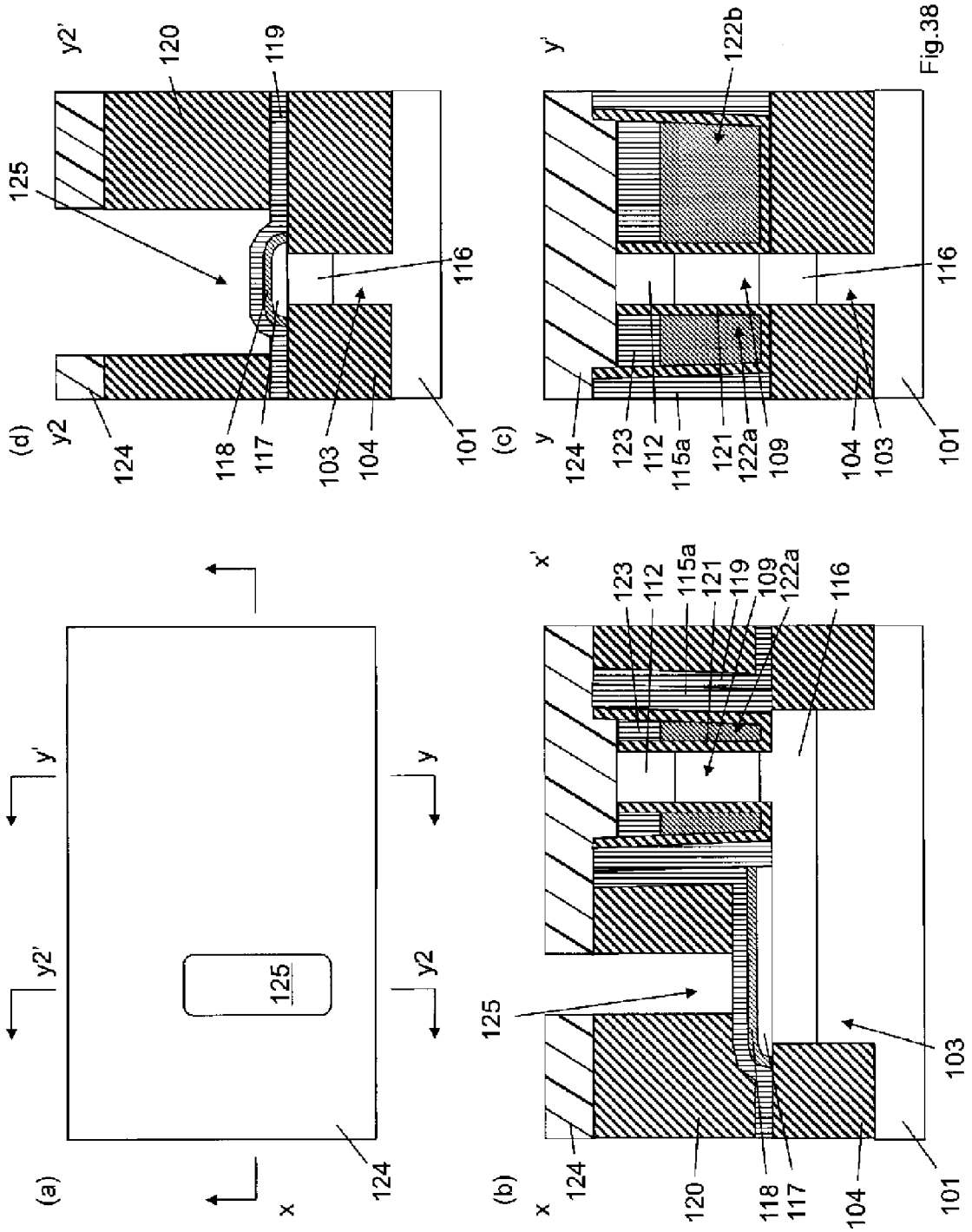

(a)
(b)
(c)
(d)
x
x'
y
y'
y2
y2'
125
124
123
112
115a
121
119
109
122a
116
103
120
118
117
104
101
122b

Fig.38

[図39]

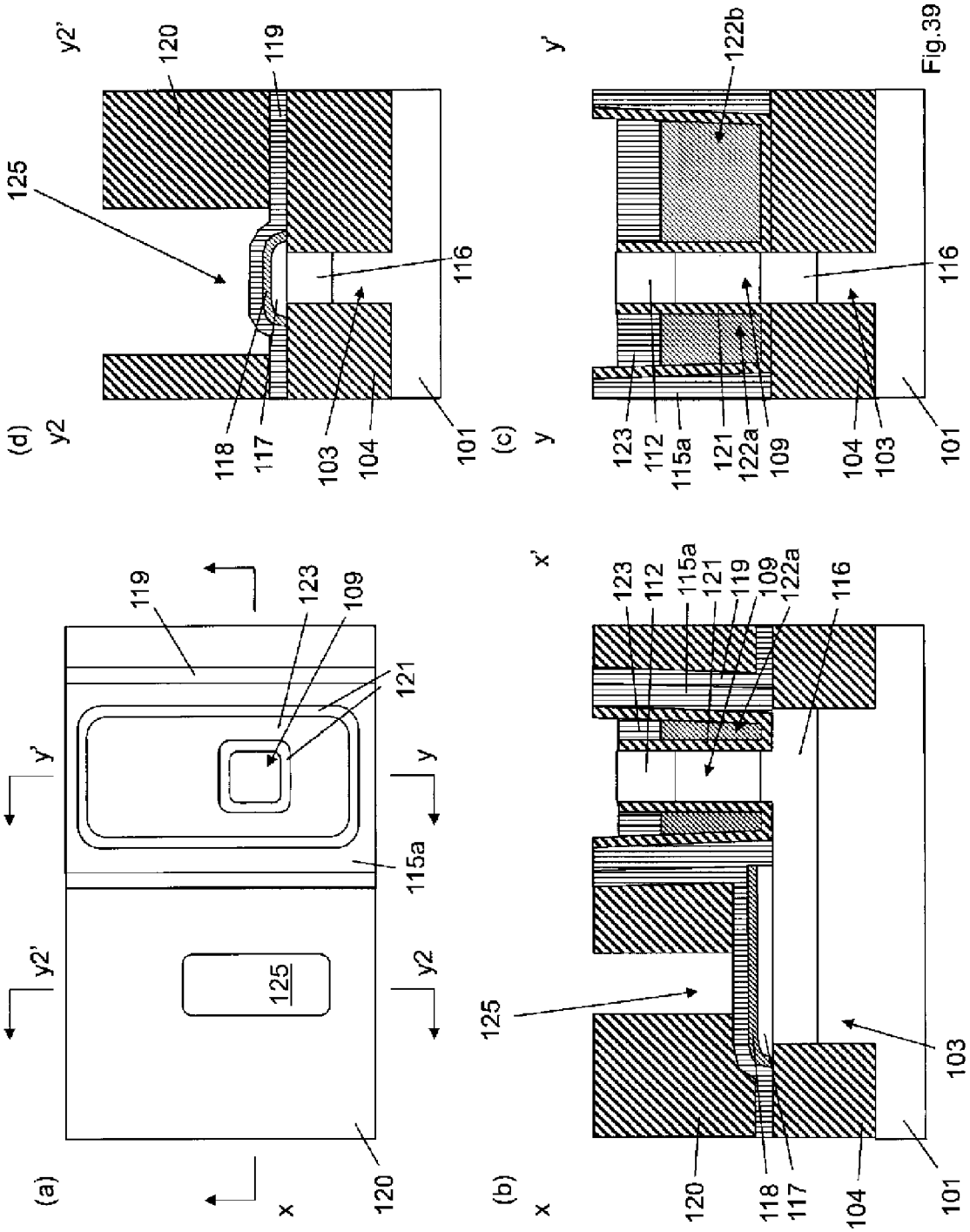

(a)
(b)
(c)
(d)
x
x'
y
y'
y2
y2'
119
123
109
121
115a
125
120
112
122a
116
103
104
101
118
117
122b

Fig.39

[図40]

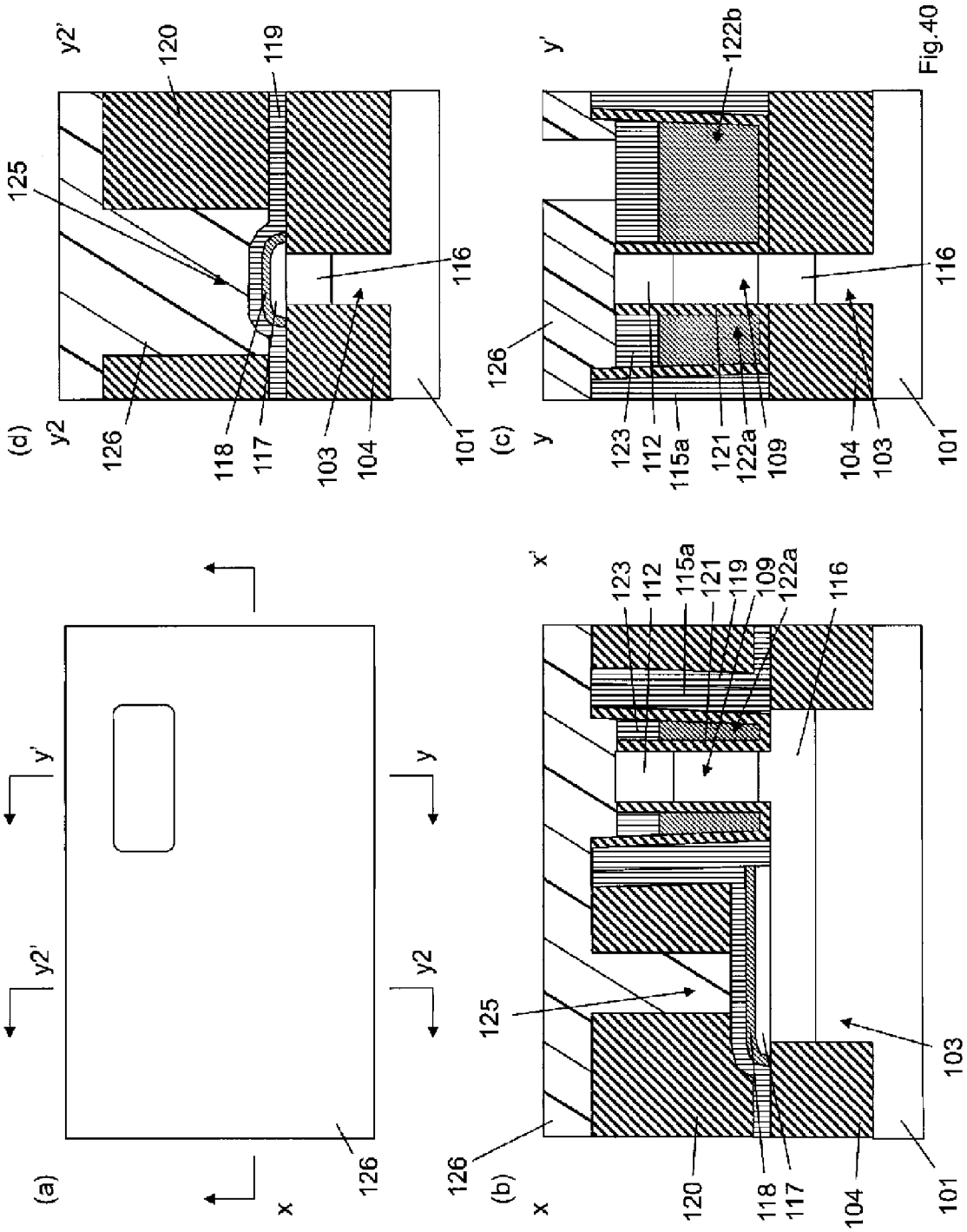

(a)
y'
y2'
y
y2
x
126
(b)
x'
123
112
115a
121
119
109
122a
116
125
126
120
118
117
104
103
101
(c)
y'
122b
116
126
y
123
112
115a
121
122a
109
104
103
101
(d)
y2'
120
119
125
116
y2
126
118
117
103
104
101

Fig.40

[図41]

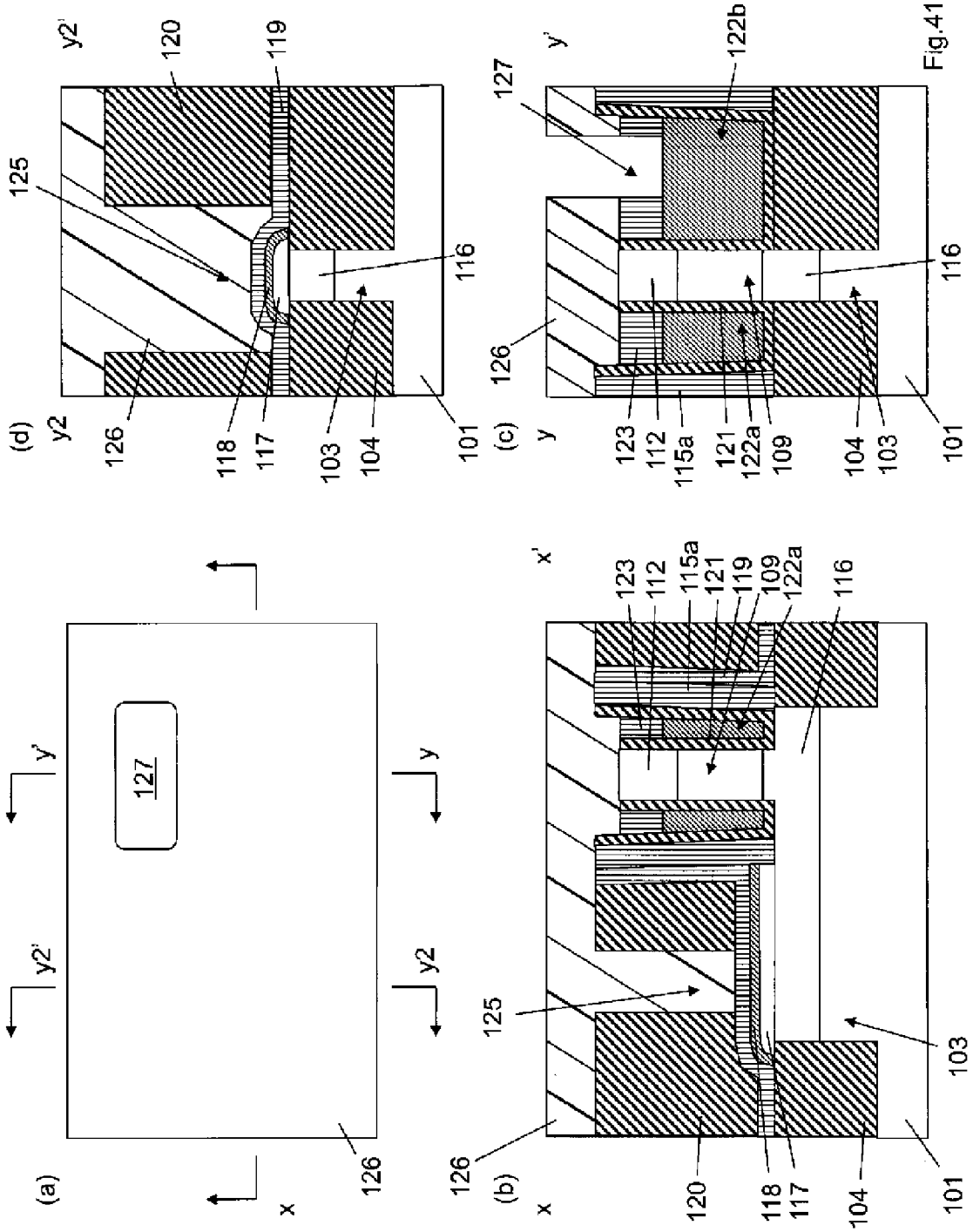
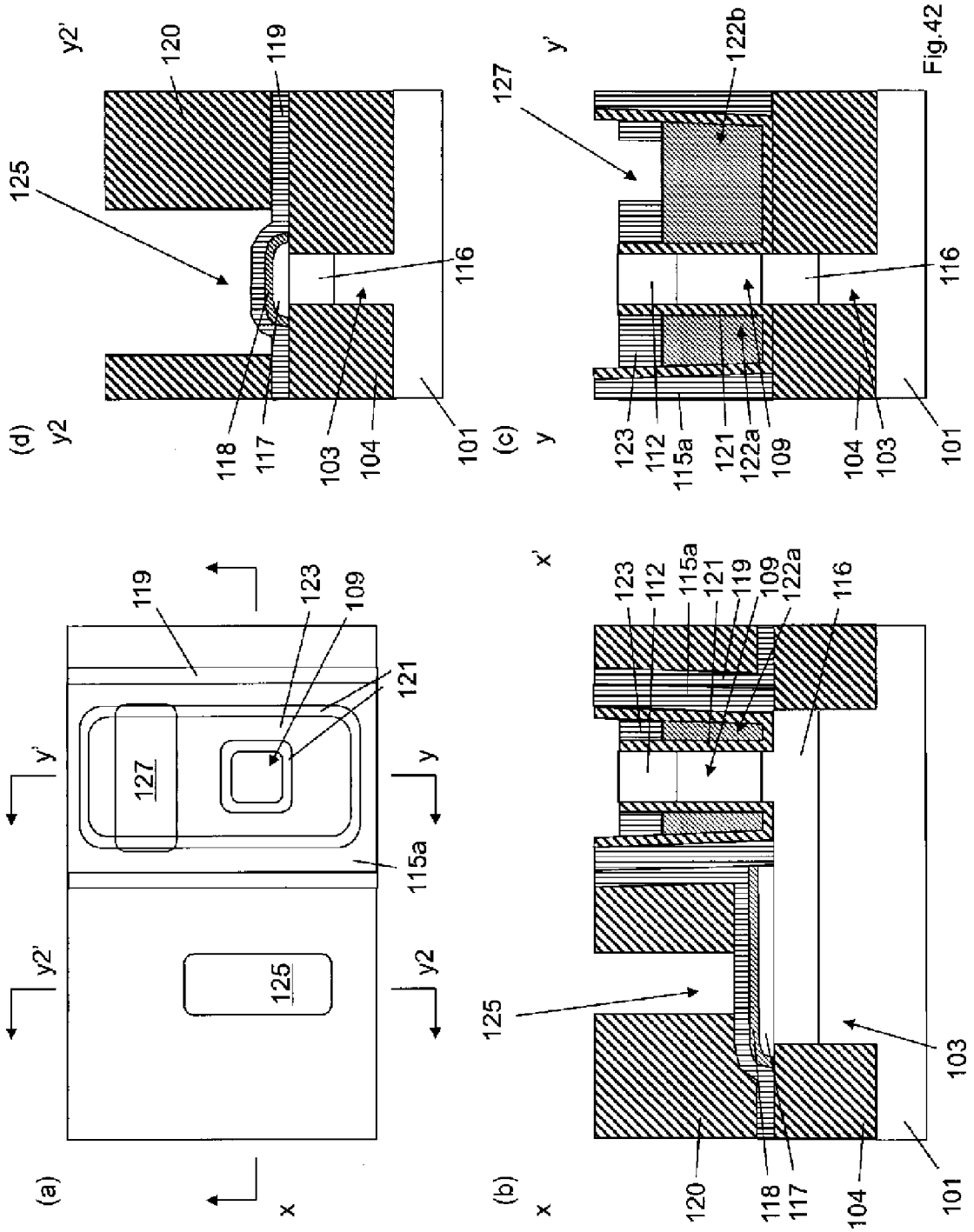

(a)
127
y'
y2'
y
y2
x
126
(b)
x'
123
112
115a
121
119
109
122a
116
125
103
126
120
118
117
104
101
x
(c)
y'
122b
127
116
126
123
112
115a
121
122a
109
104
103
101
y
(d)
y2'
120
119
125
116
126
118
117
103
104
101
y2

Fig.41

[図42]


(a)
(b)
(c)
(d)
Fig.42
x
x'
y
y'
y2
y2'
119
123
109
121
127
115a
125
112
122a
122b
116
103
104
101
120
118
117

[図43]

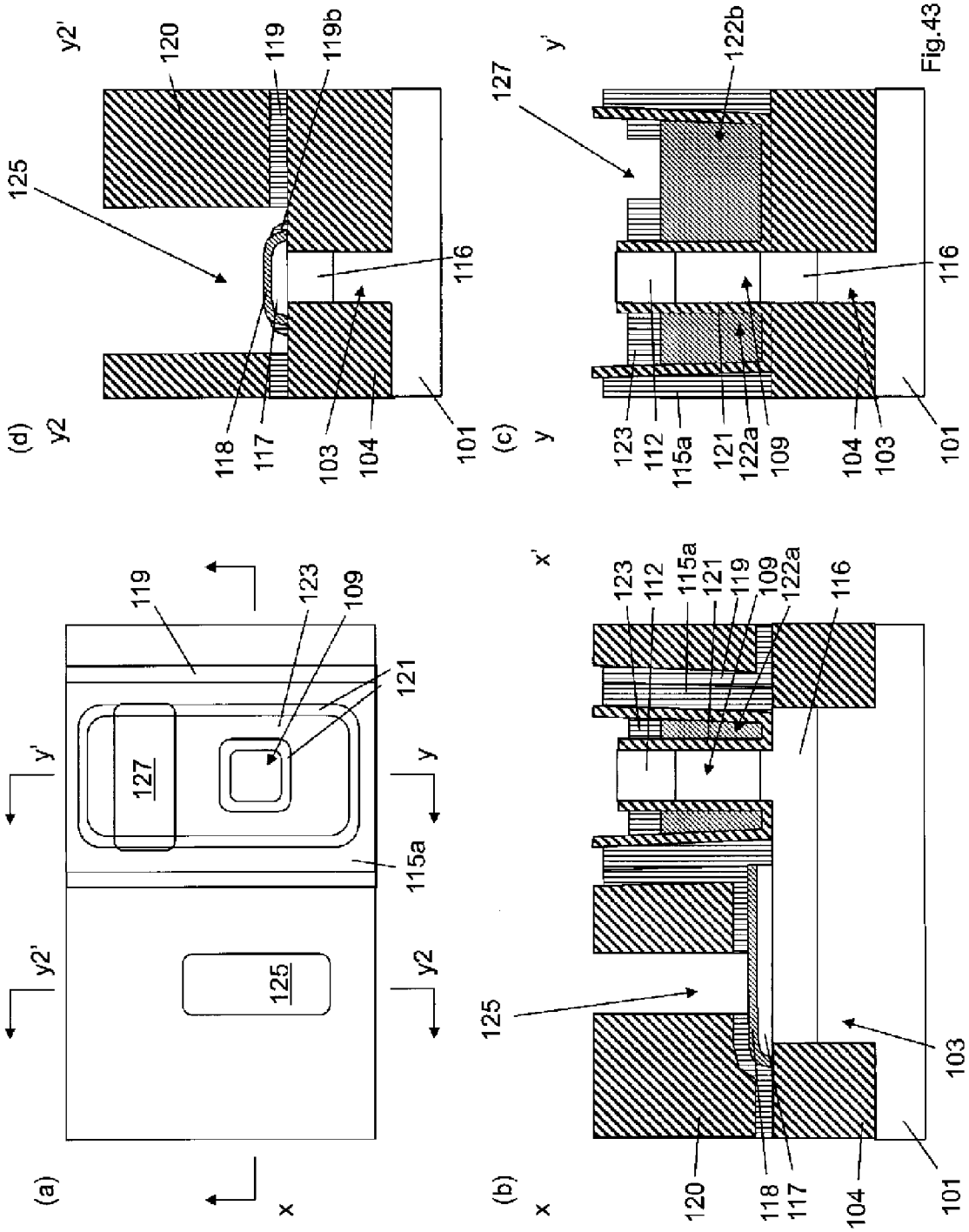

(a)
(b)
(c)
(d)
x
x'
y
y'
y2
y2'
119
123
109
121
127
115a
125
112
122a
116
103
104
101
120
118
117
122b

Fig.43

[図44]

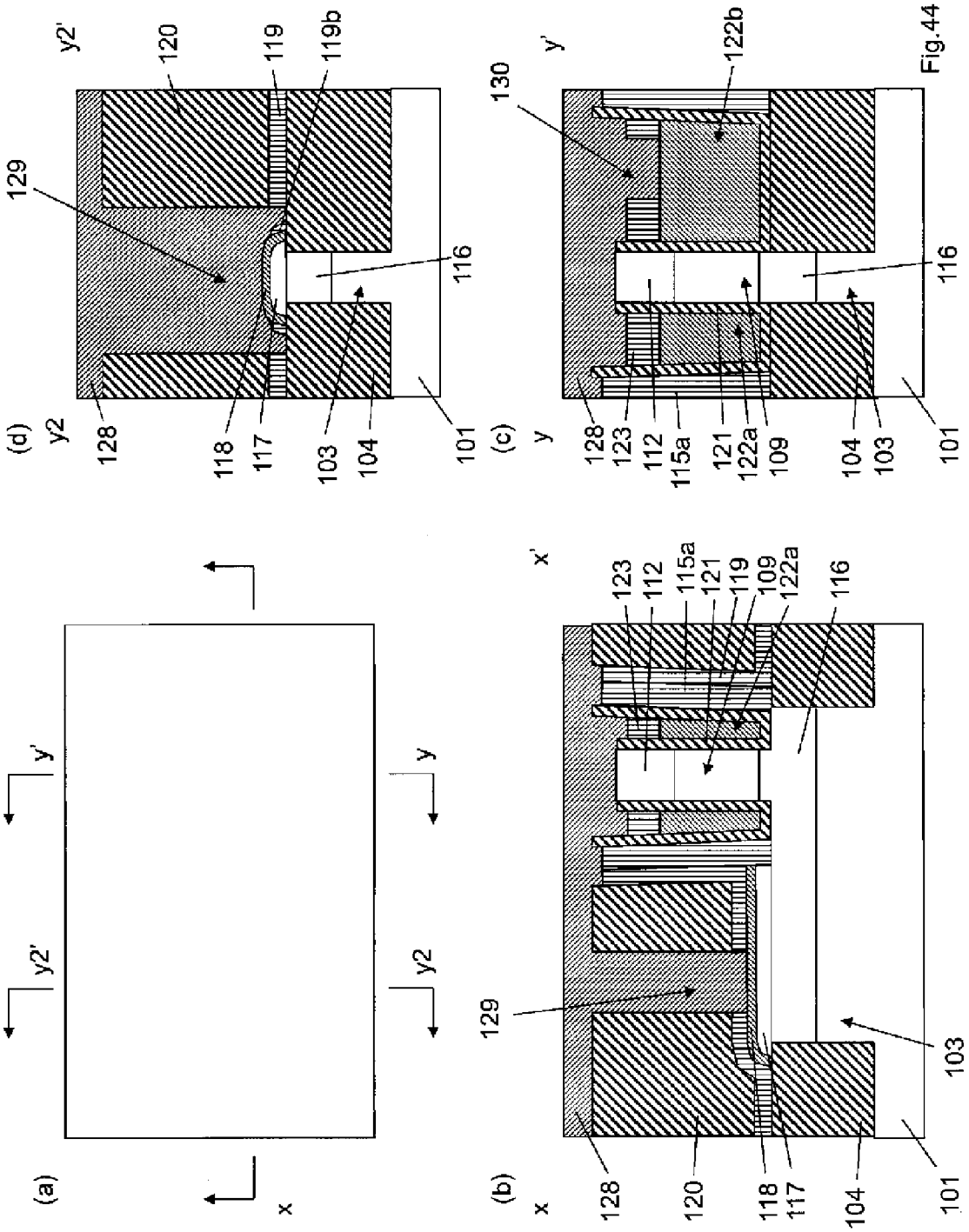

(a)
y'
y2'
y
y2
x
(b)
x'
x
129
128
120
118
117
104
101
103
123
112
115a
121
119
109
122a
116
(c)
y'
y
130
122b
128
123
112
115a
121
122a
109
104
103
101
116
(d)
y2'
y2
129
128
120
119
119b
118
117
103
104
101
116

Fig.44

[図45]

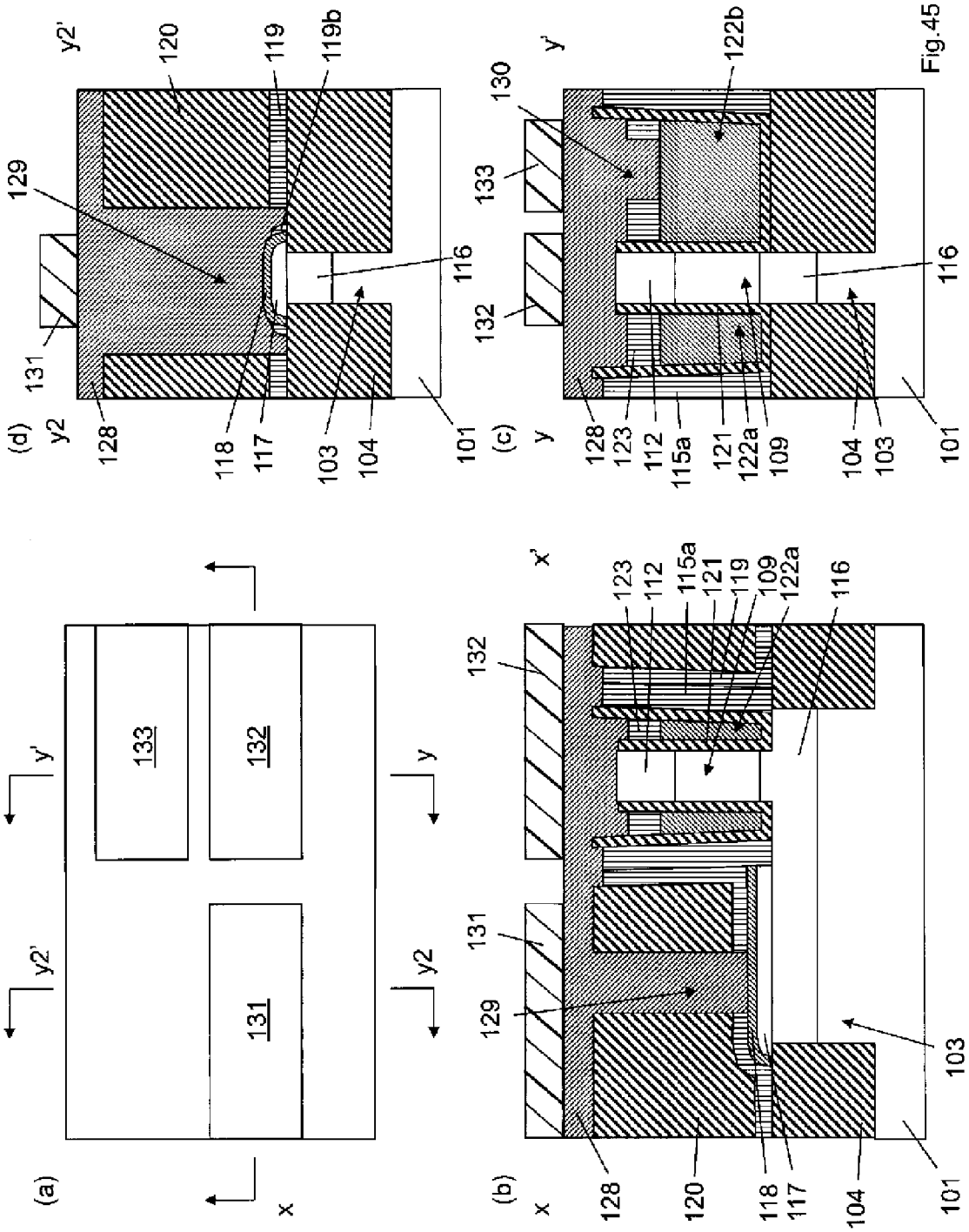
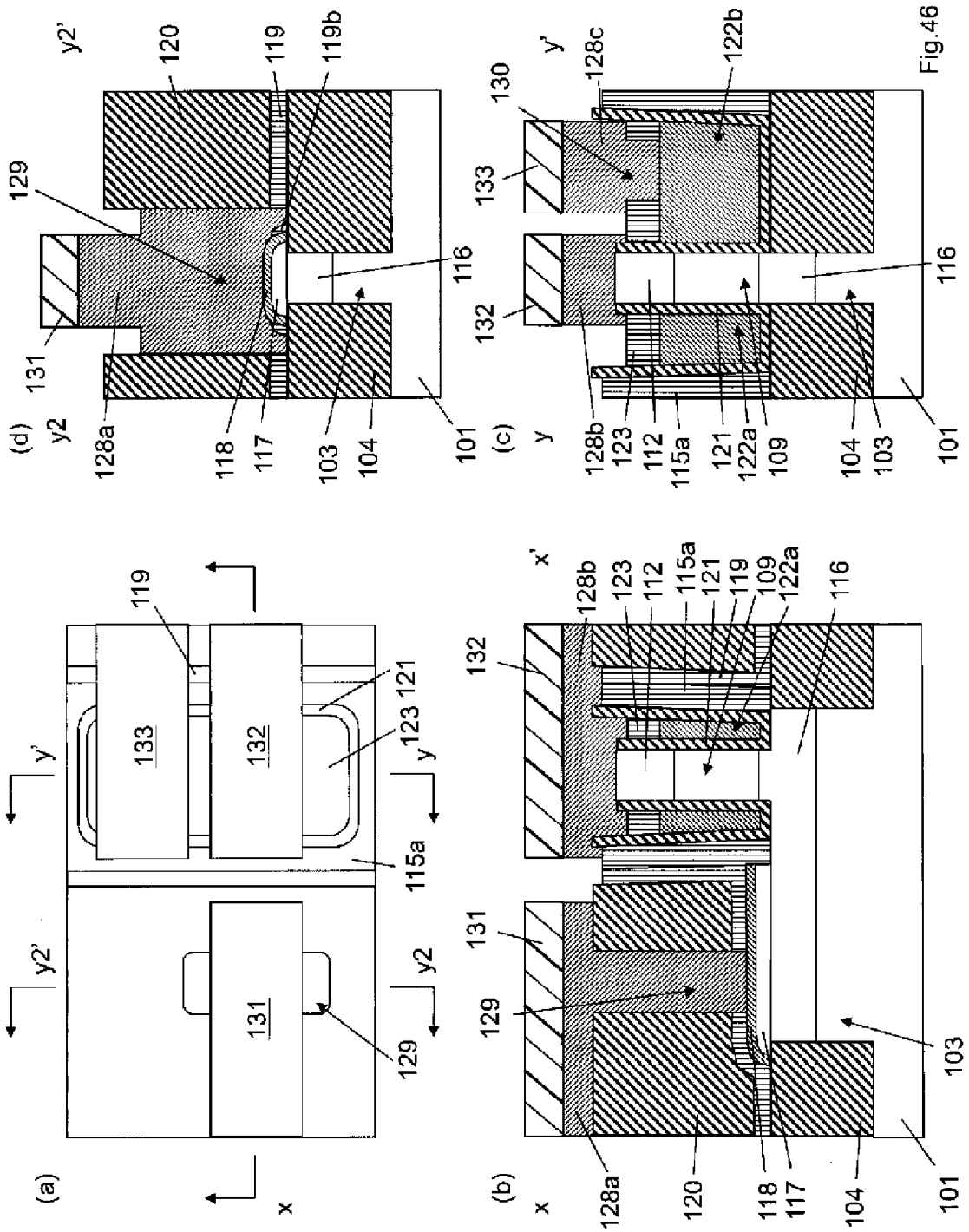
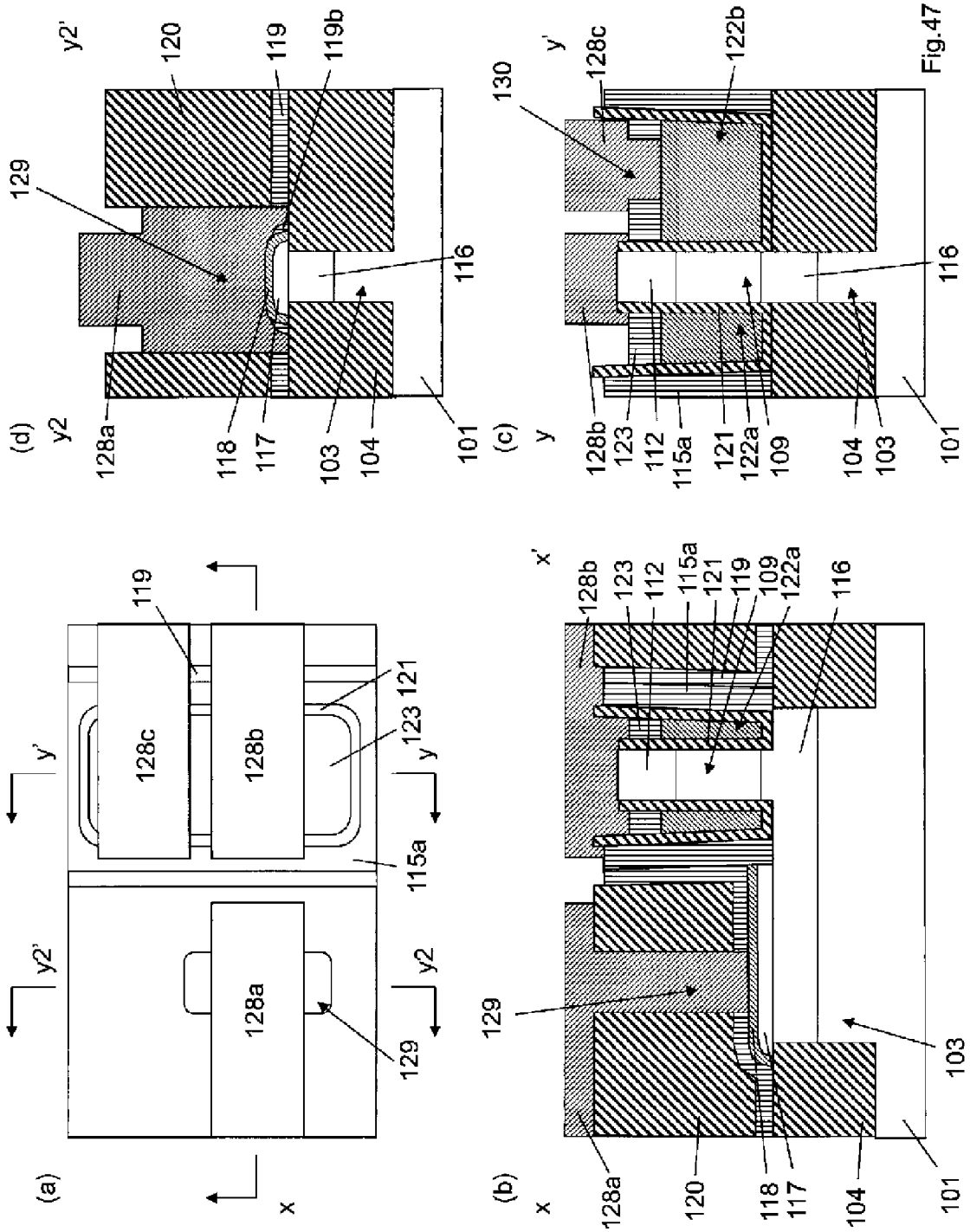

(a)
133
132
131
y'
y2'
y
y2
x
(b)
x'
x
132
131
129
123
112
115a
121
119
109
122a
116
128
120
118
117
104
103
101
(c)
y'
y
130
133
132
122b
116
128
123
112
115a
121
122a
109
104
103
101
(d)
y2'
y2
120
119
119b
129
131
116
128
118
117
103
104
101

Fig.45

[図46]


(a)
(b)
(c)
(d)
Fig.46
x
x'
y
y'
y2
y2'
101
103
104
109
112
116
117
118
119
119b
120
121
122a
122b
123
128a
128b
128c
129
130
131
132
133
115a

[図47]


(a)
(b)
(c)
(d)
Fig.47
x
x'
y
y'
y2
y2'
128a
128b
128c
129
130
101
103
104
116
117
118
119
119b
120
121
122a
122b
123
109
112
115a

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/069611

A. CLASSIFICATION OF SUBJECT MATTER
*H01L21/336*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2014 |
| Kokai Jitsuyo Shinan Koho | 1971-2014 | Toroku Jitsuyo Shinan Koho | 1994-2014 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2013-258427 A (Unisantis Electronics Singapore Pte Ltd.), 26 December 2013 (26.12.2013), paragraphs [0054] to [0095]; fig. 41 & US 2010/0210079 A1 paragraphs [0151] to [0208]; fig. 41 & EP 2244301 A1 & WO 2009/102061 A1 & KR 10-2010-0120206 A & CN 101946330 A & TW 200939360 A | 1-9 |
| A | WO 2014/073103 A1 (Unisantis Electronics Singapore Pte Ltd.), 15 May 2014 (15.05.2014), paragraphs [0021] to [0075]; fig. 1 & TW 201419548 A | 1-9 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 29 September, 2014 (29.09.14) | 07 October, 2014 (07.10.14) |
| Name and mailing address of the ISA/ Japanese Patent Office<br>Facsimile No. | Authorized officer<br>Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2014/069611

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2010-258345 A (Unisantis Electronics Japan Ltd.),<br>11 November 2010 (11.11.2010),<br>paragraphs [0031] to [0052]; fig. 2<br>& US 2010/0270611 A1<br>paragraphs [0080] to [0102]; fig. 2<br>& EP 2246893 A2 & CN 101877353 A<br>& SG 166085 A & TW 201039443 A<br>& KR 10-2013-0103694 A | 1-9 |
| A | JP 2014-060286 A (Renesas Electronics Corp.),<br>03 April 2014 (03.04.2014),<br>paragraphs [0015] to [0038]; fig. 1<br>& US 2014/077288 A1<br>paragraphs [0064] to [0088]; fig. 1 | 1-9 |
| A | US 2006/0011994 A1 (Lin Hong, Lo Wai, Sun Sey-Shing, Carter Richard),<br>19 January 2006 (19.01.2006),<br>paragraphs [0009] to [0023]; fig. 9 to 14<br>& US 2008/0150090 A1 | 1-9 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０６９６１１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１４年 |
| 日本国実用新案登録公報 | １９９６－２０１４年 |
| 日本国登録実用新案公報 | １９９４－２０１４年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2013-258427 A (ユニサンティス　エレクトロニクス　シンガポール　プライベート　リミテッド) 2013.12.26, 段落【0054】-段落【0095】, 図 41 & US 2010/0210079 A1, Paragraphs [0151]-[0208], FIG. 41 & EP 2244301 A1 & WO 2009/102061 A1 & KR 10-2010-0120206 A & CN 101946330 A & TW 200939360 A | 1-9 |
| A | WO 2014/073103 A1 (ユニサンティス　エレクトロニクス　シンガポール　プライベート　リミテッド) 2014.05.15, 段落【0021】-段落【0075】, 図 1 & TW 201419548 A | 1-9 |

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ２９．０９．２０１４ | ０７．１０．２０１４ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　５２９３
宇多川　勉
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2010-258345 A (日本ユニサンティスエレクトロニクス株式会社) 2010.11.11, 段落【0031】-段落【0052】, 図 2 & US 2010/0270611 A1, Paragraphs [0080]-[0102], FIG.2 & EP 2246893 A2 & CN 101877353 A & SG 166085 A & TW 201039443 A & KR 10-2013-0103694 A | 1-9 |
| A | JP 2014-060286 A (ルネサスエレクトロニクス株式会社) 2014.04.03, 段落【0015】-段落【0038】, 図 1 & US 2014/077288 A1, Paragraphs [0064]-[0088], FIG.1 | 1-9 |
| A | US 2006/0011994 A1 (Lin Hong, Lo Wai, Sun Sey-Shing, Carter Richard) 2006.01.19, Paragraphs [0009]-[0023], Figure 9-14 & US 2008/0150090 A1 | 1-9 |