

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 1월 19일 (19.01.2017)



(10) 국제공개번호
WO 2017/010818 A1

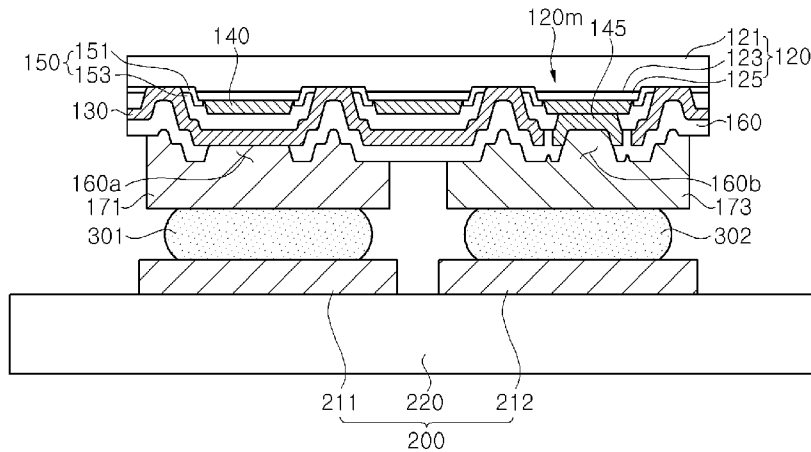
- (51) 국제특허분류: H01L 33/62 (2010.01) H01L 33/36 (2010.01)
- (21) 국제출원번호: PCT/KR2016/007645
- (22) 국제출원일: 2016년 7월 14일 (14.07.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2015-0100671 2015년 7월 15일 (15.07.2015) KR
10-2016-0087556 2016년 7월 11일 (11.07.2016) KR
- (71) 출원인: 서울바이오시스 주식회사 (SEOUL VIOSYS CO., LTD.) [KR/KR]; 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).
- (72) 발명자: 채종현 (CHAE, Jong Hyeon); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR). 조연철 (CHO, Yeon Cheol); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR). 정춘복 (JEONG, Cun Bok); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR). 임형진 (LIM, Hyung Jin); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).
- (74) 대리인: 특허법인에이아이피 (AIP PATENT & LAW FIRM); 06239 서울시 강남구 테헤란로 14길 30-1, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: METHOD FOR MANUFACTURING LIGHT EMITTING DIODE PACKAGE

(54) 발명의 명칭 : 발광 다이오드 패키지 제조 방법



(57) Abstract: A method for manufacturing a light emitting diode package comprises: arranging a first solder and a second solder between a substrate and a light emitting diode; and subjecting the first solder and the second solder to a heat treatment to bond the substrate and the light emitting diode, wherein the heat treatment of the first and second solders comprises: a heating step of increasing the temperature of the first and second solders from room temperature to a temperature T_p ; a maintenance step of maintaining the temperature T_p ; and a cooling step of lowering the temperature T_p , wherein the heating step comprises: a first ramping step of increasing a temperature from room temperature to a temperature T_A at a constant speed; a pre-heating step of increasing the temperature from the temperature T_A to a temperature T_B to impart fluidity to the first and second solders; and a second ramping step of increasing the temperature from the T_B to T_L at a constant speed, wherein the pre-heating step is performed for 60 seconds to 180 seconds.

(57) 요약서:

[다음 쪽 계속]



WO 2017/010818 A1



발광 다이오드 패키지 제조 방법은, 기판과 발광 다이오드 사이에 각각 제 1 솔더 및 제 2 솔더를 배치하고; 제 1 및 제 2 솔더를 열처리하여 기판과 발광 다이오드를 접합시키는 것을 포함하되, 제 1 및 제 2 솔더를 열처리하는 것은, 제 1 및 제 2 솔더를 상온에서 온도 T_p 까지 온도를 상승시키는 가열 단계; 온도 T_p 에 유지하는 유지 단계; 및 온도 T_p 에서 온도를 낮추는 냉각 단계를 포함하고, 가열 단계는, 상온에서 온도 T_A 까지 일정한 속도로 온도를 상승시키는 제 1 램핑 단계; 온도 T_A 에서 온도 T_B 까지 온도를 상승시켜 제 1 및 제 2 솔더에 유동성을 부여하는 예열 단계; 및 T_B 에서 T_L 까지 일정한 속도로 온도를 상승시키는 제 2 램핑 단계를 포함하며, 예열 단계는 60 초 내지 180 초 동안 수행된다.

명세서

발명의 명칭: 발광 다이오드 패키지 제조 방법

기술분야

- [1] 본 발명은 발광 다이오드 패키지 제조 방법에 대한 것이며, 구체적으로, 발광 다이오드를 기판에 실장하는 조건에 관한 발광 다이오드 패키지 제조 방법에 대한 것이다.

배경기술

- [2] 발광 다이오드(LED)는 전기적 에너지를 광으로 변환하는 고체 상태 소자이다. 발광 다이오드는 백라이트 등에 사용하는 각종 광원, 조명, 신호기, 대형 디스플레이 등에 폭넓게 이용되고 있으며, 회로기판, 봉지재 등과 함께 발광 다이오드 패키지 형태로 사용될 수 있다. 발광 다이오드(LED)는 솔더 등을 통해 회로기판에 실장될 수 있다. 이 때, 양극과 음극이 솔더 내 용제(solvent)에 의해 단락(short)되어, 발광 다이오드 패키지에 불량 발생할 수 있다. 따라서, 이와 같은 문제를 방지하기 위해, 솔더를 통해 발광 다이오드가 회로기판에 실장될 시의 최적의 조건이 요구되고 있다.

발명의 상세한 설명

기술적 과제

- [3] 본 발명이 해결하려는 과제는, 불량률이 줄어든 발광 다이오드 패키지 제조 방법을 제공하는 것이다.

과제 해결 수단

- [4] 본 발명의 일 실시예에 따른 발광 다이오드 패키지 제조 방법은, 기판의 제1 접속 패드 및 제2 접속 패드와 발광 다이오드의 제1 패드 전극 및 제2 패드 전극 사이에 각각 제1 솔더 및 제2 솔더를 배치하고; 상기 제1 및 제2 솔더를 열처리하여 상기 기판과 상기 발광 다이오드를 접합시키는 것을 포함하되, 상기 제1 및 제2 솔더를 열처리하는 것은, 상기 제1 및 제2 솔더를 상온에서 온도 T_p 까지 온도를 상승시키는 가열 단계; 온도 T_p 에 유지하는 유지 단계; 및 온도 T_p 에서 온도를 낮추는 냉각 단계를 포함하고, 상기 가열 단계는, 상온에서 온도 T_A 까지 일정한 속도로 온도를 상승시키는 제1 램핑 단계; 온도 T_A 에서 온도 T_B 까지 온도를 상승시켜 상기 제1 및 제2 솔더에 유동성을 부여하는 예열 단계; 및 T_B 에서 T_L 까지 일정한 속도로 온도를 상승시키는 제2 램핑 단계를 포함하며, 상기 예열 단계는 60초 내지 180초 동안 수행된다.
- [5] 나아가, 상기 예열 단계는 온도 상승 속도가 시간에 따라 변하는 구간을 포함할 수 있다. 상기 예열 단계는 또한 온도 상승 속도가 일정한 구간을 포함할 수도 있다.
- [6] 상기 예열 단계는 150도 내지 200도의 온도 범위에서 온도를 상승시킬 수 있다. 예를 들어, 상기 온도 T_A 는 150도이고, 상기 온도 T_B 는 200도일 수 있다.

- [7] 한편, 상기 온도 T_p 는 300도 이하일 수 있다. 더 구체적으로, 상기 온도 T_p 는 260도일 수 있다.
- [8] 한편, 상기 제2 램핑 단계 후에 솔더에 점착성이 부여되는 솔더링이 진행되며, 상기 솔더링은 상기 가열 단계 중 상기 온도 T_L 에서 상기 온도 T_p 까지 상승하는 단계 및 상기 유지 단계 그리고, 상기 냉각 단계의 일부에서 진행될 수 있다.
- [9] 나아가, 상기 온도 T_L 에서 상기 온도 T_p 까지 상승하는 단계는 3°C/초 이하의 속도로 온도가 상승할 수 있으며, 상기 솔더링이 진행되는 냉각 단계는 6°C/초 이하의 속도로 온도가 하강할 수 있다.
- [10] 또한, 상기 솔더링은 217도 내지 260도 온도 범위에서 88초 내지 90초간 수행될 수 있다. 나아가, 상기 제1 솔더 및 상기 제2 솔더는 상기 제1 솔더 및 상기 제2 솔더 전체 질량의 1% 내지 1.4%의 Ag을 포함할 수 있다.
- [11] 한편, 상기 제1 솔더 및 제2 솔더를 배치하는 것은, 상기 제1 접속 패드 및 제2 접속 패드를 각각 노출시키는 제1 노출 영역 및 제2 노출 영역을 갖는 마스크를 상기 기판 상에 배치하고, 상기 마스크의 제1 노출 영역 및 제2 노출 영역에 상기 제1 및 제2 솔더를 배치하는 것을 포함할 수 있다.
- [12] 상기 마스크의 두께는 0.08mm 내지 0.18mm일 수 있다.
- [13] 또한, 상기 제1 노출 영역의 넓이 및 상기 제2 노출 영역의 넓이는 각각 상기 제1 접속 패드의 상면 면적 및 상기 제2 접속 패드의 상면 면적의 80% 내지 110%일 수 있다.
- [14] 상기 제1 노출 영역의 중심 및 상기 제2 노출 영역의 중심은 각각 상기 제1 접속 패드의 상면의 중심 및 상기 제2 접속 패드의 상면의 중심과 상하 방향으로 중첩할 수 있다.
- [15] 또한, 상기 제1 솔더의 양 및 제2 솔더의 양은 각각 기준 솔더 양의 100% 내지 150%이며, 상기 기준 솔더 양은 하기 식 1에 따른 부피일 수 있다.
- [16] [식 1]
- [17] 기준 솔더 양(mm^3) = (상기 제1 노출 영역의 상면 영역(mm^2) 및 상기 제2 노출 영역 상면 영역(mm^2)) \times 0.08mm
- [18] 일 실시예에서, 상기 기판은 상기 제1 접속 패드 및 상기 제2 접속 패드 사이에 위치하며, 상기 제1 접속 패드 및 상기 제2 접속 패드와 나란하며, 상기 기판의 상면이 일부 함몰되어 형성된 홈부를 포함할 수 있다.
- [19] 다른 실시예에서, 상기 기판은 상기 제1 접속 패드 및 상기 제2 접속 패드 사이에 위치하며, 상기 기판의 상면부터 상기 기판의 하면을 관통하는 적어도 하나의 홀을 포함할 수 있다. 또 다른 실시예에서, 상기 기판은 상기 홈부와 함께 상기 홀을 포함할 수도 있다.
- [20] 상기 발광 다이오드 패키지 제조 방법은, 상기 제1 패드 전극 및 상기 제2 패드 전극을 갖는 발광 다이오드를 제조하는 단계를 더 포함할 수 있으며, 상기 발광 다이오드를 제조하는 단계는, 성장 기판 상에 제1 도전형 반도체층, 제2 도전형 반도체층 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에

위치하는 활성층을 포함하는 발광 구조체를 형성하는 단계; 상기 제1 도전형 반도체층 및 상기 제2 도전형 반도체층에 각각 오믹 컨택하는 제1 컨택 전극 및 제2 컨택 전극을 형성하는 단계; 상기 제1 컨택 전극 및 상기 제2 컨택 전극을 절연시키며, 상기 제1 컨택 및 상기 제2 컨택 전극을 부분적으로 덮는 절연층을 형성하는 단계; 및 상기 절연층 상에 상기 제1 컨택 전극 및 상기 제2 컨택 전극 각각에 전기적으로 연결된 제1 패드 전극 및 제2 패드 전극을 형성하는 단계를 포함할 수 있다. 나아가, 상기 제2 컨택 전극은 Ag를 포함할 수 있다.

발명의 효과

- [21] 본 발명에 따르면, 솔더 내에 함유된 용제를 충분히 제거하여 발광 다이오드 패키지 내에 단락이 발생하는 것을 방지할 수 있다. 이에 따라, 발광 다이오드 패키지의 불량률이 줄어들 수 있다.

도면의 간단한 설명

- [22] 도 1 내지 도 17은 본 발명의 일 실시예에 따른 발광 다이오드 패키지 제조 방법을 설명하기 위한 평면도들 및 단면도들이다.
- [23] 도 18 내지 도 21은 본 발명의 일 실시예에 따른 발광 다이오드 패키지 제조 방법에 따른 발광 다이오드 패키지의 불량률을 설명하기 위한 그래프들이다.
- [24] 도 22은 본 발명의 일 실시예에 따른 발광 다이오드 패키지 제조 방법에 의해 제조된 발광 다이오드 패키지를 조명 장치에 적용한 예를 설명하기 위한 분해 사시도이다.
- [25] 도 23은 본 발명의 일 실시예에서 따른 발광 다이오드 패키지 제조 방법에 의해 제조된 발광 다이오드 패키지를 디스플레이 장치에 적용한 예를 설명하기 위한 단면도이다.
- [26] 도 24는 본 발명의 일 실시예에 따른 발광 다이오드 패키지 제조 방법에 의해 제조된 발광 다이오드 패키지를 디스플레이 장치에 적용한 예를 설명하기 위한 단면도이다.
- [27] 도 25는 본 발명의 일 실시예에 따른 발광 다이오드 패키지 제조 방법에 의해 제조된 발광 다이오드 패키지를 헤드 램프에 적용한 예를 설명하기 위한 단면도이다.

발명의 실시를 위한 형태

- [28] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 본 발명이 속하는 기술분야의 통상의 기술자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 또한, 하나의 구성요소가 다른 구성요소의 "상부에" 또는 "상에" 있다고 기재된 경우 각 부분이 다른 부분의 "바로 상부" 또는 "바로 상에" 있는 경우뿐만 아니라 각 구성요소와 다른

구성요소 사이에 또 다른 구성요소가 개재된 경우도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

- [29] 도 1 내지 도 17은 본 발명의 일 실시예에 따른 발광 다이오드 패키지 제조 방법을 설명하기 위한 평면도들, 단면도들 및 그래프이다. 각 도면들에 있어서, (b)에 도시된 단면도는 (a)에 도시된 평면도의 A-A'선에 대응하는 부분의 단면을 나타낸다. 도 1 내지 도 17은 본 실시예에 따른 발광 다이오드 패키지 제조 방법을 설명하기 위하여 참조되나, 본 실시예의 발광 다이오드 제조 방법이 도면들의 순서에 제한되는 것은 아니다.
- [30] 먼저, 도 1 및 도 2를 참조하면, 성장 기관(110) 상에 발광 구조체(120)를 형성하여 웨이퍼(W1)를 준비한다.
- [31] 도 1을 참조하면, 웨이퍼(W1)는 성장 기관(110) 및 성장 기관(110) 상에 성장된 발광 구조체(120)를 포함할 수 있다. 또한, 하나의 웨이퍼(W1)로부터 복수의 발광 다이오드들이 제조될 수 있고, 따라서, 웨이퍼(W1)는 복수의 단위 발광 다이오드 영역(UD1)을 포함할 수 있다. 설명의 편의를 위하여, 도 2 내지 도 17을 참조하여 설명하는 경우, 단위 발광 다이오드 영역(UD1)에서의 발광 다이오드 제조 방법을 설명한다. 즉, 본 실시예의 제조 방법은 복수의 단위 발광 다이오드 영역(UD1)을 포함하는 웨이퍼(W1) 전체에 걸쳐 적용될 수 있다.
- [32] 도 2를 참조하면, 성장 기관(110) 상에 제1 도전형 반도체층(121), 활성층(123) 및 제2 도전형 반도체층(125)을 포함하는 발광 구조체(120)를 형성한다.
- [33] 성장 기관(110)은 발광 구조체(120)를 성장시킬 수 있는 기관이면 한정되지 않는다. 예를 들어, 성장 기관(110)은 사파이어 기관, 실리콘 카바이드 기관, 실리콘 기관, 질화갈륨 기관, 질화알루미늄 기관 등일 수 있다. 또한, 성장 기관(110)은 그 상면에 형성된 요철 패턴을 포함할 수도 있다. 성장 기관(110)은 이 후, 별도의 공정을 통해 발광 다이오드로부터 제거될 수도 있다.
- [34] 발광 구조체(120)는 유기금속화학증착(Metal-organic chemical vapor deposition; MOCVD), 수소화물기상증착(Hydride vapor phase epitaxy; HVPE), 또는 분자선 증착(Molecular beam epitaxy; MBE) 등의 방법을 이용하여 성장 기관(110) 상에 성장될 수 있다. 발광 구조체(120)는 제1 도전형 반도체층(121), 활성층(123) 및 제2 도전형 반도체층(125)을 포함한다. 제1 도전형 반도체층(121), 활성층(123) 및 제2 도전형 반도체층(125) 각각은 III-V계열 화합물 반도체를 포함할 수 있고, 예를 들어, (Al, Ga, In)N과 같은 질화물계 반도체를 포함할 수 있다. 제1 도전형 반도체층(121)은 n형 불순물(예를 들어, Si)을 포함하여 n형의 도전형을 가질 수 있고, 제2 도전형 반도체층(125)은 p형 불순물(예를 들어, Mg)을 포함하여 p형의 도전형을 가질 수 있다. 또한, 제1 및 제2 도전형 반도체층(121, 125)의 도전형은 상술한 바와 반대일 수도 있다. 활성층(123)은 다중양자우물 구조(MQW)를 포함할 수 있고, 원하는 피크 파장의 광을 방출하도록 그 조성비가 결정될 수 있다. 예를 들어, 활성층(123)은, UV 파장 대역의 피크 파장을 갖는 광 또는 청색 파장 대역의 피크 파장을 갖는 광을 방출할 수 있다.

- [35] 이어서, 도 3을 참조하면, 발광 구조체(120)를 패터닝하여 제1 도전형 반도체층(121)이 부분적으로 노출된 영역을 형성한다. 예를 들어, 도 2에 도시된 바와 같이, 적어도 하나의 메사(120m)를 형성함으로써, 제1 도전형 반도체층(121)이 부분적으로 노출된 영역을 형성할 수 있다.
- [36] 메사(120m)는 사진 및 식각 공정을 통해 제2 도전형 반도체층(125) 및 활성층(123)을 부분적으로 제거함으로써 형성될 수 있다. 메사(120m) 주변 영역에는 제1 도전형 반도체층(121)이 부분적으로 노출될 수 있다. 메사(120m)의 형태는 제한되지 않으나, 예를 들어, 도 3(a)에 도시된 바와 같이, 대체로 동일한 방향으로 기다랗게 연장되는 형태로 형성될 수 있으며, 또한, 복수로 형성될 수 있다. 이 경우, 복수의 메사들(120m)은 서로 이격된다.
- [37] 본 발명은 이에 한정되지 않으며, 도 4의 (a) 및 (b)에 도시된 바와 같이, 메사(120m)는 일체로 형성되며, 상기 메사(120m)의 일 측면으로부터 함입되는 부분을 갖는 형태를 가질 수도 있다. 예컨대, 도 4의 (a)에 도시된 바와 같이, 메사(120m)는 성장 기관(110)의 일 측면에 인접하는 부분에서 서로 연결되고, 상기 일 측면에 반대하여 위치하는 타 측면에 인접하는 부분에는 이격 영역이 형성된 형태로 형성될 수 있다. 상기 이격 영역을 통해 제1 도전형 반도체층(121)이 부분적으로 노출될 수 있다. 상기 이격 영역은 복수로 형성될 수 있으며, 도 4의 (a)와 같이 2개로 형성될 수도 있으나, 3개 이상으로 형성될 수도 있다. 한편, 이와 달리, 도 4(b)에 도시된 바와 같이, 발광 구조체(120)는 제1 도전형 반도체층(121)을 부분적으로 노출시키는 적어도 하나의 홀(120h)을 포함할 수도 있다. 상기 홀(120h)은 복수로 형성될 수 있으며, 규칙적으로 배치될 수 있다.
- [38] 다음, 도 5를 참조하면, 제2 도전형 반도체층(125) 상에, 즉, 메사(120m) 상면의 적어도 일부 상에 제2 콘택 전극(140)을 형성한다. 나아가, 발광 구조체(120) 상에 예비(pre) 제1 절연층(151)을 더 형성할 수 있다.
- [39] 제2 콘택 전극(140)은, 제2 도전형 반도체층(125)에 오믹 콘택할 수 있는 물질로 형성될 수 있고, 예를 들어, 금속성 물질 및/또는 도전성 산화물을 포함할 수 있다.
- [40] 제2 콘택 전극(140)이 금속성 물질을 포함하는 경우, 제2 콘택 전극(140)은 반사층 및 상기 반사층을 덮는 커버층을 포함할 수 있다. 상술한 바와 같이, 제2 콘택 전극(140)은 제2 도전형 반도체층(125)과 오믹 콘택되는 것과 더불어, 광을 반사시키는 기능을 할 수 있다. 따라서, 상기 반사층은 높은 반사도를 가지면서 제2 도전형 반도체층(125)과 오믹 접촉을 형성할 수 있는 금속을 포함할 수 있다. 예를 들어, 상기 반사층은 Ni, Pt, Pd, Rh, W, Ti, Al, Mg, Ag 및 Au 중 적어도 하나를 포함할 수 있다. 또한, 상기 반사층은 단일층 또는 다중층을 포함할 수 있다.
- [41] 상기 커버층은 상기 반사층과 다른 물질 간의 상호 확산을 방지할 수 있고, 외부의 다른 물질이 상기 반사층에 확산하여 상기 반사층이 손상되는 것을

방지할 수 있다. 따라서, 상기 커버층은 상기 반사층의 하면 및 측면을 덮도록 형성될 수 있다. 상기 커버층은 상기 반사층과 함께 제2 도전형 반도체층(125)과 전기적으로 연결될 수 있어서, 상기 반사층과 함께 전극 역할을 할 수 있다. 상기 커버층은, 예를 들어, Au, Ni, Ti, Cr 등을 포함할 수 있으며, 단일층 또는 다중층을 포함할 수도 있다.

- [42] 이러한 반사층 및 커버층은 전자선 증착, 도금 방식 등을 이용하여 형성될 수 있다.
- [43] 한편, 제2 콘택 전극(140)이 도전성 산화물을 포함하는 경우, 상기 도전성 산화물은 ITO, ZnO, AZO, IZO 등일 수 있다. 제2 콘택 전극(140)이 도전성 산화물을 포함하는 경우, 금속을 포함하는 경우에 비해 더 넓은 영역의 제2 도전형 반도체층(125)의 상면을 커버할 수 있다. 즉, 제1 도전형 반도체층(121)이 노출된 영역의 테두리로부터 제2 콘택 전극(140)까지의 이격 거리는 제2 콘택 전극(140)이 도전성 산화물로 형성된 경우에 상대적으로 더 짧게 형성될 수 있다. 이 경우, 제2 콘택 전극(140)과 제2 도전형 반도체층(125)이 접촉하는 부분에서 제1 콘택 전극(130)과 제1 도전형 반도체층(121)이 접촉하는 부분까지의 최단 거리가 상대적으로 더 짧아질 수 있어서, 발광 다이오드의 순방향 전압(V_f)이 감소될 수 있다.
- [44] 이는 금속성 물질로 제2 콘택 전극(140)을 형성하는 경우와, 도전성 산화물로 제2 콘택 전극(140)을 형성하는 경우의 제조 방법 차이로부터 기인한 것일 수 있다. 예를 들어, 금속성 물질은 증착 또는 도금 방식으로 형성되므로, 마스크의 공정 마진에 의해 제2 도전형 반도체층(125)의 외곽 테두리(메사(120m)의 외곽 테두리)로부터 일정 거리 이격된 부분에 형성된다. 반면, 도전성 산화물은 제2 도전형 반도체층(125) 상에 전체적으로 형성된 후에, 제1 도전형 반도체층(121)을 노출시키는 식각 공정에서 동일 공정으로 제거된다. 따라서, 도전성 산화물은 상대적으로 제2 도전형 반도체층(125)의 외곽 테두리에 더욱 가깝게 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [45] 제2 콘택 전극(140)이 ITO 또는 ZnO 등과 같은 투명 전극으로 이루어지거나 투명 전극을 포함하는 경우, 제1 절연층(150)은 분포 브래그 반사기를 포함하여 광을 발광 구조체(120)으로부터 반사시켜 발광 효율을 향상시킬 수 있다. 또한, 제2 콘택 전극(140)이 ITO를 포함하고, 제1 절연층(150)이 SiO_2 또는 DBR을 포함하며, 제1 콘택 전극(130)이 Al과 같은 반사층을 포함하는 경우, ITO/ SiO_2 (또는 DBR)/Al 적층 구조를 포함하는 전방위 반사기가 형성될 수 있다. 나아가, 제2 콘택 전극(140)은 도전성 산화물 및 금속층을 모두 포함할 수 있다. 이 경우, 제2 콘택 전극(140)은 제2 도전형 반도체층(125)과 오믹 콘택하는 도전성 산화물 및 도전성 산화물 상에 위치하는 금속층을 포함할 수 있고, 이때, 금속층은 광 반사성을 갖는 반사층일 수 있다.
- [46] 한편, 예비 제1 절연층(151)은 발광 구조체(120) 상에 형성되되, 제2 콘택 전극(140)이 형성되는 영역을 제외한 발광 구조체(120)의 상면을 적어도

부분적으로 덮도록 형성될 수 있다. 예비 제1 절연층(151)은 제1 도전형 반도체층(121)이 노출된 영역을 덮을 수 있으며, 나아가, 메사(120m)들의 측면을 더 덮을 수 있으며, 더 나아가, 메사(120m)들의 상면을 부분적으로 덮을 수 있다. 예비 제1 절연층(151)은 제2 콘택 전극(140)과 접촉할 수도 있으며, 이격될 수도 있다. 예비 제1 절연층(151)이 이격되는 경우, 예비 제1 절연층(151)과 제2 콘택 전극(140)의 사이에는 제2 도전형 반도체층(125)이 부분적으로 노출된다. 예비 제1 절연층(151)은 SiO_2 , SiN_x , MgF_2 등을 포함할 수 있다. 나아가, 예비 제1 절연층(151)은 다중층을 포함할 수 있고, 굴절률이 다른 물질이 교대로 적층된 분포 브래그 반사기를 포함할 수도 있다.

- [47] 한편, 예비 제1 절연층(151)은 제2 콘택 전극(140)의 형성 전에 형성될 수도 있고, 제2 콘택 전극(140)의 형성 후에 형성될 수도 있으며, 또한 제2 콘택 전극(140)의 형성 중에 형성될 수도 있다. 예컨대, 제2 콘택 전극(140)이 도전성 산화물층 및 상기 도전성 산화물층 상에 위치하는 금속을 포함하는 반사층을 포함하는 경우, 제2 도전형 반도체층(125) 상에 도전성 산화물층을 형성하고, 반사층을 형성하기 전에 예비 제1 절연층(151)을 형성할 수 있다. 이때, 상기 도전성 산화물층은 제2 도전형 반도체층(125)과 오믹 콘택하며, 예비 제1 절연층(151)은 약 1000\AA 의 두께로 형성될 수 있다. 또 다른 실시예에서, 예비 제1 절연층(151)은 제2 콘택 전극(140)의 형성 전에 형성될 수 있으며, 이 경우, 제2 콘택 전극(140)은 제2 도전형 반도체층(125)과 오믹 콘택을 형성하며, 금속 물질로 형성된 반사층을 포함할 수 있다. 이러한 실시예들에서, 금속 물질을 포함하는 반사층의 형성 전에 예비 제1 절연층(151)을 형성함으로써, 상기 반사층과 발광 구조체(120) 상호 간의 물질 확산에 의해 상기 반사층의 광 반사율 감소 및 저항 증가를 방지할 수 있다. 또한, 금속 물질을 포함하는 반사층의 형성 과정에서, 제2 콘택 전극(140)이 형성되지 않는 다른 부분에 금속 물질이 잔류하여 발생할 수 있는 전기적 쇼트 등의 문제를 방지할 수 있다.
- [48] 이어서, 도 6을 참조하면, 발광 구조체(120) 상에 제1 절연층(150)을 형성하되, 제1 절연층(150)은 제1 도전형 반도체층(121), 메사(120m) 및 제2 콘택 전극(140)을 부분적으로 덮는다. 또한, 제1 절연층(150)은 제1 도전형 반도체층(125)을 부분적으로 노출시키는 제1 개구부(150a) 및 제2 콘택 전극(140)을 부분적으로 노출시키는 제2 개구부(150b)를 포함할 수 있다.
- [49] 제1 절연층(150)은 도 5에서 설명한 예비 제1 절연층(151) 및 주(main) 제1 절연층(153)을 포함할 수 있다. 주 제1 절연층(153)은 SiO_2 , SiN_x , MgF_2 등을 포함할 수 있고, PECVD, 전자선 증착(E-beam evaporation) 등의 공지의 증착 방법을 통해 형성될 수 있다. 이때, 주 제1 절연층(153)은 제1 도전형 반도체층(121), 메사(120m) 및 제2 콘택 전극(140)을 전체적으로 덮도록 형성된 후, 패터닝 공정을 통해 제1 및 제2 개구부(150a, 150b)를 형성함으로써, 도시된 바와 같은 제1 절연층(150)이 제공될 수 있다. 상기 패터닝 공정은 사진 식각 공정 또는 리프트 오프 공정을 포함할 수 있다. 나아가, 주 제1 절연층(153)은 다중층을

포함할 수 있고, 굴절률이 다른 물질이 교대로 적층된 분포 브래그 반사기를 포함할 수도 있다. 또한, 주 제1 절연층(153)은 예비 제1 절연층(151)에 비해 두꺼운 두께를 가질 수 있다.

- [50] 제1 개구부(150a)는 적어도 하나로 형성될 수 있고, 예컨대, 메사들(120m) 각각 상에 형성될 수 있다. 또한, 제1 개구부(150a)는 성장 기관(110)의 일 측면에 인접하는 위치에 형성될 수 있다. 제2 개구부(150b)는 메사(120m)들이 연장되는 방향에 따라 기다랗게 연장된 형상으로 형성될 수 있다. 특히, 제2 개구부(150b)는 메사(120m)들의 긴 측면들에 인접하여 형성될 수 있다.
- [51] 한편, 본 실시예에서, 메사(120m)를 형성한 후, 제2 콘택 전극(140)을 형성하는 것으로 설명하고 있으나, 이와 달리, 제2 콘택 전극(140)이 먼저 형성된 후에 메사(120m)를 형성할 수도 있다.
- [52] 다음, 도 7을 참조하면, 제1 절연층(150) 상에 제1 콘택 전극(130)을 형성한다. 제1 콘택 전극(130)은 제1 개구부(150a)를 통해 노출된 제1 도전형 반도체층(121)과 오믹 콘택할 수 있다. 나아가, 제2 개구부(150b)를 통해 제2 콘택 전극(140)과 전기적으로 접촉되는 연결 전극(145)을 더 형성할 수 있다.
- [53] 제1 콘택 전극(130) 및 연결 전극(145)은 공지의 증착 및 패터닝 방법을 통해 형성될 수 있으며, 동시에 형성될 수도 있고, 별개의 공정을 통해 형성될 수도 있다. 제1 콘택 전극(130) 및 연결 전극(145)은 서로 동일한 물질 및 다층 구조로 형성될 수도 있고, 서로 다른 물질 및/또는 다층 구조로 형성될 수도 있다. 제1 콘택 전극(130)과 연결 전극(145)은 서로 이격되며, 이에 따라, 제1 콘택 전극(130)과 제2 콘택 전극(140)은 서로 전기적으로 절연된다.
- [54] 상술한 바와 같이, 제1 콘택 전극(130)은 제1 도전형 반도체층(121)과 오믹 콘택함과 아울러, 광을 반사시키는 역할을 할 수 있다. 따라서, 제1 콘택 전극(130)은 Al층과 같은 고반사성 금속층을 포함할 수 있다. 이때, 제1 콘택 전극(130)은 단일층 또는 다중층으로 이루어질 수 있다. 상기 고반사 금속층은 Ti, Cr 또는 Ni 등의 접착층 상에 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 제1 콘택 전극(130)은 Ni, Pt, Pd, Rh, W, Ti, Al, Mg, Ag 및 Au 중 적어도 하나를 포함할 수도 있다. 연결 전극(145)은, 예를 들어, Ni, Pt, Pd, Rh, W, Ti, Al, Mg, Ag 및 Au 중 적어도 하나를 포함할 수 있다.
- [55] 예를 들어, 제1 콘택 전극(130) 및/또는 연결 전극(145)은 각각 다층 구조를 포함할 수 있다. 상기 다층 구조는, 제1 접착층(오믹 콘택층)/반사층/베리어층/산화방지층/제2 접착층의 적층 구조를 가질 수 있다. 상기 제1 접착층은 제1 도전형 반도체층(121) 및/또는 제2 콘택 전극(140)에 접촉하며, Ni, Ti, Cr등을 포함할 수 있다. 상기 반사층은 광 반사율이 높은 금속을 포함할 수 있으며, 예컨대, Al, Ag 등을 포함할 수 있다. 상기 베리어층은 상기 반사층의 금속이 상호 확산하는 것을 방지하며, Cr, Co, Ni, Pt, TiN의 단층으로 형성하거나, Ti, Mo, W과 함께 다층으로 형성될 수 있으며, 예컨대, Ti/Ni의 복층 구조를 가질 수 있다. 상기 산화방지층은 상기 산화방지층의 하부에 위치하는

다른 층들의 산화를 방지하며, 산화에 대한 내성이 강한 금속 물질을 포함할 수 있다. 상기 산화방지층은, 예컨대, Au, Pt, Ag 등을 포함할 수 있다. 상기 제2 접착층은 제2 절연층(160)과 제1 도전형 반도체층(121)(또는, 제2 절연층(160)과 연결 전극(145)) 간의 접합력을 향상시키기 위하여 채택될 수 있으며, 예컨대, Ti, Ni, Cr 등을 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

- [56] 이와 달리, 연결 전극(145)은 생략될 수도 있다. 도 8에 도시된 바와 같이, 연결 전극(145)이 생략되는 경우, 제2 개구부(150b)를 통해 제2 콘택 전극(140)이 노출된다. 따라서, 이 경우, 후술할 제2 패드 전극(173)은 제2 콘택 전극(140)과 직접적으로 접촉될 수 있다.
- [57] 이어서, 도 9를 참조하면, 제1 콘택 전극(130) 및 연결 전극(145)을 부분적으로 덮는 제2 절연층(160)을 형성한다. 제2 절연층(160)은 제1 콘택 전극(130) 및 연결 전극(145)을 각각 노출시키는 제3 개구부(160a) 및 제4 개구부(160b)를 포함할 수 있다.
- [58] 제2 절연층(160)은 SiO_2 , SiN_x , MgF_2 등을 포함할 수 있으며, PECVD, 전자선 증착(E-beam evaporation) 등의 공지의 증착 방법을 통해 형성될 수 있다. 이때, 제2 절연층(160)은 제1 콘택 전극(130) 및 연결 전극(145)을 전체적으로 덮도록 형성된 후, 패터닝 공정을 통해 제3 및 제4 개구부(160a, 160b)를 형성함으로써, 도시된 바와 같은 제2 절연층(160)이 제공될 수 있다. 상기 패터닝 공정은 사진 식각 공정 또는 리프트 오프 공정을 포함할 수 있다. 나아가, 제2 절연층(160)은 다중층을 포함할 수 있고, 굴절률이 다른 물질이 교대로 적층된 분포 브래그 반사기를 포함할 수도 있다. 제2 절연층(160)의 최상부층은 SiN_x 로 형성될 수 있다. 제2 절연층(160)의 최상부층이 SiN_x 로 형성됨으로써, 발광 구조체(120)로 습기가 침투하는 것을 더욱 효과적으로 방지할 수 있다. 또한, 제2 절연층(160)은 제1 절연층(150)에 비해 얇은 두께를 가질 수 있으며, 절연 내압을 확보하기 위하여 약 $0.8\mu\text{m}$ 이상의 두께를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [59] 제3 및 제4 개구부(160a, 160b)는 각각 제1 콘택 전극(130) 및 연결 전극(145)을 노출시켜, 패드 전극들(171, 173)이 제1 콘택 전극(130) 및 제2 콘택 전극(140)에 전기적으로 연결될 수 있는 통로를 제공할 수 있다.
- [60] 도 10을 참조하면, 제2 절연층(160) 상에 제1 패드 전극(171) 및 제2 패드 전극(173)을 형성한다.
- [61] 제1 패드 전극(171)은 제2 절연층(160)의 제3 개구부(160a)를 통해 제1 콘택 전극(130)에 접속하고, 제2 패드 전극(173)은 제2 절연층(160)의 제4 개구부(160b)를 통해 제2 콘택 전극(140)에 접속할 수 있다. 제1 패드 전극(171) 및 제2 패드 전극(173)은 발광 다이오드를 서브마운트, 패키지 또는 인쇄회로기판 등에 실장하기 위해 범프를 접속하거나 SMT를 위한 패드로 사용될 수 있다.
- [62] 제1 패드 전극(171) 및 제2 패드 전극(173)은 동일 공정으로 함께 형성될 수

있으며, 예컨대 사진 및 식각 기술 또는 리프트 오프 기술을 사용하여 형성될 수 있다. 제1 패드 전극(171) 및 제2 패드 전극(173)은 예컨대 Ti, Cr, Ni 등의 접착층과 Al, Cu, Ag 또는 Au 등의 고전도 금속층을 포함할 수 있다.

[63] 그 후, 성장 기관(110)을 단위 발광 다이오드 영역(UDI)로 분할함으로써 발광 다이오드가 완성된다. 기관(110)은 단위 발광 다이오드 영역(UDI)으로 분할되기 전 또는 후에 발광 다이오드에서 제거될 수도 있다.

[64] 도 11 내지 17은 발광 다이오드를 기관(200)에 실장시키는 공정(SMT)을 설명하기 위한 도면들이다.

[65] 도 11을 참조하면, 제1 접속 패드(211), 제2 접속 패드(212) 및 베이스(220)를 포함하는 기관(200)이 준비된다.

[66] 제1 접속 패드(211)는 제1 패드 전극(171)과 전기적으로 접속하고, 제2 접속 패드(212)는 제2 패드 전극(173)과 전기적으로 접속할 수 있다. 제1 접속 패드(211) 및 제2 접속 패드(212)는 기관(200)의 베이스(220) 상에 배치될 수 있다. 제1 접속 패드(211) 및 제2 접속 패드(212)는 전기 전도성이 높은 물질을 포함할 수 있으며, 예를 들어, Cu, Au, Ag, Pt, Al 등의 물질을 포함할 수 있다. 기관(200)의 베이스(220)는 세라믹 물질을 포함할 수 있으며, 발광 장치의 방열 특성을 높이기 위해 금속 물질을 포함할 수 있다.

[67] 본 발명은 이에 한정되지 않으며, 도 12의 (a) 및 (b)에 도시된 바와 같이, 기관(200)은 제1 접속 패드(211) 및 제2 접속 패드(212) 사이에 위치하는 홈부(220a)를 더 포함할 수 있다. 예컨대, 도 12의 (a) 및 (b)에 도시된 바와 같이, 홈부(220a)는 기관(200)의 베이스(220) 상면에 위치하며, 제1 접속 패드(211) 및 제2 접속 패드(212) 사이에 위치할 수 있다. 홈부(220a)는 베이스(220)의 상면이 일부 함몰되어 형성될 수 있다. 홈부(220a)는 제1 접속 패드(211) 및 제2 접속 패드(212)와 나란하게 위치할 수 있으며, 발광 다이오드가 실장되는 영역 아래 뿐만 아니라, 그 외의 영역으로 연장되어 위치할 수 있다. 일반적으로, 제1 접속 패드(211) 및 제2 접속 패드(212) 사이에 솔더가 위치하는 경우, 솔더(301, 302) 내 도전성 물질을 포함하는 용제가 제거될 수 있는 공간이 확보되지 않으며, 발광 다이오드 패키지의 단락이 야기된다. 그러나, 상기 홈부(220a)가 존재할 시, 솔더 내의 플럭스(flux)가 홈부(220a)로 이동할 수 있으며, 이에 따라 제1 접속 패드(211) 및 제2 접속 패드(212) 사이에 위치하는 솔더의 플럭스가 줄어들 수 있다. 따라서, 용제가 방출될 수 있는 공간이 확보되어 발광 다이오드 패키지의 단락이 방지될 수 있어서, 불량률이 감소할 수 있다.

[68] 본 발명은 이에 한정되지 않으며, 도 13의 (a) 및 (b)에 도시된 바와 같이, 기관(200)은 제1 접속 패드(211) 및 제2 접속 패드(212) 사이에 위치하는 적어도 하나의 홀(220b)를 더 포함할 수 있다. 예컨대, 도 13의 (a) 및 (b)에 도시된 바와 같이, 홀(220b)은 기관(200)의 베이스(220) 상면부터 베이스(220)의 하면을 관통할 수 있다. 이에 따라, 상기 홀(220b)을 통해 플럭스가 빠져나갈 수 있으므로, 제1 접속 패드(211) 및 제2 접속 패드(212) 사이에 위치하는 솔더의

플럭스가 줄어들 수 있다. 따라서, 용제가 방출될 수 있는 공간이 확보되어 발광 다이오드 패키지의 단락이 방지될 수 있어서, 불량률이 감소할 수 있다.

- [69] 도 14의 (a) 및 (b)를 참조하면, 마스크(230)를 기판(200) 상에 배치한다. 마스크(230)는 메탈 마스크일 수 있으며, Ni을 포함할 수도 있다. 그러나 반드시 이에 한정되는 것은 아니며, SUS제나 폴리이미드제의 마스크를 사용할 수도 있다. 마스크(230)는 베이스(220)와 제1 접속 패드(211) 및 제2 접속 패드(212) 상의 적어도 일부에 접촉할 수 있다. 마스크(230)는 솔더(301, 302)가 위치할 영역을 지정하는 역할을 한다.
- [70] 마스크(230)는 제1 노출 영역(230a) 및 제2 노출 영역(230b)를 포함할 수 있다. 제1 노출 영역(230a) 및 제2 노출 영역(230b)은 각각 후술할 제1 솔더(301) 및 제2 솔더(302)가 위치하는 영역을 지정한다. 제1 노출 영역(230a) 및 제2 노출 영역(230b)은 각각 제1 접속 패드(211) 상 및 제2 접속 패드(212) 상에 위치할 수 있다. 제1 노출 영역(230a)의 중심 및 제2 노출 영역(230b)의 중심은 각각 제1 접속 패드(211)의 상면의 중심 및 제2 접속 패드(212)의 상면의 중심과 상하 방향으로 중첩할 수 있다. 이에 따라, 솔더(301, 302)가 접속 패드(211, 212) 상면을 벗어나는 것이 최소화될 수 있어서 단락 가능성이 줄어들며, 발광 다이오드가 안정적으로 실장될 수 있다.
- [71] 제1 노출 영역(230a) 및 제2 노출 영역(230b)에 대해서는 이후, 더 자세히 설명하도록 한다.
- [72] 도 15를 참조하면, 제1 접속 패드(211) 상 및 제2 접속 패드(212) 상에 솔더(301, 302)를 위치시킨다. 솔더(301, 302)는 플럭스(flux) 및 Sn, Ag, Cu 등의 도전성 물질을 포함하는 용제를 포함할 수 있다. 나아가, 용제는 Pb를 더 포함할 수도 있다. 솔더는 제1 접속 패드(211)와 접하는 제1 솔더(301) 및 제2 접속 패드(212)와 접하는 제2 솔더(302)를 포함할 수 있다. 제1 솔더(301) 및 제2 솔더(302)는 각각 제1 노출 영역(230a) 및 제2 노출 영역(230b) 내에 형성될 수 있다. 상기 제1 솔더(301) 및 제2 솔더(302)가 배치된 후, 상기 마스크(230)는 제거될 수 있다.
- [73] 도 16을 참조하면, 발광 다이오드가 기판(200) 상에 실장될 수 있다. 구체적으로, 제1 솔더(301) 및 제2 솔더(302) 각각에 제1 패드 전극(171) 및 제2 패드 전극(173)이 위치할 수 있다. 이에 따라, 제1 패드 전극(171) 및 제2 패드 전극(173)이 각각 제1 접속 패드(211) 및 제2 접속 패드(212)와 전기적으로 연결될 수 있다.
- [74] 이후, 솔더(301, 302)를 열처리(reflow)한다. 도 17은 상기 열처리 공정을 설명하기 위한 그래프이다. 열처리 공정은 크게 t_0 부터 t_4 동안 상온(25도)에서 T_p 로 온도를 상승시키는 가열 단계(heating), t_4 부터 t_5 동안 온도를 유지하는 유지 단계, t_5 이후부터 온도를 낮추는 냉각 단계(cooling)를 포함할 수 있다. T_p 는 300도 이하일 수 있다. 300도를 초과하는 경우, 제1 콘택 전극(130) 또는 제2 콘택 전극(140) 내의 Ag가 산화되어, 발광 다이오드 패키지의 출력이 저하될 수 있다.

- [75] 구체적으로, 가열 단계는 8분 이하의 시간 동안 진행될 수 있다. 가열 단계는 제1 램핑(Ramping) 단계(S1), 예열 단계(pre-heating)(S2), 및 제2 램핑 단계(S3)를 포함할 수 있다. 제1 램핑 단계(S1)는 t_0 부터 t_1 까지 상온에서부터 T_A 까지 일정한 속도로 온도를 상승시키는 단계이며, 제2 램핑 단계(S3)는 t_2 부터 t_3 까지 T_B 에서부터 T_L 까지 일정한 속도로 온도를 상승시키는 단계이다. T_A 는 약 150도, T_B 는 약 200도 일 수 있다.
- [76] 예열 단계(S2)는 t_1 부터 t_2 의 시간 동안, 온도를 T_A 부터 T_B 까지 상승시키는 단계이며, 예를 들어, 60초 내지 180초 동안 약 150도에서 약 200도까지 온도를 상승시킬 수 있다. 예열 단계(S2)는 온도가 일정하게 상승하는 구간을 포함할 수도 있으며, 도 17에 도시된 바와 같이, 온도 상승하는 속도가 시간에 따라 달라지는 구간을 포함할 수도 있다. 예열 단계(S2)를 통해 솔더에 유동성이 부여될 수 있다.
- [77] t_3 부터 t_6 까지의 시간 동안 솔더링(soldering)(S4)이 진행될 수 있다. 솔더링(S4)을 통해, 솔더가 용융되어 접착성이 증가되며, 제1 패드 전극(171) 및 제2 패드 전극(173)와 솔더의 접합 위치가 설정될 수 있다. 솔더링(S4)은 60초 내지 150초간 진행될 수 있다. 솔더링(S4)은 가열 단계의 일부, 유지 단계, 및 냉각 단계의 일부를 포함할 수 있다. 가열 단계 중 솔더링(S4)에 포함되는 단계는 t_3 부터 t_4 동안, 온도가 T_L 에서 T_p 까지 상승되도록 진행될 수 있다. 예를 들어, T_L 은 약 217도이며, T_p 는 약 260도일 수 있다. 이 때, 온도 상승 속도는 $3^\circ\text{C}/\text{초}$ 이하일 수 있다. 이를 통해, 솔더가 용융되어 접착성이 부여될 수 있다. 유지 단계는 t_4 부터 t_5 까지 진행될 수 있으며, 예를 들어 20초 내지 40초간 진행될 수 있다. 냉각 단계 중 솔더링(S4)에 포함되는 단계는 t_5 내지 t_6 까지 진행될 수 있으며, 온도 하강 속도가 $6^\circ\text{C}/\text{초}$ 이하일 수 있다.
- [78] 솔더링 단계 이후(t_6 이후), 냉각 단계가 더 진행될 수 있으며(S5), 온도 하강 속도가 $6^\circ\text{C}/\text{초}$ 이하일 수 있다.
- [79] 도 11 내지 도 17을 통해 설명한 표면 실장 공정에 있어서, 불량률은 마스크(230)의 노출 영역(230a, 230b)의 넓이, 마스크 두께, 솔더(301, 302)의 양, 솔더(301, 302) 내 Ag 함량 및 솔더링 시간 등의 조건에 따라 달라질 수 있다. 도 18 내지 도 21은 상기 조건들에 따른 본 발명의 발광 다이오드 패키지의 불량률을 나타내는 그래프들이다. 각 도면의 (a)는 발광 다이오드를 실장한 다음, 열처리(reflow) 공정이 1회 진행됐을 시의 결과를 나타내며, 각 도면의 (b)는 1회 열처리 공정 후, 동일한 열처리 공정이 3회 추가되어 진행됐을 시의 결과를 나타낸다. 복수개의 발광 다이오드들이 기판(200)에 순차적으로 실장되는 경우, 복수 회에 걸쳐 열처리 공정이 진행될 수 있으므로, (b) 도면은 이 경우의 불량률을 대변할 수 있다. 각 실험은 발광 다이오드 5000개에 대해 동일하게 반복 진행된 것이다. 각 도면들은 상기 조건들에 대해 각각 여러 차례 실험을 진행하여 도출한 회귀식에 따른 그래프 선을 포함한다.
- [80] 이하, 도 18 내지 도 21을 통해, 상기 조건들에 따른 본 발명의 발광 다이오드

패키지의 불량률을 대해 설명하도록 한다.

- [81] 도 18의 (a) 및 (b)는 마스크(230)의 노출 영역(230a, 230b)의 넓이에 따른 발광 다이오드 패키지의 불량률을 나타내는 그래프이다. 도 18에서 제1 노출 영역(230a)의 넓이 및 제2 노출 영역(230b)의 넓이는 제1 접속 패드(211) 상면의 면적 및 제2 접속 패드(212) 상면의 면적을 기준으로 하여, 백분율로 표시된다. 제1 노출 영역(230a)의 넓이 및 제2 노출 영역(230b)의 넓이는 각각 제1 접속 패드(211) 상면의 면적 및 제2 접속 패드(212) 상면의 면적의 80% 이상일 수 있다. 도 18의 (a)를 참조하면, 제1 노출 영역(230a)의 넓이 및 제2 노출 영역(230b)의 넓이가 각각 제1 접속 패드(211) 상면의 면적 및 제2 접속 패드(212) 상면의 면적의 80% 이상인 경우, 불량률이 1000ppm 이하이다. 나아가, 제1 노출 영역(230a)의 넓이 및 제2 노출 영역(230b)의 넓이가 각각 제1 접속 패드(211) 상면의 면적 및 제2 접속 패드(212) 상면의 면적의 100% 내지 110%인 경우, 불량률이 500ppm 이하이다. 나아가, 도 18의 (b)를 통해 확인할 수 있는 것처럼, 상기 노출 영역(230a, 230b)의 범위를 만족할 시, 복수 회에 걸친 열처리 공정에 있어서도, 상기 불량률 개선 효과는 동일하다. 반드시 다음의 이유에 의한 것은 아니지만, 제1 노출 영역(230a)의 넓이 및 제2 노출 영역(230b)의 넓이가 상기 범위를 만족하는 경우, 솔더(301, 302) 실장 후 열처리 시, 솔더(301, 302)의 두께가 충분히 증가될 수 있으므로, 솔더(301, 302) 사이의 공간이 충분히 확보될 수 있다. 이에 따라, 솔더(301, 302) 내의 용제가 용이하게 방출될 수 있으므로, 발광 다이오드 패키지의 불량률이 저하될 수 있다. 나아가, 복수 회의 열처리 공정에 있어서도 불량률이 개선되는 효과가 나타나는 바, 복수의 발광 다이오드가 순차적으로 실장되는 발광 다이오드 패키지 제조 공정에 있어서도 불량률이 개선될 수 있다.

- [82] 도 19의 (a) 및 (b)는 마스크(230)의 두께에 따른 발광 다이오드 패키지의 불량률을 나타내는 그래프이다. 마스크(230) 두께는 0.08mm일 수 있다. 구체적으로, 상기 두께는 노출 영역(230a, 230b) 주변의 마스크(230) 두께일 수 있다. 도 19의 (a)를 참조하면, 마스크(230) 두께가 0.08mm인 경우, 발광 다이오드 패키지의 불량률은 1000ppm 이하일 수 있다. 나아가, 마스크(230) 두께가 0.12mm 내지 0.18mm인 경우, 발광 다이오드 패키지의 불량률은 500ppm 이하일 수 있다. 더불어, 도 19의 (b)를 통해 확인할 수 있는 것처럼, 상기 마스크(230)의 두께 범위를 만족할 시, 복수 회에 걸친 열처리 공정에 있어서도, 상기 불량률 개선 효과는 동일하다. 반드시 다음의 이유에 의한 것은 아니지만, 마스크(230) 두께가 상기 범위를 만족할 시, 솔더(301, 302)의 두께가 증가된 상태에서 안정적으로 위치할 수 있으므로, 솔더(301, 302) 사이의 공간이 충분히 확보될 수 있다. 이에 따라, 솔더(301, 302) 내의 용제가 용이하게 방출될 수 있으므로, 발광 다이오드 패키지의 불량률이 저하될 수 있다. 나아가, 복수 회의 열처리 공정에 있어서도 불량률이 개선되는 효과가 나타나는 바, 복수의 발광 다이오드가 순차적으로 실장되는 발광 다이오드 패키지 제조 공정에 있어서도 불량률이

개선될 수 있다.

[83] 도 20의 (a) 및 (b)는 솔더(301, 302)의 양에 따른 발광 다이오드 패키지의 불량률을 나타내는 그래프이다. 도 20에서 솔더(301, 302)의 양은 기준 솔더 양을 기준으로 하여, 백분율로 표시된다. 상기 기준 솔더 양은 하기 식 1에 따른 솔더의 부피를 말한다.

[84]

[85] [식 1]

[86] 기준 솔더 양(mm^3) = (상기 제1 노출 영역의 상면 영역(mm^2) 및 상기 제2 노출 영역 상면 영역(mm^2)) \times 0.08mm

[87]

[88] 솔더(301, 302)의 양이 기준 솔더 양의 100% 이상인 경우, 발광 다이오드 패키지의 불량률은 1000ppm 이상일 수 있다. 나아가, 상기 솔더(301, 302)의 양이 기준 솔더 양의 150% 내지 230%인 경우, 발광 다이오드 패키지의 불량률은 500ppm 이하일 수 있다. 더불어, 도 20의 (b)를 통해 확인할 수 있는 것처럼, 솔더(301, 302)의 양이 상기 범위를 만족할 시, 복수 회에 걸친 열처리 공정에 있어서도, 상기 불량률 개선 효과는 동일하다. 반드시 다음의 이유에 의한 것은 아니지만, 솔더(301, 302)의 양이 상기 범위를 만족하는 경우, 솔더(301, 302)의 두께가 높아져서, 제1 솔더(301) 및 제2 솔더(302) 사이의 공간이 확보될 수 있다. 이에 따라, 솔더(301, 302) 내의 용체가 용이하게 방출될 수 있으므로, 발광 다이오드 패키지의 불량률이 저하될 수 있다. 나아가, 복수 회의 열처리 공정에 있어서도 불량률이 개선되는 효과가 나타나는 바, 복수의 발광 다이오드가 순차적으로 실장되는 발광 다이오드 패키지 제조 공정에 있어서도 불량률이 개선될 수 있다.

[89] 다만, 솔더 양이 과도하게 많은 경우, 발광 다이오드가 회전하거나 한쪽으로 기울어지는 틸트 불량률이 발생할 수 있다. 따라서, 솔더량을 230% 이상으로 증가시키는 것은 단락을 방지하는데 유리하지만, 틸트와 같은 육안 관찰에 의한 불량률을 증가시킬 수 있다.

[90] 도 21은 솔더 내 Ag 함량 및 솔더링 시간에 따른 불량률을 나타낸 그래프이다. 솔더(301, 302)의 열처리 공정에서, 솔더링 단계는 217도 내지 260도에서 진행될 수 있다. 나아가, 솔더링 단계의 진행 시간은 88초 내지 90초일 수 있다. 상기 시간 범위를 만족할 시, 솔더(301, 302)가 지나치게 용융되어 솔더 실장 영역을 벗어나는 것이 방지되면서도, 충분한 점착성을 확보할 수 있다. 더불어, 솔더 내 Ag 함량은 솔더 전체 질량의 1% 내지 1.4%일 수 있다. 솔더 내 Sn 함량은 솔더 전체 질량의 90% 이상일 수 있다. 도 21을 참조하면, 88초 내지 90초의 솔더링 시간에서 솔더 내 Ag 함량이 1% 내지 1.4%일 때, 5000개의 발광 다이오드 패키지를 대상으로 진행한 실험에서, 불량률이 발생한 발광 다이오드 패키지 수는 2개 이하일 수 있다.

[91] 도 22은 본 발명의 일 실시예에 따른 발광 다이오드 패키지 제조 방법에 의한

발광 다이오드 패키지를 조명 장치에 적용한 예를 설명하기 위한 분해 사시도이다.

- [92] 도 22을 참조하면, 본 실시예에 따른 조명 장치는, 확산 커버(1010), 발광 다이오드 패키지 모듈(1020) 및 바디부(1030)를 포함한다. 바디부(1030)는 발광 다이오드 패키지 모듈(1020)을 수용할 수 있고, 확산 커버(1010)는 발광 다이오드 패키지 모듈(1020)의 상부를 커버할 수 있도록 바디부(1030) 상에 배치될 수 있다.
- [93] 바디부(1030)는 발광 다이오드 패키지 모듈(1020)을 수용 및 지지하여, 발광 다이오드 패키지 모듈(1020)에 전기적 전원을 공급할 수 있는 형태이면 제한되지 않는다. 예를 들어, 도시된 바와 같이, 바디부(1030)는 바디 케이스(1031), 전원 공급 장치(1033), 전원 케이스(1035), 및 전원 접속부(1037)를 포함할 수 있다.
- [94] 전원 공급 장치(1033)는 전원 케이스(1035) 내에 수용되어 발광 다이오드 패키지 모듈(1020)과 전기적으로 연결되며, 적어도 하나의 IC칩을 포함할 수 있다. 상기 IC칩은 발광 다이오드 패키지 모듈(1020)로 공급되는 전원의 특성을 조절, 변환 또는 제어할 수 있다. 전원 케이스(1035)는 전원 공급 장치(1033)를 수용하여 지지할 수 있고, 전원 공급 장치(1033)가 그 내부에 고정된 전원 케이스(1035)는 바디 케이스(1031)의 내부에 위치할 수 있다. 전원 접속부(115)는 전원 케이스(1035)의 하단에 배치되어, 전원 케이스(1035)와 결속될 수 있다. 이에 따라, 전원 접속부(115)는 전원 케이스(1035) 내부의 전원 공급 장치(1033)와 전기적으로 연결되어, 외부 전원이 전원 공급 장치(1033)에 공급될 수 있는 통로 역할을 할 수 있다.
- [95] 발광 다이오드 패키지 모듈(1020)은 기관(1023) 및 기관(1023) 상에 배치된 발광 다이오드 패키지(1021)를 포함한다. 발광 다이오드 패키지 모듈(1020)은 바디 케이스(1031) 상부에 마련되어 전원 공급 장치(1033)에 전기적으로 연결될 수 있다.
- [96] 기관(1023)은 발광 다이오드 패키지(1021)를 지지할 수 있는 기관이면 제한되지 않으며, 예를 들어, 배선을 포함하는 인쇄회로기판일 수 있다. 기관(1023)은 바디 케이스(1031)에 안정적으로 고정될 수 있도록, 바디 케이스(1031) 상부의 고정부에 대응하는 형태를 가질 수 있다. 발광 다이오드 패키지(1021)는 상술한 본 발명의 실시예들에 따른 발광 다이오드 패키지들 중 적어도 하나를 포함할 수 있다.
- [97] 확산 커버(1010)는 발광 다이오드 패키지(1021) 상에 배치되며, 바디 케이스(1031)에 고정되어 발광 다이오드 패키지(1021)를 커버할 수 있다. 확산 커버(1010)는 투광성 재질을 가질 수 있으며, 확산 커버(1010)의 형태 및 광 투과성을 조절하여 조명 장치의 지향 특성을 조절할 수 있다. 따라서 확산 커버(1010)는 조명 장치의 이용 목적 및 적용 태양에 따라 다양한 형태로 변형될 수 있다.
- [98] 도 23은 본 발명의 일 실시예에 따른 발광 다이오드 패키지 제조 방법에 의해

제조된 발광 다이오드 패키지를 디스플레이 장치에 적용한 예를 설명하기 위한 단면도이다.

- [99] 본 실시예의 디스플레이 장치는 표시패널(2110), 표시패널(2110)에 광을 제공하는 백라이트 유닛(BLU1) 및, 상기 표시패널(2110)의 하부 가장자리를 지지하는 패널 가이드(2100)를 포함한다.
- [100] 표시패널(2110)은 특별히 한정되지 않고, 예컨대, 액정층을 포함하는 액정표시패널일 수 있다. 표시패널(2110)의 가장자리에는 상기 게이트 라인으로 구동신호를 공급하는 게이트 구동 PCB가 더 위치할 수 있다. 여기서, 게이트 구동 PCB(2112, 2113)는 별도의 PCB에 구성되지 않고, 박막 트랜지스터 기판상에 형성될 수도 있다.
- [101] 백라이트 유닛(BLU1)은 적어도 하나의 기관(2150) 및 복수의 발광 다이오드 패키지(2160)를 포함하는 광원 모듈을 포함한다. 나아가, 백라이트 유닛(BLU1)은 바텀커버(2180), 반사 시트(2170), 확산 플레이트(2131) 및 광학 시트들(2130)을 더 포함할 수 있다.
- [102] 바텀커버(2180)는 상부로 개구되어, 기관(2150), 발광 다이오드 패키지(2160), 반사 시트(2170), 확산 플레이트(2131) 및 광학 시트들(2130)을 수납할 수 있다. 또한, 바텀커버(2180)는 패널 가이드(2100)와 결합될 수 있다. 기관(2150)은 반사 시트(2170)의 하부에 위치하여, 반사 시트(2170)에 둘러싸인 형태로 배치될 수 있다. 다만, 이에 한정되지 않고, 반사 물질이 표면에 코팅된 경우에는 반사 시트(2170) 상에 위치할 수도 있다. 또한, 기관(2150)은 복수로 형성되어, 복수의 기관(2150)들이 나란히 배치된 형태로 배치될 수 있으나, 이에 한정되지 않고, 단일의 기관(2150)으로 형성될 수도 있다.
- [103] 발광 다이오드 패키지(2160)는 상술한 본 발명의 실시예들에 따른 발광 다이오드 패키지들 중 적어도 하나를 포함할 수 있다. 발광 다이오드 패키지(2160)들은 기관(2150) 상에 일정한 패턴으로 규칙적으로 배열될 수 있다. 또한, 각각의 발광 다이오드 패키지(2160) 상에는 렌즈(2210)가 배치되어, 복수의 발광 다이오드 패키지(2160)들로부터 방출되는 광을 균일성을 향상시킬 수 있다.
- [104] 확산 플레이트(2131) 및 광학 시트들(2130)은 발광 다이오드 패키지(2160) 상에 위치한다. 발광 다이오드 패키지(2160)로부터 방출된 광은 확산 플레이트(2131) 및 광학 시트들(2130)을 거쳐 면 광원 형태로 표시패널(2110)로 공급될 수 있다.
- [105] 이와 같이, 본 발명의 실시예들에 따른 발광 다이오드 패키지 제조 방법에 따라 제조된 발광 다이오드 패키지는 본 실시예와 같은 직하형 디스플레이 장치에 적용될 수 있다.
- [106] 도 24는 일 실시예에 따른 발광 다이오드 패키지 제조 방법에 의한 발광 다이오드 패키지를 디스플레이 장치에 적용한 예를 설명하기 위한 단면도이다.
- [107] 본 실시예에 따른 백라이트 유닛이 구비된 디스플레이 장치는 영상이 디스플레이되는 표시패널(3210), 표시패널(3210)의 배면에 배치되어 광을 조사하는 백라이트 유닛(BLU2)을 포함한다. 나아가, 상기 디스플레이 장치는,

표시패널(3210)을 지지하고 백라이트 유닛(BLU2)이 수납되는 프레임(240) 및 상기 표시패널(3210)을 감싸는 커버(3240, 3280)를 포함한다.

- [108] 표시패널(3210)은 특별히 한정되지 않고, 예컨대, 액정층을 포함하는 액정표시패널일 수 있다. 표시패널(3210)의 가장자리에는 상기 게이트 라인으로 구동신호를 공급하는 게이트 구동 PCB가 더 위치할 수 있다. 여기서, 게이트 구동 PCB는 별도의 PCB에 구성되지 않고, 박막 트랜지스터 기판상에 형성될 수도 있다. 표시패널(3210)은 그 상하부에 위치하는 커버(3240, 3280)에 의해 고정되며, 하부에 위치하는 커버(3280)는 백라이트 유닛(BLU2)과 결속될 수 있다.
- [109] 표시패널(3210)에 광을 제공하는 백라이트 유닛(BLU2)은 상면의 일부가 개구된 하부 커버(3270), 하부 커버(3270)의 내부 일 측에 배치된 광원 모듈 및 상기 광원 모듈과 나란하게 위치되어 점광을 면광으로 변환하는 도광판(3250)을 포함한다. 또한, 본 실시예의 백라이트 유닛(BLU2)은 도광판(3250) 상에 위치되어 광을 확산 및 집광시키는 광학 시트들(3230), 도광판(3250)의 하부에 배치되어 도광판(3250)의 하부방향으로 진행하는 광을 표시패널(3210) 방향으로 반사시키는 반사시트(3260)를 더 포함할 수 있다.
- [110] 광원 모듈은 기판(3220) 및 상기 기판(3220)의 일면에 일정 간격으로 이격되어 배치된 복수의 발광 다이오드 패키지(3110)를 포함한다. 기판(3220)은 발광 다이오드 패키지(3110)를 지지하고 발광 다이오드 패키지(3110)에 전기적으로 연결된 것이면 제한되지 않으며, 예컨대, 인쇄회로기판일 수 있다. 발광 다이오드 패키지(3110)는 상술한 본 발명의 실시예들에 따른 발광 다이오드 패키지를 적어도 하나 포함할 수 있다. 광원 모듈로부터 방출된 광은 도광판(3250)으로 입사되어 광학 시트들(3230)을 통해 표시패널(3210)로 공급된다. 도광판(3250) 및 광학 시트들(3230)을 통해, 발광 다이오드 패키지(3110)들로부터 방출된 점 광원이 면 광원으로 변형될 수 있다.
- [111] 이와 같이, 본 발명의 실시예들에 따른 발광 다이오드 패키지 제조 방법에 의한 발광 다이오드 패키지는 본 실시예와 같은 애지형 디스플레이 장치에 적용될 수 있다.
- [112] 도 25은 본 발명의 일 실시예에 따른 발광 다이오드 패키지 제조 방법에 의한 발광 다이오드 패키지를 헤드 램프에 적용한 예를 설명하기 위한 단면도이다.
- [113] 도 25을 참조하면, 상기 헤드 램프는, 램프 바디(4070), 기판(4020), 발광 다이오드 패키지(4010) 및 커버 렌즈(4050)를 포함한다. 나아가, 상기 헤드 램프는, 방열부(4030), 지지랙(4060) 및 연결 부재(4040)를 더 포함할 수 있다.
- [114] 기판(4020)은 지지랙(4060)에 의해 고정되어 램프 바디(4070) 상에 이격 배치된다. 기판(4020)은 발광 다이오드 패키지(4010)를 지지할 수 있는 기판이면 제한되지 않으며, 예컨대, 인쇄회로기판과 같은 도전 패턴을 갖는 기판일 수 있다. 발광 다이오드 패키지(4010)는 기판(4020) 상에 위치하며, 기판(4020)에 의해 지지 및 고정될 수 있다. 또한, 기판(4020)의 도전 패턴을 통해 발광

다이오드 패키지(4010)는 외부의 전원과 전기적으로 연결될 수 있다. 또한, 발광 다이오드 패키지(4010)는 상술한 본 발명의 실시예들에 따른 발광 다이오드 패키지를 적어도 하나 포함할 수 있다.

- [115] 커버 렌즈(4050)는 발광 다이오드 패키지(4010)로부터 방출되는 광이 이동하는 경로 상에 위치한다. 예컨대, 도시된 바와 같이, 커버 렌즈(4050)는 연결 부재(4040)에 의해 발광 다이오드 패키지(4010)로부터 이격되어 배치될 수 있고, 발광 다이오드 패키지(4010)로부터 방출된 광을 제공하고자하는 방향에 배치될 수 있다. 커버 렌즈(4050)에 의해 헤드 램프로부터 외부로 방출되는 광의 지향각 및/또는 색상이 조절될 수 있다. 한편, 연결 부재(4040)는 커버 렌즈(4050)를 기판(4020)과 고정시킴과 아울러, 발광 다이오드 패키지(4010)를 둘러싸도록 배치되어 발광 경로(4045)를 제공하는 광 가이드 역할을 할 수도 있다. 이때, 연결 부재(4040)는 광 반사성 물질로 형성되거나, 광 반사성 물질로 코팅될 수 있다. 한편, 방열부(4030)는 방열핀(4031) 및/또는 방열팬(4033)을 포함할 수 있고, 발광 다이오드 패키지(4010) 구동 시 발생하는 열을 외부로 방출시킨다.
- [116] 이와 같이, 본 발명의 실시예들에 따른 발광 다이오드 패키지 제조 방법에 의한 발광 다이오드 패키지는 본 실시예와 같은 헤드 램프, 특히, 차량용 헤드 램프에 적용될 수 있다.

청구범위

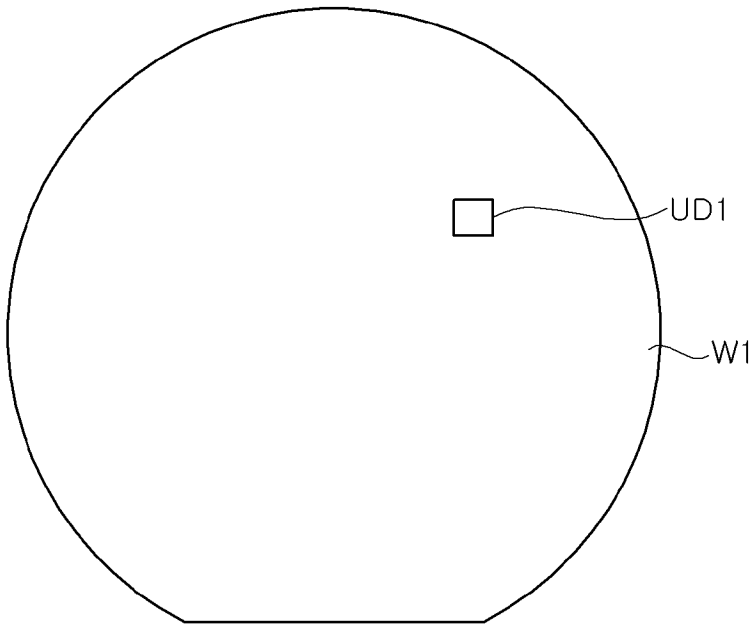
- [청구항 1] 발광 다이오드 패키지 제조 방법에 있어서,
 기판의 제1 접속 패드 및 제2 접속 패드와 발광 다이오드의 제1 패드 전극 및 제2 패드 전극 사이에 각각 제1 솔더 및 제2 솔더를 배치하고;
 상기 제1 및 제2 솔더를 열처리하여 상기 기판과 상기 발광 다이오드를 접합시키는 것을 포함하되,
 상기 제1 및 제2 솔더를 열처리하는 것은,
 상기 제1 및 제2 솔더를 상온에서 온도 T_p 까지 온도를 상승시키는 가열 단계;
 온도 T_p 에 유지하는 유지 단계; 및
 온도 T_p 에서 온도를 낮추는 냉각 단계를 포함하고,
 상기 가열 단계는,
 상온에서 온도 T_A 까지 일정한 속도로 온도를 상승시키는 제1 램핑 단계;
 온도 T_A 에서 온도 T_B 까지 온도를 상승시켜 상기 제1 및 제2 솔더에 유동성을 부여하는 예열 단계; 및
 T_B 에서 T_L 까지 일정한 속도로 온도를 상승시키는 제2 램핑 단계를 포함하며,
 상기 예열 단계는 60초 내지 180초 동안 수행되는 발광 다이오드 패키지 제조 방법.
- [청구항 2] 청구항 1에 있어서,
 상기 예열 단계는 온도 상승 속도가 시간에 따라 변하는 구간을 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 3] 청구항 1에 있어서,
 상기 예열 단계는 150도 내지 200도의 온도 범위에서 온도를 상승시키는 발광 다이오드 패키지 제조 방법.
- [청구항 4] 청구항 3에 있어서,
 상기 온도 T_p 는 300도 이하인 발광 다이오드 패키지 제조 방법.
- [청구항 5] 청구항 1에 있어서,
 상기 제2 램핑 단계 후에 솔더에 점착성이 부여되는 솔더링이 진행되되,
 상기 솔더링은 상기 가열 단계 중 상기 온도 T_L 에서 상기 온도 T_p 까지 상승하는 단계 및 상기 유지 단계 그리고, 상기 냉각 단계의 일부에서 진행되는 발광 다이오드 패키지 제조 방법.
- [청구항 6] 청구항 5에 있어서,
 상기 온도 T_L 에서 상기 온도 T_p 까지 상승하는 단계는 $3^\circ\text{C}/\text{초}$ 이하의 속도로 온도가 상승하고,
 상기 솔더링이 진행되는 냉각 단계는 $6^\circ\text{C}/\text{초}$ 이하의 속도로 온도가 하강하는 발광 다이오드 패키지 제조 방법.

- [청구항 7] 청구항 5에 있어서,
상기 솔더링은 217도 내지 260도 온도 범위에서 88초 내지 90초간 수행되는 발광 다이오드 패키지 제조 방법.
- [청구항 8] 청구항 7에 있어서,
상기 제1 솔더 및 상기 제2 솔더는 상기 제1 솔더 및 상기 제2 솔더 전체 질량의 1% 내지 1.4%의 Ag을 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 9] 청구항 1에 있어서,
상기 가열 단계는 8분 이하의 시간 내에 완료되는 발광 다이오드 패키지 제조 방법.
- [청구항 10] 청구항 1에 있어서,
상기 제1 솔더 및 제2 솔더를 배치하는 것은,
상기 제1 접속 패드 및 제2 접속 패드를 각각 노출시키는 제1 노출 영역 및 제2 노출 영역을 갖는 마스크를 상기 기판 상에 배치하고,
상기 마스크의 제1 노출 영역 및 제2 노출 영역에 상기 제1 및 제2 솔더를 배치하는 것을 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 11] 청구항 10에 있어서,
상기 마스크의 두께는 0.08mm 내지 0.18mm인 발광 다이오드 패키지 제조 방법.
- [청구항 12] 청구항 10에 있어서,
상기 제1 노출 영역의 넓이 및 상기 제2 노출 영역의 넓이는 각각 상기 제1 접속 패드의 상면 면적 및 상기 제2 접속 패드의 상면 면적의 80% 내지 110%인 발광 다이오드 패키지 제조 방법.
- [청구항 13] 청구항 10에 있어서,
상기 제1 노출 영역의 중심 및 상기 제2 노출 영역의 중심은 각각 상기 제1 접속 패드의 상면의 중심 및 상기 제2 접속 패드의 상면의 중심과 상하 방향으로 중첩하는 발광 다이오드 패키지 제조 방법.
- [청구항 14] 청구항 10에 있어서,
상기 제1 솔더의 양 및 제2 솔더의 양은 각각 기준 솔더 양의 100% 내지 150%이며,
상기 기준 솔더 양은 하기 식 1에 따른 부피인 발광 다이오드 패키지 제조 방법.
- [식 1]
기준 솔더 양(mm³) = (상기 제1 노출 영역의 상면 영역(mm²) 및 상기 제2 노출 영역 상면 영역(mm²)) × 0.08mm
- [청구항 15] 청구항 1에 있어서,
상기 기판은 상기 제1 접속 패드 및 상기 제2 접속 패드 사이에 위치하며,
상기 제1 접속 패드 및 상기 제2 접속 패드와 나란하며, 상기 기판의 상면이 일부 함몰되어 형성된 홈부를 포함하는 발광 다이오드 패키지

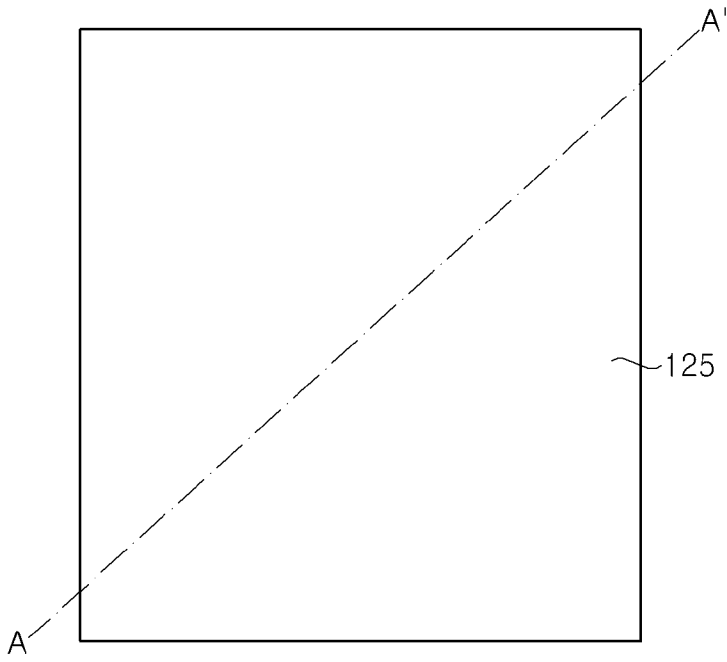
제조 방법.

- [청구항 16] 청구항 1에 있어서,
 상기 기판은 상기 제1 접속 패드 및 상기 제2 접속 패드 사이에 위치하며,
 상기 기판의 상면부터 상기 기판의 하면을 관통하는 적어도 하나의 홀을
 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 17] 청구항 1에 있어서,
 상기 제1 패드 전극 및 상기 제2 패드 전극을 갖는 발광 다이오드를
 제조하는 단계를 더 포함하되,
 상기 발광 다이오드를 제조하는 단계는,
 성장 기판 상에 제1 도전형 반도체층, 제2 도전형 반도체층 및 상기 제1
 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 위치하는 활성층을
 포함하는 발광 구조체를 형성하는 단계;
 상기 제1 도전형 반도체층 및 상기 제2 도전형 반도체층에 각각 오믹
 콘택하는 제1 콘택 전극 및 제2 콘택 전극을 형성하는 단계;
 상기 제1 콘택 전극 및 상기 제2 콘택 전극을 절연시키며, 상기 제1 콘택
 전극 및 상기 제2 콘택 전극을 부분적으로 덮는 절연층을 형성하는 단계; 및
 상기 절연층 상에 상기 제1 콘택 전극 및 상기 제2 콘택 전극 각각에
 전기적으로 연결된 제1 패드 전극 및 제2 패드 전극을 형성하는 단계를
 포함하는 발광 다이오드 패키지 제조 방법.
- [청구항 18] 청구항 17에 있어서,
 상기 제2 콘택 전극은 Ag를 포함하는 발광 다이오드 패키지 제조 방법.

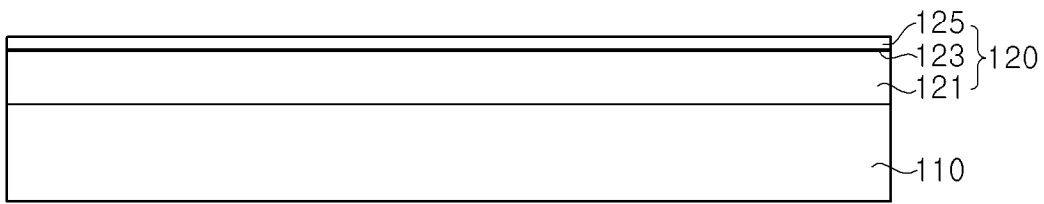
[도 1]



[도2]

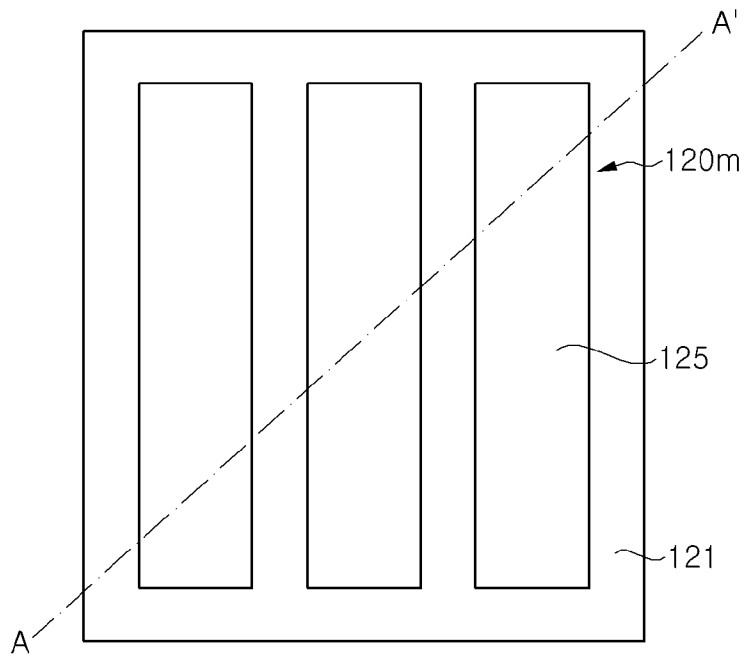


(a)

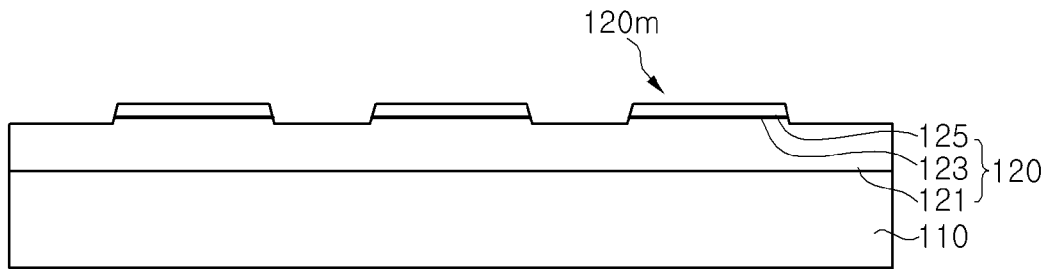


(b)

[도3]

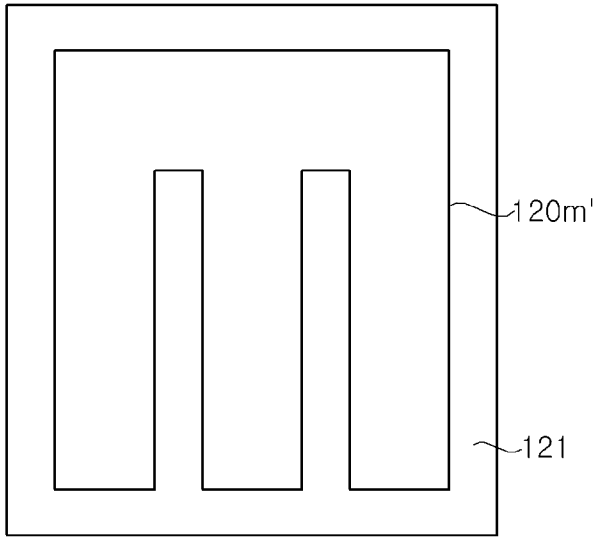


(a)

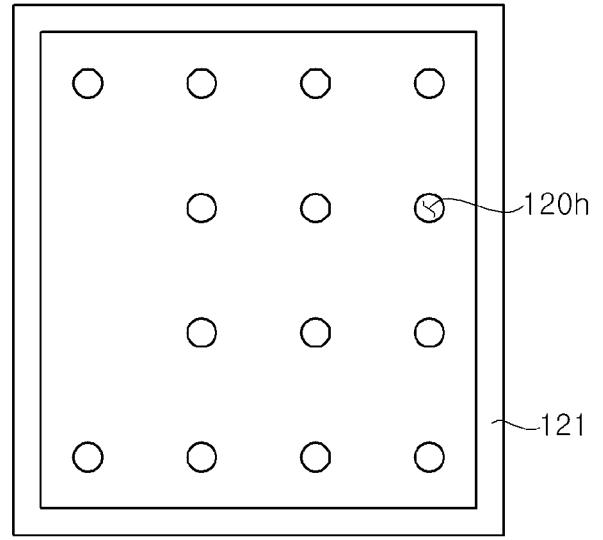


(b)

[도4]

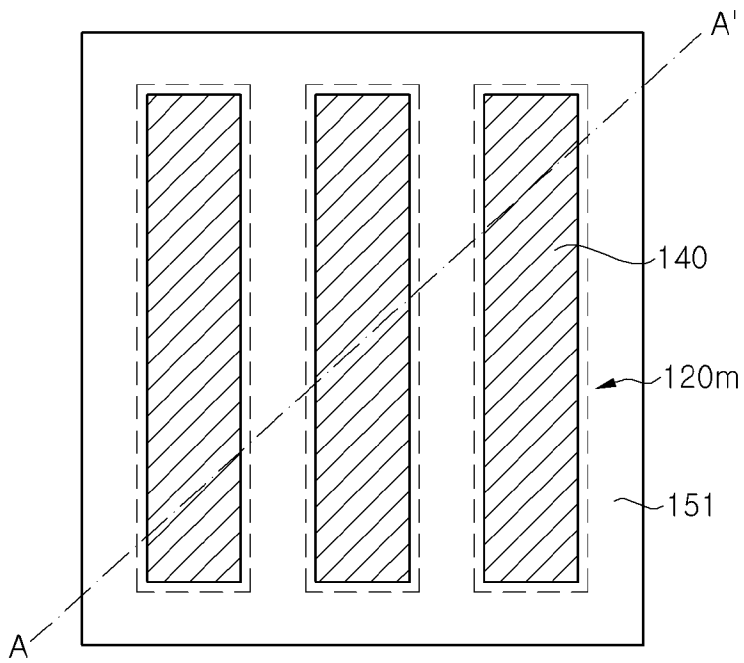


(a)

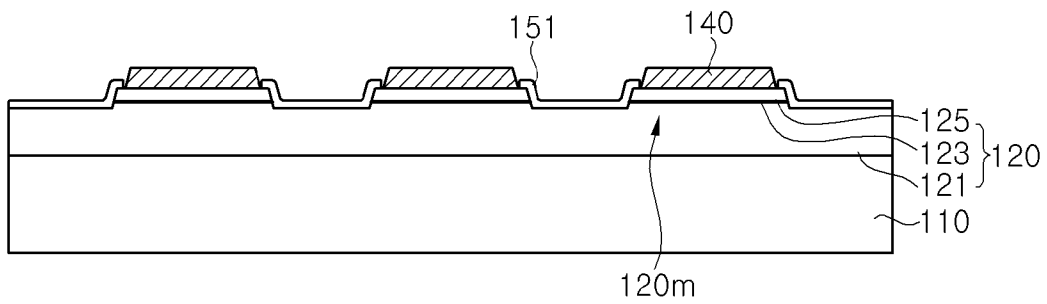


(b)

[도5]

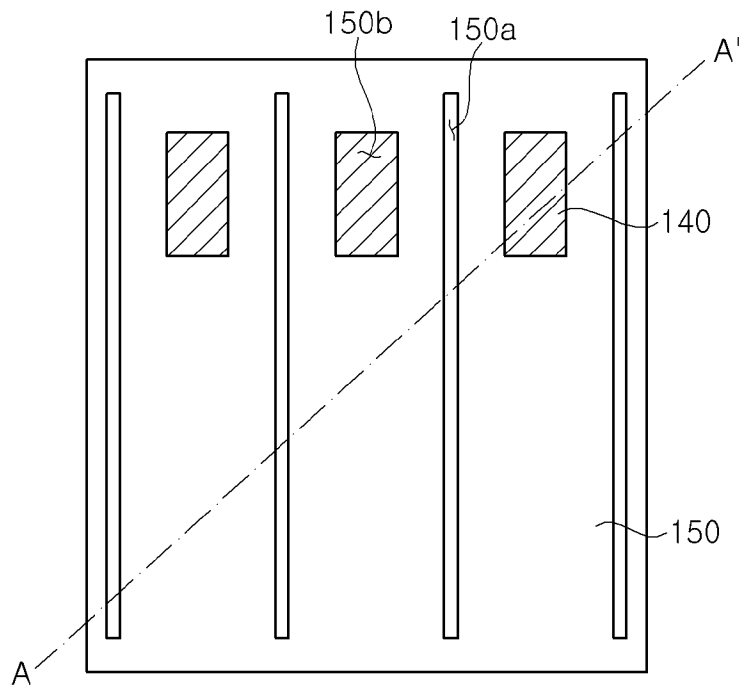


(a)

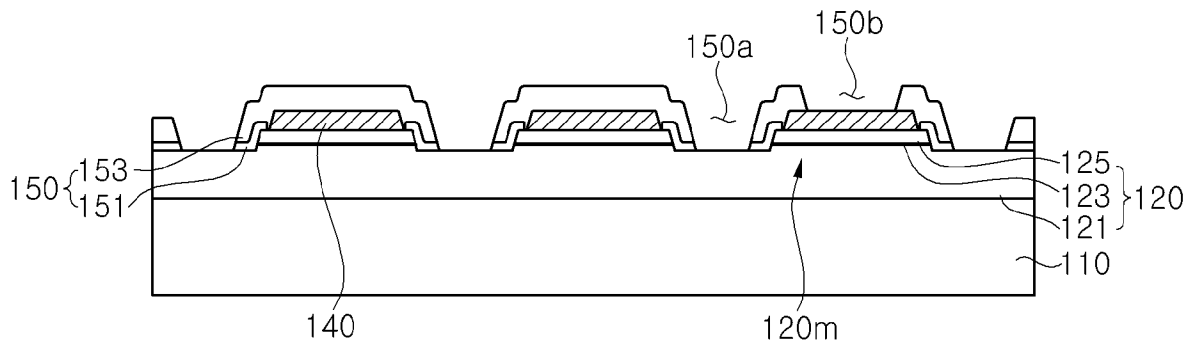


(b)

[도6]

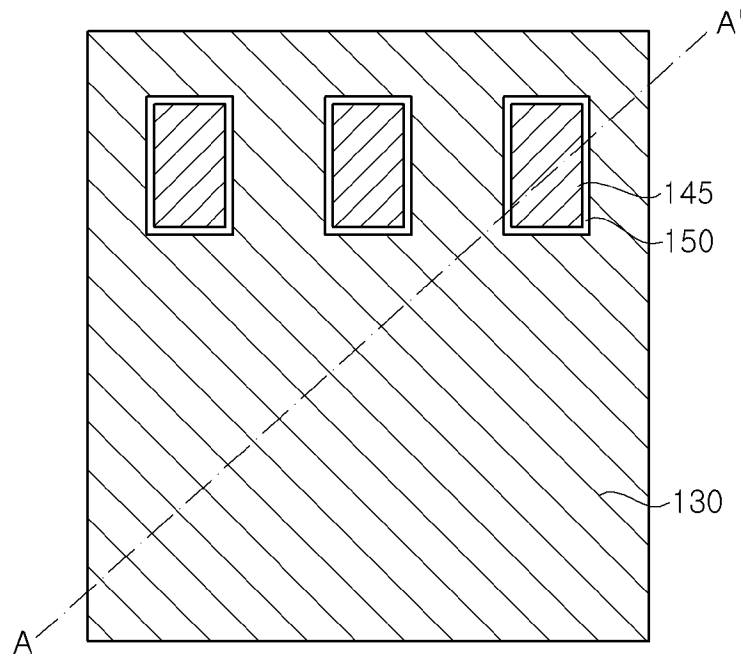


(a)

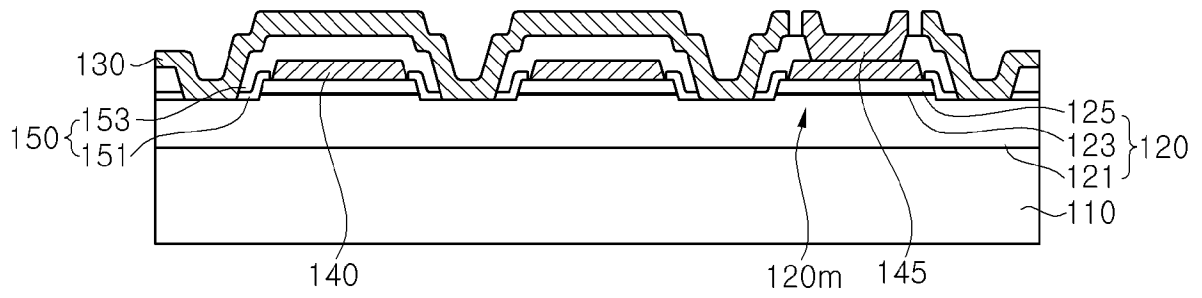


(b)

[도7]

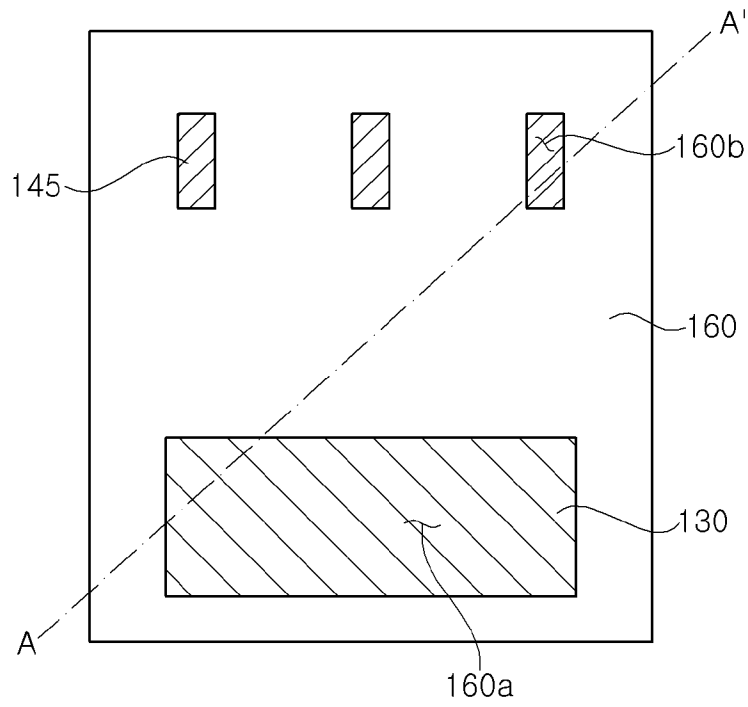


(a)

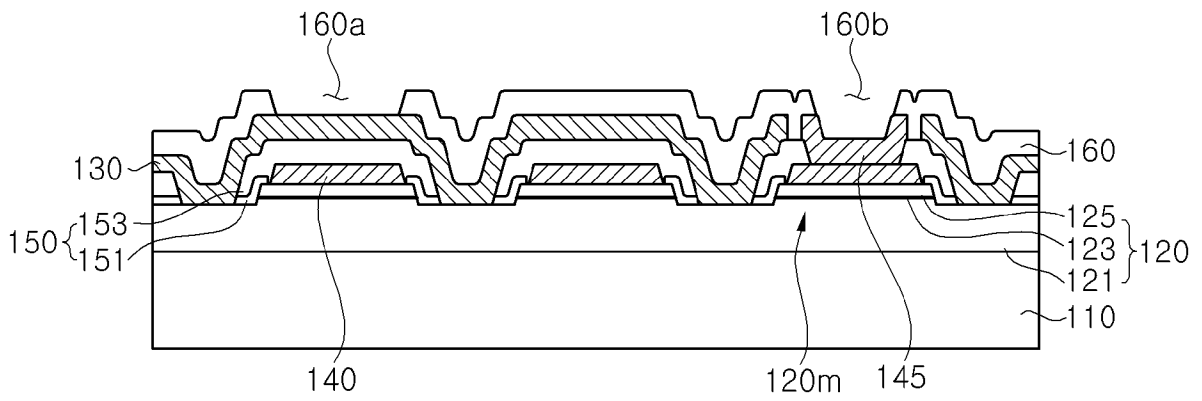


(b)

[도9]

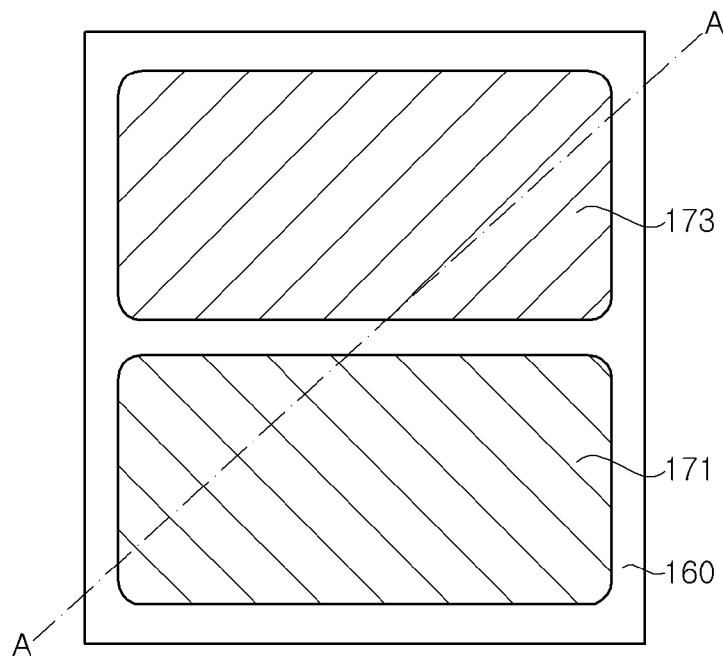


(a)

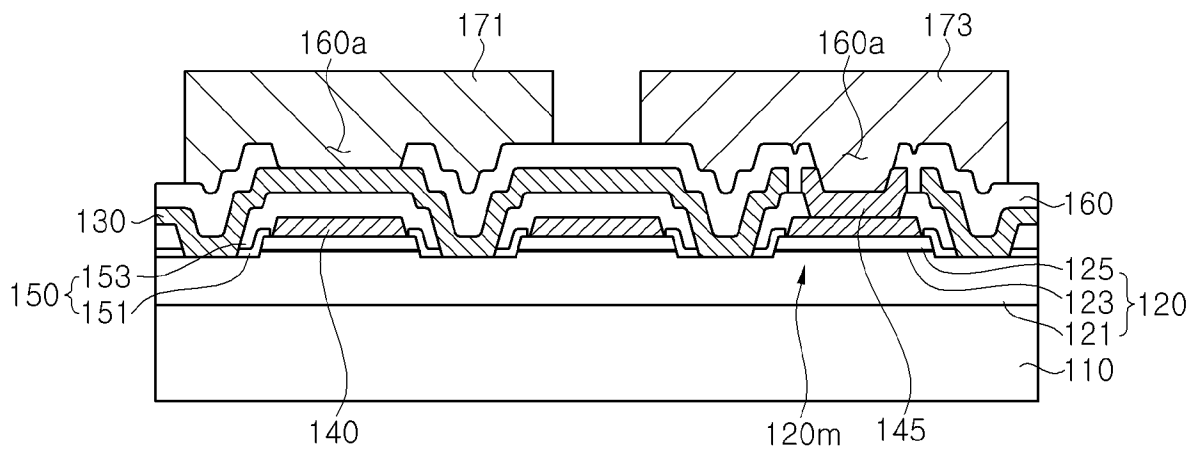


(b)

[도10]

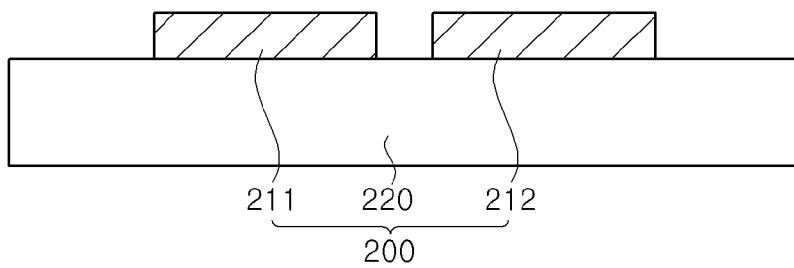


(a)

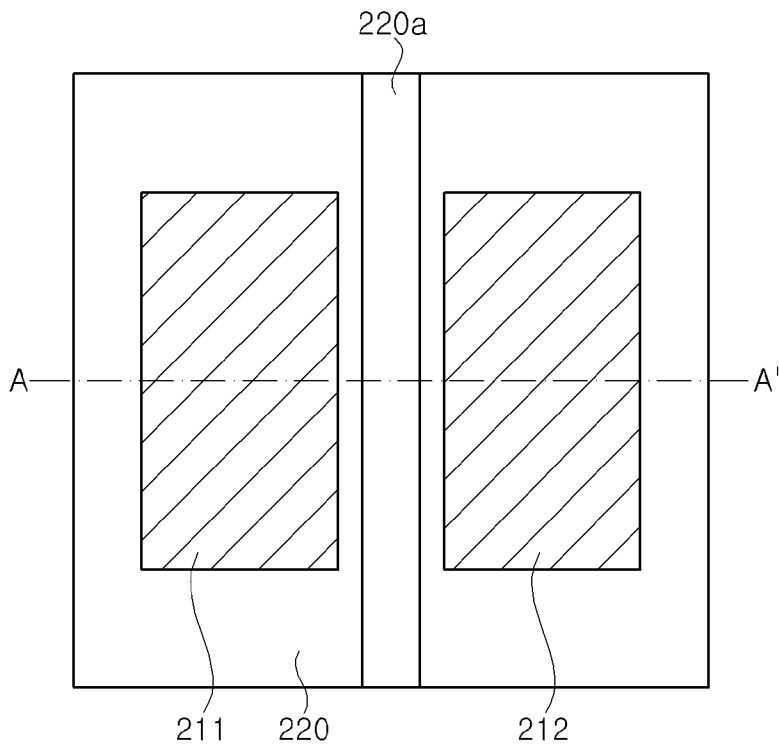


(b)

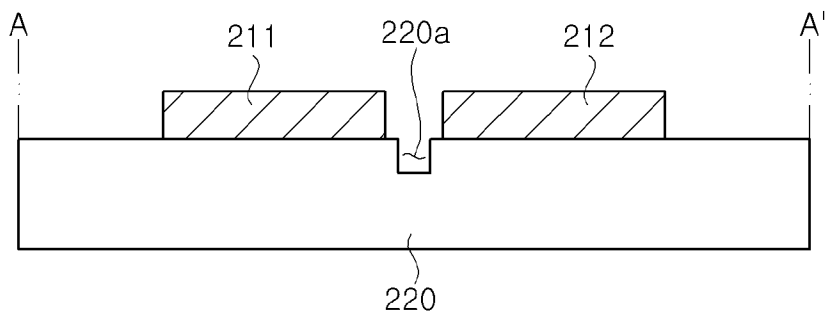
[도11]



[도12]

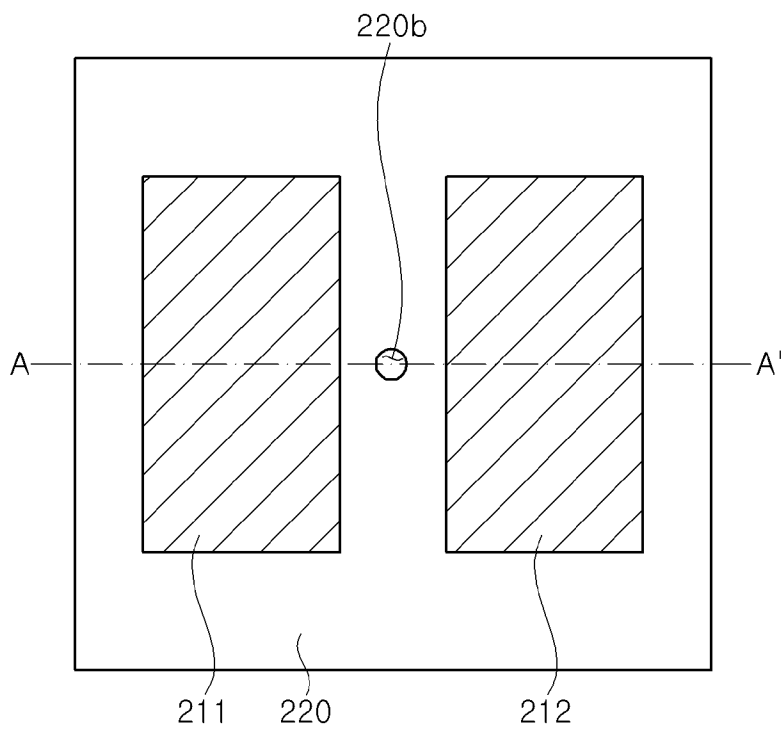


(a)

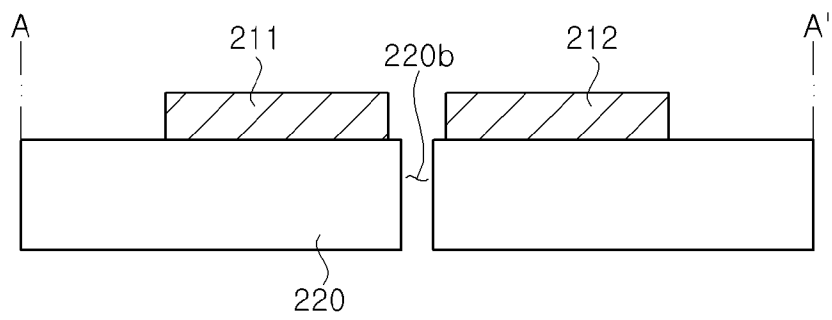


(b)

[도13]

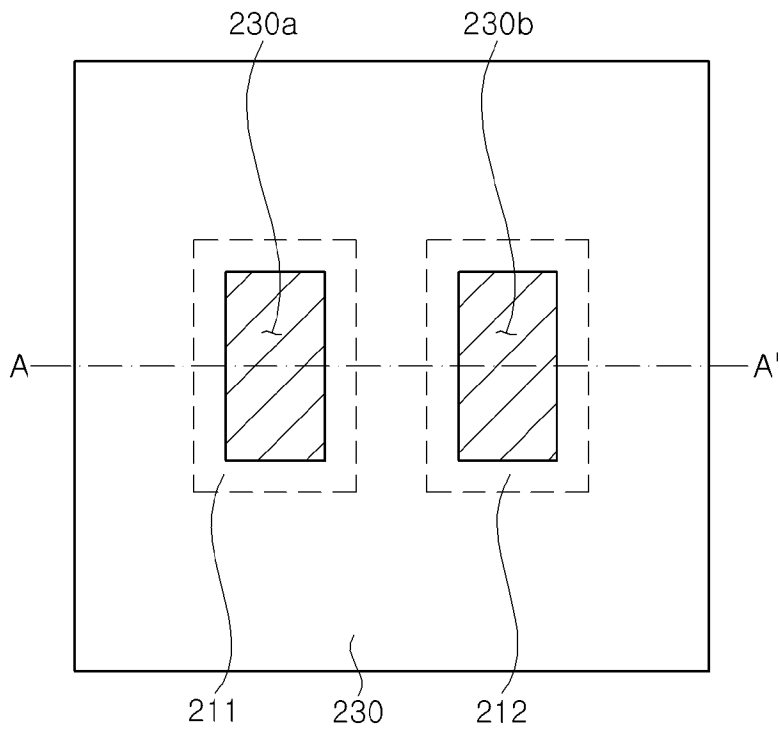


(a)

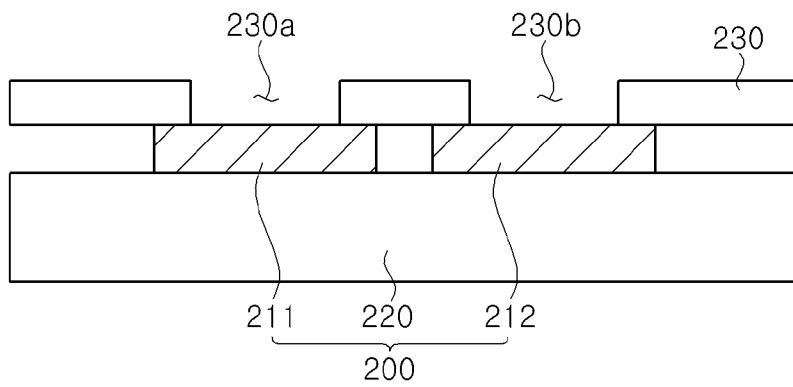


(b)

[도14]

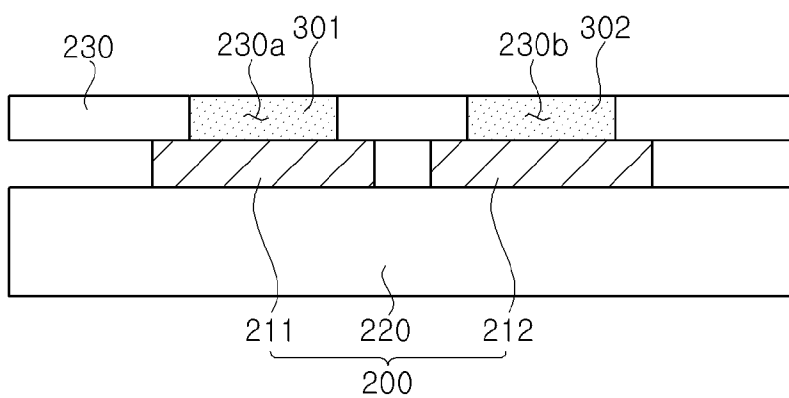


(a)

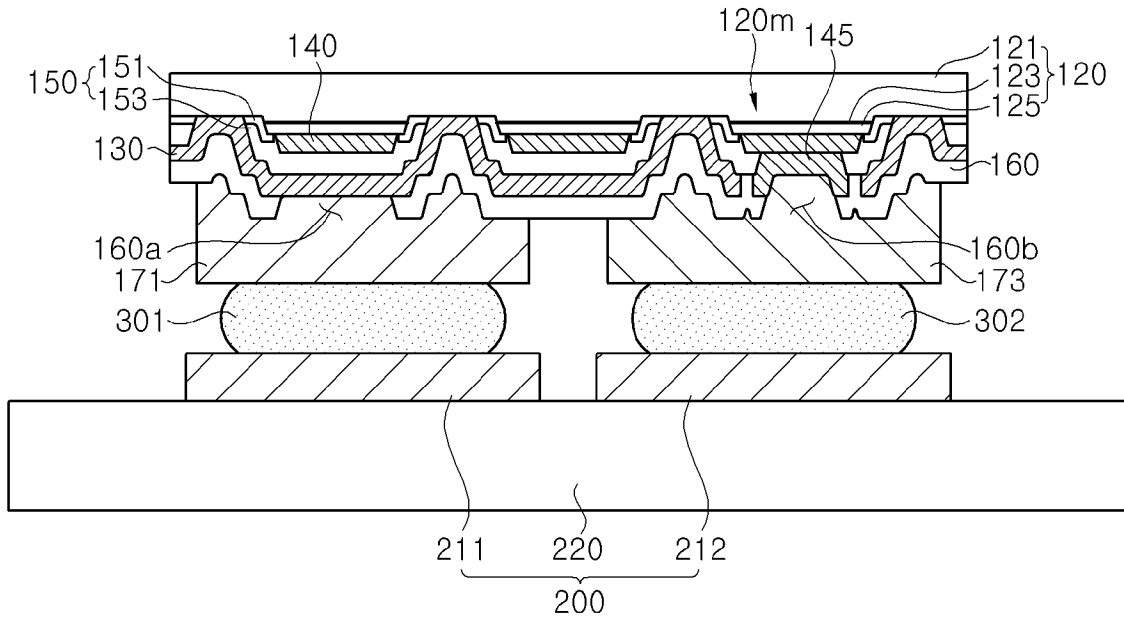


(b)

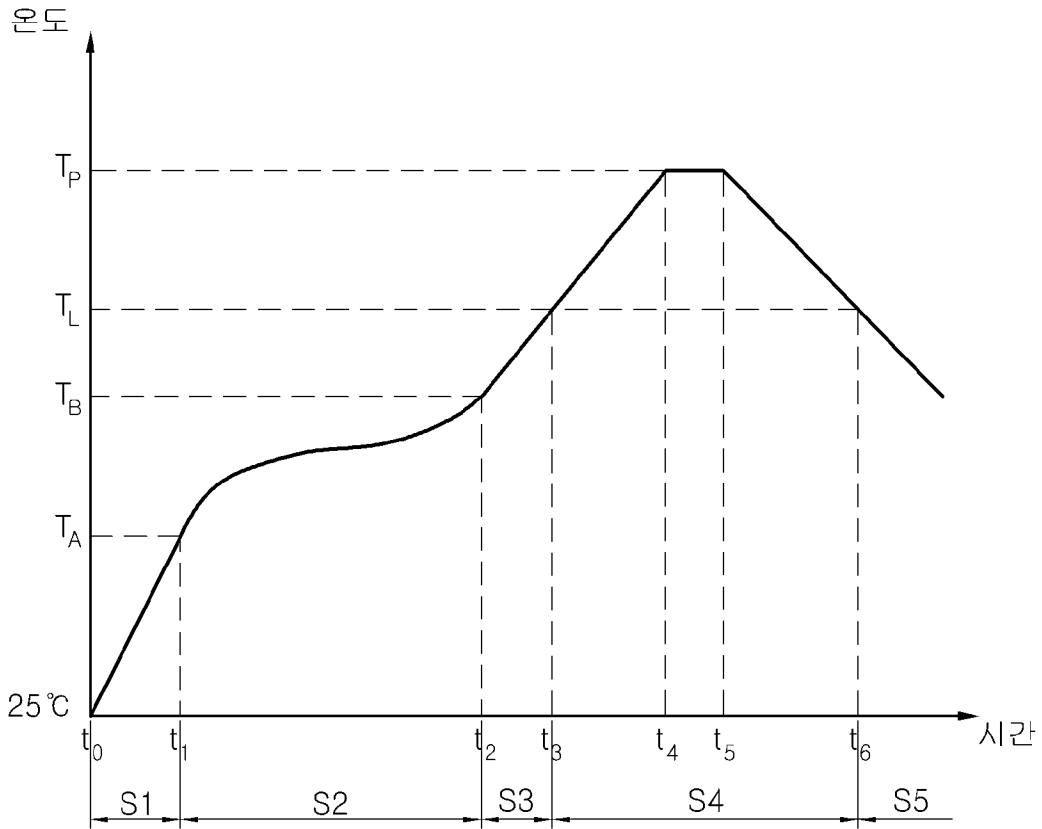
[도15]



[도16]

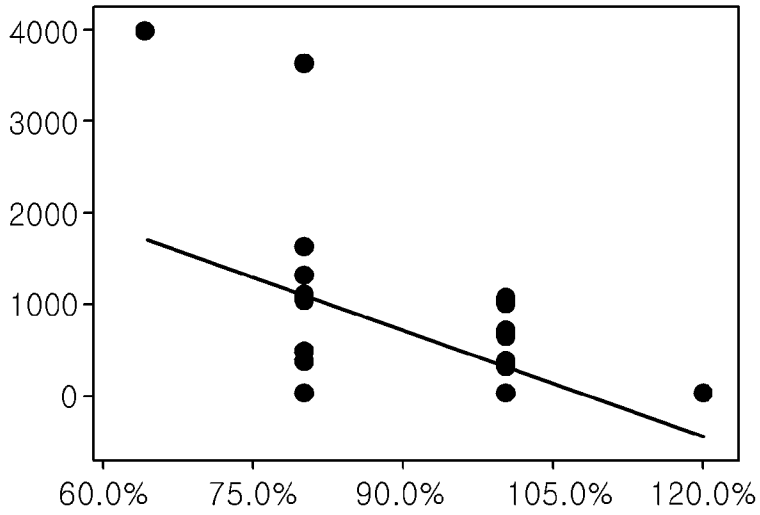


[도17]



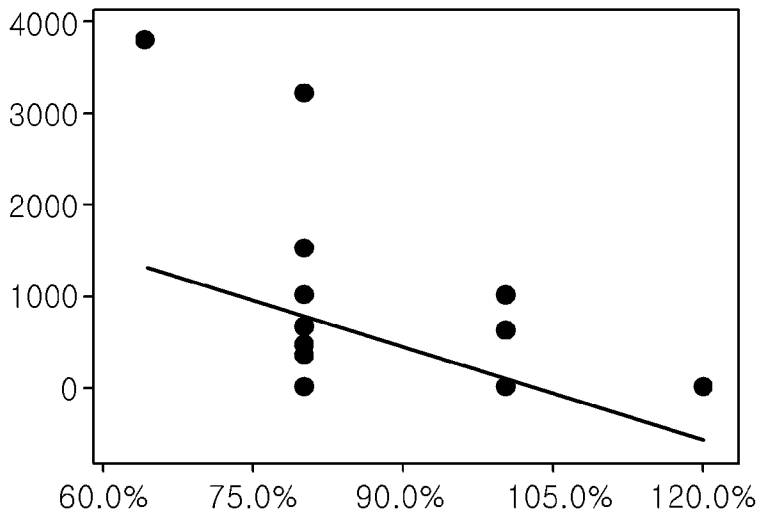
[도18]

[ppm]



(a)

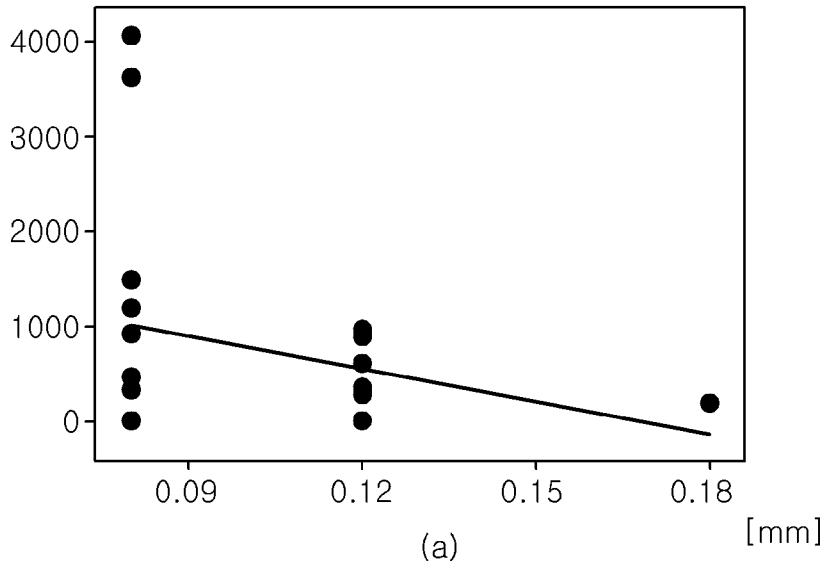
[ppm]



(b)

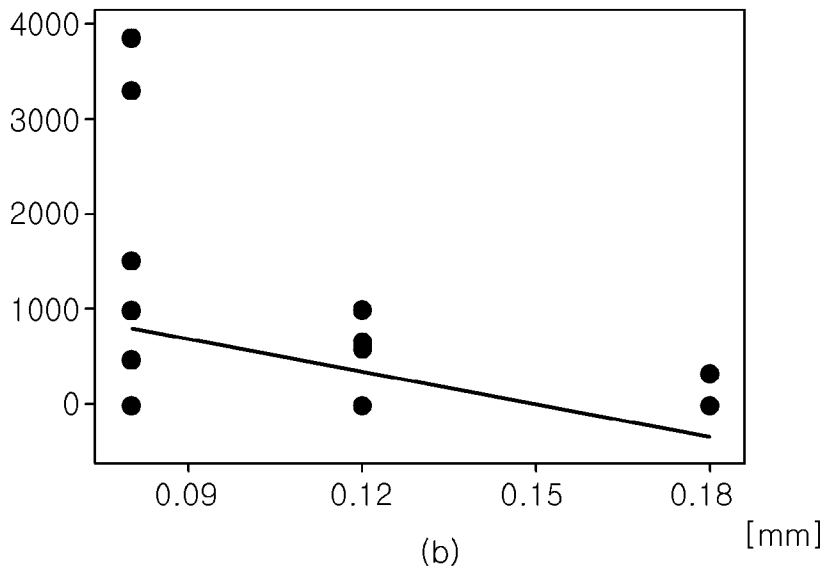
[도19]

[ppm]



(a)

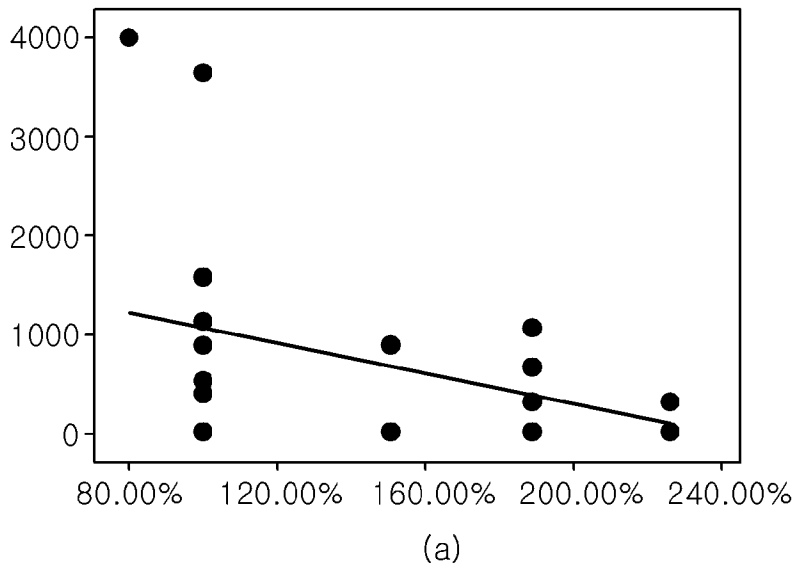
[ppm]



(b)

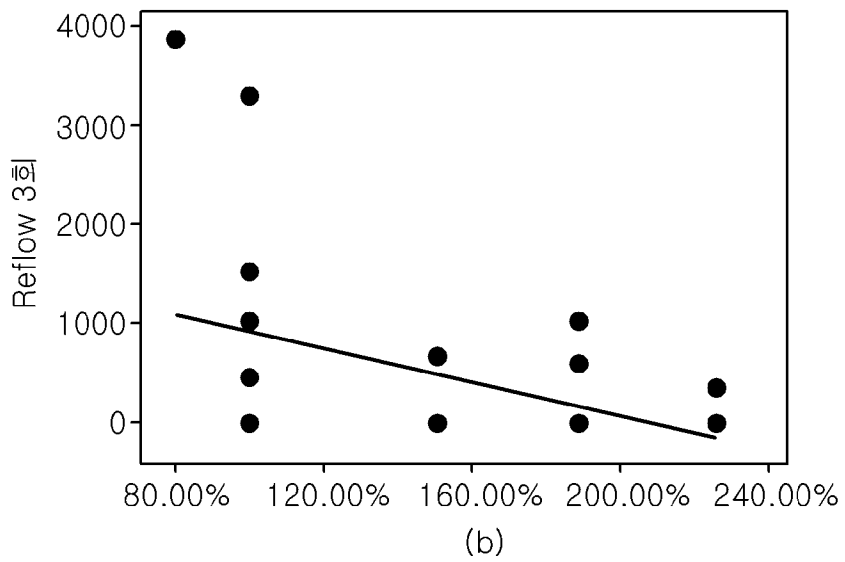
[도20]

[ppm]



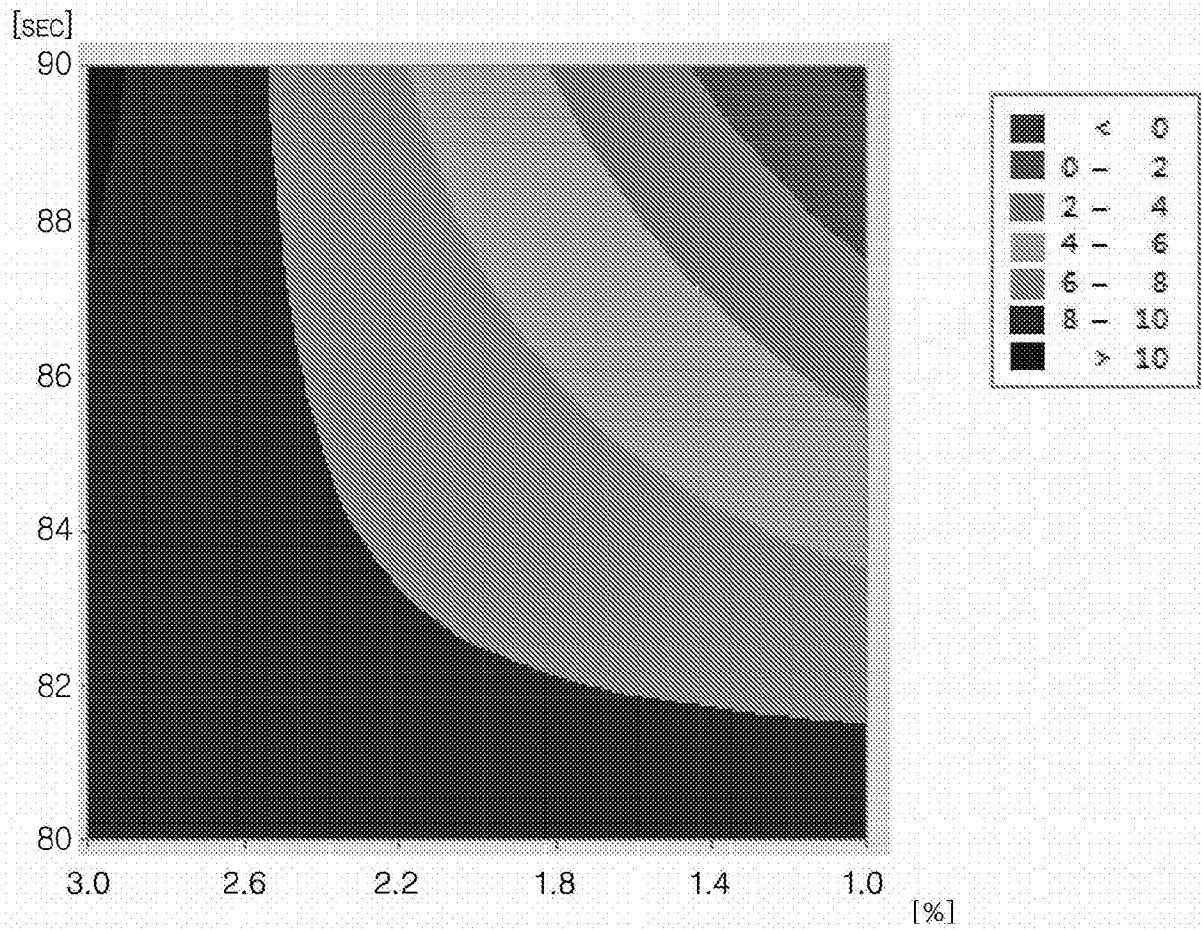
(a)

[ppm]

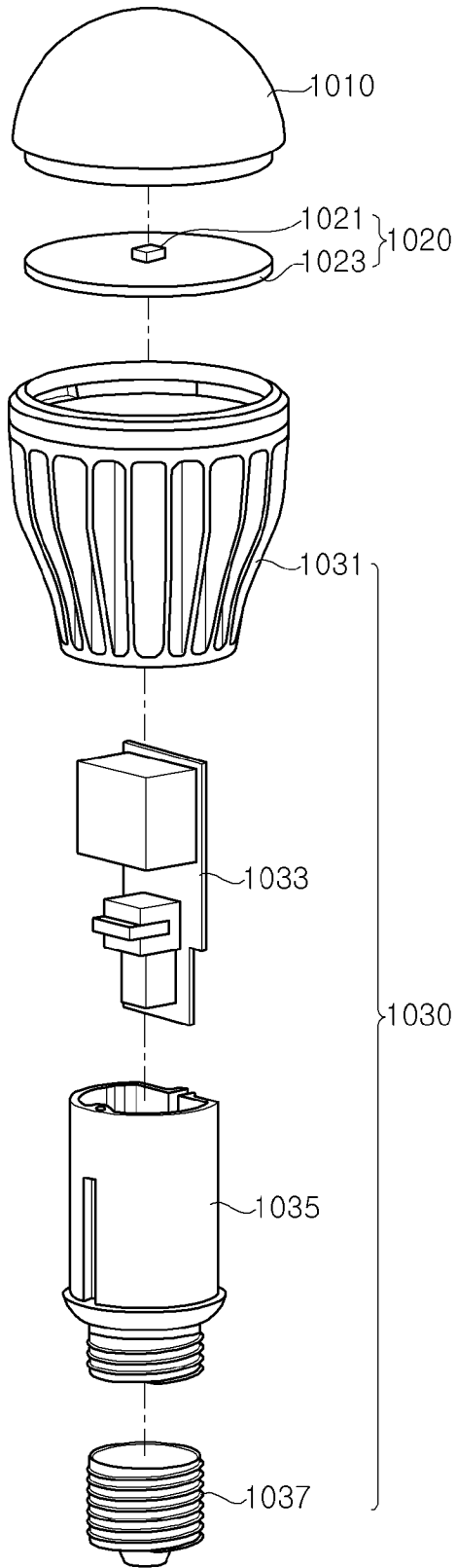


(b)

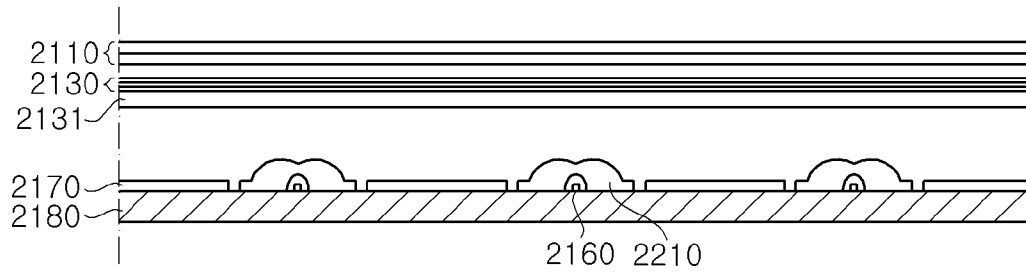
[도21]



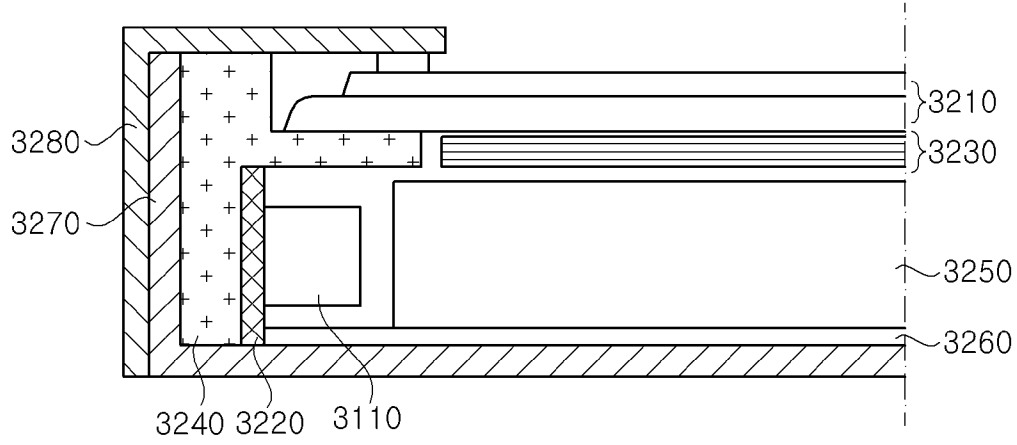
[도22]



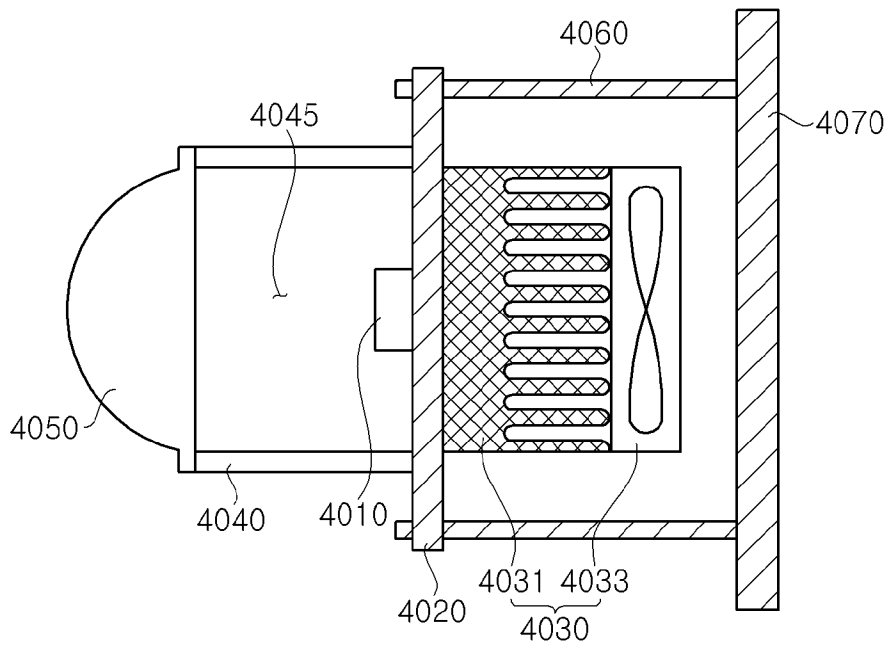
[도23]



[도24]



[도25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/007645

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/62(2010.01)i, H01L 33/36(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/62; H01S 5/30; H01L 33/00; H01L 23/12; H01L 33/48; H01L 33/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as aboveElectronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS (KIPO internal) & Keywords: solder, joining, substrate, heating, cooling, temperature, heat treatment

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2012-0048330 A (SEOUL OPTO DEVICE CO., LTD.) 15 May 2012 See paragraphs [87]-[90], claims 16-17 and figures 9-10.	1-18
A	JP 2014-067782 A (TOYODA GOSEI CO., LTD.) 17 April 2014 See paragraphs [31]-[51], claim 1 and figure 1.	1-18
A	JP 4141549 B2 (SHARP CORP.) 27 August 2008 See paragraphs [43]-[65], claim 1 and figures 4-8.	1-18
A	JP 2003-338640 A (ROHM CO., LTD.) 28 November 2003 See paragraphs [44]-[61], claim 1 and figures 4-5.	1-18
A	JP 2009-004716 A (MITSUBISHI CHEMICALS CORP.) 08 January 2009 See paragraphs [10]-[22], claim 1 and figures 4-6.	1-18

 Further documents are listed in the continuation of Box C.
 See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

17 OCTOBER 2016 (17.10.2016)

Date of mailing of the international search report

17 OCTOBER 2016 (17.10.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/007645

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2012-0048330 A	15/05/2012	CN 103238225 A	07/08/2013
		KR 10-1171361 B1	10/08/2012
		US 2013-0221372 A1	29/08/2013
		US 2015-0287900 A1	08/10/2015
		US 9082933 B2	14/07/2015
		US 9293676 B2	22/03/2016
		WO 2012-060509 A1	10/05/2012
		JP 2014-067782 A	17/04/2014
JP 4141549 B2	27/08/2008	JP 11-220218 A	10/08/1999
JP 2003-338640 A	28/11/2003	CN 1545739 A	10/11/2004
		CN 1545739 C	16/01/2008
		DE 60320799 D1	19/06/2008
		EP 1528602 A1	04/05/2005
		EP 1528602 A4	30/08/2006
		EP 1528602 B1	07/05/2008
		JP 3877642 B2	07/02/2007
		KR 10-0966537 B1	29/06/2010
		KR 10-2005-0007282 A	17/01/2005
		TW 200308105 A	16/12/2003
		TW 1261935 B	11/09/2006
		US 2005-0242424 A1	03/11/2005
US 7002185 B2	21/02/2006		
WO 03-098709 A1	27/11/2003		
JP 2009-004716 A	08/01/2009	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))
H01L 33/62(2010.01)i, H01L 33/36(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 33/62; H01S 5/30; H01L 33/00; H01L 23/12; H01L 33/48; H01L 33/36

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 솔더, 접합, 기관, 가열, 냉각, 온도, 열처리

C. 관련 문헌

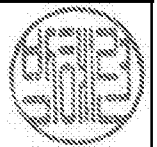
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2012-0048330 A (서울옵토디바이스주식회사) 2012.05.15 단락 87-90, 청구항 16-17 및 도면 9-10 참조.	1-18
A	JP 2014-067782 A (TOYODA GOSEI CO., LTD.) 2014.04.17 단락 31-51, 청구항 1 및 도면 1 참조.	1-18
A	JP 4141549 B2 (SHARP CORP.) 2008.08.27 단락 43-65, 청구항 1 및 도면 4-8 참조.	1-18
A	JP 2003-338640 A (ROHM CO., LTD.) 2003.11.28 단락 44-61, 청구항 1 및 도면 4-5 참조.	1-18
A	JP 2009-004716 A (MITSUBISHI CHEMICALS CORP.) 2009.01.08 단락 10-22, 청구항 1 및 도면 4-6 참조.	1-18

추가 문헌이 C(계속)에 기재되어 있습니다. 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:
 “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
 “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
 “&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일 2016년 10월 17일 (17.10.2016)	국제조사보고서 발송일 2016년 10월 17일 (17.10.2016)
--	---

ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 박혜련 전화번호 +82-42-481-3463
---	------------------------------------



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2012-0048330 A	2012/05/15	CN 103238225 A KR 10-1171361 B1 US 2013-0221372 A1 US 2015-0287900 A1 US 9082933 B2 US 9293676 B2 WO 2012-060509 A1	2013/08/07 2012/08/10 2013/08/29 2015/10/08 2015/07/14 2016/03/22 2012/05/10
JP 2014-067782 A	2014/04/17	JP 5920143 B2	2016/05/18
JP 4141549 B2	2008/08/27	JP 11-220218 A	1999/08/10
JP 2003-338640 A	2003/11/28	CN 1545739 A CN 1545739 C DE 60320799 D1 EP 1528602 A1 EP 1528602 A4 EP 1528602 B1 JP 3877642 B2 KR 10-0966537 B1 KR 10-2005-0007282 A TW 200308105 A TW I261935 B US 2005-0242424 A1 US 7002185 B2 WO 03-098709 A1	2004/11/10 2008/01/16 2008/06/19 2005/05/04 2006/08/30 2008/05/07 2007/02/07 2010/06/29 2005/01/17 2003/12/16 2006/09/11 2005/11/03 2006/02/21 2003/11/27
JP 2009-004716 A	2009/01/08	없음	