

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6181913号  
(P6181913)

(45) 発行日 平成29年8月16日 (2017. 8. 16)

(24) 登録日 平成29年7月28日 (2017. 7. 28)

(51) Int. Cl.

F I

G 0 9 G 3/30 (2006. 01)

G 0 9 G 3/30 J

G 0 9 G 3/20 (2006. 01)

G 0 9 G 3/20 6 1 1 H

H 0 1 L 51/50 (2006. 01)

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 2 A

H 0 5 B 33/14 A

請求項の数 8 (全 36 頁)

(21) 出願番号 特願2012-156130 (P2012-156130)  
 (22) 出願日 平成24年7月12日 (2012. 7. 12)  
 (65) 公開番号 特開2013-137498 (P2013-137498A)  
 (43) 公開日 平成25年7月11日 (2013. 7. 11)  
 審査請求日 平成27年6月15日 (2015. 6. 15)  
 審判番号 不服2016-17604 (P2016-17604/J1)  
 審判請求日 平成28年11月25日 (2016. 11. 25)  
 (31) 優先権主張番号 特願2011-161103 (P2011-161103)  
 (32) 優先日 平成23年7月22日 (2011. 7. 22)  
 (33) 優先権主張国 日本国 (JP)  
 (31) 優先権主張番号 特願2011-259828 (P2011-259828)  
 (32) 優先日 平成23年11月29日 (2011. 11. 29)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷 3 9 8 番地  
 (72) 発明者 井上 聖子  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 三宅 博之  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 合議体  
 審判長 清水 稔  
 審判官 中塚 直樹  
 審判官 須原 宏光

最終頁に続く

(54) 【発明の名称】 発光装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 4 のスイッチと、容量素子と、発光素子とを有し、

前記第 1 のスイッチの第 1 の端子は、第 1 の配線と電氣的に接続され、

前記第 1 のスイッチの第 2 の端子は、前記容量素子の第 1 の電極と電氣的に接続され、

前記第 2 のスイッチの第 1 の端子は、第 2 の配線と電氣的に接続され、

前記第 2 のスイッチの第 2 の端子は、前記第 1 のトランジスタの第 1 のゲートと電氣的に接続され、

前記第 3 のスイッチの第 1 の端子は、前記容量素子の第 1 の電極と電氣的に接続され、

前記第 3 のスイッチの第 2 の端子は、前記第 1 のトランジスタの第 1 のゲートと電氣的に接続され、

前記第 4 のスイッチの第 1 の端子は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 4 のスイッチの第 2 の端子は、前記発光素子の第 1 の電極と電氣的に接続され、

前記容量素子の第 2 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記発光素子の第 1 の電極または前記発光素子の第 2 の電極は、一方が陽極であり他方が陰極であり、

前記第 1 のトランジスタのソース又はドレインの他方は、第 3 の配線に電氣的に接続さ

10

20

れた発光装置であって、

第 1 の期間を有し、

前記第 1 の期間において、前記第 1 のスイッチが導通状態であり、前記第 2 のスイッチが導通状態であり、前記第 3 のスイッチが非導通状態であり、かつ、前記第 4 のスイッチが非導通状態であり、

前記第 1 の期間において、前記第 1 のトランジスタの閾値電圧に応じた電圧が前記容量素子に与えられる発光装置。

【請求項 2】

第 1 のトランジスタと、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 4 のスイッチと、容量素子と、発光素子とを有し、

前記第 1 のスイッチの第 1 の端子は、第 1 の配線と電氣的に接続され、

前記第 1 のスイッチの第 2 の端子は、前記容量素子の第 1 の電極と電氣的に接続され、

前記第 2 のスイッチの第 1 の端子は、第 2 の配線と電氣的に接続され、

前記第 2 のスイッチの第 2 の端子は、前記第 1 のトランジスタの第 1 のゲートと電氣的に接続され、

前記第 3 のスイッチの第 1 の端子は、前記容量素子の第 1 の電極と電氣的に接続され、

前記第 3 のスイッチの第 2 の端子は、前記第 1 のトランジスタの第 1 のゲートと電氣的に接続され、

前記第 4 のスイッチの第 1 の端子は、第 4 の配線と電氣的に接続され、

前記第 4 のスイッチの第 2 の端子は、前記発光素子の第 1 の電極と電氣的に接続され、

前記容量素子の第 2 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記発光素子の第 1 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記発光素子の第 1 の電極または前記発光素子の第 2 の電極は、一方が陽極であり他方が陰極であり、

前記第 1 のトランジスタのソース又はドレインの他方は、第 3 の配線に電氣的に接続された発光装置であって、

第 1 の期間を有し、

前記第 1 の期間において、前記第 1 のスイッチが導通状態であり、前記第 2 のスイッチが導通状態であり、前記第 3 のスイッチが非導通状態であり、かつ、前記第 4 のスイッチが非導通状態であり、

前記第 1 の期間において、前記第 1 のトランジスタの閾値電圧に応じた電圧が前記容量素子に与えられる発光装置。

【請求項 3】

第 1 のトランジスタと、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 4 のスイッチと、容量素子と、発光素子とを有し、

前記第 1 のスイッチの第 1 の端子は、第 1 の配線と電氣的に接続され、

前記第 1 のスイッチの第 2 の端子は、前記容量素子の第 1 の電極と電氣的に接続され、

前記第 2 のスイッチの第 1 の端子は、第 2 の配線と電氣的に接続され、

前記第 2 のスイッチの第 2 の端子は、前記第 1 のトランジスタの第 1 のゲートと電氣的に接続され、

前記第 3 のスイッチの第 1 の端子は、前記容量素子の第 1 の電極と電氣的に接続され、

前記第 3 のスイッチの第 2 の端子は、前記第 1 のトランジスタの第 1 のゲートと電氣的に接続され、

前記第 4 のスイッチの第 1 の端子は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 4 のスイッチの第 2 の端子は、前記発光素子の第 1 の電極と電氣的に接続され、

前記容量素子の第 2 の電極は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

10

20

30

40

50

前記発光素子の第1の電極または前記発光素子の第2の電極は、一方が陽極であり他方が陰極であり、

前記第1のトランジスタのソース又はドレインの他方は、第3の配線に電氣的に接続された発光装置であって、

第1の期間と、第2の期間と、を有し、

前記第1の期間において、前記第1のスイッチが非導通状態であり、前記第2のスイッチが非導通状態であり、前記第3のスイッチが非導通状態であり、かつ、前記第4のスイッチが導通状態であり、

前記第2の期間において、前記第1のスイッチが導通状態であり、前記第2のスイッチが導通状態であり、前記第3のスイッチが非導通状態であり、かつ、前記第4のスイッチが非導通状態であり、

10

前記第2の期間において、前記第1のトランジスタの閾値電圧に応じた電圧が前記容量素子に与えられる発光装置。

#### 【請求項4】

第1のトランジスタと、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチと、容量素子と、発光素子とを有し、

前記第1のスイッチの第1の端子は、第1の配線と電氣的に接続され、

前記第1のスイッチの第2の端子は、前記容量素子の第1の電極と電氣的に接続され、

前記第2のスイッチの第1の端子は、第2の配線と電氣的に接続され、

前記第2のスイッチの第2の端子は、前記第1のトランジスタの第1のゲートと電氣的に接続され、

20

前記第3のスイッチの第1の端子は、前記容量素子の第1の電極と電氣的に接続され、

前記第3のスイッチの第2の端子は、前記第1のトランジスタの第1のゲートと電氣的に接続され、

前記第4のスイッチの第1の端子は、第4の配線と電氣的に接続され、

前記第4のスイッチの第2の端子は、前記発光素子の第1の電極と電氣的に接続され、

前記容量素子の第2の電極は、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記発光素子の第1の電極は、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、

30

前記発光素子の第1の電極または前記発光素子の第2の電極は、一方が陽極であり他方が陰極であり、

前記第1のトランジスタのソース又はドレインの他方は、第3の配線に電氣的に接続された発光装置であって、

第1の期間と、第2の期間と、を有し、

前記第1の期間において、前記第1のスイッチが非導通状態であり、前記第2のスイッチが非導通状態であり、前記第3のスイッチが非導通状態であり、かつ、前記第4のスイッチが導通状態であり、

前記第2の期間において、前記第1のスイッチが導通状態であり、前記第2のスイッチが導通状態であり、前記第3のスイッチが非導通状態であり、かつ、前記第4のスイッチが非導通状態であり、

40

前記第2の期間において、前記第1のトランジスタの閾値電圧に応じた電圧が前記容量素子に与えられる発光装置。

#### 【請求項5】

請求項1乃至請求項4のいずれか1項において、前記第1のトランジスタが有する半導体膜は、酸化物半導体を含む発光装置。

#### 【請求項6】

請求項1乃至請求項5のいずれか1項において、

前記第1のトランジスタの第1のゲートと、前記第1のトランジスタの第2のゲートとは同じ電位が与えられ、

50

前記第 1 のトランジスタの第 1 のゲートと前記第 1 のトランジスタの第 2 のゲートとの間には前記第 1 のトランジスタが有する半導体膜が位置する発光装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、前記第 1 のスイッチ乃至前記第 4 のスイッチの少なくとも一は、第 2 のトランジスタを有し、

前記第 2 のトランジスタは、前記第 1 のスイッチ乃至前記第 4 のスイッチの少なくとも一が有する第 1 の端子と、前記第 1 のスイッチ乃至前記第 4 のスイッチの少なくとも一が有する第 2 の端子との間の導通状態を制御する機能を有し、

前記第 2 のトランジスタが有する半導体膜は、酸化物半導体を含む発光装置。

【請求項 8】

請求項 7 において、

前記第 2 のトランジスタの第 1 のゲートと、前記第 2 のトランジスタの第 2 のゲートとは同じ電位が与えられ、

前記第 2 のトランジスタの第 1 のゲートと前記第 2 のトランジスタの第 2 のゲートとの間には前記第 2 のトランジスタが有する半導体膜が位置する発光装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタが各画素に設けられた発光装置に関する。

【背景技術】

【0002】

発光素子を用いた表示装置は視認性が高く、薄型化に最適であると共に、視野角にも制限が無いので、CRT (cathode ray tube) や液晶表示装置に替わる表示装置として注目されている。発光素子を用いたアクティブマトリクス型の表示装置は、具体的に提案されている構成がメーカーによって異なるが、通常、少なくとも発光素子と、画素へのビデオ信号の入力を制御するトランジスタ (スイッチング用トランジスタ) と、当該発光素子に供給する電流値を制御するトランジスタ (駆動用トランジスタ) とが、各画素に設けられている。

【0003】

画素に設ける上記トランジスタをすべて同じ極性とすることで、トランジスタの作製工程において、半導体膜に一導電性を付与する不純物元素の添加などの工程を、一部省略することができる。下記の特許文献 1 には、n チャネル型トランジスタのみで画素が構成されている発光素子型ディスプレイについて、記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2003 - 195810 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、発光装置では、駆動用トランジスタのドレイン電流が発光素子に供給されるため、画素間において駆動用トランジスタの閾値電圧にばらつきが生じると、発光素子の輝度にもそのばらつきが反映されてしまう。従って、閾値電圧のばらつきを見越して駆動用トランジスタの電流値を補正することができる画素構成の提案は、発光装置の画質向上を図る上で、重要な課題である。

【0006】

また、一般的に、発光素子の陽極として用いる導電膜は、発光素子の陰極として用いる導電膜よりも、大気中においてその表面が酸化されにくい。なおかつ、発光素子の陽極として用いる導電膜は、通常、スパッタリング法を用いて形成されるため、発光材料を含む EL 層上に陽極を形成すると、スパッタダメージにより EL 層が損傷を受けやすい。よって

10

20

30

40

50

、陽極、E L 層、陰極の順に積層された構造を有する発光素子は、作製プロセスも簡易であり、高い発光効率が得られやすい。しかし、上記構造の発光素子に n チャンネル型の駆動用トランジスタを組み合わせる場合、駆動用トランジスタのソースが発光素子の陽極に接続される。よって、発光材料の劣化に伴って、発光素子の陽極と陰極間の電圧が増加すると、駆動用トランジスタにおいてソースの電位が上昇し、ゲートとソース間の電圧（ゲート電圧）が小さくなる。そのため、駆動用トランジスタのドレイン電流、すなわち、発光素子に供給される電流が小さくなり、発光素子の輝度が低下する。

【 0 0 0 7 】

上述したような技術的背景のもと、本発明は、駆動用トランジスタの閾値電圧のばらつきによる画素間の輝度のばらつきが抑えられる、発光装置の提供を課題の一つとする。或いは、本発明は、E L 層の劣化により、発光素子の輝度が低下するのを抑制できる発光装置の提供を、課題の一つとする。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の発光装置の一態様は、トランジスタと、第 1 の配線と、第 2 の配線と、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 4 のスイッチと、容量素子と、発光素子とを、少なくとも有する。第 1 のスイッチは、第 1 の配線と容量素子の一对の電極のうち的一方との間の導通または非導通を選択する機能を有する。容量素子の一对の電極のうち他方は、トランジスタのソース及びドレインの一方に接続される。第 2 のスイッチは、第 2 の配線と、トランジスタのゲートとの間の導通または非導通を選択する機能を有する。第 3 のスイッチは、容量素子の一对の電極のうち的一方と、トランジスタのゲートとの間の導通または非導通を選択する機能を有する。第 4 のスイッチは、トランジスタのソース及びドレインの一方と、発光素子の陽極との間の導通または非導通を選択する機能を有する。

【 0 0 0 9 】

或いは、本発明の発光装置の一態様は、トランジスタと、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 4 のスイッチと、容量素子と、発光素子とを、少なくとも有する。第 1 のスイッチは、第 1 の配線と容量素子の一对の電極のうち的一方との間の導通または非導通を選択する機能を有する。容量素子の一对の電極のうち他方は、トランジスタのソース及びドレインの一方及び発光素子の陽極に接続される。第 2 のスイッチは、第 2 の配線と、トランジスタのゲートとの間の導通または非導通を選択する機能を有する。第 3 のスイッチは、容量素子の一对の電極のうち的一方と、トランジスタのゲートとの間の導通または非導通を選択する機能を有する。第 4 のスイッチは、トランジスタのソース及びドレインの一方と、第 3 の配線との間の導通または非導通を選択する機能を有する。

【 0 0 1 0 】

なお、上記スイッチは、電流または電位の供給を制御する機能を有する素子であり、例えば、電氣的スイッチまたは機械的なスイッチなどを用いることができる。具体的には、トランジスタ、ダイオードなどで構成すればよい。また、スイッチはトランジスタを組み合わせた論理回路でもよい。

【 0 0 1 1 】

本発明の一態様に係る発光装置では、上記構成により、駆動用トランジスタの閾値電圧よりも高く、なおかつ、駆動用トランジスタのソースとドレイン間の電圧に上記閾値電圧を加算することで得られる電圧よりも低い電圧を、駆動用トランジスタのゲートとソース間に印加することができる。上記電圧を印加した状態で、駆動用トランジスタのソースをフローティング（浮遊状態）とすることで、駆動用トランジスタのゲートとソースの間に閾値電圧を取得することができる。そして、ソースをフローティング（浮遊状態）としたまま、ゲートに画像信号の電圧を与えると、駆動用トランジスタのゲートとソース間に、画像信号の電圧に閾値電圧を加算した電圧が与えられる。発光素子は、駆動用トランジスタのゲート電圧に見合った値の電流が供給され、階調の表示を行う。

## 【発明の効果】

## 【0012】

本発明の一態様に係る発光装置では、画像信号の電圧に、トランジスタの閾値電圧を加算することで得られる電位を、トランジスタのゲート電極に与えることができる。よって、閾値電圧の補正と、陽極の電位の補正とを行うことで、発光装置の画質の向上を実現できる。

## 【図面の簡単な説明】

## 【0013】

【図1】画素の回路図。

【図2】画素の動作を示すタイミングチャート。

10

【図3】画素の動作を示す図。

【図4】画素の動作を示すタイミングチャート。

【図5】画素の動作を示す図。

【図6】画素の上面図。

【図7】画素の断面図。

【図8】画素の上面図。

【図9】画素の断面図。

【図10】画素の断面図。

【図11】画素の断面図。

【図12】パネルの斜視図。

20

【図13】電子機器の図。

【図14】酸化物半導体の構造を説明する図。

【図15】酸化物半導体の構造を説明する図。

【図16】酸化物半導体の構造を説明する図。

【図17】シミュレーションの結果を示す図。

【図18】シミュレーションの結果を示す図。

## 【発明を実施するための形態】

## 【0014】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

## 【0015】

なお、本明細書において発光装置とは、発光素子が各画素に形成されたパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを、その範疇に含む。

## 【0016】

## (実施の形態1)

図1(A)に、本発明の一態様に係る発光装置が有する、画素100の構成を一例として示す。

## 【0017】

40

画素100は、トランジスタ11乃至トランジスタ15と、容量素子16と、発光素子17とを有する。なお、図1(A)では、トランジスタ11乃至トランジスタ15がnチャネル型である場合を例示している。

## 【0018】

トランジスタ12は、配線SLと、容量素子16の一对の電極のうち的一方との間の導通または非導通を選択する機能を有する。容量素子16の一对の電極のうち他方は、トランジスタ11のソース及びドレインの一方に接続される。トランジスタ13は、配線ILと、トランジスタ11のゲートとの間の導通または非導通を選択する機能を有する。トランジスタ14は、容量素子16の一对の電極のうち一方と、トランジスタ11のゲートとの間の導通または非導通を選択する機能を有する。トランジスタ15は、トランジスタ

50

１１のソース及びドレインの一方と、発光素子１７の陽極との間の導通または非導通を選択する機能を有する。

【００１９】

さらに、図１（Ａ）では、トランジスタ１１のソース及びドレインの他方は配線ＶＬに接続されている。

【００２０】

また、トランジスタ１２における導通または非導通の選択は、トランジスタ１２のゲートに接続された配線Ｇ１の電位により定まる。トランジスタ１３における導通または非導通の選択は、トランジスタ１３のゲートに接続された配線Ｇ１の電位により定まる。トランジスタ１４における導通または非導通の選択は、トランジスタ１４のゲートに接続された配線Ｇ２の電位により定まる。トランジスタ１５における導通または非導通の選択は、トランジスタ１５のゲートに接続された配線Ｇ３の電位により定まる。

10

【００２１】

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧又は電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧又は電位が、供給可能、或いは伝送可能であるように、配線、導電膜、抵抗、ダイオード、トランジスタなどの素子を介して間接的に接続している状態も、その範疇に含む。

【００２２】

また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

20

【００２３】

発光素子１７は、陽極と、陰極と、陽極と陰極の間に設けられたＥＬ層とを有する。ＥＬ層は、単層または複数の層で構成されていて、これらの層の中に、発光性の物質を含む発光層を少なくとも含んでいる。ＥＬ層は、陰極を基準としたときの、陰極と陽極間の電位差が、発光素子１７の閾値電圧 $V_{th}$ 以上になったときに供給される電流により、エレクトロルミネッセンスが得られる。エレクトロルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。

30

【００２４】

なお、トランジスタが有するソースとドレインは、トランジスタの極性及びソースとドレインに与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、 $n$ チャネル型トランジスタでは、ソースとドレインのうち、低い電位が与えられる方がソースと呼ばれ、高い電位が与えられる方がドレインと呼ばれる。また、 $p$ チャネル型トランジスタでは、ソースとドレインのうち、低い電位が与えられる方がドレインと呼ばれ、高い電位が与えられる方がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

40

【００２５】

次いで、図１（Ｂ）に、本発明の一態様に係る発光装置が有する、画素１００の別の一例を示す。

【００２６】

画素１００は、トランジスタ１１乃至トランジスタ１５と、容量素子１６と、発光素子１７とを有する。なお、図１（Ｂ）では、トランジスタ１１乃至トランジスタ１５が $n$ チャネル型である場合を例示している。

【００２７】

トランジスタ１２は、配線ＳＬと、容量素子１６の一对の電極のうち的一方との間の導通または非導通を選択する機能を有する。容量素子１６の一对の電極のうち他方は、トラ

50

ンジスタ１１のソース及びドレインの一方及び発光素子１７の陽極に接続される。トランジスタ１３は、配線ＩＬと、トランジスタ１１のゲートとの間の導通または非導通を選択する機能を有する。トランジスタ１４は、容量素子１６の一对の電極のうち的一方と、トランジスタ１１のゲートとの間の導通または非導通を選択する機能を有する。トランジスタ１５は、トランジスタ１１のソース及びドレインの一方及び発光素子１７の陽極と、配線ＲＬとの間の導通または非導通を選択する機能を有する。また、トランジスタ１１のソース及びドレインの他方は配線ＶＬに接続されている。

【００２８】

また、トランジスタ１２における導通または非導通の選択は、トランジスタ１２のゲートに接続された配線Ｇ１の電位により定まる。トランジスタ１３における導通または非導通の選択は、トランジスタ１３のゲートに接続された配線Ｇ１の電位により定まる。トランジスタ１４における導通または非導通の選択は、トランジスタ１４のゲートに接続された配線Ｇ２の電位により定まる。トランジスタ１５における導通または非導通の選択は、トランジスタ１５のゲートに接続された配線Ｇ３の電位により定まる。

【００２９】

なお、図１（Ａ）及び図１（Ｂ）において、トランジスタ１１乃至トランジスタ１５は、ゲートを半導体膜の片側において少なくとも有していれば良いが、半導体膜を間に挟んで存在する一对のゲートを有していても良い。一对のゲートの一方をフロントゲート、他方をバックゲートとすると、バックゲートはフローティングの状態であっても良いし、電位が他から与えられている状態であっても良い。後者の場合、フロントゲート及びバックゲートに同じ高さの電位が与えられていても良いし、バックゲートにのみ接地電位などの固定の電位が与えられていても良い。バックゲートに与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。また、バックゲートを設けることで、チャンネル形成領域が増え、ドレイン電流の増加を実現することができる。また、バックゲートを設けることで、半導体膜に空乏層ができやすくなるため、Ｓ値の改善を図ることができる。

【００３０】

また、図１（Ａ）及び図１（Ｂ）では、トランジスタ１１乃至トランジスタ１５が全てｎチャンネル型である場合を例示している。トランジスタ１１乃至トランジスタ１５が全て同じ極性である場合、トランジスタの作製工程において、半導体膜に一導電性を付与する不純物元素の添加などの工程を、一部省略することができる。ただし、本発明の一態様に係る発光装置では、必ずしもトランジスタ１１乃至トランジスタ１５が全てｎチャンネル型である必要はない。発光素子１７の陽極がトランジスタ１５のソース及びドレインの一方に接続されている場合、少なくともトランジスタ１１はｎチャンネル型であることが望ましく、発光素子１７の陰極がトランジスタ１５のソース及びドレインの一方に接続されている場合、少なくともトランジスタ１１はｐチャンネル型であることが望ましい。

【００３１】

また、電流を流すときにトランジスタ１１を飽和領域で動作させる場合、チャンネル長またはチャンネル幅を、トランジスタ１２乃至トランジスタ１５よりも長くすることが望ましい。チャンネル長またはチャンネル幅を長くすることにより、飽和領域での特性がフラットになり、キンク効果を低減することができる。或いは、チャンネル長またはチャンネル幅を長くすることにより、トランジスタ１１は、飽和領域においても、多くの電流を流すことができる。

【００３２】

また、図１（Ａ）及び図１（Ｂ）では、トランジスタ１１乃至トランジスタ１５が、単数のゲートを有することで、単数のチャンネル形成領域を有するシングルゲート構造である場合を例示しているが、本発明はこの構成に限定されない。トランジスタ１１乃至トランジスタ１５のいずれかまたは全てが、電氣的に接続された複数のゲートを有することで、複数のチャンネル形成領域を有する、マルチゲート構造であっても良い。

【００３３】

10

20

30

40

50



次いで、図 1 ( A ) に示す画素 1 0 0 の動作について説明する。

【 0 0 3 4 】

図 2 に、図 1 ( A ) に示す画素 1 0 0 に接続される、配線 G 1 乃至配線 G 3 の電位と、配線 S L に供給される電位 V d a t a とを、タイミングチャートで例示する。ただし、図 2 に示すタイミングチャートは、トランジスタ 1 1 乃至トランジスタ 1 5 が n チャンネル型である場合を例示している。図 2 に示すように、図 1 ( A ) に示す画素 1 0 0 の動作は、主に期間 1 における第 1 の動作、期間 2 における第 2 の動作、期間 3 における第 3 の動作に分けることができる。

【 0 0 3 5 】

まず、期間 1 において行われる第 1 の動作について説明する。期間 1 では、配線 G 1 にローレベルの電位が与えられ、配線 G 2 にローレベルの電位が与えられ、配線 G 3 にハイレベルの電位が与えられる。よって、トランジスタ 1 5 が導通状態となり、トランジスタ 1 2 乃至トランジスタ 1 4 が非導通状態となる。

10

【 0 0 3 6 】

また、配線 V L には電位 V a n o が与えられ、発光素子 1 7 の陰極には電位 V c a t が与えられる。電位 V a n o は、発光素子 1 7 の閾値電圧 V t h e を電位 V c a t に加算した電位よりも高いものとする。なお、以下、発光素子 1 7 の閾値電圧 V t h e は 0 であるものと仮定する。

【 0 0 3 7 】

図 3 ( A ) に、期間 1 における画素 1 0 0 の動作を示す。なお、図 3 ( A ) では、トランジスタ 1 2 乃至トランジスタ 1 5 をスイッチとして表記している。期間 1 では、上記動作により、トランジスタ 1 1 のソース及びドレインの一方 ( ノード A として図示する ) が、電位 V c a t に発光素子 1 7 の閾値電圧 V t h e を加算した電位となる。図 3 ( A ) では、閾値電圧 V t h e が 0 であるものと仮定しているので、ノード A の電位は電位 V c a t となる。

20

【 0 0 3 8 】

次いで、期間 2 において行われる第 2 の動作について説明する。期間 2 では、配線 G 1 にハイレベルの電位が与えられ、配線 G 2 にローレベルの電位が与えられ、配線 G 3 にローレベルの電位が与えられる。よって、トランジスタ 1 2 及びトランジスタ 1 3 が導通状態となり、トランジスタ 1 4 及びトランジスタ 1 5 が非導通状態となる。

30

【 0 0 3 9 】

なお、期間 1 から期間 2 に移行する際、配線 G 1 に与える電位がローレベルからハイレベルに切り替えられてから、配線 G 3 に与える電位をハイレベルからローレベルに切り替えることが望ましい。上記構成により、配線 G 1 に与える電位の切り替えによって、ノード A における電位が変動するのを防ぐことができる。

【 0 0 4 0 】

また、配線 V L には電位 V a n o が与えられ、発光素子 1 7 の陰極には電位 V c a t が与えられる。そして、配線 I L には電位 V 0 が与えられ、配線 S L には画像信号の電位 V d a t a が与えられる。なお、電位 V 0 は、電位 V c a t にトランジスタ 1 1 の閾値電圧 V t h 及び発光素子 1 7 の閾値電圧 V t h e を加算した電位よりも高く、電位 V a n o にトランジスタ 1 1 の閾値電圧 V t h を加算した電位より低いことが望ましい。

40

【 0 0 4 1 】

図 3 ( B ) に、期間 2 における画素 1 0 0 の動作を示す。なお、図 3 ( B ) では、トランジスタ 1 2 乃至トランジスタ 1 5 をスイッチとして表記している。期間 2 では、上記動作により、トランジスタ 1 1 のゲート ( ノード B として図示する ) に電位 V 0 が与えられるため、トランジスタ 1 1 が導通状態になる。よって、トランジスタ 1 1 を介して容量素子 1 6 の電荷が放出され、電位 V c a t だったノード A の電位が上昇を始める。そして、最終的には、ノード A の電位が電位 V 0 - V t h となると、すなわちトランジスタ 1 1 のゲート電圧が閾値電圧 V t h まで小さくなると、トランジスタ 1 1 が非導通状態となる。また、容量素子 1 6 の一方の電極 ( ノード C として図示する ) には、電位 V d a t a が与え

50

られる。

【 0 0 4 2 】

次いで、期間 3 において行われる第 3 の動作について説明する。期間 3 では、配線 G 1 にローレベルの電位が与えられ、配線 G 2 にハイレベルの電位が与えられ、配線 G 3 にハイレベルの電位が与えられる。よって、トランジスタ 1 4 及びトランジスタ 1 5 が導通状態となり、トランジスタ 1 2 及びトランジスタ 1 3 が非導通状態となる。

【 0 0 4 3 】

なお、期間 2 から期間 3 に移行する際、配線 G 1 に与える電位がハイレベルからローレベルに切り替えられてから、配線 G 2 及び配線 G 3 に与える電位をローレベルからハイレベルに切り替えることが望ましい。上記構成により、配線 G 1 に与える電位の切り替えによって、ノード A における電位が変動するのを防ぐことができる。

10

【 0 0 4 4 】

また、配線 V L には電位 V a n o が与えられ、発光素子 1 7 の陰極には電位 V c a t が与えられる。

【 0 0 4 5 】

図 3 ( C ) に、期間 3 における画素 1 0 0 の動作を示す。なお、図 3 ( C ) では、トランジスタ 1 2 乃至トランジスタ 1 5 をスイッチとして表記している。期間 3 では、上記動作により、ノード B に電位 V d a t a が与えられるため、トランジスタ 1 1 のゲート電圧が  $V d a t a - V 0 + V t h$  となる。よって、トランジスタ 1 1 のゲート電圧を、閾値電圧  $V t h$  が加味された値に設定することができる。上記構成により、トランジスタ 1 1 の閾値電圧  $V t h$  のばらつきが、発光素子 1 7 に供給する電流値に影響を及ぼすのを防ぐことができる。または、トランジスタ 1 1 が劣化して、閾値電圧  $V t h$  が変化しても、上記変化が発光素子 1 7 に供給する電流値に影響を及ぼすのを防ぐことができる。よって、表示ムラを低減でき、高い画質の表示を行うことができる。

20

【 0 0 4 6 】

次いで、図 1 ( B ) に示す画素 1 0 0 の動作について説明する。

【 0 0 4 7 】

図 4 に、図 1 ( B ) に示す画素 1 0 0 に接続される、配線 G 1 乃至配線 G 3 の電位と、配線 S L に供給される電位 V d a t a とを、タイミングチャートで例示する。ただし、図 4 に示すタイミングチャートは、トランジスタ 1 1 乃至トランジスタ 1 5 が n チャンネル型である場合を例示している。図 4 に示すように、図 1 ( B ) に示す画素 1 0 0 の動作は、主に期間 1 における第 1 の動作、期間 2 における第 2 の動作、期間 3 における第 3 の動作に分けることができる。

30

【 0 0 4 8 】

まず、期間 1 において行われる第 1 の動作について説明する。期間 1 では、配線 G 1 にローレベルの電位が与えられ、配線 G 2 にローレベルの電位が与えられ、配線 G 3 にハイレベルの電位が与えられる。よって、トランジスタ 1 5 が導通状態となり、トランジスタ 1 2 乃至トランジスタ 1 4 が非導通状態となる。

【 0 0 4 9 】

また、配線 V L には電位 V a n o が与えられ、発光素子 1 7 の陰極には電位 V c a t が与えられる。電位 V a n o は、上述したように、発光素子 1 7 の閾値電圧  $V t h e$  を電位 V c a t に加算した電位よりも高いものとする。さらに、配線 R L には、電位 V 1 が与えられる。電位 V 1 は、電位 V c a t に発光素子 1 7 の閾値電圧  $V t h e$  を加算した電位よりも低いことが望ましい。電位 V 1 を上記値に設定することで、期間 1 において発光素子 1 7 に電流が流れるのを防ぐことができる。

40

【 0 0 5 0 】

図 5 ( A ) に、期間 1 における画素 1 0 0 の動作を示す。なお、図 5 ( A ) では、トランジスタ 1 2 乃至トランジスタ 1 5 をスイッチとして表記している。期間 1 では、上記動作により、トランジスタ 1 1 のソース及びドレインの一方 ( ノード A として図示する ) に、電位 V 1 が与えられる。

50

## 【 0 0 5 1 】

次いで、期間 2 において行われる第 2 の動作について説明する。期間 2 では、配線 G 1 にハイレベルの電位が与えられ、配線 G 2 にローレベルの電位が与えられ、配線 G 3 にローレベルの電位が与えられる。よって、トランジスタ 1 2 及びトランジスタ 1 3 が導通状態となり、トランジスタ 1 4 及びトランジスタ 1 5 が非導通状態となる。

## 【 0 0 5 2 】

なお、期間 1 から期間 2 に移行する際、配線 G 1 に与える電位がローレベルからハイレベルに切り替えられてから、配線 G 3 に与える電位をハイレベルからローレベルに切り替えることが望ましい。上記構成により、配線 G 1 に与える電位の切り替えによって、ノード A における電位が変動するのを防ぐことができる。

10

## 【 0 0 5 3 】

また、配線 V L には電位 V a n o が与えられ、発光素子 1 7 の陰極には電位 V c a t が与えられる。そして、配線 I L には電位 V 0 が与えられ、配線 S L には画像信号の電位 V d a t a が与えられる。なお、電位 V 0 は、上述したように、電位 V c a t にトランジスタ 1 1 の閾値電圧 V t h 及び発光素子 1 7 の閾値電圧 V t h e を加算した電位よりも高く、電位 V a n o にトランジスタ 1 1 の閾値電圧 V t h を加算した電位より低いことが望ましい。ただし、図 1 ( A ) に示す画素 1 0 0 の場合とは異なり、図 1 ( B ) に示す画素 1 0 0 の場合は、発光素子 1 7 の陽極と、トランジスタ 1 1 のソース及びドレインの一方とが接続されている。よって、期間 2 において発光素子 1 7 に供給される電流値を小さく抑えるために、図 1 ( B ) に示す画素 1 0 0 の場合は、図 1 ( A ) に示す画素 1 0 0 の場合よりも、電位 V 0 を低い値に設定することが望ましい。

20

## 【 0 0 5 4 】

図 5 ( B ) に、期間 2 における画素 1 0 0 の動作を示す。なお、図 5 ( B ) では、トランジスタ 1 2 乃至トランジスタ 1 5 をスイッチとして表記している。期間 2 では、上記動作により、トランジスタ 1 1 のゲート ( ノード B として図示する ) に電位 V 0 が与えられるため、トランジスタ 1 1 が導通状態になる。よって、トランジスタ 1 1 を介して容量素子 1 6 の電荷が放出され、電位 V 1 だったノード A の電位が上昇を始める。そして、最終的には、ノード A の電位が電位 V 0 - V t h となると、すなわちトランジスタ 1 1 のゲート電圧が閾値電圧 V t h まで小さくなると、トランジスタ 1 1 が非導通状態となる。また、容量素子 1 6 の一方の電極 ( ノード C として図示する ) には、電位 V d a t a が与えられる。

30

## 【 0 0 5 5 】

次いで、期間 3 において行われる第 3 の動作について説明する。期間 3 では、配線 G 1 にローレベルの電位が与えられ、配線 G 2 にハイレベルの電位が与えられ、配線 G 3 にローレベルの電位が与えられる。よって、トランジスタ 1 4 が導通状態となり、トランジスタ 1 2、トランジスタ 1 3、及びトランジスタ 1 5 が非導通状態となる。

## 【 0 0 5 6 】

なお、期間 2 から期間 3 に移行する際、配線 G 1 に与える電位がハイレベルからローレベルに切り替えられてから、配線 G 2 に与える電位をローレベルからハイレベルに切り替えることが望ましい。上記構成により、配線 G 1 に与える電位の切り替えによって、ノード A における電位が変動するのを防ぐことができる。

40

## 【 0 0 5 7 】

また、配線 V L には電位 V a n o が与えられ、発光素子 1 7 の陰極には電位 V c a t が与えられる。

## 【 0 0 5 8 】

図 5 ( C ) に、期間 3 における画素 1 0 0 の動作を示す。なお、図 5 ( C ) では、トランジスタ 1 2 乃至トランジスタ 1 5 をスイッチとして表記している。期間 3 では、上記動作により、ノード B に電位 V d a t a が与えられるため、トランジスタ 1 1 のゲート電圧が V d a t a - V 0 + V t h となる。よって、トランジスタ 1 1 のゲート電圧を、閾値電圧 V t h が加味された値に設定することができる。上記構成により、トランジスタ 1 1 の閾

50

値電圧 $V_{th}$ のばらつきが、発光素子17に供給する電流値に影響を及ぼすのを防ぐことができる。または、トランジスタ11が劣化して、閾値電圧 $V_{th}$ が変化しても、上記変化が発光素子17に供給する電流値に影響を及ぼすのを防ぐことができる。よって、表示ムラを低減でき、高い画質の表示を行うことができる。

【0059】

なお、特許文献1に記載された発光素子型ディスプレイでは、有機EL素子に電流を供給するためのトランジスタ(Tr12)のゲートとドレインを電氣的に接続し、閾値電圧の取得を行っている。よって、トランジスタ(Tr12)がノーマリオンの場合、トランジスタ(Tr12)のソースがゲートよりも高くなることはない。そのため、トランジスタ(Tr12)がノーマリオンの場合、閾値電圧を取得することが困難である。

10

【0060】

一方、図1(A)及び図1(B)に示した画素を有する本発明の一態様に係る発光装置では、トランジスタ11のソース及びドレインの他方と、トランジスタ11のゲートとが電氣的に分離しているため、それぞれの電位を個別に制御することができる。よって、第2の動作において、トランジスタ11のソース及びドレインの他方の電位を、トランジスタ11のゲートの電位に、閾値電圧 $V_{th}$ を加算した電位よりも高い値に設定することができる。そのため、トランジスタ11がノーマリオンである場合に、すなわち閾値電圧 $V_{th}$ がマイナスの値を有している場合に、トランジスタ11において、ソースの電位がゲートの電位 $V_0$ よりも高くなるまで、容量素子16に電荷を蓄積することができる。よって、本発明の一態様に係る発光装置では、トランジスタ11がノーマリオンであっても、上記第2の動作において閾値電圧を取得することができ、第3の動作において、閾値電圧 $V_{th}$ を加味した値になるよう、トランジスタ11のゲート電圧を設定することができる。

20

【0061】

したがって、本発明の一態様に係る発光装置では、例えばトランジスタ11の半導体膜に酸化物半導体を用いた場合などに、トランジスタ11がノーマリオンとなっても、表示ムラを低減でき、高い画質の表示を行うことができる。

【0062】

(実施の形態2)

図6に、図1(A)に示した画素の上面図を、一例として示す。なお、図6では、画素のレイアウトを明確に示すために、各種の絶縁膜を省略して、画素の上面図を示す。また、図6では、画素が有するトランジスタと容量素子のレイアウトを明確に示すために、陽極と、EL層と、陰極とを省略して、画素の上面図を示す。

30

【0063】

また、図7に、図6に示す上面図の、破線A1-A2及び破線A3-A4における断面図を示す。

【0064】

トランジスタ12は、絶縁表面を有する基板800上に、ゲートとして機能する導電膜801と、導電膜801上のゲート絶縁膜802と、導電膜801と重なる位置においてゲート絶縁膜802上に位置する半導体膜803と、ソースまたはドレインとして機能し、半導体膜803上に位置する導電膜804及び導電膜805とを有する。導電膜801は配線G1としても機能する。導電膜804は、配線SLとしても機能する。

40

【0065】

トランジスタ13は、絶縁表面を有する基板800上に、ゲートとして機能する導電膜801と、導電膜801上のゲート絶縁膜802と、導電膜801と重なる位置においてゲート絶縁膜802上に位置する半導体膜806と、ソースまたはドレインとして機能し、半導体膜806上に位置する導電膜807及び導電膜808とを有する。導電膜807は、コンタクトホールを介して、配線ILとして機能する導電膜809に接続されている。

【0066】

トランジスタ14は、絶縁表面を有する基板800上に、ゲートとして機能する導電膜810と、導電膜810上のゲート絶縁膜802と、導電膜810と重なる位置においてゲ

50

ート絶縁膜 802 上に位置する半導体膜 811 と、ソースまたはドレインとして機能し、半導体膜 811 上に位置する導電膜 805 及び導電膜 808 とを有する。導電膜 810 は、配線 G2 としても機能する。

【0067】

トランジスタ 11 は、絶縁表面を有する基板 800 上に、ゲートとして機能する導電膜 812 と、導電膜 812 上のゲート絶縁膜 802 と、導電膜 812 と重なる位置においてゲート絶縁膜 802 上に位置する半導体膜 813 と、ソースまたはドレインとして機能し、半導体膜 813 上に位置する導電膜 814 及び導電膜 815 とを有する。導電膜 812 は、導電膜 808 に接続されている。導電膜 814 は配線 VL としても機能する。

【0068】

トランジスタ 15 は、絶縁表面を有する基板 800 上に、ゲートとして機能する導電膜 816 と、導電膜 816 上のゲート絶縁膜 802 と、導電膜 816 と重なる位置においてゲート絶縁膜 802 上に位置する半導体膜 817 と、ソースまたはドレインとして機能し、半導体膜 817 上に位置する導電膜 815 及び導電膜 818 とを有する。導電膜 816 は配線 G3 としても機能する。

【0069】

容量素子 16 は、絶縁表面を有する基板 800 上に、導電膜 819 と、導電膜 819 上のゲート絶縁膜 802 と、導電膜 819 と重なる位置においてゲート絶縁膜 802 上に位置する導電膜 815 とを有する。導電膜 819 は、導電膜 805 と接続されている。

【0070】

また、導電膜 804、導電膜 805、導電膜 807、導電膜 808、導電膜 814、導電膜 815、導電膜 818 上には、絶縁膜 820 が形成されている。そして、絶縁膜 821 上には、陽極として機能する導電膜 822 が設けられている。導電膜 822 は、絶縁膜 820 及び絶縁膜 821 に形成されたコンタクトホール 823 を介して、導電膜 818 に接続されている。

【0071】

また、導電膜 822 の一部が露出するような開口部を有した絶縁膜 824 が、絶縁膜 821 上に設けられている。導電膜 822 の一部及び絶縁膜 824 上には、EL 層 825 と、陰極として機能する導電膜 826 とが、順に積層するように設けられている。導電膜 822 と、EL 層 825 と、導電膜 826 とが重なっている領域が、発光素子 17 に相当する。

【0072】

次いで、図 8 に、図 1 (A) に示した画素の上面図を、別の一例として示す。なお、図 8 では、画素のレイアウトを明確に示すために、各種の絶縁膜を省略して、画素の上面図を示す。また、図 8 では、画素が有するトランジスタと容量素子のレイアウトを明確に示すために、陽極と、EL 層と、陰極とを省略して、画素の上面図を示す。

【0073】

また、図 9 に、図 8 に示す上面図の、破線 A1 - A2 及び破線 A3 - A4 における断面図を示す。

【0074】

トランジスタ 12 は、絶縁表面を有する基板 900 上に、半導体膜 901 と、半導体膜 901 上のゲート絶縁膜 902 と、半導体膜 901 と重なる位置においてゲート絶縁膜 902 上に位置し、ゲートとして機能する導電膜 903 と、半導体膜 901 が有するソースまたはドレインに接続された導電膜 904 及び導電膜 905 とを有する。導電膜 903 は配線 G1 としても機能する。導電膜 904 は、配線 SL としても機能する。

【0075】

トランジスタ 13 は、絶縁表面を有する基板 900 上に、半導体膜 906 と、半導体膜 906 上のゲート絶縁膜 902 と、半導体膜 906 と重なる位置においてゲート絶縁膜 902 上に位置し、ゲートとして機能する導電膜 903 と、半導体膜 906 が有するソースまたはドレインに接続された導電膜 907 及び導電膜 908 とを有する。導電膜 907 は、

10

20

30

40

50

コンタクトホールを介して、配線 I L として機能する導電膜 9 0 9 に接続されている。

【 0 0 7 6 】

トランジスタ 1 4 は、絶縁表面を有する基板 9 0 0 上に、半導体膜 9 0 1 と、半導体膜 9 0 1 上のゲート絶縁膜 9 0 2 と、半導体膜 9 0 1 と重なる位置においてゲート絶縁膜 9 0 2 上に位置し、ゲートとして機能する導電膜 9 1 1 と、半導体膜 9 0 1 が有するソースまたはドレインに接続された導電膜 9 0 5 及び導電膜 9 0 8 とを有する。導電膜 9 1 1 は、配線 G 2 としても機能する。なお、図 8 では、トランジスタ 1 2 とトランジスタ 1 4 とが一の半導体膜 9 0 1 を共有しているが、トランジスタ 1 2 とトランジスタ 1 4 とが互いに独立した半導体膜を有していても良い。

【 0 0 7 7 】

トランジスタ 1 1 は、絶縁表面を有する基板 9 0 0 上に、半導体膜 9 1 2 と、半導体膜 9 1 2 上のゲート絶縁膜 9 0 2 と、半導体膜 9 1 2 と重なる位置においてゲート絶縁膜 9 0 2 上に位置し、ゲートとして機能する導電膜 9 1 3 と、半導体膜 9 1 2 が有するソースまたはドレインに接続された導電膜 9 1 4 とを有する。導電膜 9 1 3 は、導電膜 9 0 8 に接続されている。導電膜 9 1 4 は配線 V L としても機能する。

【 0 0 7 8 】

トランジスタ 1 5 は、絶縁表面を有する基板 9 0 0 上に、半導体膜 9 1 2 と、半導体膜 9 1 2 上のゲート絶縁膜 9 0 2 と、半導体膜 9 1 2 と重なる位置においてゲート絶縁膜 9 0 2 上に位置し、ゲートとして機能する導電膜 9 1 5 と、半導体膜 9 1 2 が有するソースまたはドレインに接続された導電膜 9 1 6 とを有する。導電膜 9 1 5 は配線 G 3 としても機能する。

【 0 0 7 9 】

容量素子 1 6 は、絶縁表面を有する基板 9 0 0 上に、半導体膜 9 1 2 と、半導体膜 9 1 2 上のゲート絶縁膜 9 0 2 と、半導体膜 9 1 2 と重なる位置においてゲート絶縁膜 9 0 2 上に位置する導電膜 9 1 7 とを有する。導電膜 9 1 7 は、導電膜 9 0 5 と接続されている。

【 0 0 8 0 】

そして、導電膜 9 0 4、導電膜 9 0 5、導電膜 9 0 7、導電膜 9 0 8、導電膜 9 1 4、導電膜 9 1 6 上には、絶縁膜 9 2 0 が形成されている。絶縁膜 9 2 0 上には、陽極として機能する導電膜 9 2 1 が設けられている。導電膜 9 2 1 は、絶縁膜 9 2 0 に形成されたコンタクトホール 9 2 2 を介して、導電膜 9 1 6 に接続されている。

【 0 0 8 1 】

また、導電膜 9 2 1 の一部が露出するような開口部を有した絶縁膜 9 2 3 が、絶縁膜 9 2 0 上に設けられている。導電膜 9 2 1 の一部及び絶縁膜 9 2 3 上には、E L 層 9 2 4 と、陰極として機能する導電膜 9 2 5 とが、順に積層するように設けられている。導電膜 9 2 1 と、E L 層 9 2 4 と、導電膜 9 2 5 とが重なっている領域が、発光素子 1 7 に相当する。

【 0 0 8 2 】

なお、本発明の一態様では、トランジスタ 1 1 乃至トランジスタ 1 5 は、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの半導体が半導体膜に用いられていても良いし、酸化物半導体などのワイドギャップ半導体が半導体膜に用いられていても良い。

【 0 0 8 3 】

トランジスタ 1 1 乃至トランジスタ 1 5 の半導体膜に、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの半導体が用いられる場合、一導電性を付与する不純物元素を上記半導体膜に添加して、ソースまたはドレインとして機能する不純物領域を形成する。例えば、リンまたはヒ素を上記半導体膜に添加することで、n 型の導電性を有する不純物領域を形成することができる。また、例えば、ボロンを上記半導体膜に添加することで、p 型の導電性を有する不純物領域を形成することができる。

【 0 0 8 4 】

トランジスタ 1 1 乃至トランジスタ 1 5 の半導体膜に、酸化物半導体が用いられる場合、

10

20

30

40

50

ドーパントを上記半導体膜に添加して、ソースまたはドレインとして機能する不純物領域を形成しても良い。ドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの15族元素などを用いることができる。例えば、窒素をドーパントとして用いた場合、不純物領域中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

#### 【0085】

なお、シリコン半導体としては、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウエハーに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

10

#### 【0086】

また、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

20

#### 【0087】

なお、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

30

#### 【0088】

また、酸化物半導体として、 $\text{InM} \text{O}_3 (\text{ZnO})_m$  ( $m > 0$ 、且つ、 $m$ は整数でない)で表記される材料を用いてもよい。なお、 $M$ は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2 \text{SnO}_5 (\text{ZnO})_n$  ( $n > 0$ 、且つ、 $n$ は整数)で表記される材料を用いてもよい。

#### 【0089】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ あるいは $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1 (= 2/5 : 2/5 : 1/5)$ の原子比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3 (= 1/3 : 1/6 : 1/2)$ あるいは $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5 (= 1/4 : 1/8 : 5/8)$ の原子比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

40

#### 【0090】

また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、ジルコニウム(Zr)、チタン(Ti)を有することが好ましい。他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あ

50

るいは複数種を有してもよい。

#### 【0091】

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（purified OS）は、i型（真性半導体）又はi型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。また、酸化物半導体のバンドギャップは、2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるができる。

10

#### 【0092】

具体的に、高純度化された酸化物半導体を半導体膜に用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が1 Vから10 Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流は、 $100 \text{ z A} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3 Vの場合に、数十 $\text{y A} / \mu\text{m}$ という、さらに低いオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

20

#### 【0093】

なお、特に断りがない限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレインをソースとゲートよりも高い電位とした状態において、ソースの電位を基準としたときのゲートの電位が0以下であるときに、ソースとドレインの間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、pチャネル型トランジスタにおいては、ドレインをソースとゲートよりも低い電位とした状態において、ソースの電位を基準としたときのゲートの電位が0以上であるときに、ソースとドレインの間に流れる電流のことを意味する。

30

#### 【0094】

なお、例えば、酸化物半導体膜は、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含むターゲットを用いたスパッタ法により形成することができる。In-Ga-Zn系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比がIn:Ga:Zn = 1:1:1、4:2:3、3:1:2、1:1:2、2:1:3、または3:1:4で示されるIn-Ga-Zn系酸化物のターゲットを用いる。前述の原子数比を有するIn-Ga-Zn系酸化物のターゲットを用いて酸化物半導体膜を成膜することで、多結晶またはCAACが形成されやすくなる。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

40

#### 【0095】

なお、酸化物半導体としてIn-Zn系酸化物の材料を用いる場合、用いるターゲット中の金属元素の原子数比は、In:Zn = 50:1 ~ 1:2（モル数比に換算すると $\text{In}_2\text{O}_3$ :ZnO = 25:1 ~ 1:4）、好ましくはIn:Zn = 20:1 ~ 1:1（モル数比に換算すると $\text{In}_2\text{O}_3$ :ZnO = 10:1 ~ 1:2）、さらに好ましくはIn:Zn = 15:1 ~ 1.5:1（モル数比に換算すると $\text{In}_2\text{O}_3$ :ZnO = 15:2 ~ 3:4

50



）とする。例えば、 $In-Zn$ 系酸化物である酸化物半導体膜の形成に用いるターゲットは、原子数比が $In:Zn:O = X:Y:Z$ のとき、 $Z > 1.5X + Y$ とする。 $Zn$ の比率を上記範囲に収めることで、移動度の向上を実現することができる。

#### 【0096】

そして、具体的に酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて形成すればよい。成膜時に、基板温度を $100$ 以上 $600$ 以下、好ましくは $200$ 以上 $400$ 以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブプリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて成膜室を排気すると、例えば、水素原子、水( $H_2O$ )など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

#### 【0097】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分または水素(水酸基を含む)が多量に含まれていることがある。水分または水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分または水素などの不純物を低減(脱水化または脱水素化)するために、酸化物半導体膜に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が $20\text{ ppm}$ (露点換算で $-55$ )以下、好ましくは $1\text{ ppm}$ 以下、好ましくは $10\text{ ppb}$ 以下の空気)雰囲気下で、加熱処理を施す。

#### 【0098】

酸化物半導体膜に加熱処理を施すことで、酸化物半導体膜中の水分または水素を脱離させることができる。具体的には、 $250$ 以上 $750$ 以下、好ましくは $400$ 以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、 $500$ 、3分間以上6分間以下程度で行えばよい。加熱処理にRTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

#### 【0099】

なお、上記加熱処理により、酸化物半導体膜から酸素が脱離し、酸化物半導体膜内に酸素欠損が形成される場合がある。よって、本発明の一態様では、酸化物半導体膜と接するゲート絶縁膜などの絶縁膜として、酸素を含む絶縁膜を用いる。そして、酸素を含む絶縁膜を形成した後、加熱処理を施すことで、上記絶縁膜から酸化物半導体膜に酸素が供与されるようにする。上記構成により、ドナーとなる酸素欠損を低減し、酸化物半導体膜に含まれる酸化物半導体の、化学量論的組成比を満たすことができる。酸化物半導体膜には、化学量論的組成比を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体膜を*i*型に近づけることができ、酸素欠損によるトランジスタの電気的特性のばらつきを軽減し、電気的特性の向上を実現することができる。

#### 【0100】

なお、酸素を酸化物半導体膜に供与するための加熱処理は、窒素、超乾燥空気、または希ガス(アルゴン、ヘリウムなど)の雰囲気下において、好ましくは $200$ 以上 $400$ 以下、例えば $250$ 以上 $350$ 以下で行う。上記ガスは、水の含有量が $20\text{ ppm}$ 以下、好ましくは $1\text{ ppm}$ 以下、より好ましくは $10\text{ ppb}$ 以下であることが望ましい。

#### 【0101】

また、酸化物半導体は、アモルファス(非晶質)であってもよいし、結晶性を有していてもよい。後者の場合、単結晶でもよいし、多結晶でもよいし、一部分が結晶性を有する構

10

20

30

40

50

成でもよいし、アモルファス中に結晶性を有する部分を含む構造でもよいし、非アモルファスでもよい。一部分が結晶性を有する構成の一例として、*c* 軸配向し、かつ *a b* 面、表面または界面に垂直な方向から見て三角形または六角形の原子配列を有し、*c* 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列しており、*a b* 面においては *a* 軸または *b* 軸の向きが異なる (*c* 軸を中心に回転した) 結晶を含む酸化物半導体 (C A A C - O S : C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r ともし、) を用いてもよい。

#### 【0102】

C A A C - O S とは、広義に、非単結晶であって、その *a b* 面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつ *c* 軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

10

#### 【0103】

C A A C - O S は単結晶ではないが、非晶質のみから形成されているものでもない。また、C A A C は結晶化した部分 (結晶部分) を含むが、1 つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

#### 【0104】

C A A C - O S を構成する酸素の一部は窒素で置換されてもよい。また、C A A C - O S を構成する個々の結晶部分の *c* 軸は一定の方向 (例えば、C A A C - O S が形成される基板面、C A A C - O S の表面などに垂直な方向) に揃っていてもよい。または、C A A C - O S を構成する個々の結晶部分の *a b* 面の法線は一定の方向 (例えば、C A A C - O S が形成される基板面、C A A C - O S の表面などに垂直な方向) を向いていてもよい。

20

#### 【0105】

C A A C - O S は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透光性を有していたり、有していなかったりする。

#### 【0106】

このような C A A C - O S の例として、膜状に形成され、膜表面または膜が形成される基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子及び酸素原子 (または窒素原子) の層状配列が認められる酸化物を挙げることができる。

30

#### 【0107】

C A A C - O S に含まれる結晶構造の一例について図 1 4 乃至図 1 6 を用いて詳細に説明する。なお、特に断りがない限り、図 1 4 乃至図 1 6 は上方向を *c* 軸方向とし、*c* 軸方向と直交する面を *a b* 面とする。なお、単に上半分、下半分という場合、*a b* 面を境にした場合の上半分、下半分をいう。また、図 1 4 において丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

#### 【0108】

図 1 4 ( A ) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子 (以下 4 配位の O) と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 1 4 ( A ) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 1 4 ( A ) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 1 4 ( A ) に示す小グループは電荷が 0 である。

40

#### 【0109】

図 1 4 ( B ) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子 (以下 3 配位の O) と、G a に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも *a b* 面に存在する。図 1 4 ( B ) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 1 4 ( B ) に示す構造をとりうる。図 1 4 ( B ) に示す小グループは電荷が 0 である。

#### 【0110】

50

図 1 4 ( C ) に、1 個の 4 配位の  $Zn$  と、 $Zn$  に近接の 4 個の 4 配位の  $O$  と、を有する構造を示す。図 1 4 ( C ) の上半分には 1 個の 4 配位の  $O$  があり、下半分には 3 個の 4 配位の  $O$  がある。または、図 1 4 ( C ) の上半分に 3 個の 4 配位の  $O$  があり、下半分に 1 個の 4 配位の  $O$  があってもよい。図 1 4 ( C ) に示す小グループは電荷が 0 である。

【 0 1 1 1 】

図 1 4 ( D ) に、1 個の 6 配位の  $Sn$  と、 $Sn$  に近接の 6 個の 4 配位の  $O$  と、を有する構造を示す。図 1 4 ( D ) の上半分には 3 個の 4 配位の  $O$  があり、下半分には 3 個の 4 配位の  $O$  がある。図 1 4 ( D ) に示す小グループは電荷が + 1 となる。

【 0 1 1 2 】

図 1 4 ( E ) に、2 個の  $Zn$  を含む小グループを示す。図 1 4 ( E ) の上半分には 1 個の 4 配位の  $O$  があり、下半分には 1 個の 4 配位の  $O$  がある。図 1 4 ( E ) に示す小グループは電荷が - 1 となる。

【 0 1 1 3 】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ ( ユニットセルともいう。 ) と呼ぶ。

【 0 1 1 4 】

ここで、これらの小グループ同士が結合する規則について説明する。図 1 4 ( A ) に示す 6 配位の  $In$  の上半分の 3 個の  $O$  は、下方向にそれぞれ 3 個の近接  $In$  を有し、下半分の 3 個の  $O$  は、上方向にそれぞれ 3 個の近接  $In$  を有する。図 1 4 ( B ) に示す 5 配位の  $Ga$  の上半分の 1 個の  $O$  は下方向に 1 個の近接  $Ga$  を有し、下半分の 1 個の  $O$  は上方向に 1 個の近接  $Ga$  を有する。図 1 4 ( C ) に示す 4 配位の  $Zn$  の上半分の 1 個の  $O$  は、下方向に 1 個の近接  $Zn$  を有し、下半分の 3 個の  $O$  は、上方向にそれぞれ 3 個の近接  $Zn$  を有する。この様に、金属原子の上方向の 4 配位の  $O$  の数と、その  $O$  の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の  $O$  の数と、その  $O$  の上方向にある近接金属原子の数は等しい。 $O$  は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。従って、金属原子の上方向にある 4 配位の  $O$  の数と、別の金属原子の下方向にある 4 配位の  $O$  の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6 配位の金属原子 (  $In$  または  $Sn$  ) が下半分の 4 配位の  $O$  を介して結合する場合、4 配位の  $O$  が 3 個であるため、5 配位の金属原子 (  $Ga$  または  $In$  )、4 配位の金属原子 (  $Zn$  ) のいずれかと結合することになる。

【 0 1 1 5 】

これらの配位数を有する金属原子は、 $c$  軸方向において、4 配位の  $O$  を介して結合する。また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

【 0 1 1 6 】

図 1 5 ( A ) に、 $In - Sn - Zn$  系酸化物の層構造を構成する中グループのモデル図を示す。図 1 5 ( B ) に、3 つの中グループで構成される大グループを示す。なお、図 1 5 ( C ) は、図 1 5 ( B ) の層構造を  $c$  軸方向から観察した場合の原子配列を示す。

【 0 1 1 7 】

図 1 5 ( A ) においては、簡単のため、3 配位の  $O$  は省略し、4 配位の  $O$  は個数のみ示し、例えば、 $Sn$  の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の  $O$  があることを丸枠の 3 として示している。同様に、図 1 5 ( A ) において、 $In$  の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の  $O$  があり、丸枠の 1 として示している。また、同様に、図 1 5 ( A ) において、下半分には 1 個の 4 配位の  $O$  があり、上半分には 3 個の 4 配位の  $O$  がある  $Zn$  と、上半分には 1 個の 4 配位の  $O$  があり、下半分には 3 個の 4 配位の  $O$  がある  $Zn$  とを示している。

【 0 1 1 8 】

図 1 5 ( A ) において、 $In - Sn - Zn$  系酸化物の層構造を構成する中グループは、上から順に 4 配位の  $O$  が 3 個ずつ上半分および下半分にある  $Sn$  が、4 配位の  $O$  が 1 個ずつ

10

20

30

40

50

上半分および下半分にある  $I_n$  と結合し、その  $I_n$  が、上半分に 3 個の 4 配位の  $O$  がある  $Z_n$  と結合し、その  $Z_n$  の下半分の 1 個の 4 配位の  $O$  を介して 4 配位の  $O$  が 3 個ずつ上半分および下半分にある  $I_n$  と結合し、その  $I_n$  が、上半分に 1 個の 4 配位の  $O$  がある  $Z_n$  2 個からなる小グループと結合し、この小グループの下半分の 1 個の 4 配位の  $O$  を介して 4 配位の  $O$  が 3 個ずつ上半分および下半分にある  $S_n$  と結合している構成である。この中グループが複数結合して大グループを構成する。

#### 【0119】

ここで、3 配位の  $O$  および 4 配位の  $O$  の場合、結合 1 本当たりの電荷はそれぞれ  $-0.667$ 、 $-0.5$  と考えることができる。例えば、 $I_n$  (6 配位または 5 配位)、 $Z_n$  (4 配位)、 $S_n$  (5 配位または 6 配位) の電荷は、それぞれ  $+3$ 、 $+2$ 、 $+4$  である。従って、 $S_n$  を含む小グループは電荷が  $+1$  となる。そのため、 $S_n$  を含む層構造を形成するためには、電荷  $+1$  を打ち消す電荷  $-1$  が必要となる。電荷  $-1$  をとる構造として、図 14 (E) に示すように、2 個の  $Z_n$  を含む小グループが挙げられる。例えば、 $S_n$  を含む小グループが 1 個に対し、2 個の  $Z_n$  を含む小グループが 1 個あれば、電荷が打ち消されるため、層構造の合計の電荷を 0 とすることができる。

10

#### 【0120】

具体的には、図 15 (B) に示した大グループが繰り返されることで、 $I_n - S_n - Z_n$  系酸化物の結晶 ( $I_n_2 S_n Z_n_3 O_8$ ) を得ることができる。なお、得られる  $I_n - S_n - Z_n$  系酸化物の層構造は、 $I_n_2 S_n Z_n_2 O_7 (Z_n O)_m$  ( $m$  は 0 または自然数。) とする組成式で表すことができる。

20

#### 【0121】

また、このほかにも、四元系金属の酸化物である  $I_n - S_n - Ga - Z_n$  系酸化物や、三元系金属の酸化物である  $I_n - Ga - Z_n$  系酸化物 ( $IGZO$  と表記する。)、 $I_n - Al - Z_n$  系酸化物、 $S_n - Ga - Z_n$  系酸化物、 $Al - Ga - Z_n$  系酸化物、 $S_n - Al - Z_n$  系酸化物や、 $I_n - Hf - Z_n$  系酸化物、 $I_n - La - Z_n$  系酸化物、 $I_n - Ce - Z_n$  系酸化物、 $I_n - Pr - Z_n$  系酸化物、 $I_n - Nd - Z_n$  系酸化物、 $I_n - Sm - Z_n$  系酸化物、 $I_n - Eu - Z_n$  系酸化物、 $I_n - Gd - Z_n$  系酸化物、 $I_n - Tb - Z_n$  系酸化物、 $I_n - Dy - Z_n$  系酸化物、 $I_n - Ho - Z_n$  系酸化物、 $I_n - Er - Z_n$  系酸化物、 $I_n - Tm - Z_n$  系酸化物、 $I_n - Yb - Z_n$  系酸化物、 $I_n - Lu - Z_n$  系酸化物や、二元系金属の酸化物である  $I_n - Z_n$  系酸化物、 $S_n - Z_n$  系酸化物、 $Al - Z_n$  系酸化物、 $Zn - Mg$  系酸化物、 $S_n - Mg$  系酸化物、 $I_n - Mg$  系酸化物や、 $I_n - Ga$  系酸化物の材料などを用いた場合も同様である。

30

#### 【0122】

例えば、図 16 (A) に、 $I_n - Ga - Z_n$  系酸化物の層構造を構成する中グループのモデル図を示す。

#### 【0123】

図 16 (A) において、 $I_n - Ga - Z_n$  系酸化物の層構造を構成する中グループは、上から順に 4 配位の  $O$  が 3 個ずつ上半分および下半分にある  $I_n$  が、4 配位の  $O$  が 1 個上半分にある  $Z_n$  と結合し、その  $Z_n$  の下半分の 3 個の 4 配位の  $O$  を介して、4 配位の  $O$  が 1 個ずつ上半分および下半分にある  $Ga$  と結合し、その  $Ga$  の下半分の 1 個の 4 配位の  $O$  を介して、4 配位の  $O$  が 3 個ずつ上半分および下半分にある  $I_n$  と結合している構成である。この中グループが複数結合して大グループを構成する。

40

#### 【0124】

図 16 (B) に 3 つの中グループで構成される大グループを示す。なお、図 16 (C) は、図 16 (B) の層構造を  $c$  軸方向から観察した場合の原子配列を示している。

#### 【0125】

ここで、 $I_n$  (6 配位または 5 配位)、 $Z_n$  (4 配位)、 $Ga$  (5 配位) の電荷は、それぞれ  $+3$ 、 $+2$ 、 $+3$  であるため、 $I_n$ 、 $Z_n$  および  $Ga$  のいずれかを含む小グループは、電荷が 0 となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に 0 となる。

50

## 【0126】

また、In - Ga - Zn系酸化物の層構造を構成する中グループは、図16(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

## 【0127】

具体的には、図16(B)に示した大グループが繰り返されることで、In - Ga - Zn系酸化物の結晶を得ることができる。なお、得られるIn - Ga - Zn系酸化物の層構造は、 $\text{InGaO}_3(\text{ZnO})_n$  (nは自然数。)とする組成式で表すことができる。

## 【0128】

本実施の形態は、他の実施の形態と組み合わせて実施することが可能である。

10

## 【0129】

(実施の形態3)

本発明の一態様に係る発光装置では、白色などの単色の光を発する発光素子と、カラーフィルタを組み合わせることで、フルカラー画像の表示を行う、カラーフィルタ方式を採用することができる。或いは、互いに異なる色相の光を発する複数の発光素子を用いて、フルカラー画像の表示を行う方式を採用することもできる。この方式は、発光素子が有する一対の電極間に設けられるEL層を、対応する色ごとに塗り分けるため、塗り分け方式と呼ばれる。

## 【0130】

塗り分け方式の場合、EL層の塗り分けは、通常、メタルマスクなどのマスクを用いて、蒸着法で行われる。そのため、画素のサイズは蒸着法によるEL層の塗り分け精度に依存する。一方、カラーフィルタ方式の場合、塗り分け方式とは異なり、EL層の塗り分けを行う必要がない。よって、塗り分け方式の場合よりも、画素サイズの縮小化が容易であり、高精細の画素部を実現することができる。

20

## 【0131】

また、発光装置には、トランジスタが形成された基板、所謂素子基板側から発光素子の光を取り出すボトムエミッション構造と、素子基板とは反対の側から発光素子の光を取り出すトップエミッション構造とがある。トップエミッション構造の場合、発光素子から発せられる光を、配線、トランジスタ、保持容量などの各種素子によって遮られることがないため、ボトムエミッション構造に比べて、画素からの光の取り出し効率を高めることができる。よって、トップエミッション構造は、発光素子に供給する電流値を低く抑えても、高い輝度を得ることができるため、発光素子の長寿命化に有利である。

30

## 【0132】

また、本発明の一態様に係る発光装置では、EL層から発せられる光を発光素子内で共振させる、マイクロキャピティ(微小光共振器)構造を有していても良い。マイクロキャピティ構造により、特定の波長の光について、発光素子からの取り出し効率を高めることができるので、画素部の輝度と色純度を向上させることができる。

## 【0133】

図10に、画素の断面図を、一例として示す。なお、図10では、赤に対応する画素の断面の一部、青に対応する画素の断面の一部と、緑に対応する画素の断面の一部とを示している。

40

## 【0134】

具体的に、図10では、赤に対応した画素140rと、緑に対応した画素140gと、青に対応した画素140bとが示されている。画素140r、画素140g、画素140bは、それぞれ陽極715r、陽極715g、陽極715bを有する。上記陽極715r、陽極715g、陽極715bは、画素140r、画素140g、画素140bのそれぞれにおいて、基板740に形成された絶縁膜750の上に設けられている。

## 【0135】

そして、陽極715r、陽極715g、及び陽極715b上には絶縁膜を有する隔壁730が設けられている。隔壁730は開口部を有し、上記開口部において、陽極715r、

50

陽極 7 1 5 g、及び陽極 7 1 5 b が、それぞれ一部露出している。また、上記露出している領域を覆うように、隔壁 7 3 0 上に、E L 層 7 3 1 と、可視光に対して透光性を有する陰極 7 3 2 とが、順に積層されている。

【 0 1 3 6 】

陽極 7 1 5 r と、E L 層 7 3 1 と、陰極 7 3 2 とが重なる部分が、赤に対応した発光素子 7 4 1 r に相当する。陽極 7 1 5 g と、E L 層 7 3 1 と、陰極 7 3 2 とが重なる部分が、緑に対応した発光素子 7 4 1 g に相当する。陽極 7 1 5 b と、E L 層 7 3 1 と、陰極 7 3 2 とが重なる部分が、青に対応した発光素子 7 4 1 b に相当する。

【 0 1 3 7 】

また、基板 7 4 2 は、発光素子 7 4 1 r、発光素子 7 4 1 g、及び発光素子 7 4 1 b を間に挟むように、基板 7 4 0 と対峙している。基板 7 4 2 上には、画素 1 4 0 r に対応した着色層 7 4 3 r、画素 1 4 0 g に対応した着色層 7 4 3 g、画素 1 4 0 b に対応した着色層 7 4 3 b が設けられている。着色層 7 4 3 r は、赤に対応した波長領域の光の透過率が、他の波長領域の光の透過率より高い層であり、着色層 7 4 3 g は、緑に対応した波長領域の光の透過率が、他の波長領域の光の透過率より高い層であり、着色層 7 4 3 b は、青に対応した波長領域の光の透過率が、他の波長領域の光の透過率より高い層である。

【 0 1 3 8 】

さらに、基板 7 4 2 上には、着色層 7 4 3 r、着色層 7 4 3 g、着色層 7 4 3 b を覆うように、オーバーコート 7 4 4 が設けられている。オーバーコート 7 4 4 は、着色層 7 4 3 r、着色層 7 4 3 g、着色層 7 4 3 b を保護するための、可視光に対して透光性を有する層であり、平坦性の高い樹脂材料を用いるのが好ましい。着色層 7 4 3 r、着色層 7 4 3 g、及び着色層 7 4 3 b と、オーバーコート 7 4 4 とを合わせてカラーフィルタと見なしても良いし、着色層 7 4 3 r、着色層 7 4 3 g、及び着色層 7 4 3 b のそれぞれをカラーフィルタと見なしても良い。

【 0 1 3 9 】

そして、図 1 0 では、陽極 7 1 5 r に、可視光の反射率が高い導電膜 7 4 5 r と、可視光の透過率が上記導電膜 7 4 5 r よりも高い導電膜 7 4 6 r とを、順に積層して用いる。また、陽極 7 1 5 g に、可視光の反射率が高い導電膜 7 4 5 g と、可視光の透過率が上記導電膜 7 4 5 g よりも高い導電膜 7 4 6 g とを、順に積層して用いる。導電膜 7 4 6 g の膜厚は、導電膜 7 4 6 r の膜厚よりも小さいものとする。また、陽極 7 1 5 b に、可視光の反射率が高い導電膜 7 4 5 b を用いる。

【 0 1 4 0 】

よって、図 1 0 に示す発光装置では、発光素子 7 4 1 r において、E L 層 7 3 1 から発せられた光の光路長は、導電膜 7 4 5 r と陰極 7 3 2 の距離により調節することができる。また、発光素子 7 4 1 g において、E L 層 7 3 1 から発せられた光の光路長は、導電膜 7 4 5 g と陰極 7 3 2 の距離により調節することができる。また、発光素子 7 4 1 b において、E L 層 7 3 1 から発せられた光の光路長は、導電膜 7 4 5 b と陰極 7 3 2 の距離により調節することができる。

【 0 1 4 1 】

本発明の一態様では、発光素子 7 4 1 r と、発光素子 7 4 1 g と、発光素子 7 4 1 b にそれぞれ対応する光の波長に合わせて、上記光路長を調整することで、E L 層 7 3 1 から発せられた光を上記各発光素子内において共振させる、マイクロキャビティ構造としても良い。

【 0 1 4 2 】

上記マイクロキャビティ構造を、本発明の一態様に係る発光装置に採用することで、発光素子 7 4 1 r から発せられる光において、赤に対応した波長を有する光の強度が、共振により高まる。よって、着色層 7 4 3 r を通して得られる赤の光の色純度及び輝度が高まる。また、発光素子 7 4 1 g から発せられる光において、緑に対応した波長を有する光の強度が、共振により高まる。よって、着色層 7 4 3 g を通して得られる緑の光の色純度及び輝度が高まる。また、発光素子 7 4 1 b から発せられる光において、青に対応した波長を

有する光の強度が、共振により高まる。よって、着色層 7 4 3 b を通して得られる青の光の色純度及び輝度が高まる。

【 0 1 4 3 】

なお、図 1 0 では、赤、緑、青の 3 色に対応する画素を用いる構成について示したが、本発明の一態様では、当該構成に限定されない。本発明の一態様で用いる色の組み合わせは、例えば、赤、緑、青、黄の 4 色、または、シアン、マゼンタ、イエローの 3 色を用いても良い。或いは、上記色の組み合わせは、淡色の赤、緑、及び青、並びに濃色の赤、緑、及び青の 6 色を用いても良い。或いは、上記色の組み合わせは、赤、緑、青、シアン、マゼンタ、イエローの 6 色を用いても良い。

【 0 1 4 4 】

なお、例えば、赤、緑、及び青の画素を用いて表現できる色は、色度図上のそれぞれの発光色に対応する 3 点が描く三角形の内側に示される色に限られる。従って、赤、緑、青、黄の画素を用いた場合のように、色度図上の該三角形の外側に発光色が存在する発光素子を別途加えることで、当該発光装置において表現できる色域を拡大し、色再現性を豊かにすることができる。

【 0 1 4 5 】

また、図 1 0 では、発光素子 7 4 1 r、発光素子 7 4 1 g、発光素子 7 4 1 b のうち、光の波長 が最も短い発光素子 7 4 1 b において、可視光の反射率が高い導電膜 7 4 5 b を陽極として用い、他の発光素子 7 4 1 r、発光素子 7 4 1 g においては、膜厚が互いに異なる導電膜 7 4 6 r 及び導電膜 7 4 6 g を用いることにより、光路長を調整している。本発明の一態様では、波長 が最も短い発光素子 7 4 1 b においても、可視光の反射率が高い導電膜 7 4 5 b 上に、導電膜 7 4 6 r 及び導電膜 7 4 6 g のような、可視光の透過率の高い導電膜を設けていても良い。ただし、図 1 0 に示すように、波長 が最も短い発光素子 7 4 1 b において、可視光の反射率が高い導電膜 7 4 5 b で陽極を構成する場合、全ての発光素子において、陽極に可視光の透過率が高い導電膜を用いる場合よりも、陽極の作製工程が簡素化されるため、好ましい。

【 0 1 4 6 】

なお、可視光の反射率が高い導電膜 7 4 5 b は、可視光の透過率が高い導電膜 7 4 6 r 及び導電膜 7 4 6 g に比べて、仕事関数が小さい場合が多い。よって、光の波長 が最も短い発光素子 7 4 1 b では、発光素子 7 4 1 r、発光素子 7 4 1 g に比べて、陽極 7 1 5 b から E L 層 7 3 1 への正孔注入が行われにくいため、発光効率が低い傾向にある。そこで、本発明の一態様では、光の波長 が最も短い発光素子 7 4 1 b において、E L 層 7 3 1 のうち、可視光の反射率が高い導電膜 7 4 5 b と接する層において、正孔輸送性の高い物質に、当該正孔輸送性の高い物質に対してアクセプター性（電子受容性）を示す物質を含有させた複合材料を用いることが好ましい。上記複合材料を、陽極 7 1 5 b に接して形成することにより、陽極 7 1 5 b から E L 層 7 3 1 への正孔注入が行われやすくなり、発光素子 7 4 1 b の発光効率を高めることができる。

【 0 1 4 7 】

アクセプター性を示す物質としては、7, 7, 8, 8 - テトラシアノ - 2, 3, 5, 6 - テトラフルオロキノジメタン（略称：F<sub>4</sub> - TCNQ）、クロラニル等を挙げることができる。また、遷移金属酸化物を挙げることができる。また、元素周期表における第 4 族乃至第 8 族に属する金属の酸化物を挙げることができる。具体的には、酸化バナジウム、酸化ニオブ、酸化タンタル、酸化クロム、酸化モリブデン、酸化タングステン、酸化マンガ、酸化レニウムはアクセプター性が高いため好ましい。中でも特に、酸化モリブデンは大気中でも安定であり、吸湿性が低く、扱いやすいため好ましい。

【 0 1 4 8 】

複合材料に用いる正孔輸送性の高い物質としては、芳香族アミン化合物、カルバゾール誘導体、芳香族炭化水素、高分子化合物（オリゴマー、 dendrimer、ポリマー等）など、種々の化合物を用いることができる。なお、複合材料に用いる有機化合物としては、正孔輸送性の高い有機化合物であることが好ましい。具体的には、 $10^{-6} \text{ cm}^2 / \text{Vs}$  以上

10

20

30

40

50

の正孔移動度を有する物質であることが好ましい。但し、電子よりも正孔の輸送性の高い物質であれば、これら以外のものを用いてもよい。

【0149】

また、可視光の反射率が高い導電膜745r、導電膜745g、導電膜745bとしては、例えば、アルミニウム、銀、または、これらの金属材料を含む合金等を、単層で、或いは積層することで、形成することができる。また、導電膜745r、導電膜745g、導電膜745bを、可視光の反射率の高い導電膜と、膜厚の薄い導電膜（好ましくは20nm以下、更に好ましくは10nm以下）とを積層させて、形成してもよい。例えば、可視光の反射率の高い導電膜上に、薄いチタン膜やモリブデン膜を積層して、導電膜745bを形成することにより、可視光の反射率の高い導電膜（アルミニウム、アルミニウムを含む合金、または銀など）の表面に酸化膜が形成されるのを防ぐことができる。

10

【0150】

また、可視光の透過率が高い導電膜746r及び導電膜746gには、例えば、酸化インジウム、酸化スズ、酸化亜鉛、インジウム錫酸化物、インジウム亜鉛酸化物などを用いることができる。

【0151】

また、陰極732は、例えば、光を透過する程度の薄い導電膜（好ましくは20nm以下、更に好ましくは10nm以下）と、導電性の金属酸化物で構成された導電膜とを積層することで、形成することができる。光を透過する程度の薄い導電膜は、銀、マグネシウム、またはこれらの金属材料を含む合金等を、単層で、或いは積層して形成することができる。導電性の金属酸化物としては、酸化インジウム、酸化スズ、酸化亜鉛、インジウム錫酸化物、インジウム亜鉛酸化物、またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

20

【0152】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0153】

（実施の形態4）

本実施の形態では、ボトムエミッション構造、トップエミッション構造、デュアルエミッション構造について説明する。デュアルエミッション構造とは、発光素子の光を、素子基板側からと、素子基板とは反対の側からと、取り出す構造を意味する。

30

【0154】

図11(A)に、発光素子6033から発せられる光を陽極6034側から取り出す場合の、画素の断面図を示す。トランジスタ6031は絶縁膜6037で覆われており、絶縁膜6037上には開口部を有する隔壁6038が形成されている。隔壁6038の開口部において陽極6034が一部露出しており、該開口部において陽極6034、EL層6035、陰極6036が順に積層されている。

【0155】

陽極6034は、光を透過しやすい材料または膜厚で形成し、陰極6036は、光を透過しにくい材料または膜厚で形成する。上記構成により、陽極6034側から白抜きの矢印で示すように光を取り出す、ボトムエミッション構造を得ることができる。

40

【0156】

図11(B)に、発光素子6043から発せられる光を陰極6046側から取り出す場合の、画素の断面図を示す。トランジスタ6041は絶縁膜6047で覆われており、絶縁膜6047上には開口部を有する隔壁6048が形成されている。隔壁6048の開口部において陽極6044が一部露出しており、該開口部において陽極6044、EL層6045、陰極6046が順に積層されている。

【0157】

陽極6044は、光を透過しにくい材料または膜厚で形成し、陰極6046は、光を透過しやすい材料または膜厚で形成する。上記構成により、陰極6046側から白抜きの矢印で示すように光を取り出す、トップエミッション構造を得ることができる。

50



## 【0158】

図11(C)に、光素子6053から発せられる光を陽極6054側及び陰極6056側から取り出す場合の、画素の断面図を示す。トランジスタ6051は絶縁膜6057で覆われており、絶縁膜6057上には開口部を有する隔壁6058が形成されている。隔壁6058の開口部において陽極6054が一部露出しており、該開口部において陽極6054、EL層6055、陰極6056が順に積層されている。

## 【0159】

陽極6054及び陰極6056は、光を透過しやすい材料または膜厚で形成する。上記構成により、陽極6054及び陰極6056側から白抜き矢印で示すように光を取り出す、デュアルエミッション構造を得ることができる。

10

## 【0160】

なお、陽極または陰極となる電極には、金属、合金、電気伝導性化合物、およびこれらの混合物などを用いることができる。具体的には、酸化インジウム - 酸化スズ (ITO: Indium Tin Oxide)、珪素若しくは酸化珪素を含有した酸化インジウム - 酸化スズ、酸化インジウム - 酸化亜鉛 (Indium Zinc Oxide)、酸化タングステン及び酸化亜鉛を含有した酸化インジウム、金 (Au)、白金 (Pt)、ニッケル (Ni)、タングステン (W)、クロム (Cr)、モリブデン (Mo)、鉄 (Fe)、コバルト (Co)、銅 (Cu)、パラジウム (Pd)、チタン (Ti) の他、元素周期表の第1族または第2族に属する元素、すなわちリチウム (Li) やセシウム (Cs) 等のアルカリ金属、およびカルシウム (Ca)、ストロンチウム (Sr) 等のアルカリ土類金属、マグネシウム (Mg)、およびこれらを含む合金 (MgAg、AlLi)、ユウロピウム (Eu)、イッテルビウム (Yb) 等の希土類金属およびこれらを含む合金、その他、グラフェンなどを用いることができる。そして、上記材料を適宜選択し、その膜厚を最適な値に設定することで、ボトムエミッション構造、トップエミッション構造、またはデュアルエミッション構造を作り分けることが可能となる。

20

## 【0161】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

## 【0162】

(実施の形態5)

図12は、本発明の一態様に係る発光装置の斜視図の一例である。

30

## 【0163】

図12に示す発光装置は、パネル1601と、回路基板1602と、接続部1603とを有している。パネル1601は、画素が複数設けられた画素部1604と、複数の画素を行ごとに選択する走査線駆動回路1605と、選択された行内の画素への画像信号の入力を制御する信号線駆動回路1606とを有する。具体的に、走査線駆動回路1605では、配線G1乃至配線G3に入力する信号を生成する。

## 【0164】

回路基板1602から、接続部1603を介して、各種信号と、電源の電位とが、パネル1601に入力される。接続部1603には、FPC (Flexible Printed Circuit) などを用いることができる。また、接続部1603にCOFテープを用いる場合、回路基板1602内の一部の回路、或いはパネル1601が有する走査線駆動回路1605や信号線駆動回路1606の一部などを別途用意したチップに形成しておき、COF (Chip On Film) 法を用いて当該チップをCOFテープに接続しておいても良い。

40

## 【0165】

本実施の形態は、他の実施の形態と組み合わせて実施することが可能である。

## 【0166】

(実施の形態6)

本発明の一態様に係る発光装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置 (代表的にはDVD: Digital Versatile Disc 等

50

の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る発光装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図13に示す。

【0167】

図13(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。本発明の一態様に係る発光装置は、表示部5003、表示部5004に用いることができる。表示部5003または表示部5004に本発明の一態様に係る発光装置を用いることで、高画質の携帯型ゲーム機を提供することができる。なお、図13(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

10

【0168】

図13(B)は表示機器であり、筐体5201、表示部5202、支持台5203等を有する。本発明の一態様に係る発光装置は、表示部5202に用いることができる。表示部5202に本発明の一態様に係る発光装置を用いることで、高画質の表示機器を提供することができる。なお、表示機器には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示機器が含まれる。

20

【0169】

図13(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。本発明の一態様に係る発光装置は、表示部5402に用いることができる。表示部5402に本発明の一態様に係る発光装置を用いることで、高画質のノート型パーソナルコンピュータを提供することができる。

【0170】

図13(D)は携帯情報端末であり、筐体5601、表示部5602、操作キー5603等を有する。図13(D)に示す携帯情報端末は、モデムが筐体5601に内蔵されていても良い。本発明の一態様に係る発光装置は、表示部5602に用いることができる。表示部5602に本発明の一態様に係る発光装置を用いることで、高画質の携帯情報端末を提供することができる。

30

【0171】

図13(E)は携帯電話であり、筐体5801、表示部5802、音声入力部5803、音声出力部5804、操作キー5805、受光部5806等を有する。受光部5806において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本発明の一態様に係る発光装置は、表示部5802に用いることができる。表示部5802に本発明の一態様に係る発光装置を用いることで、高画質の携帯電話を提供することができる。

40

【0172】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0173】

(実施の形態7)

本実施の形態では、実施の形態1において説明した図1(A)に示す画素100の動作の、期間3における、トランジスタ11のゲート電圧 $V_{gs}$ の値を、シミュレーションにより求めた。

【0174】

シミュレーションは、配線ILにおける電位 $V_0$ の値が互いに異なる、条件Aまたは条件Bを用いて行った。具体的に、条件Aと条件Bにおける各配線の電位の値を、下記の表1

50

に示す。電位  $GVDD$  は、配線  $G1$ 、配線  $G2$ 、及び配線  $G3$  にそれぞれ与えられるハイレベルの電位に相当する。また、電位  $GVSS$  は、配線  $G1$ 、配線  $G2$ 、及び配線  $G3$  にそれぞれ与えられるローレベルの電位に相当する。なお、表 1 では、電位  $V_{cat}$  を  $0V$  とし、電位  $V_{data}$ 、電位  $V_{ano}$ 、電位  $V_0$ 、電位  $GVDD$ 、電位  $GVSS$  の値を、電位  $V_{cat}$  との電位差で示している。

【0175】

【表 1】

	条件A	条件B
$V_{th}$	$-3V \sim 3V$	$-3V \sim 3V$
$V_{data}$	$10V \sim 15V$	$14V \sim 19V$
$V_0$	$10V$	$14V$
$V_{ano}$	$14V$	$14V$
$V_{cat}$	$0V$	$0V$
$GVDD/GVSS$	$20V/0V$	$25V/0V$

10

【0176】

また、シミュレーションにおける各トランジスタのチャネル長  $L$  とチャネル幅  $W$  の比は、トランジスタ 11 では  $L/W = 9\mu m / 3\mu m$ 、トランジスタ 12 乃至トランジスタ 15 では  $L/W = 3\mu m / 3\mu m$  とした。そして、図 1 (A) に示した画素 100 が有する全てのトランジスタにおいて、ソースまたはドレインとして機能する導電膜と半導体膜とが接している領域を領域 A とすると、上記領域 A と、ゲート電極が形成されている領域とが重なる領域における、チャネル長方向の長さ ( $L_{ov}$ ) を、 $1.5\mu m$  とした。

20

【0177】

期間 3 では、トランジスタ 11 のゲート電圧  $V_{gs}$  は、図 3 (C) にて示したように、電圧  $V_{data} - V_0 + V_{th}$  となる。よって、図 1 (A) に示した画素 100 において、 $V_{gs} - V_{th} = V_{data} - V_0$  となるため、 $V_{gs} - V_{th}$  は、理想的には、閾値電圧  $V_{th}$  の値に関わらず一定の値を有する。

【0178】

図 17 に、条件 A を用いた場合における、シミュレーションにより得られた  $V_{gs} - V_{th}$  の値を示す。図 17 では、横軸が閾値電圧  $V_{th} (V)$ 、縦軸が  $V_{gs} - V_{th} (V)$  の値を示す。図 17 では、閾値電圧  $V_{th}$  の値を変化させても、 $V_{gs} - V_{th}$  の値がほぼ均一であり、そのばらつきは  $25\% \sim 30\%$  程度に抑えられていることが分かる。

30

【0179】

図 18 に、条件 B を用いた場合における、シミュレーションにより得られた  $V_{gs} - V_{th}$  の値を示す。図 18 では、横軸が閾値電圧  $V_{th} (V)$ 、縦軸が  $V_{gs} - V_{th} (V)$  の値を示す。図 18 では、閾値電圧  $V_{th}$  の値が正の値を有する場合だと、 $V_{gs} - V_{th}$  の値が均一である。しかし、閾値電圧  $V_{th}$  の値が負の値を有する場合、閾値電圧  $V_{th}$  の値が負の方向に大きくなるほど、 $V_{gs} - V_{th}$  の値が大きくなっており、 $V_{gs} - V_{th}$  の値が閾値電圧  $V_{th}$  の値に依存していることが分かる。

40

【0180】

上記シミュレーションの結果から、本発明の一態様に係る発光装置では、トランジスタ 11 がノーマリオンであっても、すなわち閾値電圧  $V_{th}$  がマイナスの値を有していても、トランジスタ 11 の閾値電圧  $V_{th}$  を加味した値になるよう、トランジスタ 11 のゲート電圧  $V_{gs}$  を設定することができることが証明された。

【0181】

本実施の形態は、他の実施の形態と組み合わせて実施することが可能である。

【符号の説明】

【0182】

11 トランジスタ

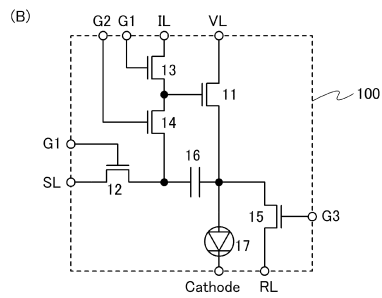
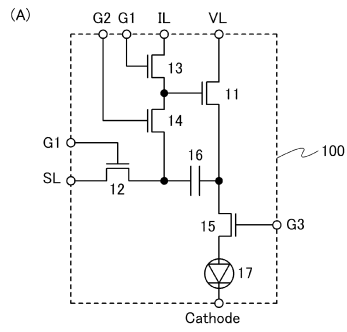
50

1 2	トランジスタ	
1 3	トランジスタ	
1 4	トランジスタ	
1 5	トランジスタ	
1 6	容量素子	
1 7	発光素子	
1 0 0	画素	
1 4 0 b	画素	
1 4 0 g	画素	
1 4 0 r	画素	10
7 1 5 b	陽極	
7 1 5 g	陽極	
7 1 5 r	陽極	
7 3 0	隔壁	
7 3 1	E L 層	
7 3 2	陰極	
7 4 0	基板	
7 4 1 b	発光素子	
7 4 1 g	発光素子	
7 4 1 r	発光素子	20
7 4 2	基板	
7 4 3 b	着色層	
7 4 3 g	着色層	
7 4 3 r	着色層	
7 4 4	オーバーコート	
7 4 5 b	導電膜	
7 4 5 g	導電膜	
7 4 5 r	導電膜	
7 4 6 g	導電膜	
7 4 6 r	導電膜	30
7 5 0	絶縁膜	
8 0 0	基板	
8 0 1	導電膜	
8 0 2	ゲート絶縁膜	
8 0 3	半導体膜	
8 0 4	導電膜	
8 0 5	導電膜	
8 0 6	半導体膜	
8 0 7	導電膜	
8 0 8	導電膜	40
8 0 9	導電膜	
8 1 0	導電膜	
8 1 1	半導体膜	
8 1 2	導電膜	
8 1 3	半導体膜	
8 1 4	導電膜	
8 1 5	導電膜	
8 1 6	導電膜	
8 1 7	半導体膜	
8 1 8	導電膜	50

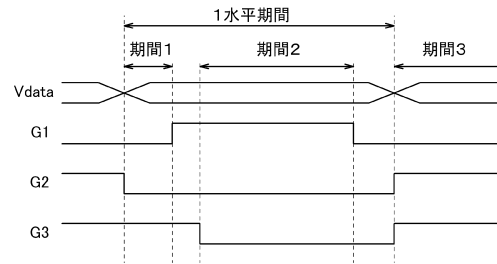
8 1 9	導電膜	
8 2 0	絶縁膜	
8 2 1	絶縁膜	
8 2 2	導電膜	
8 2 3	コンタクトホール	
8 2 4	絶縁膜	
8 2 5	E L 層	
8 2 6	導電膜	
9 0 0	基板	
9 0 1	半導体膜	10
9 0 2	ゲート絶縁膜	
9 0 3	導電膜	
9 0 4	導電膜	
9 0 5	導電膜	
9 0 6	半導体膜	
9 0 7	導電膜	
9 0 8	導電膜	
9 0 9	導電膜	
9 1 1	導電膜	
9 1 2	半導体膜	20
9 1 3	導電膜	
9 1 4	導電膜	
9 1 5	導電膜	
9 1 6	導電膜	
9 1 7	導電膜	
9 2 0	絶縁膜	
9 2 1	導電膜	
9 2 2	コンタクトホール	
9 2 3	絶縁膜	
9 2 4	E L 層	30
9 2 5	導電膜	
1 6 0 1	パネル	
1 6 0 2	回路基板	
1 6 0 3	接続部	
1 6 0 4	画素部	
1 6 0 5	走査線駆動回路	
1 6 0 6	信号線駆動回路	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	40
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 2 0 1	筐体	
5 2 0 2	表示部	
5 2 0 3	支持台	
5 4 0 1	筐体	
5 4 0 2	表示部	50

5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	表示部	
5 6 0 3	操作キー	
5 8 0 1	筐体	
5 8 0 2	表示部	
5 8 0 3	音声入力部	
5 8 0 4	音声出力部	
5 8 0 5	操作キー	10
5 8 0 6	受光部	
6 0 3 1	トランジスタ	
6 0 3 3	発光素子	
6 0 3 4	陽極	
6 0 3 5	E L 層	
6 0 3 6	陰極	
6 0 3 7	絶縁膜	
6 0 3 8	隔壁	
6 0 4 1	トランジスタ	
6 0 4 3	発光素子	20
6 0 4 4	陽極	
6 0 4 5	E L 層	
6 0 4 6	陰極	
6 0 4 7	絶縁膜	
6 0 4 8	隔壁	
6 0 5 1	トランジスタ	
6 0 5 3	光素子	
6 0 5 4	陽極	
6 0 5 5	E L 層	
6 0 5 6	陰極	30
6 0 5 7	絶縁膜	
6 0 5 8	隔壁	

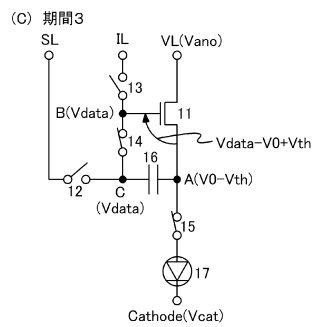
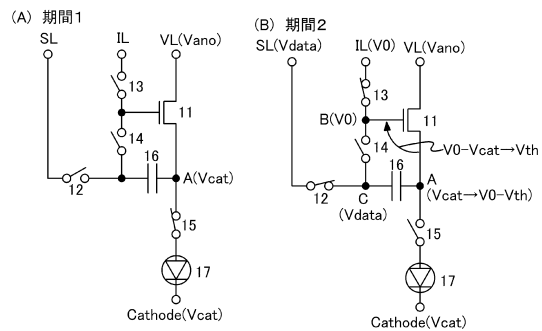
【図 1】



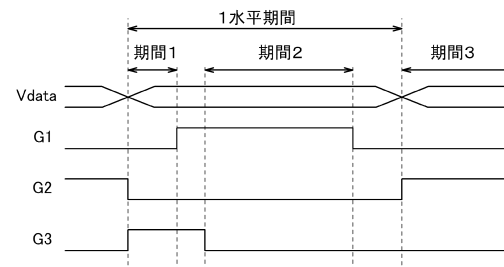
【図 2】



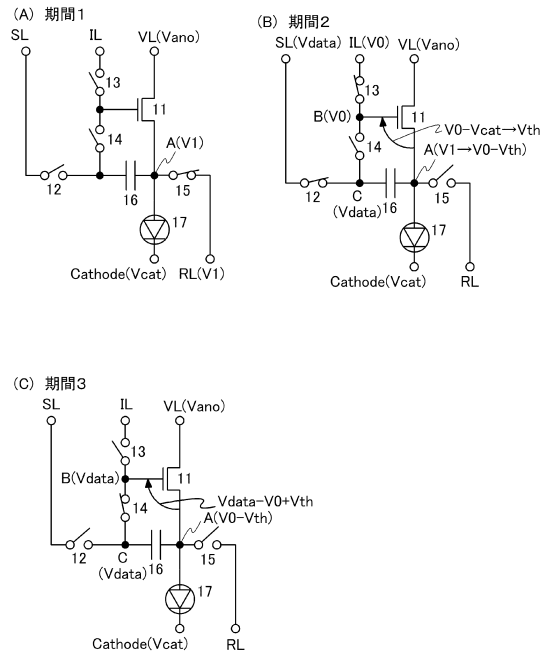
【図 3】



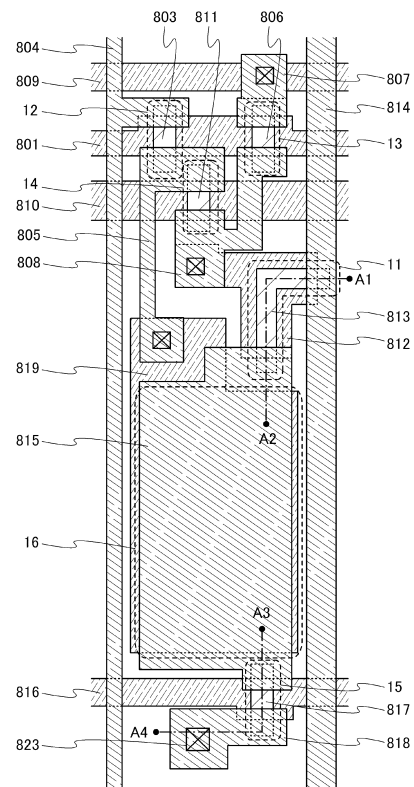
【図 4】



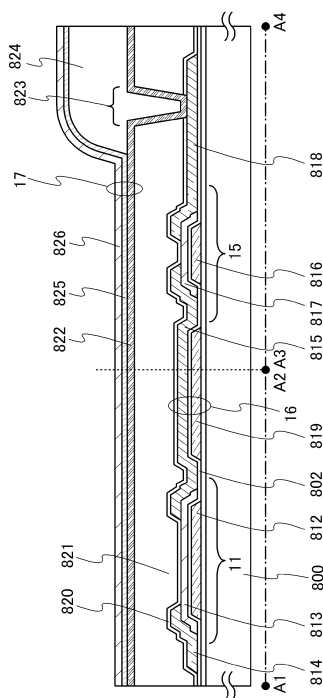
【図 5】



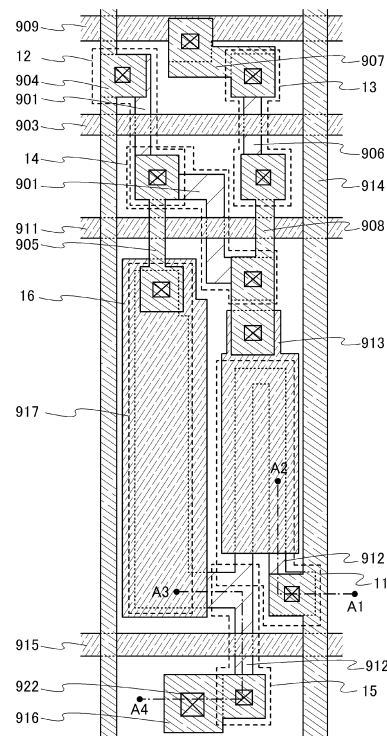
【図 6】



【図 7】



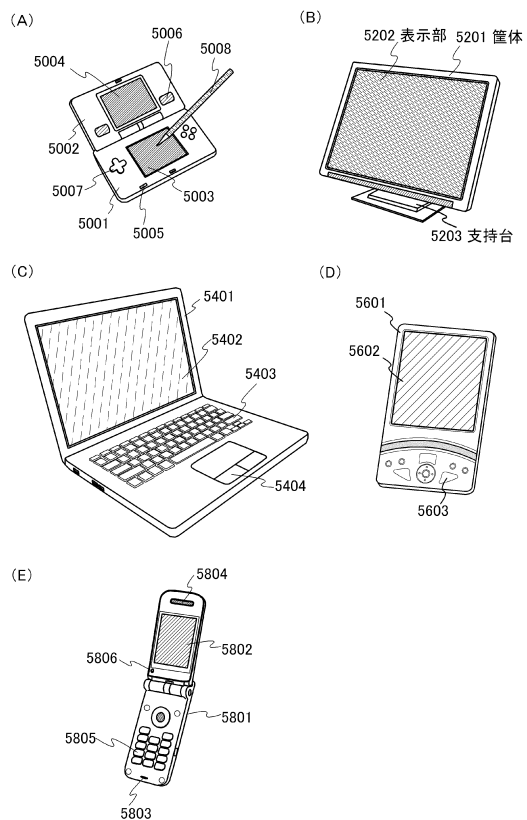
【図 8】



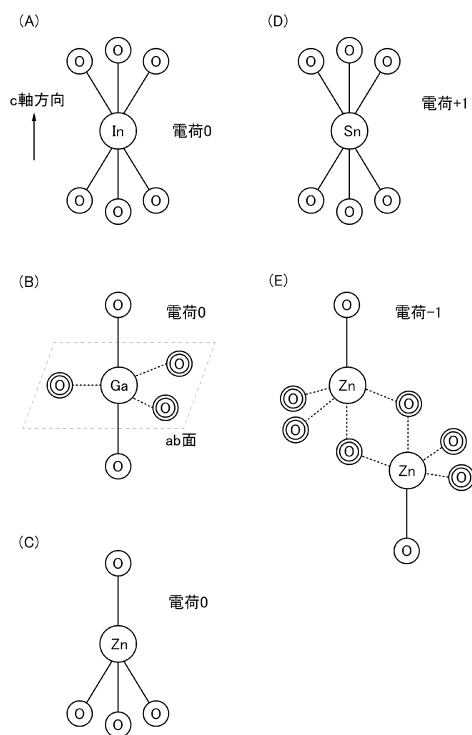




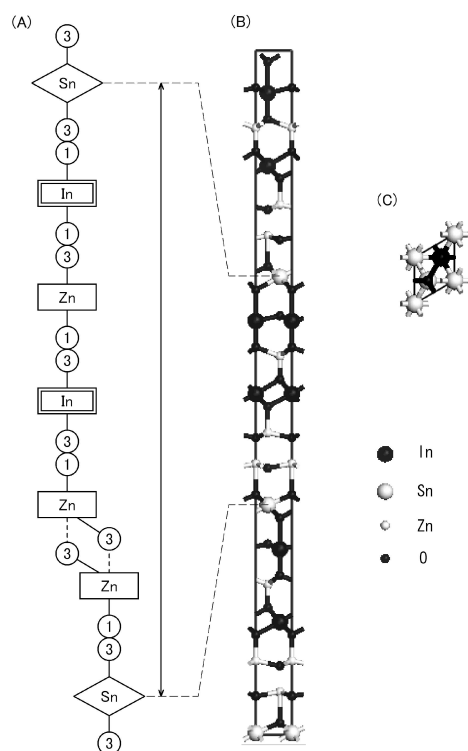
【图 13】



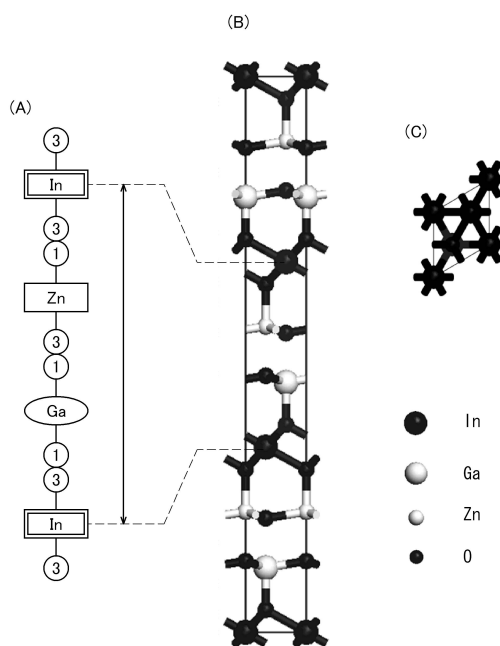
【 图 1 4 】



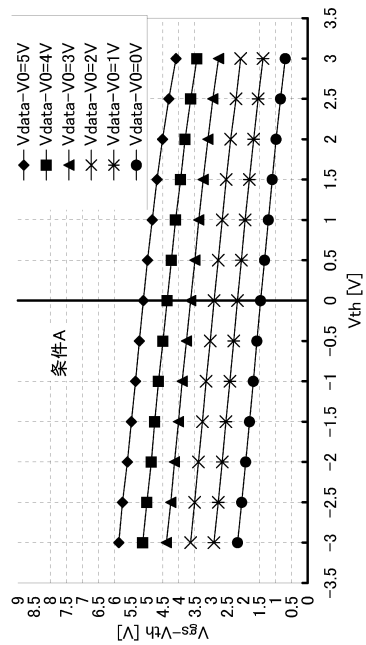
【 図 1 5 】



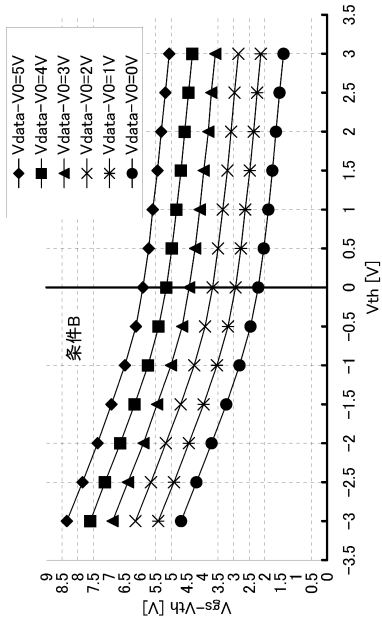
【 图 1 6 】



【図 17】



【図 18】



---

フロントページの続き

- (56)参考文献 特開2008-176287(JP,A)  
特開2010-224033(JP,A)  
特開2011-112724(JP,A)  
特開2010-39118(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G09G 3/00-3/38