

2 면 상에 배치되고, 상기 내층 구조체보다 강성이 높은 제 2 외층 구조체를 구비하는 인터포저에 있어서, 상기 내층 배선층은, 제 1 절연 수지층의 표면에 배치된 배선 및 상기 배선에 접속되고, 상기 제 1 절연 수지층을 관통하는 도전 부재를 구비하고 있고, 상기 제 1 외층 구조체 및 상기 제 2 외층 구조체는, 제 2 절연 수지층과 상기 제 2 절연 수지를 관통하는 도전 부재를 구비하고 있고, 상기 제 1 외층 구조체 및/또는 상기 제 2 외층 구조체의 상기 내층 구조체에 접속되어 있는 면과 반대측의 면에, 반도체 장치와 접속 가능하며, 또한 전기 검사가 가능한 단자가 형성되어 있다.

(52) CPC특허분류

G01R 31/2886 (2013.01)

H01L 21/4857 (2013.01)

H01L 21/486 (2013.01)

H01L 23/14 (2013.01)

H01L 23/293 (2013.01)

H01L 23/3157 (2013.01)

H01L 23/5383 (2013.01)

H01L 23/5389 (2013.01)

H01L 24/98 (2013.01)

(72) 발명자

후지타 다카시

일본 도쿄도 다이토구 다이토 1쵸메 5반 1고 도판
인사츠 가부시키키가이샤 나이

기우치 슈지

일본 도쿄도 다이토구 다이토 1쵸메 5반 1고 도판
인사츠 가부시키키가이샤 나이

명세서

청구범위

청구항 1

적어도 1 층의 내층 배선층을 포함하는 내층 구조체와,

상기 내층 구조체의 제 1 면 상에 배치되고, 상기 내층 구조체보다 강성이 높은 제 1 외층 구조체와,

상기 내층 구조체의 제 2 면 상에 배치되고, 상기 내층 구조체보다 강성이 높은 제 2 외층 구조체를 구비하는 인터포저에 있어서,

상기 내층 배선층은, 제 1 절연 수지층의 표면에 배치된 배선 및 상기 배선에 접속되고, 상기 제 1 절연 수지층을 관통하는 도전 부재를 구비하고 있고,

상기 제 1 외층 구조체 및 상기 제 2 외층 구조체는, 제 2 절연 수지층과 상기 제 2 절연 수지층을 관통하는 도전 부재를 구비하고 있고,

상기 제 1 외층 구조체 및/또는 상기 제 2 외층 구조체는, 상기 내층 구조체에 접속되어 있는 면과 반대측의 면에 있어서, 반도체 장치와 접속 가능하며, 또한 전기 검사가 가능한 단자를 구비하고 있는 것을 특징으로 하는 인터포저.

청구항 2

제 1 항에 있어서,

상기 제 1 외층 구조체 및 상기 제 2 외층 구조체는, 적어도 상기 내층 구조체의 제 1 면 및 제 2 면을 덮고 있는 것을 특징으로 하는 인터포저.

청구항 3

제 1 항에 있어서,

상기 제 1 절연 수지층은 감광성 수지이고,

상기 제 2 절연 수지층은, 필러를 함유한 비감광성 수지인 것을 특징으로 하는 인터포저.

청구항 4

제 1 항에 있어서,

상기 제 1 절연 수지층 및 상기 제 2 절연 수지층이 비감광성 수지인 것을 특징으로 하는 인터포저.

청구항 5

제 1 항에 있어서,

상기 제 2 절연 수지층은, 탄성률이 5 GPa 이상, CTE 가 20 ppm 이하의 물성을 갖는 프리프레그, 빌트업 수지 또는 몰드 수지 중 어느 것을 포함하여 구성되어 있는 것을 특징으로 하는 인터포저.

청구항 6

제 1 항에 있어서,

상기 제 1 외층 구조체 및 상기 제 2 외층 구조체의 두께의 합은 상기 내층 구조체의 두께보다 큰 것을 특징으로 하는 인터포저.

청구항 7

제 1 항에 있어서,

상기 제 1 외층 구조체 및 상기 제 2 외층 구조체 중 어느 것은, 상기 내층 구조체의 측면도 덮고 있는 것을 특징으로 하는 인터포저.

청구항 8

제 1 항에 있어서,

상기 제 1 절연 수지층을 관통하는 도전 부재의 상방 및/또는 상기 제 2 절연 수지층을 관통하는 도전 부재의 하방에 돌기 전극을 구비하고 있고,

상기 돌기 전극은 접속 단자로서 사용 가능한 것을 특징으로 하는 인터포저.

청구항 9

제 1 항에 있어서,

상기 인터포저의 시험편을 하기 측정 방법으로 측정된 하중/휨량의 비가 0.125 N/mm 이상인 것을 특징으로 하는 인터포저.

<측정 방법>

세로 80 mm×가로 15 mm×높이 h (시험편의 두께) mm 의 치수의 시험편의 종횡의 면에 대해 지점간 거리 L 이 66 mm 이고, 압자 반경 r1 이 2 mm 이고, 압자간 거리 L' 가 22 mm 인 압자로 사이에 끼우고, 시험 속도 V 를 이하의 식에 의해 산출한 속도로 4 점 굽힘 시험을 한다.

$$V = \frac{\epsilon'_f \times L^2}{4.7 \times h} \dots \dots \dots (5)$$

ϵ'_f : 변형 속도 [1 / m i n]

청구항 10

제 9 항에 있어서,

시험편의 두께 h 가 300 μm 인 경우, 시험 속도 V 가 30 mm/sec 로 한 경우에, 측정된 하중이 5.7 N, 휨량이 7 mm 인 것을 특징으로 하는 인터포저.

청구항 11

제 1 항에 있어서,

상기 인터포저 내에 매설한 내장 부품을 구비하고,

상기 제 1 외층 구조체 또는 상기 제 2 외층 구조체는, 상기 내장 부품과 전기적으로 접속되는 단자를 갖는 것을 특징으로 하는 인터포저.

청구항 12

제 11 항에 있어서,

상기 내장 부품은, 실리콘, 세라믹, 유리, 화합물 반도체를 기체로 하는 부품인 것을 특징으로 하는 인터포저.

청구항 13

제 1 항에 기재된 인터포저에 반도체 장치를 탑재한, 반도체 패키지.

청구항 14

제 13 항에 있어서,

반도체 장치는, 돌기 전극에 형성된 접속 단자에 탑재된 반도체 장치 및 상기 돌기 전극이 형성되어 있지 않은 접속 단자에 탑재된 반도체 장치가 적층되어 탑재되어 있는 것을 특징으로 하는 반도체 패키지.

청구항 15

제 13 항에 있어서,

복수의 상기 반도체 패키지가, 돌기 전극에 의해 접속되고, 적층되어 있는 것을 특징으로 하는 반도체 패키지.

청구항 16

지지 기판 상에 제 1 외층 구조체를 형성하는 제 1 공정,

상기 제 1 외층 구조체의 상방에 내층 구조체를 형성하는 제 2 공정,

상기 내층 구조체의 하방에 제 2 외층 구조체를 형성하는 제 3 공정,

상기 제 1 외층 구조체와 지지 기판을 박리하는 제 4 공정,

상기 제 1 외층 구조체 및 제 2 외층 구조체의 최외층 상에 접속 단자를 형성하는 제 5 공정을 포함하는 인터포저의 제조 방법.

청구항 17

제 16 항에 있어서,

내장 부품을 탑재하는 제 6 공정을 포함하는 인터포저의 제조 방법.

청구항 18

제 1 항에 기재된 인터포저에 있어서,

접속 단자로부터 상기 인터포저의 전기 검사를 실시하는 제 1 검사 공정,

상기 제 1 검사 공정의 결과에 기초하여, 상기 인터포저의 양부를 판단하는 제 1 판단 공정,

상기 제 1 판단 공정에 있어서 「양호」라고 판단된 인터포저에, 반도체 장치를 탑재하는 가접속 공정,

상기 가접속 공정에서 가접속된 반도체 패키지에 대하여, 전기 검사를 실시하는 제 2 검사 공정,

상기 제 2 검사 공정의 결과에 기초하여, 반도체 패키지의 양부를 판단하는 제 2 판단 공정,

상기 제 2 판단 공정에 있어서 「불량」이라고 판단된 반도체 장치에 대해, 실장의 수복 및/또는 교환을 실시하는 보수 공정을 포함하는 반도체 패키지의 제조 방법.

청구항 19

제 18 항에 있어서,

상기 보수 공정 후에 반도체 패키지에 대해 전기 검사를 실시하는 제 3 검사 공정,

상기 제 3 검사 공정의 결과에 기초하여, 반도체 패키지의 양부를 판단하는 제 3 판단 공정,

상기 제 3 판단 공정에 있어서 「양호」라고 판단된 반도체 패키지의 반도체 장치와 상기 인터포저의 간극에 언더필을 공급하는 고정 공정을 포함하는 반도체 패키지의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치를 실장하기 위한 인터포저, 인터포저에 반도체 장치를 실장한 반도체 패키지 및 그들의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근에는, 복수 개의 이중 반도체 장치 (반도체 칩) 를 인터포저 상에 탑재하여, 하나의 고기능 반도체 패키지로 하는 SiP (System In Package) 가 실용화되고 있다. 이 수법에 의하면 프로세스 비용을 증대시키지 않고, 고기능화된 하나의 반도체 장치인 「반도체 패키지」를 얻을 수 있다.

[0003] 또한, 상기의 SiP 에 탑재되는 반도체 장치로는, 적층 DRAM 인 HBM (High Bandwidth Memory) 이 많이 사용되는

경향이 있다. HBM 은, 일반적으로 접속 단자의 피치는 55 μm 정도의 협피치이고, 인터포저에도 동일한 정도의 접속 단자를 형성할 필요가 있다.

[0004] 또, 상기와 같은 인터포저는, FC-BGA 에 접속되게 되는데, FC-BGA 의 CTE (Coefficient of Thermal Expansion) 는 18 ppm/°C 정도로, 반도체 칩의 CTE 3 ppm/°C 와 비교하면 높다. 이 때문에, 인터포저에는, 반도체 칩과 FC-BGA 사이의 CTE 의 미스매치를 완화시키는 기능을 갖는 것이 요구된다.

[0005] 또한, 반도체 패키지로서의 조립의 편리성을 위해서는, 반도체 장치를 인터포저에 실장한 후에, 이것을 FC-BGA 에 실장할 수 있는 것이 바람직하다. 이 때문에, 인터포저는 FC-BGA 와 별개로 자립하는 단체 (單體) 로서 존재할 수 있을 필요가 있다.

[0006] 특허문헌 1 에 있어서는, 인터포저의 휨을 억제하기 위해서, 반도체 패키지 (1) 의 제조 방법으로서, 관상의 제 1 보강 부재 (5A) 와, 제 1 도체 패턴 배선 기판용 적층체 (2A) 와, 제 2 도체 패턴 (224) 상에 배치된 관상의 제 2 보강 부재 (4A) 를 갖는 적층체 (20) 를 준비하는 공정과, 적층체 (20) 를 가열하여 상기 절연층을 열경화하는 공정과, 제 1 보강 부재 (5A) 의 일부를 선택적으로 제거하여, 제 1 도체 패턴 (224) 을 노출시키기 위한 개구부를 형성하는 공정과, 제 2 보강 부재 (4A) 의 일부를 선택적으로 제거하여 제 2 도체 패턴 (221) 을 노출시키기 위한 개구부 (41) 를 형성하는 공정과, 제 2 보강 부재 (4A) 의 개구부로부터 노출되는 제 2 도체 패턴 (221) 에, 반도체 소자 (3) 를 접속하는 공정을 포함하는 기술을 개시하고 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) W02013-065287

발명의 내용

해결하려는 과제

[0008] 그러나, 특허문헌 1 로서 나타내는 인터포저는, 섬유 기체에 수지 조성물을 함침시킨 구조이기 때문에, 형성할 수 있는 비아의 구경은 직경 50 μm 가 한계가 된다. 또한, 비아와 비아의 피치에 대해서도 130 μm 가 한계가 되어, 적층 DRAM 인 HBM 을 탑재하는 것이 어렵다.

[0009] 또한, 팬 아웃 패키지나 실리콘 인터포저 등의 종래의 인터포저 및 이것들을 사용한 반도체 패키지에 있어서는, 인터포저 자체를 검사한 후에 반도체 장치를 실장하는 공정을 거치는 것이 상정되어 있지 않다.

[0010] 이 때문에, 종래의 제조 방법에서는, 인터포저 자체가 검사 보증되어 있지 않은 상황에서, 복수 개의 칩을 인터포저에 실장하게 된다.

[0011] 그 결과, 반도체 패키지의 수율은 인터포저의 제조 불량과 칩 실장 불량과의 합산이며, 각각 구분하는 것이 불가능하다.

[0012] 구체적으로는, SiP 의 제조 수율은, 간이적으로 이하의 시험 계산식 (1) 에 의해 기술할 수 있다.

[0013] 「인터포저 수율」 ($Y_{\text{INTERPOSER}}$) : (0 ~ 1 의 값)

[0014] 반도체 칩의 실장의 기하 평균 수율 (「실장 수율」 (Y_{ASSEMBRY}) : (0 ~ 1 의 값)

[0015] SiP 에 대한 반도체 장치의 탑재 개수 : N (1 이상의 정수)

[0016] SiP 의 제조 수율 (Y_{TOTAL}) : (0 ~ 1 의 값)

[0017] 로 하면, SiP 의 제조 수율은 이하와 같이 된다.

[0018]
$$(Y_{\text{TOTAL}}) = (Y_{\text{INTERPOSER}}) \times (Y_{\text{ASSEMBRY}})^N \cdots (1)$$

[0019] 식 (1) 에 기재된 바와 같이, SiP 의 제조 수율은 인터포저 수율과, 칩 실장의 기하 평균 수율의 칩수의 거듭제곱이 된다.

[0020] 여기서, 「인터포저 수율」($Y_{INTERPOSER}$) 및 「실장 수율」($Y_{ASSEMBRY}$) 이 모두 90 % 이고, 7 개의 칩을 탑재하는 SiP 의 경우

[0021] $(Y_{INTERPOSER}) = (Y_{ASSEMBRY}) = 90 \%, N = 7 \dots (2)$

[0022] $(Y_{TOTAL}) = 0.9^7 = 47.8 \% \dots (3)$

[0023] 가 되어, 각 프로세스 수율이 90 % 로 해도, SiP 전체의 제조 수율은 극히 낮아지는 문제를 일으킨다.

[0024] 복수의 반도체 장치를 실장하여 1 개의 반도체 패키지를 구성하는 SiP 에서는, 개개의 반도체 장치가 검사 양품 이었다고 해도, 인터포저의 제조 불량, 실장 불량이 1 군데라도 있는 경우, SiP 전체 (복수 개 반도체 장치 전 부) 의 폐기로 이어진다. 이 결과, 탑재 칩수가 증대되면, SiP 제조 수율은 지수 함수적으로 저하되고, 또한 폐기되는 양품 칩수도 증대되는 문제가 있다.

[0025] 또한, 종래의 제조 방법에서는, 탑재 반도체 장치 전체면을 몰드 수지에 의해 굳히기 때문에, 제조 불량이 존재 하는 개개의 반도체 장치를 리페어를 위해 교환 등을 하는 것이 불가능해지는 문제가 있다.

[0026] 그래서 본 발명에서는, 60 μm 이하의 협피치의 반도체 장치의 접속용 단자가 형성 가능하고, 반도체 장치의 실 장 전에 인터포저 자체를 전기 검사 가능한 인터포저를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0027] 상기 과제를 해결하기 위해, 대표적인 본 발명의 인터포저의 하나는,

[0028] 적어도 1 층의 내층 배선층을 포함하는 내층 구조체와,

[0029] 상기 내층 구조체의 제 1 주면 상에 배치되고, 상기 내층 구조체보다 강성이 높은 제 1 외층 구조체와,

[0030] 상기 내층 구조체의 제 2 주면 상에 배치되고, 상기 내층 구조체보다 강성이 높은 제 2 외층 구조체를 구비하는 인터포저에 있어서,

[0031] 상기 내층 배선층은, 제 1 절연 수지층의 표면에 배치된 배선 및 상기 배선에 접속되고, 상기 제 1 절연 수지층 을 관통하는 도전 부재를 구비하고 있고,

[0032] 상기 제 1 외층 구조체 및 상기 제 2 외층 구조체는, 제 2 절연 수지층과 상기 제 2 절연 수지를 관통하는 도전 부재를 구비하고 있고,

[0033] 상기 제 1 외층 구조체 및/또는 상기 제 2 외층 구조체는, 상기 내층 구조체에 접속되어 있는 면과 반대측의 면 에 있어서, 반도체 장치와 접속 가능하며, 또한 전기 검사가 가능한 단자를 구비하고 있다.

발명의 효과

[0034] 본 발명에 의하면, 60 μm 이하의 협피치의 반도체 장치의 접속용 단자가 형성 가능하며, 반도체 장치의 실장 전 에 인터포저 자체를 전기 검사 가능한 인터포저를 제공할 수 있다.

[0035] 상기한 것 이외의 과제, 구성 및 효과는, 이하의 실시를 하기 위한 형태에 있어서의 설명에 의해 분명해진다.

도면의 간단한 설명

[0036] 도 1 은, 제 1 실시형태의 인터포저 및 반도체 패키지의 단면도이다.

도 2 는, 전체 CTE 와 외층 배선층의 CTE 의 관계를 나타내는 도면이다.

도 3 은, 제조 불량률과 두께의 관계를 나타내는 도면이다.

도 4 는, 제 1 실시형태의 인터포저의 변형예를 나타내는 개략도이다.

도 5 는, 제 1 실시형태의 인터포저의 변형예를 나타내는 개략도이다.

도 6 은, 제 1 실시형태의 인터포저의 변형예를 나타내는 개략도이다.

도 7 은, 제 1 실시형태의 인터포저 및 반도체 패키지의 제조 공정을 설명하는 도면이다.

- 도 8 은, 제 1 실시형태의 인터포저 및 반도체 패키지의 제조 공정을 설명하는 도면이다.
- 도 9 는, 제 1 실시형태의 인터포저 및 반도체 패키지의 제조 공정을 설명하는 도면이다.
- 도 10 은, 제 1 실시형태의 인터포저 및 반도체 패키지의 제조 공정을 설명하는 도면이다.
- 도 11 은, 제 1 실시형태의 변형예의 인터포저의 제조 공정을 설명하는 도면이다.
- 도 12 는, 제 1 실시형태의 반도체 패키지의 제조 공정을 설명하는 도면이다.
- 도 13 은, 제 1 실시형태의 반도체 패키지의 제조 공정을 설명하는 도면이다.
- 도 14 는, 제 2 실시형태의 인터포저를 나타내는 개략도이다.
- 도 15 는, 제 2 실시형태의 인터포저의 제조 방법을 설명하는 도면이다.
- 도 16 은, 제 3 실시형태의 인터포저 및 반도체 패키지를 나타내는 개략도이다.
- 도 17 은, 제 3 실시형태의 인터포저의 제조 방법을 설명하는 도면이다.
- 도 18 은, 제 3 실시형태의 인터포저의 제조 방법을 설명하는 도면이다.
- 도 19 는, 제 4 실시형태의 인터포저 및 반도체 패키지를 나타내는 개략도이다.
- 도 20 은, 제 4 실시형태의 인터포저 및 반도체 패키지의 제조 방법을 설명하는 도면이다.
- 도 21 은, 제 4 실시형태의 반도체 패키지의 제조 방법을 설명하는 도면이다.
- 도 22 는, 4 점 굽힘 시험의 개략을 설명하는 도면이다.
- 도 23 은, 4 점 굽힘 시험의 휨 속도의 규격치를 나타내는 표이다.
- 도 24 는, 인터포저의 두께와, 4 점 굽힘 시험의 하중과 휨량의 비의 관계를 나타내는 도면이다.
- 도 25 는, 제 5 실시형태의 인터포저 및 반도체 패키지를 나타내는 개략도이다.
- 도 26 은, 제 5 실시형태의 인터포저 및 반도체 패키지의 제조 방법을 설명하는 도면이다.
- 도 27 은, 제 5 실시형태의 변형예 1 의 인터포저 및 반도체 패키지의 제조 방법을 설명하는 도면이다.
- 도 28 은, 제 5 실시형태의 변형예 2 의 인터포저 및 반도체 패키지의 제조 방법을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 도면을 참조하여 본 발명의 실시형태에 대해 설명한다. 또한, 이 실시형태에 의해 본 발명이 한정되는 것은 아니다. 또한, 도면의 기재에 있어서, 동일 부분에는 동일한 부호를 붙여서 나타내고 있다. 제 1 및 제 2 의 호칭은 특별히 순서나 구성을 한정하는 것은 아니고, 설명 편의상 규정하는 것이다.
- [0038] 도면에서 나타내는 각 구성 요소의 위치, 크기, 형상, 범위 등은, 발명의 이해를 용이하게 하기 위해, 실제의 위치, 크기, 형상, 범위 등을 나타내고 있지 않은 경우가 있다. 이 때문에, 본 발명은 반드시, 도면에 개시된 위치, 크기, 형상, 범위 등에 한정되지 않는다.
- [0039] 또한, 본 개시에 있어서, 「면」이란, 판상 부재의 면뿐만 아니라, 판상 부재에 포함되는 층에 대하여, 판상 부재의 면과 대략 평행한 층의 계면도 가리키는 경우가 있다. 또, 「상면」, 「하면」이란, 판상 부재나 판상 부재에 포함되는 층을 도시한 경우의, 도면 상의 상방 또는 하방에 나타내는 면을 의미한다. 또한, 「상면」, 「하면」에 대해서는, 「제 1 면」, 「제 2 면」이라고 부르기도 한다.
- [0040] 또, 「측면」이란, 판상 부재나 판상 부재에 포함되는 층에 있어서의 면이나 층의 두께의 부분을 의미한다. 또한, 면의 일부 및 측면을 합하여 「단부」라고 하는 경우가 있다.
- [0041] 또, 「상방」이란, 판상 부재 또는 층을 수평하게 재치(載置)한 경우의 수직 상방의 방향을 의미한다. 또한, 「상방」및 이것과 반대의 「하방」에 대해서는, 이들을 「Z 축 플러스 방향」, 「Z 축 마이너스 방향」이라고 하는 경우가 있고, 수평 방향에 대해서는, 「X 축 방향」, 「Y 축 방향」이라고 하는 경우가 있다.
- [0042] 또, 「평면 형상」, 「평면시」란, 상방으로부터 면 또는 층을 시인한 경우의 형상을 의미한다. 또한, 「단면 형상」, 「단면시」란, 판상 부재 또는 층을 특정한 방향으로 절단한 경우의 수평 방향에서 시인한 경우의

형상을 의미한다.

- [0043] 또한, 「중심부」란, 면 또는 층의 주변부가 아닌 중심부를 의미한다. 그리고 「중심 방향」이란, 면 또는 층의 주변부로부터 면 또는 층의 평면 형상에 있어서의 중심을 향한 방향을 의미한다.
- [0044] (제 1 실시형태)
- [0045] <인터포저의 구조>
- [0046] 도 1(a)는 본 발명에 있어서의 제 1 실시형태의 인터포저 (100)의 단면 모식도의 예이다. 도 1(b)는 제 1 실시형태의 인터포저 (100)에, 반도체 장치 (50 및 51)를 탑재한 반도체 패키지 (150)의 단면 모식도이다.
- [0047] 또한, 본 개시에서는, 인터포저 (100)의 상하의 면에 대해서, 반도체 장치 (50 및 51)가 탑재되는 층을 「제 1 면층」이라고 부르고, 인터포저 (100)가 마더보드 혹은 FC-BGA에 대해 접속되는 층을 「제 2 면층」이라고 부른다.
- [0048] 본 실시형태에서는 또한, 제 2 외층 구조체 (11)의 제 2 면층에 제 2 접속 단자 (17)가 배치되어 있다. 제 2 접속 단자 (17)는 FC-BGA 기판 혹은 마더보드에 대한 접속 단자가 된다.
- [0049] 도 1(a)에 있어서의 인터포저 (100)는, 주로, 제 1 외층 구조체 (5), 내층 구조체 (7), 제 2 외층 구조체 (11)로 구성된다.
- [0050] 제 1 외층 구조체 (5)는, 내층 구조체 (7)의 상방, 즉 Z 축 플러스 방향으로 배치되어 있다. 또한, 제 1 외층 구조체 (5)는 제 2 절연 수지층 (6)으로 형성되어 있고, 제 2 절연 수지층 (6)에는, Z 축 방향으로 제 2 절연 수지층 (6)을 관통하는 도전 부재 (4)가 형성되어 있다. 제 2 절연 수지층 (6)을 관통하는 도전 부재 (4)는, 제 1 외층 구조체 (5)의 외부 접속 단자의 패드로서 기능할 수 있다.
- [0051] 또한, 제 1 외층 구조체 (5)의 제 1 면층에 제 1 접속 단자 (16)가 배치되어 있다.
- [0052] 내층 구조체 (7)는, 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11)의 사이에 배치되어 있다.
- [0053] 내층 구조체 (7)는, 적어도 1층의 내층 배선층을 구비하고 있고, 내층 배선층은, 제 1 절연 수지층 (8), 제 1 절연 수지층의 표면에 배치된 배선 (10), 및 상기 배선 (10)에 접속되고, 제 1 절연 수지층을 Z 축 방향으로 관통하는 도전 부재를 구비하고 있다. 또한, 제 1 절연 수지층을 관통하는 도전 부재는, 내층 배선층의 비아 (9)로서 기능할 수 있다.
- [0054] 또한, 제 1 외층 구조체 (5)의 제 1 면층에는, 제 1 접속 단자 (뿔) (16)가 배치되어 있다.
- [0055] 제 2 외층 구조체 (11)는, 내층 구조체 (7)의 하방, 즉 Z 축 마이너스 방향으로 배치되어 있다.
- [0056] 또한, 제 2 외층 구조체 (11)는 제 2 절연 수지층 (12)으로 형성되어 있고, 제 2 절연 수지층 (12)에는, Z 축 방향으로 제 2 절연 수지층 (12)을 관통하는 도전 부재가 형성되어 있다. 제 2 절연 수지층 (12)을 관통하는 도전 부재는, 내층 구조체 (7)의 최외층의 배선층과 접속됨과 함께, 제 2 외층 구조체 (11)의 외부 접속 단자의 패드로서 기능할 수 있다.
- [0057] 또한, 제 2 외층 구조체 (11)의 제 2 면층에는, 외부 접속 단자의 패드 (15) 및 제 2 접속 단자 (뿔) (17)가 배치되어 있다.
- [0058] 한편, 인터포저 (100)의 Z 축 방향의 두께는, 내층 구조체 (7), 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11)를 포함하는 총 두께가 50 μm 이상인 것이 바람직하다.
- [0059] 또한, 본 실시형태에 있어서의 인터포저 (100)의 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11)의 두께는, 본 실시형태에서 채용하는 두께에 한정되는 것은 아니지만, 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11)가 내층 구조체 (7)와 비교하여 물리적 강성이 높은 경우에는, 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11)의 두께의 합이 내층 구조체 (7)보다 두꺼운 것이 바람직하다. 즉 제 1 외층 구조체 (5)와 제 2 외층 구조체 (11)는, 인터포저 (100)의 총 두께의 절반 이상인 것이 바람직하다.
- [0060] <반도체 패키지의 구조>
- [0061] 도 1(b)는, 도 1(a)에서 설명한 인터포저 (100)의 제 1 면층에 반도체 장치 (50, 51)를 언더필 (19) 및 몰드 수지 (20)에 의해 고정시킨 반도체 패키지 (150)이다.

- [0062] 또한, 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 는 뿔납이지만, 본 발명에 의해 뿔납 종류나 뿔납 조성은 한정되지 않으며 공지된 도전 재료를 사용할 수 있다. 또한, 도 1(a), 도 1(b) 에 있어서의 제 1 접속 단자 (16) 는, 제 1 외층 구조체 (5) 의 도전 부재 (4) 의 상방에 면이 연결되어 형성되어 있지만, 제 1 접속 단자 (16) 와 도전 부재 (4) 의 위치 관계나 형상은 이것에 한정되는 것은 아니다.
- [0063] 마찬가지로, 제 2 접속 단자 (17) 는, 제 2 외층 구조체 (11) 의 비아 (14) 상의 외부 단자의 패드 (15) 에 정합하여 형성되어 있지만, 반드시 이와 같은 구조로 한정되는 것은 아니다.
- [0064] <제 1 절연 수지층 및 제 2 절연 수지층>
- [0065] 도 1(a) 의 실시형태에 있어서의 인터포저 (100) 는, 복수의 반도체 장치를 탑재하는 SiP 용 인터포저로서 적용하는 경우, 배선 룰이 적어도 $L/S = 8/8 \mu\text{m}$ 이하의 미세 배선이 필요해진다. 이 때문에, 내층 구조체 (7) 를 구성하는 제 1 절연 수지층 (8) 의 두께는 $25 \mu\text{m}$ 이하로 하는 것이 바람직하다.
- [0066] 이 결과, 내층 구조체 (7) 는, 가령 내층 배선층이 다층 적층 회로라도, 가요성을 갖고, 물리적 강성이 없는 형태로 될 수밖에 없다.
- [0067] 이 때문에, 본 실시예에 있어서의, 복수의 반도체 장치를 탑재하는 SiP 용 인터포저에 요구되는 미세 배선 라우팅의 구조를 내층 구조체 (7) 에 의해 형성하고 있다. 게다가, 내층 구조체 (7) 의 입출력 단자의 부분을, 물리적 강성을 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 로 형성하는 것으로 하고 있다. 입출력 단자의 부분은, 내층 구조체 (7) 에 있어서의 미세 배선과 비교하여 배선 룰에 여유가 있기 때문에, 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 는 강성을 갖는 재료를 사용하여 형성하는 것이 가능하게 된다.
- [0068] 이 때문에, 물리적 강성을 갖지 않는 내층 구조체 (7) 를, 물리적 강성을 구비하는 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 에 의해 사이에 끼움으로써, 인터포저 (100) 를 전체적으로 강성을 구비하는 장치로 구성하는 것이 가능해진다. 즉, 회로의 미세 특성과 물리적 강성의 특성을 내층 구조체 (7) 와 2 개의 외층 구조체에 의해 기능 분할을 도모하고, 상반되는 특성을 조합함으로써, 양자의 우수한 특성을 겸비한 인터포저를 실현한 것이다.
- [0069] <외층 구조체의 CTE 와 탄성률>
- [0070] 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 를 구성하는 제 2 절연 수지층에는 필러를 함유하는 비감광성 절연 수지로부터 선택하는 것이 바람직하다. 또, 제 2 절연 수지층은, 필러를 함유하는 비감광성 수지층이고, 탄성률이 5 GPa 이상, 선열팽창 계수 CTE 가 20 ppm 이하인 프리프레그, 빌트업 수지, 몰드 수지에서 선택되는 것이 더욱 바람직하다.
- [0071] 본 실시형태에 있어서의 내층 구조체 (7) 에 적용 가능한 제 1 절연 수지층은, 감광성 절연 수지나 빌트업 수지이고, 일반적인 재료 물성은 CTE 가 20 ppm ~ 80 ppm/°C, 탄성률은 1.5 내지 10 GPa 이하의 범위의 저탄성이면서 또한 고 CTE 재료이다.
- [0072] 이 때문에, 상기의 재료만으로 형성된 인터포저이면, FC-BGA 의 CTE 18 ppm/°C 보다 CTE 가 낮고, 반도체 장치의 저 CTE 와의 완충 기능을 하는 인터포저의 실현은 곤란하다.
- [0073] 본 실시형태에서는, 이 점에 있어서도, 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 에 사용하는 제 2 절연 수지층에 대해, CTE 가 20 ppm/°C 이하이며, 또한 5 GPa 이상의 고탄성률을 갖는 몰드 수지나 프리프레그, 빌트업 수지에서 선택함으로써, 인터포저 전체의 CTE 를 FC-BGA 의 CTE 인 15 ~ 30 ppm/°C 이하로 하는 것이 가능해진다.
- [0074] 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 에 사용하는 제 2 절연 수지층의 CTE 를 20 ppm/°C 이하로 한 경우에는, 이하에 설명하는 바와 같이, 인터포저 (100) 전체의 CTE 를 저감할 수 있는 효과를 발휘한다.
- [0075] 도 2 에 본 발명에 있어서의 총 두께 $50 \mu\text{m}$ 의 인터포저 전체의 CTE 와 제 1 외층 구조체 및 제 2 외층 구조체의 사용 재료의 CTE 및 탄성률의 관계의 시뮬레이션 결과를 기재한다. Y 축에 인터포저 전체의 CTE, X 제 1 및 제 2 외층 배선층의 CTE 를 기재한다. 시뮬레이션 조건은 하기이다. 또한, 제 1 외층 배선층 및 제 2 외층 배선층의 CTE 와 탄성률은 동일값의 인자로서 계산하였다.
- [0076] · 제 1 외층 구조체
- [0077] 두께 : $20 \mu\text{m}$, 구리 배선의 체적 비율 10 % 고정 CTE, 탄성률은 인자

- [0078] · 제 2 외층 구조체
- [0079] 두께 : 20 μm , 구리 배선의 체적 비율 30 % 고정 CTE, 탄성률은 인자
- [0080] · 내층 구조체
- [0081] 두께 : 10 μm , CTE : 65 ppm/ $^{\circ}\text{C}$, 탄성률 2 GPa, 구리 배선 두께 2 μm , 구리 배선 체적 비율 85 %
- [0082] 인터포저 총 두께 50 μm
- [0083] 참고치 : FC-BGA 기반 전체의 CTE 는 18 ppm/ $^{\circ}\text{C}$ 그래프 중에서 일점 선택.
- [0084] 이와 같은 조건하에서 시뮬레이션을 실시한 결과는, 도 2 의 그래프에 나타내는 바와 같다. 즉, 도 2 에서 분명한 바와 같이, 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 의 CTE 가 20 ppm/ $^{\circ}\text{C}$ 이하인 것을 사용함으로써, 인터포저 (100) 전체의 CTE 는 종래 기술의 FC-BGA 기판보다 낮게 할 수 있음을 알 수 있다.
- [0085] 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 에서 고탄성 재료를 사용할수록, 인터포저 전체의 CTE 저감 효과가 큰 것도 알 수 있다.
- [0086] 이러한 점들에서, 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 의 탄성률이 5 GPa 이상이면 효과적으로 인터포저 전체의 CTE 를 저감할 수 있는 것이 판명되어, CTE 는 20 ppm/ $^{\circ}\text{C}$ 이하, 탄성률은 5 GPa 이상에서 선택되는 것이 바람직하다.
- [0087] <외층 구조체의 구성 · 잔동률>
- [0088] 도 1(a) 에 나타난 실시형태의 인터포저 (100) 의 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 의 도전 부재 (4) 및 비아 (14), 패드 (15) 는, 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 와 내층 구조체 (7) 의 배선을 전기적으로 접속하는 기능을 갖는다. 이 때문에, 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 에 있어서는, 기본적으로 Z 방향의 접속 경로로 형성되어 있다.
- [0089] 한편, 내층 구조체 (7) 에 있어서는, 미세화에 적합한 배선을 사용하여 Z 축 방향 및 Z 축에 직행하는 방향, 즉, 수평 방향의 배선 라우팅을 실현하고 있다.
- [0090] 본 실시형태에 있어서의 인터포저에 사용되는 도전 부재로는 기본적으로 구리가 사용되지만, 구리의 CTE 는 16 ppm/ $^{\circ}\text{C}$ 로 비교적 높기 때문에 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 에 있어서, 구리 체적률이 높으면, 인터포저 (100) 전체의 CTE 를 낮게 하는 것이 곤란해진다.
- [0091] 이 때문에, 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 에 있어서의 잔동률은 80 % 이하인 것이 바람직하다. 보다 바람직하게는 50 % 이하인 것이 바람직하다. 더욱 바람직하게는 30 % 이하인 것이 바람직하다.
- [0092] <인터포저의 강성 평가 방법>
- [0093] 다음으로, 도 22, 도 23 을 참조하여 인터포저 (100) 의 강성 평가 방법에 대해 설명한다.
- [0094] 도 22 는, 4 점 굽힘 시험의 개략을 설명하는 도면이다.
- [0095] 또한, 도 23 은, 4 점 굽힘 시험의 시험 속도의 규격치를 나타내는 표이다.
- [0096] 인터포저 (100) 는, 인터포저 (100) 를 가공한 시험편 (101) 을 굽힘 시험으로 시험한 경우의 하중과 휨량에 의해 강성을 평가한다.
- [0097] 굽힘 시험에는 3 점 굽힘 시험과 4 점 굽힘 시험이 있지만, 본 실시형태에서는 4 점 굽힘 시험을 채용한다.
- [0098] 3 점 굽힘 시험의 경우, 시험편에 가해지는 굽힘의 힘이 일정하게 되지 않아, 시험편 (101) 의 굽힘의 내측과 외측에서 굴곡 · 신장이 된다. 이 때문에, 인터포저 (100) 와 같은 복수층으로 구성되는 적층체에서는, 두께 방향의 각 재료의 배치에 따라서 얻어지는 결과가 상이할 우려가 있다.
- [0099] 한편, 4 점 굽힘 시험의 경우, 시험편 (101) 에 가해지는 굽힘의 힘이 일정하게 되어, 정밀도가 높은 측정이 가능해진다.
- [0100] 인터포저 (100) 를 평가하는 4 점 굽힘 시험의, 시험 조건은 이하와 같다.
- [0101] · 시험편 (101) 의 치수 : 세로 80 mm×가로 15 mm×높이 h (인터포저 (100) 의 두께) mm

을, 인터포저 (100) 의 최외층에 노출되는 전극에 콘택트시켜, 프로브와 전극의 충분한 전기적 접촉을 얻는 것이 가능하게 된다.

[0126] 예를 들어, 시험편 (101) 의 두께 h 가 $300 \mu\text{m}$ 인 경우, 시험 속도 V 는 30 mm/sec 이다. 이 때, 하중 F 가 5.7 N 을 나타내는 경우, 휨량은 7 mm 이고, 압자의 하중/휨량의 비는 0.814 N/mm 로, 당해 요건을 만족하는 것이 된다.

[0127] 도 24 는, Y 축 : 인터포저의 4 점 굽힘 시험에 의한 압자의 하중/휨량의 비와, X 축 : 인터포저의 두께로 한 경우의 양자의 관계를 실선으로 나타낸 도면의 일례이다.

[0128] 도 24 는, 전기 검사에 있어서의 프로브의 하중/휨량의 비의 임계값인 0.125 N/mm 를 과선으로 병기하고 있다.

[0129] 인터포저 (100) 의 4 점 굽힘 시험에 의한 압자의 하중/휨량의 비를 이 0.125 N/mm 이상으로 함으로써, 프로브의 휨량이 프로브의 휨에 의한 인터포저의 변형량을 상회할 수 있는 것이기 때문에, 이 조건을 만족함으로써, 프로브와 전극의 충분한 전기적 접촉을 얻을 수 있어, 보다 신뢰성이 높은 전기 검사를 실시할 수 있다.

[0130] <내층 구조체의 구성>

[0131] 도 1(a) 및 도 1(b) 에 기재된 내층 구조체 (7) 는, 제 1 절연 수지층 (8), 배선 (10), 제 1 절연 수지층 (8) 을 관통하는 내층 배선층의 비아 (9) 로 구성된다. 본 실시형태에 있어서의 내층 배선층의 구성 요소의 두께, 층수, 배선층 패턴, 비아 형상, 비아의 테이퍼의 방향, 비아 수 등은 본 실시형태에 의해 한정되지 않는다.

[0132] 내층 구조체 (7) 는 내층 배선층이 단층이어도 되고 복수 층 형성되어 있어도 되며, 본 실시형태에 의해 층수 및 두께가 한정되는 것은 아니지만, 본 실시형태에 의해 인터포저 (100) 에 있어서는, SiP 에 대한 적용을 상정하는 경우, 내층 배선층은 복수 층 형성되어 있는 것이 바람직하다.

[0133] <내층 배선층의 배선 룰>

[0134] 도 1(a) 에 나타낸 내층 구조체 (7) 의 내층 배선층에 있어서의 배선 (10) 의 배선 설계 룰은, 칩간 미세 접속에 적용 가능한 배선 설계 룰인 것이 바람직하다. 바람직하게는 $L/S = 15/15 \mu\text{m}$ 이하인 것이 바람직하다. 보다 바람직하게는 $10/10 \mu\text{m}$ 이하인 것이 바람직하다. 더욱 바람직하게는 $L/S = 8/8 \mu\text{m}$ 이하인 것이 바람직하다. L/S 가 $15 \mu\text{m}$ 이상인 경우, 종래 기술의 FC-BGA 의 배선 룰과 동등하게 되어, HBM 등의 실장에는 적합하지 않다.

[0135] <외층 구조체의 절연 수지 : 비감광성 수지>

[0136] 도 1(a) 의 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 의 구성 요소인 제 2 절연 수지층 (12) 은, 비감광성 절연 수지이면, 에폭시-페놀 수지, 에폭시-페놀에스테르 수지, 에폭시-시아네이트 수지, 시아네이트 수지, 벤조시클로부텐, 폴리이미드, 폴리벤조옥사졸 등에서 선택할 수 있다. 또한 필러나 글라스 클로스를 함유하고 있어도 된다.

[0137] <내층 구조체의 절연 수지층 : 감광성 수지>

[0138] 도 1(a) 의 내층 구조체 (7) 의 구성 요소인 제 1 절연 수지층 (8) 의 재료는, 감광성 절연 수지이면, 벤조시클로부텐, 폴리이미드, 폴리벤조옥사졸, 에폭시 수지, 에폭시아크릴레이트, 아크릴레이트 등의 공지 기술을 적용할 수 있다.

[0139] 예를 들어, 제 1 절연 수지층 (8) 은, 적어도 $L/S = 8/8 \mu\text{m}$ 이하 미세 배선 형성이 필요하기 때문에, 미세 배선 형성에 유리한 감광성 절연 수지여도 된다.

[0140] <내층 구조체의 절연 수지층 : 비감광성 수지>

[0141] 제 1 절연 수지층 (8) 은, 비감광성 절연 수지를 사용해도 된다. 예를 들면, 제 1 절연 수지층 (8) 은, 에폭시-페놀 수지, 에폭시-페놀에스테르 수지, 에폭시-시아네이트 수지, 시아네이트 수지, 벤조시클로부텐, 폴리이미드, 폴리벤조옥사졸을 사용할 수 있다. 제 1 절연 수지층 (8) 은, 또한 필러나 글라스 클로스를 함유하고 있어도 된다. 이로써, 제 1 절연 수지층 (8) 은, 인터포저에 높은 강성을 부여할 수 있다.

[0142] <내층 구조체의 제 1 절연 수지층 : 감광성 수지의 장점>

[0143] 제 1 절연 수지층 (8) 이 감광성 절연 수지인 경우, 직경 $20 \mu\text{m}$ 이하의 미소 비아의 형성이 $\pm 3 \mu\text{m}$ 이하의 포토 리소그래피의 위치 정밀도로 형성할 수 있다. 이 때문에, 인터포저에 탑재하는 반도체 장치의 수를 최대화

하는 것이나, 접속 비아의 수에 대해서도 최대화하는 것이 가능해진다.

[0144] 감광성 절연 수지이면, 비아 형성 시간이 비아 수에 의존하지 않고, 일괄적으로 형성할 수 있는 점에서 유리하다. 또한, 비감광성 절연 수지를 사용한 경우, 레이저 가공 등에 의해 비아를 형성하는데, 위치 정밀도가 $\pm 10 \mu\text{m}$ 정도가 되고, 비아의 수가 증가하면 가공 시간이 길어진다.

[0145] <내층 배선층의 절연 수지층의 두께>

[0146] 제 1 절연 수지층 (8) 의 두께는, $25 \mu\text{m}$ 이하로 하는 것이 바람직하다. 여기서 말하는 제 1 절연 수지층 (8) 의 두께는 상하층의 구리 배선 패턴 사이의 수지 두께를 가리킨다. 제 1 절연 수지층의 두께가 $25 \mu\text{m}$ 이상이면, 직경 $20 \mu\text{m}$ 이하의 소경 비아의 형성이 어려워지고, 배선 밀도를 높이는 것이 곤란해진다. 보다 바람직하게는 제 1 절연 수지층의 두께는 $15 \mu\text{m}$ 이하이다. 더욱 바람직하게는 $10 \mu\text{m}$ 이하이다.

[0147] 또한, 제 1 절연 수지층 (8) 의 두께는, 적용하는 배선 룰이나 회로의 임피던스 정합에 의해 적절히 조정하는 것이 가능하다.

[0148] <내층 배선층의 비아 직경>

[0149] 내층 배선층의 비아 (9) 의 직경은, $40 \mu\text{m}$ 이하인 것이 바람직하다. 여기서 말하는 비아 (9) 의 직경은, 최대 직경부를 가리킨다. 비아 (9) 의 직경은 $40 \mu\text{m}$ 이상이면 배선 고밀도화에 지장을 일으킨다. 보다 바람직하게는 직경 $30 \mu\text{m}$ 이하가 바람직하다. 더욱 바람직하게는 $20 \mu\text{m}$ 이하인 것이 배선 고밀도화에 기여할 수 있으므로 바람직하다.

[0150] <내층 배선층의 배선층의 두께>

[0151] 배선 (10) 의 두께는, $15 \mu\text{m}$ 이하인 것이 바람직하다. 보다 바람직하게는 $10 \mu\text{m}$ 이하인 것이 바람직하다. 더욱 바람직하게는 $8 \mu\text{m}$ 이하인 것이 바람직하다. $15 \mu\text{m}$ 이상인 경우, 사용하는 포토레지스트에 따라 다르지만, $L/S = 15/15 \mu\text{m}$ 이하의 미세 배선 형성이 곤란해진다. 배선층의 두께는, 적용하는 배선 룰이나 회로의 임피던스 정합에 의해 적절히 조정하는 것이 바람직하다.

[0152] <내층 배선층의 배선층 재료>

[0153] 배선 (10) 이 사용하는 재료는, 구리, 알루미늄, 니켈, 은, 금, 텅스텐, 철, 니오븀, 탄탈, 티탄, 크롬으로 이루어지는 단체 금속 및 그 합금 혹은 첨가 원소를 포함하고 있어도 된다. 또한 이들 각종 재료의 층상 구조로 해도 된다. 혹은, 이들 재료를 포함하는 도전성 페이스트, 혹은 카본, 도전성 수지 등이어도 된다.

[0154] 예를 들면, 제 1 절연 수지층 (8) 상에 스퍼터로 금속층을 형성하는 경우, 티탄, 크롬, 니켈 등을 단일의 층 또는 합금층으로서 형성한 후에, 구리를 형성하는 것이 일반적으로 실시된다. 제 1 절연 수지층 (8) 의 상면에 무전해 구리 도금 혹은 무전해 니켈 도금에 의한 층을 형성하는 것도 바람직하다. 배선 (10) 은 전해 구리 도금인 것이 일반적으로 간편하면서 또한 저렴하여 바람직하다.

[0155] <인터포저의 두께>

[0156] 본 실시형태에 있어서의 인터포저 (100) 의 두께는, 적어도 $50 \mu\text{m}$ 이상인 것이 바람직하다. 도 3 에 나타내는 바와 같이, 두께가 $50 \mu\text{m}$ 보다 얇은 경우, 인터포저 (100) 자체에 충분한 강성이 얻어지지 않고, 나중의 외부 접속 단자 형성 공정, 전기 검사 공정, 반도체 장치 조립 공정에서 불량 발생이 극히 많아진다.

[0157] 본 발명에 의하면, 반도체 장치를 탑재하는 전단계에서 인터포저 단체의 전기 검사가 가능해지기 때문에, 식 (4) 에 기재하는 인터포저의 제조·검사 후의 수율은,

[0158]
$$(Y_{\text{INTERPOSER}}) = 100 \% \cdots (4)$$

[0159] 로 할 수 있다. 따라서 SiP 제조 수율 (Y_{TOTAL}) 의 향상에 공헌할 수 있다.

[0160] <제 1 실시형태의 변형예>

[0161] 다음으로, 인터포저의 도 4 내지 도 6 을 참조하여, 제 1 실시형태의 인터포저의 변형예에 대해 설명한다.

[0162] 도 4 는 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 가 솔더 레지스트 (21) 로 구획되어 있는 변형예이다. 접속 단자는 솔더 레지스트로 구획되어 있어도 된다.

[0163] 도 5 는, 제 1 외층 구조체 (5) 가 복수층으로 형성되어 있는 변형예이다. 제 1 외층 구조체 (5) 는, 단층

으로 형성되어 있어도 되고, 복수층으로 형성되어 있어도 된다. 단층인지 복수층인지는, 적절히 인터포저에 요구되는 강성으로 조정할 수 있다. 제 1 외층 구조체 (5) 가 복수층으로 구성되는 경우에는, 인터포저 두께는 50 μm 보다 커져, 강성이 더욱 높아지기 때문에, 바람직하다.

[0164] 도 6 은, 제 2 외층 구조체 (11) 가 복수층으로 형성되어 있는 변형예이다. 제 2 외층 구조체 (11) 는, 단층으로 형성되어 있어도 되고, 복수층으로 형성되어 있어도 된다. 단층인지 복수층인지는, 적절히 인터포저에 요구되는 강성으로 조정할 수 있다.

[0165] 또한 도 4 내지 6 의 변형예를 표리에서 조합하여 사용해도 된다. 또한, 제 2 절연 수지층 (6) 의 도전 부재 (4) 에는, 배선 혹은 패드를 포함해도 된다. 또한, 제 2 외층 구조체 (11) 에 있어서의 제 2 절연 수지층 (12) 의 패드 (15) 이외에 배선을 포함해도 되며, 이들 변형예도 본 발명의 범주에 포함되는 것이다. 또한, 제 1 접속 단자 (16), 제 2 접속 단자 (17) 의 땀납 접속 계면은 적절히 표면 처리를 실시할 수 있다. 표면 처리의 종류나 두께는 특별히 한정되지 않는다.

[0166] (제조 공정의 개략 설명)

[0167] 본 발명에 있어서의 인터포저 제조 방법의 개략은 하기의 공정으로 이루어진다.

[0168] 먼저, 지지 기판을 준비한 다음, 이하의 공정에 의해, 인터포저를 얻을 수 있다.

[0169] 1) 지지 기판 상에 제 1 외층 구조체를 형성하는 제 1 공정,

[0170] 2) 상기 제 1 외층 구조체의 상방에 내층 구조체를 형성하는 제 2 공정,

[0171] 3) 상기 내층 구조체의 상방에 제 2 외층 구조체를 형성하는 제 3 공정,

[0172] 4) 상기 제 1 외층 구조체와 지지 기판을 박리하는 제 4 공정,

[0173] 상기 제 1 외층 구조체 및 제 2 외층 구조체의 최외층 상에 접속 단자를 형성하는 제 5 공정

[0174] 제 1 외층 구조체 및 제 2 외층 구조체의 형성이 완료되면, 지지 기판이 없어도 인터포저 단체로 충분한 강성을 확보할 수 있다. 이 때문에, 이후의 공정에서는, 지지 기판으로부터 박리하여 인터포저 혹은 반도체 패키지를 제조할 수 있게 된다.

[0175] · 지지 기판이 없기 때문에, 기판 양면에 노출되는 접속 단자에 표면 처리나, 땀납 범프 형성, 돌기 전극 형성이 가능해진다. 이렇게 하여 인터포저 양면에 제 1 및 제 2 접속 단자를 형성할 수 있다.

[0176] (제조 방법의 상세 설명)

[0177] 이하에서는, 도 7 내지 도 10 을 참조하여, 인터포저 및 반도체 패키지의 제조 방법의 상세에 대해 설명한다.

[0178] <지지 기판 준비 공정>

[0179] 도 7(a) 에 나타내는 바와 같이, 먼저, 지지 기판 (1) 을 준비한다. 지지 기판 (1) 은, 예를 들면, 유리 기판 상에 레이저 박리층을 형성하고, 레이저 박리층 상에 금속층 (2) 을 형성한 것을 사용할 수 있다. 금속층 (2) 은 무전해 도금, 스퍼터에 의해 형성해도 된다. 또는, CCL (Copper Clad laminate) 기판 상에 프리프레그를 개재하여, 금속층 (2) 으로서 캐리어 동박을 형성한 지지 기판을 사용해도 된다. 여기서, 캐리어 동박은, 캐리어 동박-박리층-극박 동박의 3 층 구조로 되어 있어, 박리층 계면에서 물리적으로 용이하게 박리할 수 있는 동박이다. 지지 기판의 종류는 상기한 것에 한정되지 않고, 공지된 다양한 기판을 사용할 수 있다.

[0180] 도 7(b) 는 금속층 (2) 상에 레지스트층 형성 후, 패터닝하여 레지스트 패턴 (3) 을 형성한 기판이다. 레지스트의 두께는 형성하는 패드 높이를 감안하여 적절히 결정한다. 본 발명의 실시예에서는, 액상 레지스트 70 μm 로 도포하고, 제 1 접속 단자의 패드로서 55 μm 피치, 직경 25 μm 의 원기둥 패드를 형성할 수 있도록 패턴을 형성하였다.

[0181] 도 7(c) 는 도 7(b) 의 공정 후에, 전해 구리 도금에 의해 도전 부재 (4) 를 형성한다. 그 후, 레지스트 박리를 실시한 것이다. 원기둥 형상의 도전 부재 (4) 는 패드로서 기능하게 된다. 본 실시형태에서는, 구리 도금에 의한 도전 부재 (4) 의 Z 방향의 평균 높이를 65 μm 로 형성하였다.

[0182] 또한, 다음 공정에서 제 1 외층 구조체 (5) 를 구성하는 제 1 절연 수지층 (8) (비감광성 수지) 을 형성하기 전에, 구리 패턴과 비감광성 절연 수지의 밀착성을 향상시키기 위해, 예를 들어, 공지된 구리의 조화 처리 (CZ 처리) 나, 치환 주석 도금 후에 실란 커플링 처리를 적절히 실시해도 된다.

- [0183] 도 7(d) 는, 제 1 외층 구조체 (5) 가 되는 비감광성 절연 수지를 형성한 도면이다. 본 실시형태에 있어서의 비감광성 수지로 이루어지는 제 2 절연 수지층 (6) 은, 적어도 필러를 함유하는 비감광성 수지이며, 탄성률이 5 GPa 이상, CTE 가 20 ppm 이하의 프리프로그, 빌트업 수지, 몰드 수지에서 선택되는 것이 바람직하다. 본 실시형태에서는, 70 μm 두께의 필름상 몰드 수지를 사용하여, 진공 라미네이트에 의해 제 2 절연 수지층 (6) 을 형성하였다. 비감광성 수지의 종류, 두께, 형성 방법은 본 실시형태에 한정되는 것은 아니고, 적절한 재료나 형성 방법을 선택하는 것이 가능하다.
- [0184] 도 7(e) 는, 제 2 절연 수지층 (6) 을 그라인더로 연삭하여, 제 1 외층 구조체 (5) 의 패드가 되는 도전 부재 (4) 를 노출시킨 것이다. 패드의 노출 방법은, 본 실시형태의 방법에 한정되는 것은 아니고, 공지된 그라인더에 의한 연마, 버프 연마, 벨트 연마, 플라이킷법, CMP 여도 된다. 이로써, 본 실시형태에서는 제 1 외층 구조체 (5) 의 제 2 절연 수지층 (6) 안에 패드가 되는 도전 부재 (4) 가 형성되게 된다. 본 실시형태에서는, 제 1 외층 구조체 (5) 는, 두께 60 μm 로 형성하였다.
- [0185] 도 8(f) 는, 제 1 외층 구조체 (5) 의 상부에 내층 구조체 (7) 의 제 1 절연 수지층 (8) 을 형성하고, 비아 (9) 를 형성한 것이다. 본 실시형태에 있어서는, 제 1 절연 수지층 (8) 을 감광성 절연 수지를 사용하여 6 μm 두께로 형성하고, 직경 15 μm 의 비아 (9) 를 형성하고 있다.
- [0186] 제 1 절연 수지층 (8) 에 비감광성 수지를 사용한 경우, 레이저 가공에 의해 비아 (9) 를 형성할 수 있다. 레이저 가공은, 일반적 레이저 가공, 예를 들면 CO₂ 레이저, UV 레이저를 사용할 수 있다.
- [0187] 또한, 레이저 가공 후에 적절히 디스미어 처리를 실시해도 된다. 이로써, 레이저 가공 후의 잔사를 제거할 수 있다.
- [0188] 본 실시예의 경우, 제 1 절연 수지층 (8) 을 10 μm 두께로 형성하고, 직경 15 μm 의 비아 (9) 를 형성하고 있다.
- [0189] 도 8(g) 는, 제 1 절연 수지층 (8) 에 시드 금속층 (도시 생략) 을 형성한 후에, 레지스트 패턴 (3) 을 형성하고, 또한 전해 도금에 의해 내층 배선층의 비아 (9) 및 배선 (10) 을 형성한 것이다. 본 실시형태에 있어서는, 시드 금속층으로서 Ti/Cu = 50/300 nm 를 스퍼터링에 의해 형성하고, 레지스트 두께는 5 μm 로 형성하였다. 이로써, L/S = 2/2 μm 의 레지스트 패턴 (3) 을 형성한 후, 전해 도금을 사용하여 두께 2.3 μm (비아를 포함하면 6 μm +2.3 μm) 의 배선 (10) 을 형성하였다.
- [0190] 제 1 절연 수지층 (8) 에 비감광성 절연 수지를 사용한 경우, 본 실시형태에서는, 도 8(g) 와 동일하게 시드 금속층으로서 무전해 구리 도금을 0.8 μm 로 형성하고, 레지스트 두께 10 μm 로 형성하였다.
- [0191] 이로써, L/S = 5/5 μm 의 레지스트 패턴 (3) 을 형성한 후, 전해 도금을 사용하여 두께 5 μm (비아를 포함하는 경우, 10 μm +5 μm) 의 배선 (10) 을 형성하였다.
- [0192] 도 8(h) 는, 레지스트 패턴 (3) 을 박리한 후에 시드 금속층을 제거하고, 제 1 절연 수지층 (8) 및 비아 (9) 와 배선 (10) 으로 이루어지는 내층 배선층이 형성된 도면을 나타내고 있다.
- [0193] 또한, 배선 형성 방법, 절연 수지층의 형성 방법은 본 실시형태의 방법으로 한정되는 것은 아니고, 적당한 형성 방법을 선택하는 것이 가능하다.
- [0194] 도 8(i) 는 도 8(f) ~ (h) 에 나타낸 공정을 추가로 3 회 반복함으로써, 배선 (10) 및 제 1 절연 수지층 (8) 이 각각 4 층 적층된 내층 구조체 (7) 를 나타낸 것이다. 1 층당 제 1 절연 수지층 (8) 의 두께는 6 μm , 배선 (10) 의 두께는 2 μm 로 하고, 최외층의 배선 (10) 의 두께는 12 μm 로 하고 있다. 이것은, 외층 배선층의 제 2 절연 수지층 (12) 에 레이저로 비아 구멍을 형성할 때에, 배선이 관통되어 버리는 것을 피하기 위한 것이다.
- [0195] 이 결과, 내층 구조체 (7) 의 두께는 36 μm 로 되어 있다.
- [0196] 내층 구조체 (7) 는, 제 1 절연 수지층 (8) 에 비감광성 절연 수지를 사용한 경우에도, 도 8(i) 와 동일하게, 도 8(f) ~ (h) 에 나타낸 공정을 추가로 3 회 반복함으로써, 배선 (10) 및 제 1 절연 수지층 (8) 이 각각 4 층 적층을 얻을 수 있다. 이 때, 1 층당 제 1 절연 수지층 (8) 의 두께는 10 μm , 배선 (10) 의 두께는 5 μm 로 하고, 전술한 바와 동일하게 최외층의 배선 (10) 의 두께는 12 μm 로 하고 있다.
- [0197] 이 결과, 내층 구조체 (7) 의 두께는 52 μm 로 되어 있다.

- [0198] 도 8(j) 는, 제 2 외층 구조체 (11) 를 형성하는 공정을 설명하는 도면이다. 먼저, 내층 구조체 (7) 의 상방에, 제 2 외층 구조체 (11) 의 제 2 절연 수지층 (12) 이 되는 프리프레그, 캐리어 부착 동박을 적층 프레스로 형성한다. 본 실시예에서는, 캐리어박 두께 18 μm , 박박 (薄箔) 측 두께 3 μm 의 캐리어 부착 동박을 사용하고, 3 μm 의 박동박 (13) 을 프리프레그측에 배치하였다. 프리프레그는 70 μm 두께의 것을 사용하였다. 또한, 도 8(j) 이후의 공정은, 제 1 절연 수지층 (8) 에 감광성 절연 수지 및 비감광성 절연 수지를 사용한 경우와 공통이다.
- [0199] 도 9(k) 는, 캐리어 부착 동박으로부터 캐리어박을 박리 제거하고, 추가로 CO₂ 레이저를 사용하여 제 2 외층 구조체 (11) 에 비아 (14) 를 형성한 것을 나타내고 있다. 이 후, 레이저 개구부를 디스미어 처리하고, 또한 무전해 구리 도금에 의해 비아부에 0.6 μm 두께의 무전해 구리 도금을 형성하였다 (도시 생략). 본 실시형태에서는, 직경 60 μm 의 비아를 150 μm 피치로 형성하였다.
- [0200] 도 9(l) 은, 레지스트 패턴 (3) 을 형성한 후에, 전해 구리 도금에 의해 패드 (15) 를 형성한 것이다. 본 실시예에서는, 18 μm 두께의 전해 구리 도금층에 의해, 패드 (15) 의 표층부를 형성하였다. 즉, 패드 (15) 는, 표층 두께 (비아를 포함하지 않는다) 는 18 μm 가 되어, 비아 부분을 포함하면 (비아 심도 70 μm +18 μm) 가 된다.
- [0201] 도 9(m) 는, 레지스트 패턴 (3) 의 제거 후, 박동박 (13) 및 무전해 구리 도금층을 에칭 제거하여, 제 2 외층 구조체 (11) 를 형성한 도면이다. 본 실시형태에서는, 제 2 외층 구조체에 직경 75 μm , 패드 두께 15 μm 의 패드 (15) 가 150 μm 피치로 형성되어 있다.
- [0202] 도 9(n) 은, 도 9(m) 의 상하를 반전하여 나타낸 도면으로, 지지 기판 (1) 을 제거하는 공정을 나타낸 것이다. 제 2 외층 구조체 (11) 의 표면에 보호 시트를 형성한 후에 (도시 생략) 금속층 (2) 을 에칭 제거하고, 또한 제 2 외층 구조체 (11) 의 보호 시트를 제거 (도시 생략) 함으로써, 제 1 외층 구조체 (5) 에 도전 부재 (4) 와 패드 (15) 가 노출된 인터포저 (100) 를 얻을 수 있다. 본 실시형태에 의하면, 도 9(n) 이후의 공정은, 내층 구조체 (7) 의 양면에, 고탄성, 저 CTE 재료에서 선택되는 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 가 형성되어 있고, 총 두께 50 μm 이상의 인터포저 (100) 가 형성되게 된다. 이와 같이 형성된 인터포저는, 인터포저 단체로, 반송할 수 있는 강성을 가지고 있다. 또한, 인터포저로부터는 지지체가 제거되어 있기 때문에, 인터포저의 양면이 노출된 상태로 되어 있어, 인터포저 표리에 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 를 형성하는 것이 가능해진다.
- [0203] 도 10(o) 는, 제 1 외층 구조체 (5) 의 외부 접속 단자인 도전 부재 (4) (패드) 와 제 2 외층 구조체 (11) 의 외부 접속 단자의 패드 (15) 에 표면 처리를 실시하는 공정을 나타내고 있다. 이들 표면 처리의 종류나 두께는 적당한 공지된 수법을 채용할 수 있다.
- [0204] 표면 처리 후에는, 양 패드층 상에 뱀납을 형성할 수 있다. 이 뱀납의 형성 방법에 대해서도, 스크린 인쇄법, 볼 탑재법, 전기 도금법, 레지스트 패턴 형성 후에 용융 뱀납 충전하는 등의 공지 방법을 적절히 채용할 수 있다. 본 실시형태에서는, 표면 처리로서 무전해 Ni/Pd/Au 를 양면에 실시하고, 표리 볼 탑재 공법을 사용하여 뱀납 형성하였다. 이렇게 해서, 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 상에 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 가 형성된 본 실시형태에 있어서의 인터포저 (100) 를 얻을 수 있다.
- [0205] 도 10(p) 는, 인터포저 (100) 의 양면의 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 에 대해 전기 검사 탐침을 동시에 접촉시켜 인터포저 (100) 의 전기 검사를 실시하는 공정을 나타내고 있다.
- [0206] 구체적인 전기 검사 및 그 결과를 활용한 제조 순서는, 다음과 같이 된다.
- [0207] 1) 접속 단자로부터 인터포저의 전기 검사를 실시하는 제 1 검사 공정,
- [0208] 2) 제 1 검사 공정의 결과에 기초하여, 인터포저의 양부를 판단하는 제 1 판단 공정,
- [0209] 3) 제 1 판단 공정에 있어서 「양호」라고 판단된 인터포저에, 반도체 장치를 탑재하는 가접속 공정,
- [0210] 4) 가접속 공정에서 가접속된 반도체 패키지에 대해, 전기 검사를 실시하는 제 2 검사 공정,
- [0211] 5) 제 2 검사 공정의 결과에 기초하여, 반도체 패키지의 양부를 판단하는 제 2 판단 공정,
- [0212] 6) 제 2 판단 공정에 있어서 「불량」이라고 판단된 반도체 장치에 대해, 실장의 수복 및/또는 교환을 실시하는 보수 공정.

- [0213] 또한, 상기의 제조 순서에 추가하여, 이하의 순서를 실행해도 된다.
- [0214] 7) 보수 공정 후에 반도체 패키지에 대해 전기 검사를 실시하는 제 3 검사 공정,
- [0215] 8) 제 3 검사 공정의 결과에 기초하여, 반도체 패키지의 양부를 판단하는 제 3 판단 공정,
- [0216] 9) 제 3 판단 공정에 있어서 「양호」라고 판단된 반도체 패키지의 반도체 장치와 인터포저의 간극에 언더필을 공급하는 고정 공정.
- [0217] 전기 검사를 실시하는 것이 실시 가능한 물리적 요건 (예를 들면, 강성의 정도) 에 대해서는, 예를 들면, 4 점 굽힘 시험에 의한 하중 (N) 과 그에 대응하는 휨량 (mm : 굽힘 정점의 Z 방향 변위량) 의 관계로부터 물리적 특성값을 취하는 것도 고려된다.
- [0218] 또 JIS 규격에 있어서의 JIS 7017 등에 의해, 굽힘 변형의 탄성률 (Δ 응력/ Δ 변형 : 단위 변형량 당의 응력) 에 의해 정하는 것도 가능하다.
- [0219] (제 1 실시형태의 효과)
- [0220] 본 실시형태에 의한 인터포저 (100) 는, 전술한 바와 같이, 인터포저 단체로 반송할 수 있는 강성을 가지고 있고, 인터포저의 양면에 제 1 연결 단자 (16) 및 제 2 연결 단자 (17) 가 노출되어 형성되어 있기 때문에, 반도체 장치의 탑재 전에 인터포저 (100) 자체의 전기 검사를 실시할 수 있어, 인터포저의 양부 판정을 실시할 수 있다. 이 때문에, 이 후의 반도체 패키지 제조 공정에 대해, 양품으로 판단되는 인터포저만을 제공할 수 있고, SiP 조립 수율 향상에 공헌할 수 있다.
- [0221] 도 10(q) 는, 본 실시형태에 있어서의 복수 개의 인터포저가 격자상으로 연속적으로 형성되어 있는 패널 원반을 A-A 부분에서 다이싱함으로써 개편화하고, 개개의 인터포저를 잘라내는 공정을 나타내는 도면이다. 이렇게 해서 본 실시형태에 있어서의 인터포저 (100) 를 제조할 수 있다.
- [0222] (제 1 실시형태의 변형예)
- [0223] 다음으로, 도 11(a) ~ (e) 를 참조하여, 제 1 실시형태의 변형예에 의한 제조 공정을 설명한다.
- [0224] 도 11(a) 는, 도 7(a) 와 동일하며, 지지 기판 (1) 은, 예를 들면 유리 기판 상에 레이저 박리층을 형성하고, 레이저 박리층 상에 금속층 (2) 을 형성한 상태를 나타내고 있다. 금속층 (2) 은 무전해 도금, 스퍼터에 의해 형성해도 되고, CCL (Copper Clad laminate) 기판 상에 프리프레그를 개재하여, 금속층 (2) 으로서 캐리어 동박을 형성해도 된다.
- [0225] 다음으로 도 11(b) 에 있어서는, 지지 기판 (1) 상에 제 1 외층 구조체 (5) 가 되는 제 2 절연 수지층 (6) 을 형성한다.
- [0226] 그 후, 도 11(c) 에 나타내는 바와 같이, 레이저 가공에 의해, 제 1 외층 구조체 (5) 의 패드를 형성하기 위한 비아를 형성한다. 비아의 형성 후에는, 디스미어 처리 등을 적절히 실시해도 된다.
- [0227] 그 후, 도 11(d) 에 나타내는 바와 같이, 비아 안을 포함하는 전체면에 금속층 (도시 생략) 을 형성하고, 레지스트 패턴 (3) 을 형성한다. 그 후, 전해 도금을 실시하여, 비아 내에 금속을 충전하고, 도전 부재 (4) 를 형성한다.
- [0228] 다음으로, 도 11(e) 에 나타내는 바와 같이, 포토레지스트 제거 후, 노출되는 불필요한 금속층을 에칭 제거함으로써 제 1 외층 구조체 (5) 를 얻을 수 있다.
- [0229] 또한, 본 변형예에서는, 단층으로 이루어지는 제 1 외층 구조체를 설명했지만, 도 5 에 나타내는 바와 같은 복수층으로 형성하는 제 1 외층 구조체를, 본 변형예의 방법으로 형성하는 것도 가능하다.
- [0230] (반도체 장치 조립 방법)
- [0231] 다음으로, 도 12 를 참조하여, 본 실시형태에 있어서의 인터포저에 반도체 장치를 탑재하여 반도체 패키지를 제조하는 방법에 대해 설명한다.
- [0232] 도 12(a) 는, 인터포저 상에 반도체 장치 (50 및 51) 를 탑재하여, 반도체 패키지를 제조하는 공정의 개략 단면도이다. 본 실시형태에 있어서 사용되는 인터포저는, 인터포저 단체로서의 전기 검사를 실시 완료하여, 양품인 것이 확인된 것을 사용하고 있다.

- [0233] 반도체 장치의 실장 방법은, 예를 들어 매스 리플로, TCB (Thermo-Compression bonding) 등의 공지된 실장 기술을 사용할 수 있다. TCB 를 사용하면, 복수 반도체 장치의 탑재 중이나 리플로 중에 위치 어긋남이나, 인터포저의 고온 가열에 의한 CTE 미스매치가 발생하기 어렵다.
- [0234] 또, 본 실시형태에 있어서의 언더필 공정은, NCF (Non-Conductive Film) 나 NCP (Non-Conductive Paste) 등을 채용하지 않고, 캐필러리 언더필을 사용하는 것이 바람직하다. 이것은, 캐필러리 언더필을 채용하면, 나중의 전기 검사에 있어서, 반도체 장치에 불량률이 발견된 경우, 불량률이 된 반도체 장치의 교환이 용이하기 때문이다.
- [0235] 다음으로, 도 12(b) 는, 본 실시형태에 있어서의 반도체 패키지로서의 SiP 의 전기 검사를 나타내는 도면이다. 제 2 접속 단자 (17) 에 검사 프로브 (18) 를 접촉시켜 전기 검사를 실시함으로써, 개개로 탑재된 반도체 장치를 포함한 「실장 수율 ($Y_{ASSEMBRY}$)」 을 검사할 수 있어, 실장 불량 또는 반도체 장치의 불량을 특정할 수 있다.
- [0236] 도 12(c) 는, 전공정에서 특정한 실장 불량 또는 불량한 반도체 장치 (52) 를 부분적으로 제거하여, 양품의 반도체 장치 (53) 로 교환하는 공정을 나타낸 단면 모식도이다. 본 실시형태에 있어서는, 탑재한 반도체 장치는, 몰드 수지나 언더필로 칩 고정하지 않기 때문에, 실장 불량률의 개소나 불량한 반도체 장치를 부분적 수정하는 것이 가능해진다. 수정 후에 식 (4) 로 나타내는 ($Y_{ASSEMBRY}$) = 100 % 로 할 수 있다.
- [0237] 따라서 본 실시형태에 있어서의 인터포저에 의하면, 통합하는 칩 개수 N 에 상관하지 않고 SiP 조립 전체 수율 (Y_{TOTAL}) 의 향상에 공헌할 수 있다. 수정은, TCB 실장의 반대의 공정을 실시함으로써 실행 가능하다.
- [0238] 도 13(d) 는, 복수의 반도체 장치가 탑재된 본 실시형태에 의한 반도체 패키지 (150) 에 언더필 공급 장치 (54) 를 사용하여 언더필 (19) 을 형성하는 캐필러리 언더필 공정을 나타내는 도면이다. 검사 수정 후에 언더필 (19) 을 사용하여, 반도체 장치를 본 실시형태에 있어서의 인터포저에 고정시킬 수 있다.
- [0239] 도 13(e) 는, 추가로 반도체 장치 상에 몰드 수지 (20) 를 형성한 단면 모식도이다. 본 몰드 수지에 의한 고정 공정은 반드시 필수인 공정은 아니다. 또, 몰드에 의한 고정은, 공지된 적절한 방법을 채용할 수 있다. 또한 몰드 수지 (20) 상면을 연마하여, 반도체 장치의 상단을 노출시켜도 된다.
- [0240] 이상과 같이, 도 12 (a) 내지 도 13(d) 혹은 (e) 의 공정을 거쳐, 반도체 장치가 탑재된, 반도체 패키지 (150) 를 제조할 수 있다. 본 실시형태에 의하면, 인터포저가 독립적으로 존재하기 때문에, 하기 이점이 얻어진다.
- [0241] 1) ($Y_{INTERPOSER}$) = 100 % 의 검사 보증이 완료된 인터포저를 실장 공정에서 사용할 수 있다. 또한 리페어 회수에 의해 ($Y_{ASSEMBRY}$) = 100 % 에 근접하게 할 수 있다. 따라서 SiP 조립 전체 수율을 향상시키는 것이 가능해진다.
- [0242] 2) FC-BGA 와 인터포저 (100) 가 독립되어 있으므로, 인터포저에 반도체 장치를 탑재하고, 반도체 패키지로 한 후에 FC-BGA 나 마더보드에 실장하는 것도 가능하며, 인터포저를 FC-BGA 나 마더보드에 실장한 후에 반도체 장치를 탑재하는 것도 가능해져, 제조 공정의 자유도를 향상시킬 수 있다.
- [0243] 3) 각 부재의 CTE 에 대해서도, 인터포저가 반도체 장치와 FC-BGA 기관의 중간값으로 할 수 있기 때문에, 반도체 장치와 인터포저를 먼저 조립하고, 나중에 BGA 에 실장함으로써, 반도체 장치와 FC-BGA 의 CTE 의 정합을 증가할 수 있어, 접속 신뢰성 향상에 기여한다.
- [0244] 4) FC-BGA 를 통하지 않고 직접 마더보드에 접속하는 형태도 적절히 선택할 수 있다.
- [0245] (제 2 실시형태)
- [0246] 다음으로, 도 14 를 참조하여, 제 2 실시형태에 대해 설명한다. 도 14 는, 제 2 실시형태에 관련된 인터포저 (100) 의 개략 단면도이다. 제 2 실시형태는, 제 1 실시형태에 대하여, 내층 구조체 (7) 의 형성 면적이 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 보다 작고, 인터포저 측면에 내층 구조체 (7) 가 노출되어 있지 않은 점에서 상이하다. 즉, 제 2 실시형태의 인터포저 (100) 에 있어서는, 내층 배선층의 측면이 제 2 외층 구조체 (11) 에 의해 둘러싸여 있다.
- [0247] (제 2 실시형태의 제조 방법)
- [0248] 다음으로, 도 15 를 참조하여, 제 2 실시형태의 제조 방법에 대해 설명한다. 이하의 설명에 있어서, 상기

서술한 제 1 실시형태와 동일 또는 동등한 구성 요소에 대해서는 동일한 부호를 붙여, 그 설명을 간략 또는 생략하고, 제 1 실시형태와의 상이점만을 설명한다.

- [0249] 제 2 실시형태의 제조 방법의 전반은, 제 1 실시형태의 제조 방법을 설명한 도 7(a) ~ (e) 와 동일한 공정으로 제조할 수 있다. 이후에서는, 제 1 실시형태와의 상이점에 대해서 도 15(f) 내지 (q) 를 사용하여 제 2 실시형태의 인터포저, 반도체 패키지 및 그들의 제조 방법에 대해 설명한다.
- [0250] 도 15(f) 는 도 7(f) 에 대응하는 공정이다. 제 2 실시형태에 있어서는, 제 1 외층 구조체 (5) 상에 내층 구조체 (7) 의 제 1 절연 수지층 (8) 을 형성한 후, 비아 (10) 의 형성과 함께 인터포저의 측면 (30) 의 제 1 절연 수지층 (8) 을 제거한다. 제 1 절연 수지층 (8) 이 비감광성 절연 수지인 경우, 비아 (10) 형성과 동시에 레이저 어블레이션에 의해, 인터포저의 측면 (30) 을 제거할 수 있다. 제 1 절연 수지층 (8) 이 감광성 절연 수지인 경우에는, 측면 (30) 의 제거는, 포토리소그래피에 의한 현상 제거로 용이하게 실시할 수 있다.
- [0251] 도 15(i) 는 내층 배선층의 형성을 3 회 반복한 후의 공정 개략도로, 도 8(i) 에 대응한다. 제 1 절연 수지층 (8) 이 비감광성 절연 수지인 경우, 측면 (30) 의 제 1 절연 수지층 (8) 의 제거는, 복수의 내층 배선층을 형성한 후에, 일괄하여 레이저 어블레이션을 사용해서 제거해도 된다. 또는, 하프 다이싱에 의해 절연 수지 단부를 제거해도 된다.
- [0252] 나아가서는 레지스트 형성 후 드라이 에칭으로 제거해도 되고, 웨트 에칭으로 수지를 용해 제거해도 된다. 측면 (30) 의 제 1 절연 수지층 (8) 의 제거 방법은 본 실시형태에서 설명한 방법에 한정되지 않고, 공지된 제거 방법을 적절하게 채용할 수 있다.
- [0253] 도 15(j) 는, 도 8(j) 에 대응한 공정을 설명하는 도면이다. 먼저, 내층 구조체 (7) 의 상방에, 제 2 외층 구조체 (11) 의 제 2 절연 수지층 (12) 이 되는 프리프레그, 캐리어 부착 동박을 적층 프레스로 형성한다. 본 제 2 실시형태에서는, 내층 구조체 (7) 의 측면 (30) 은 제 2 절연 수지층 (12) 으로 덮이는 구조가 된다.
- [0254] 도 15(j-2) 는, 도 15(j) 에 나타난 구조를 입체로 본 모식도이다. 내층 구조체 (7) 는 제 1 외층 구조체 (5) 보다 작은 면적으로 형성되어 있고, 그 상면에 제 2 외층 구조체 (11) 가 형성된 구조가 된다.
- [0255] 도 15(q) 는, 도 10(q) 에 대응한 공정을 설명하는 도면이다. 제 2 실시형태에 있어서는, 다이싱은 도 15(q) 의 A-A 부분에서 잘라냄으로써, 인터포저 (100) 의 측면 (30) 에 내층 배선층을 노출시키지 않고, 제 2 절연 수지층 (6) 에 의해 덮인 형상으로 할 수 있다.
- [0256] (제 2 실시형태의 효과)
- [0257] 이로써, 내층 구조체의 측면을 보호할 수 있게 되어, 인터포저 (100) 의 강성을 더욱 충분히 확보할 수 있다. 또한, 내부 구조체가 모든 면에서 제 2 절연 수지층 (12) 에 의해 덮여 있는 점에서, CTE 의 상이에서 기인하는 응력 왜곡에 대해서도, 보다 높은 내성을 갖게 된다.
- [0258] 보다 구체적으로는, 제 1 외층 구조체 및 제 2 외층 구조체는, 탄성률이 5 GPa 이하, CTE 20 ppm/°C 이하의 고탄성이며 저 CTE 재료를 사용하기 때문에, 내층 배선층 측면을 보호·보강할 수 있다. 특히 열사이클 스트레스에 의한 내층 구조체 (7) 의 측면 (30) 의 크랙이나 층간 박리를 억제하는 효과가 있다.
- [0259] (제 3 실시형태)
- [0260] 다음으로, 도 16 을 참조하여, 제 3 실시형태에 대해 설명한다. 도 16(a) 는, 본 실시형태에 있어서의 제 3 실시형태의 인터포저 (100) 의 개략 단면도이다. 제 3 실시형태는, 제 1 실시형태에 대하여, 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 에 돌기 전극을 구비하고 있는 점에서 제 1 실시형태와 상이하다.
- [0261] 이하, 도 16 을 참조하여, 제 3 실시형태의 인터포저, 반도체 패키지 및 그들의 제조 방법에 대해 설명한다.
- [0262] 제 3 실시형태는, 제 1 외층 구조체 (5) 의 상방, 즉, 제 1 절연 수지층을 관통하는 도전 부재의 상방에 돌기 전극 (22), 또는 제 2 외층 구조체의 하방, 즉, 제 2 절연 수지를 관통하는 도전 부재의 하방에 돌기 전극 (23) 이 형성되어 있다. 제 1 외층 구조체의 상방에 형성된 돌기 전극 (22) 상에 뿔납을 형성함으로써, 제 1 접속 단자 및 제 2 접속 단자의 각각의 안에 높이가 상이한 외부 접속 단자를 형성하는 것이 가능해진다.
- [0263] 제 3 실시형태에 있어서도, 내층 구조체 (7) 의 양면에 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 를 형성함으로써, 지지 기관으로부터 분리한 후에도, 인터포저 단독으로 제조 공정에 있어서의 반송이 가능하다. 동시에, 지지 기관이 없는 점에서, 인터포저의 양면에 돌기 전극의 형성을 실시하는 것도 가능하게 되어 있다.

- [0264] 또한, 돌기 전극 (22 및 23) 의 형성 방법은, 공지 기술인 전극 형성 방법을 적절히 채용할 수 있다.
- [0265] 도 16(b) 는, 제 3 실시형태의 일례로서, 인터포저 (100) 양면에 반도체 장치 (50 및 51) 가 각각 접속 탑재된 반도체 패키지의 예이다. 높이가 상이한 외부 접속 단자를 형성함으로써, 반도체 장치 (50 또는 51) 를 인터포저의 양면에 탑재하는 것이 가능해져, 반도체 장치의 실장의 자유도를 향상시키는 것이 가능하게 되어 있다.
- [0266] 또한, 각각의 반도체 장치 (50 및 51) 에 언더필 (19) 또는 몰드 수지 (20) 를 형성해도 되는 것은 말할 필요도 없다. 반도체 장치에 대한 언더필 (19) 이나 몰드 수지 (20) 의 형성 방법 혹은 구조는 공지 기술인 실장 기술을 적절히 채용할 수 있다.
- [0267] (제 3 실시형태의 제조 방법)
- [0268] 다음으로, 도 17 을 참조하여, 제 3 실시형태의 제조 방법을 설명한다. 이하의 설명에 있어서, 상기 서술한 제 1 실시형태와 동일 또는 동등한 구성 요소에 대해서는 동일한 부호를 붙여, 그 설명을 간략 또는 생략하고, 제 1 실시형태와의 상이점만을 설명한다.
- [0269] 제 3 실시형태의 제조 방법의 전반은, 제 1 실시형태의 제조 방법을 설명한 도 7(a) ~ 도 9(1) 과 동일한 공정으로 제조할 수 있다. 이후에서는, 제 1 실시형태와의 상이점에 대하여 도 17(1) 내지 도 21 을 사용해서 제 3 실시형태의 인터포저, 반도체 패키지 및 그들의 제조 방법에 대해 설명한다.
- [0270] 도 17(1) 은, 제 1 실시형태의 도 8(1) 에 대응하고 있고, 이 공정까지는 제 1 실시형태와 동일한 방법으로 제조할 수 있다.
- [0271] 도 17(m) 의 공정은, 도 17(1) 에 기재된 레지스트 (3) 와 지지 기판 (1) 을 제거한 인터포저 (100) 의 단면도이다. 또한, 도 17(m) 에 있어서, 편의상, 도 17(1) 에 대하여 상하를 반전시켜 표기하고 있다.
- [0272] 도 17(m) 에 있어서는, 제 1 외층 구조체 (5) 및 제 2 외층 구조체 (11) 상의 각각에, 금속층 (2) 및 캐리어 동박의 박동박 (13) 이 형성되어 있다.
- [0273] 다음으로, 도 17(n) 은, 제 1 접속 단자 (16), 제 2 접속 단자 (17) 를 형성하는 공정을 설명하는 도면이다. 도 17(m) 에 계속해서, 금속층 (2) 및 캐리어 동박의 박동박 (13) 의 양면에 레지스트 패턴 (3) 을 형성하고, 전해 Ni 도금, 뱀납이 되는 전해 Sn-Ag 도금을 형성하여, 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 를 형성할 수 있다. 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 의 형성 두께 및 체적을 제 1 외층 구조체측과 제 2 외층 구조체측에서 다르게 하는 경우에는, 전해 도금 공정에 있어서, 각각의 시드층에 흘리는 전류치를 바꿈으로써, 임의의 형상으로 형성할 수 있다. 혹은, 도 17(m) 의 공정에 있어서, 편면에 보호층을 형성하고, 타방의 면에는 레지스트 (3) 를 형성함으로써, 편면식 외부 접속 단자를 형성해도 된다. 또한, 양면의 레지스트 패턴 형성 후, 편면에 보호 시트를 형성한 후에 편면식 전해 도금을 실시해도 형성할 수 있다. 전해 도금 방법, 레지스트 패턴 형성 방법은 공지된 패턴 형성 방법을 적절히 선택하는 것이 가능하고, 상기된 방법에 한정되는 것은 아니다. 또한, 본 공정 후에 뱀납층을 리플로 노 (爐) 에서 가열하여 라운드 범프로 해도 된다.
- [0274] 도 18(o) 는, 돌기 전극 (22 및 23) 을 형성하는 공정을 설명하는 도면이다. 도 17(n) 의 공정 후에 레지스트 패턴 박리 후, 새롭게 레지스트 패턴 (3) 을 형성하고, 전해 구리 도금, 전해 Ni 도금, 전해 Sn-Ag 도금을 실시함으로써, 돌기 전극 (22 및 23) 을 형성할 수 있다.
- [0275] 제 1 접속 단자 (16) 및 돌기 전극 (22), 제 2 접속 단자 (17) 및 돌기 전극 (23) 의 형성 두께 및 체적을 제 1 외층 구조체측과 제 2 외층 구조체측에서 다르게 하는 경우에는, 전해 도금 공정에 있어서, 각각의 시드층에 흘리는 전류치를 바꿈으로써 임의의 형상으로 형성할 수 있다. 형성 두께 및 체적이 크게 상이한 경우에는, 양면의 레지스트 패턴 형성 후, 편면에 보호 시트를 형성한 후에 편면식 전해 도금을 실시해도 형성할 수 있다. 전해 도금 방법, 레지스트 패턴 형성 방법은 공지된 패턴 형성 방법을 적절히 선택하는 것이 가능하며, 상기된 방법에 한정되는 것은 아니다. 또한, 본 공정 후에 뱀납층을 리플로 노에서 가열하여 라운드 범프로 해도 된다.
- [0276] 도 18(p) 는, 제 3 실시형태에 있어서의 인터포저 (100) 를 나타내는 도면이다. 도 18(o) 의 기판의 레지스트 (3) 를 박리 후, 금속층 (2) 및 캐리어 동박의 박동박층을 에칭 제거한다. 또한 뱀납층을 리플로 노에서 가열하여 라운드 범프로 함으로써, 제 3 실시형태에 있어서의 인터포저 (100) 를 얻을 수 있다.

- [0277] (제 3 실시형태의 효과)
- [0278] 제 3 실시형태의 인터포저에 의하면, 제 4 실시형태에 있어서 후술하는 바와 같이, 돌기 전극에 의해 얻어진 단차를 활용해서, 제 1 외층 구조체 (5) 의 상방에 반도체 장치를 적층하여 탑재하는 것이 가능하게 되어, SiP 의 집적률을 더욱 향상시킬 수 있다.
- [0279] (제 4 실시형태)
- [0280] 다음으로, 도 19 를 참조하여, 제 4 실시형태에 대해 설명한다. 제 4 실시형태는, 제 3 실시형태의 인터포저에 대하여 반도체 장치를 탑재한 반도체 패키지이다. 제 3 실시형태에 있어서의 돌기 전극을 사용하여, 제 1 외층 구조체 (5) 의 상방 및 제 2 외층 구조체 (11) 의 하방에 반도체 장치를 적층하여 탑재하는 것을 가능하게 하고 있는 점에서 제 1 실시형태와 상이하다.
- [0281] 또한, 제 4 실시형태에서는, 돌기 전극을 사용하여 인터포저 (100) 를 서로 적층하는 것도 가능하며, 이 점에서 도 제 1 실시형태와 상이하다.
- [0282] 도 19(a) 는 본 실시형태에 있어서의 인터포저의 제 4 실시형태이다. 도 19(a) 는 앞의 제 3 실시형태의 도 18(o) 에서 설명한 돌기 전극 (22 및 23) 상에 전해 Ni 및 전해 Sn-Ag 도금에 의한 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 를 형성하고 있지 않은 점에서 상이하다.
- [0283] 도 19(b) 는, 제 4 실시형태의 인터포저 (100) 에 있어서, 돌기 전극을 형성하고 있지 않은 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 상에 반도체 장치 (50 및 51) 를 탑재한 후의 공정을 나타내고 있다.
- [0284] 또한, 도 20(c) 는, 도 19(b) 의 반도체 장치가 탑재된 인터포저 양면에 몰드 수지를 형성한 후의 본 실시형태에 있어서의 반도체 패키지이다.
- [0285] 그리고, 도 20(d) 는, 도 20(c) 에 나타낸 반도체 패키지에 대하여, 반도체 패키지의 최표면에 형성된 몰드 수지를 연삭함으로써, 돌기 전극 (22) 및 돌기 전극 (23) 및 반도체 장치 (50, 51) 의 표면을 노출시킨 도면을 나타내고 있다.
- [0286] 노출된 돌기 전극 (22 및 23) 상에 표면 처리를 실시하여, 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 를 형성한다.
- [0287] 그 후, 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 에 대해 표면 처리로서 Ni/Pd/Au 처리를 실시하고, 편면식 뱀납 볼 탑재와 리플로에 의해 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 를 완성시킨다.
- [0288] 또한, 표면 처리의 종류나 방법, 뱀납 조성, 종류, 뱀납 형성 방법은, 공지된 처리 방법을 적절히 채용할 수 있다.
- [0289] 도 21 은, 복수의 반도체 패키지를 적층한 반도체 패키지의 예를 나타낸 도면이다.
- [0290] 도 21 의 공정에 있어서는, 도 20(d) 에 나타낸 반도체 패키지 (하단) 상에, 제 3 실시형태인 도 16(b) 에 나타낸 반도체 패키지 (상단) 를 적층한 반도체 패키지를 나타내고 있다.
- [0291] 또, 이와 같은 인터포저의 적층이나 반도체 장치의 적층은 상기 서술한 조합에 한정되는 것은 아니고, 물리적으로 가공이 가능한 범위에서 임의의 수의 적층을 구성할 수 있으며, 조합하는 반도체 장치나 인터포저의 종류도 임의로 선택할 수 있음은 말할 필요도 없다.
- [0292] 이상과 같이, 본 실시형태에 있어서의 인터포저를 사용하여 인터포저 적층 구조도 가능해져, 고도의 SiP 에 의한 반도체 패키지의 고기능화에 기여할 수 있다.
- [0293] (제 4 실시형태의 효과)
- [0294] 이상과 같이 지지체를 구비하지 않고 독립적으로 제조 공정을 반송 가능한 인터포저를 활용함으로써, 인터포저의 양면에 돌기 전극을 형성하는 것이 가능해지고, 이 돌기 전극을 사용하여, 인터포저의 양면에 단차를 갖는 접속 단자를 형성하는 것이 가능해진다. 그 결과, 인터포저의 양면에 각각 복수의 반도체 장치를 탑재하는 것이 가능해짐과 동시에, 이들 인터포저를 서로 접속하는 것도 가능해져, SiP 의 집적화, 고기능화를 현격히 높이는 것이 가능해진다.
- [0295] (제 5 실시형태)

- [0296] 다음으로, 도 25 를 참조하여, 제 5 실시형태에 대해 설명한다.
- [0297] 도 25(a) 는, 제 5 실시형태의 인터포저 (100) 에 내장 부품 (70) 이 매설되어 있는 인터포저 (100) 의 단면 모식도이다.
- [0298] 도 25(b) 는, 제 5 실시형태의 인터포저 (100) 에, 반도체 장치 (50 및 51) 를 탑재한 반도체 패키지 (150) 의 단면 모식도이다.
- [0299] 제 5 실시형태는, 제 1 실시형태에 대하여, 내장 부품 (70) 이 매설되어 있는 점에서 제 1 실시형태와 상이하다.
- [0300] 내장 부품 (70) 은, 상면에 있는 제 1 접속 단자 (16) 와 전기적으로 접속되어 있어도 된다. 또는, 내장 부품 (70) 하면에 내장 부품 접속 단자 (도시 생략) 가 있는 경우, 내층 구조체 (7) 의 비아 (9) 및 배선 (10) 을 통하여 제 1 접속 단자 (16) 또는 제 2 접속 단자 (17) 와 전기적으로 접속되어 있어도 된다.
- [0301] 또는, 내장 부품 (70) 의 상면과 하면의 양방에 접속 단자가 있는 경우, 동시에 양방의 접속 단자와 전기 접속 해도 된다.
- [0302] 내장 부품 (70) 의 크기는, 적어도 인터포저 (100) 보다 면적이 작고, 반도체 장치 탑재나, 배선 라우팅에 제약을 발생시키지 않는 크기인 것이 바람직하지만, 본 실시형태에 의해 한정되는 것은 아니다.
- [0303] 매설하는 내장 부품 (70) 의 개수는, 반도체 장치 탑재나, 배선 라우팅에 제약을 발생시키지 않는 정도가 바람직하지만, 본 실시형태에 의해 한정되는 것은 아니다.
- [0304] 내장 부품 (70) 의 두께는, 적어도 인터포저 (100) 에 내장하는 경우, 인터포저보다 얇은 것이 바람직하다. 반도체 장치 탑재나, 배선 라우팅에 제약을 발생시키지 않는 두께인 것이 바람직하지만, 본 실시형태에 의해 한정되는 것은 아니다.
- [0305] 예를 들면, 내장 부품 (70) 의 두께는, 10 μm 이상 1 mm 이하인 것이 바람직하다.
- [0306] 내장 부품 (70) 의 두께가 10 μm 보다 얇은 경우, 후술하는 강성이 높은 재료를 사용하는 경우라도, 인터포저 자체가 충분한 강성을 발휘할 수 없을 뿐만 아니라, 내장된 부품이 파손될 우려가 있다.
- [0307] 내장 부품 (70) 의 두께가 1 mm 보다 두꺼운 경우, 인터포저 자체의 두께를 두껍게 할 필요가 있어, 제조 시간 과 비용이 들 뿐만 아니라, 인터포저 내부에 내장하는 것 자체가 곤란해진다.
- [0308] 내장 부품 (70) 은, 실리콘, 세라믹, 유리, 화합물 반도체를 기체 (基體) 로 하는 부품으로부터 선택할 수 있다.
- [0309] 여기서, 실리콘을 기체로 하는 부품은, 예를 들어, 실리콘 웨이퍼 상에 캐패시터, 인덕터, 재배선 기능을 갖는 칩 부품, 연산 기능을 갖는 반도체 칩이다.
- [0310] 또한, 실리콘을 기체로 하는 부품은, 이들 요소 1 개 이상을 포함하는 기능 모듈이어도 된다.
- [0311] 또한, 세라믹을 기체로 하는 부품은, 예를 들면, 커패시터, 인덕터, 배선의 단독 기능을 갖는 부품이다.
- [0312] 또한, 세라믹을 기체로 하는 부품은, 이들 요소를 1 개 이상 포함하는 기능 모듈이어도 된다.
- [0313] 또, 세라믹 재료는, 예를 들면, 알루미늄, 이트리아, 코디어라이트, 서멧, 사파이어, 지르코니아, 스테아타이트, 포스테라이트, 탄화규소, 질화알루미늄, 질화규소, LTCC (Low Temperature Co-fired Ceramics) 이지만, 그 밖의 재료여도 된다.
- [0314] 또한, 유리를 기체로 하는 부품은, 예를 들면, 커패시터, 인덕터, 배선의 단독 기능을 갖는 부품이다.
- [0315] 또한, 유리를 기체로 하는 부품은, 이들 요소를 1 개 이상 포함하는 기능 모듈이어도 된다.
- [0316] 또한, 유리 재료로는, 예를 들면, 소다라임 유리, 붕규산 유리, 결정화 유리, 석영 유리이지만, 그 밖의 재료여도 된다.
- [0317] 또, 화합물 반도체를 기체로 하는 부품은, 예를 들면, GaAs 나 InP, InGaAlP 등의 화합물 반도체를 포함하는 고 주파 디바이스나 광 반도체, InGaN 을 포함하는 LED 나 레이저 다이오드, SiC 나 GaN 을 포함하는 파워 반도체 재료이지만, 그 밖의 재료여도 된다.

- [0318] 표 1 에 나타내는 바와 같이, 일반적인 절연 수지 재료에서는, 선열팽창 계수 CTE 는 30 ~ 100 ppm/K, 탄성률은 1 ~ 30 GPa 의 범위이다.
- [0319] 한편으로는, 실리콘, 세라믹, 유리, 화합물 반도체 재료의 CTE 는 12 ppm/K 이하, 탄성률은 60 ~ 470 GPa 이고, 절연 수지 재료와 비교하면 저열팽창이면서 또한 고탄성이 된다.
- [0320] 이로써, 인터포저 (100) 에 부품을 내장함으로써, 인터포저 (100) 에 높은 열적 치수 안정성과 강성을 동시에 부여할 수 있다.
- [0321] 여기서, 열적 치수 안정성이란, 열 사이클에 의해, 인터포저가 열변형되기 어려운 성질을 나타낸다.

표 1

종별	종류	CTE	탄성률 (GPa)
실리콘	실리콘 웨이퍼	3	170
세라믹	알루미나	7.2	360
	이트리아	7.2	160
	사파이어	7.7	470
	탄화규소	3.7	440
	질화알루미늄	4.6	320
	질화규소	2.8	300
유리	LTCC	3.4~12	74~128
	소다라임	9	72
	붕규산	3.3	73
	결정화 유리	-0.6	84-95
	석영 유리	0.59	74
화합물 반도체	GaAs	5.7	83
	InP	4.6	60
절연 수지 재료		30~100	1~30

- [0322]
- [0323] (제 5 실시형태의 제조 방법)
- [0324] 다음으로, 도 26 을 참조하여, 제 5 실시형태인 도 25(a) 에 기재된 인터포저 (100) 의 제조 방법에 대해 설명한다.
- [0325] 이하의 설명에 있어서, 상기 서술한 제 1 실시형태 등과 동일 또는 동등한 구성 요소에 대해서는 동일한 부호를 붙여, 그 설명을 간략 또는 생략하고, 제 1 실시형태 등과의 상이점만을 설명한다.
- [0326] 도 26(a) 는, 제 1 실시형태의 도 7(a) 에 대응하는 공정이다.
- [0327] 제 5 실시형태에 있어서는, 우선은 도 26(a) 에서 지지 기판을 준비한다. 지지 기판은 앞선 제 1 실시형태에서 설명한 것과 동일한 것을 사용할 수 있다.
- [0328] 도 26(b) 는, 내장 부품 (70) 이 탑재되는 부분 이외에 레지스트 패턴 (3) 이 형성되는 공정을 나타낸 도면이다.
- [0329] 도 26(b) 에 나타내는 바와 같이, 내장 부품 (70) 이 탑재되는 부분 이외에 레지스트 패턴 (3) 을 형성한다. 본 실시예에서는, 액상 레지스트를 120 μm 로 형성하고, 제 1 실시형태와 동일 피치, 동일 직경으로 원기둥 패드를 형성할 수 있도록 개구를 형성한다.
- [0330] 도 26(c) 는, 전해 구리 도금에 의해, 도전 부재 (4) 를 평균 두께 120 μm 로 형성한 후에, 레지스트 패턴 (3) 을 박리하고, 또한 내장 부품 (70) 을 탑재한 도면이다.
- [0331] 본 실시형태에서는, 내장 부품 (70) 으로서 실리콘 커패시터를 탑재한다.
- [0332] 또한, 실리콘 커패시터는, 예를 들면, 총 두께가 120 μm 이고, 가로세로 5 mm×5 mm 이다.
- [0333] 본 실시형태에서는, 실리콘 커패시터는 지지 기판과 접착제를 통하여 고정되지만, 그 밖의 방법으로 고정해도 된다.
- [0334] 도 26(d) 는 도 7(d) 에 대응하는 공정이다.

- [0335] 도 26(d) 는, 150 μm 두께의 필름상 몰드 수지를 사용하여, 진공 라미네이트에 의해 제 1 외층 구조체 (5) 가 되는 제 2 절연 수지층 (6) 을 형성하는 공정을 나타낸 도면이다.
- [0336] 본 실시형태에서는 150 μm 두께의 필름상 몰드 수지를 사용하여, 진공 라미네이트에 의해 제 2 절연 수지층 (6) 을 형성한다.
- [0337] 도 26(e) 는, 그라인더를 사용해서, 몰드 수지와, 실리콘 캐패시터의 Si 기재를 연마하여, 내장 부품 (70) 의 일부와 도전 부재 (4) 를 노출시키는 공정을 나타낸 도면이다.
- [0338] 도 26(e) 의 공정에서는, 그라인더를 사용해서, 몰드 수지와, 실리콘 캐패시터의 Si 기재를 연마하여, 내장 부품 (70) 의 일부와 도전 부재 (4) 를 노출시킨다.
- [0339] 본 실시형태에서는, 제 1 외층 구조체 (5) 가 되는 제 2 절연 수지층 (6) 을 연마하여 제 1 외층 구조체 (5) 를 100 μm 가 되도록 조정하여 연마하였다.
- [0340] 내장 부품 (70) 의 일부와 도전 부재 (4) 의 노출 방법은, 본 실시형태의 방법에 한정되는 것은 아니고, 도 7 과 마찬가지로, 공지된 그라인더에 의한 연마, 버프 연마, 벨트 연마, 플라이 커트법, CMP 여도 된다. 이로써, 본 실시형태에서는 제 1 외층 구조체 (5) 의 제 2 절연 수지층 (6) 안에 패드가 되는 도전 부재 (4) 가 형성되게 된다.
- [0341] 이후는, 제 1 실시형태의 도 8(f) ~ (i) 에서 설명한 것과 마찬가지로 내층 구조체 (7) 를 형성하고, 도 8(j) ~ 도 9(m) 에서 설명한 것과 마찬가지로 제 2 외층 구조체 (11) 를 형성하고, 또한, 도 9(n) ~ 도 10(q) 의 방법으로 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 를 형성함으로써, 도 25(a) 에 기재된 변형예에 있어서의 인터포저 (100) 를 형성할 수 있다.
- [0342] 또한, 제 1 실시형태의 도 12(a) ~ 도 13(e) 의 검사 방법, 반도체 장치의 조립 방법 및 수정 방법을 사용하여, 반도체 패키지 (150) 를 제조할 수 있다.
- [0343] (제 5 실시형태의 변형예 1)
- [0344] 도 27(a) 에 기재된 인터포저 (100) 는, 제 5 실시형태에 있어서, 제 1 외층 구조체 (5) 하면이면서 또한 내층 구조체 (7) 내에 내장 부품 (70) 을 수용한 변형예를 나타내는 도면이다.
- [0345] 도 27(a) 의 인터포저 (100) 의 제조 방법은, 제 1 실시형태의 도 7(a) ~ (e) 와 동일한 방법으로, 도 7(e) 에 기재된 제 1 외층 구조체 (5) 의 형성까지를 실시한다.
- [0346] 이후는, 도 7(e) 를 도 27(b) 에 옮겨적어 설명한다.
- [0347] 도 27(b) 에 나타난 제 2 절연 수지층 (6) 상에, 도 27(c) 에 기재된 바와 같이 내장 부품 (70) 을 도전 부재 (4) 에 전기적으로 접속하도록 실장 탑재한다.
- [0348] 실장 탑재 방법은, 도전성 페이스트를 단자에 형성하여 접속해도 되고, 땀납 접속해도 된다. 또는, 내장 부품 (70) 과 제 1 외층 구조체 (5) 의 간극에 언더필을 형성해도 된다. 이후에는, 제 1 실시형태의 도 8(f) ~ (i) 에 기재된 것과 동일한 방법으로 도 27(d) 에 기재된 내층 구조체 (7) 가 4 층 형성된 기판을 얻는다.
- [0349] 도 27(d) 에 기재된 내장 부품 (70) 은, 도전 부재 (4) 를 통하여 제 1 접속 단자와 전기적으로 접속되어도 된다. 또는 도 27(c) 및 (d) 에 기재된 내장 부품 (70) 상면에 접속 단자 (도시 생략) 를 갖는 경우, 제 1 실시형태에 있어서, 도 8(f) ~ (i) 에 있어서 설명한 공정을 거쳐, 도 27(d) 와 같이 내장 부품 (70) 상면의 접속 단자 (도시 생략) 와 내층 구조체의 배선 (10) 을 패드 (15), 비아 (9) 를 통해서 전기적으로 접속함으로써, 제 1 및 제 2 접속 단자와 전기적으로 접속되어 있어도 된다.
- [0350] 또는, 내장 부품 (70) 의 상면과 하면의 양방에 접속 단자가 있는 경우, 동시에 양방의 접속 단자와 전기 접속해도 된다.
- [0351] (제 5 실시형태의 변형예 2)
- [0352] 도 28(a) 에 기재된 인터포저 (100) 는 제 2 외층 구조체 (11) 내에 내장 부품 (70) 을 수용한 변형예이다.
- [0353] 도 28(a) 의 인터포저 (100) 의 제조 방법은, 제 1 실시형태의 도 7(a) ~ (e) 및 도 8(f) ~ (i) 까지와 동일한 방법으로 제조한다.

- [0354] 이후에는, 도 8(i) 를 도 28(b) 에 옮겨적어 설명한다.
- [0355] 도 28(b) 는, 제 1 실시형태의 도 8(i) 와 마찬가지로, 내층 구조체 (7) 를 4 층 형성한 후의 도면이다.
- [0356] 계속해서, 도 28(c) 와 같이 내장 부품 (70) 을 배선 (10) 의 일부에 실장 탑재한다. 실장 탑재 방법은 본 변형예에 의해 한정되지 않는다. 예를 들어, 도전성 페이스트를 단자에 형성하여 접속해도 되고, 땀납 접속해도 된다.
- [0357] 계속해서, 도 28(d) 는, 제 1 실시형태의 도 8(j) ~ 도 9(m) 까지의 공정을 실시한 도면을 나타낸다. 또한, 도 9(n) ~ 도 10(q) 의 기재와 동일한 방법으로 도 27(a) 에 기재된 본 변형예에 있어서의 인터포저 (100) 를 형성할 수 있다.
- [0358] 본 변형예에 있어서의 제 5 실시형태인 도 25(a) 및 그 변형예인 도 27(a), 도 28(a) 와, 도 4 에서 설명한 양면의 제 1 접속 단자 (16) 및 제 2 접속 단자 (17) 에 대하여 솔더 레지스트를 사용하여 구획한 변형예와 조합해도 된다.
- [0359] 또한, 도 5 의 설명과 같이, 제 1 외층 구조체 (5) 를 2 층 이상 형성하는 구조와 조합해도 된다.
- [0360] 또한, 도 6 의 설명과 같이, 제 2 외층 구조체 (11) 를 2 층 이상으로 형성하는 구조와 조합해도 된다.
- [0361] 또한, 도 11 에 기재된 제조 방법에서, 제 1 외층 구조체 (5) 에 레이저 가공에 의해 비아를 형성하는 방법을 채용해도 된다.
- [0362] 본 발명에 있어서의 제 1 실시형태에서 제 4 실시형태까지의 방법과, 본 변형예에 있어서의 제 5 실시형태를 조합해도 된다.
- [0363] 앞서 본 발명에 있어서의 변형예, 실시형태의 조합은 적절히 실시할 수 있으며 본 발명의 범주에 있다.
- [0364] (제 5 실시형태의 발명의 효과)
- [0365] 본 실시형태의 인터포저 (100) 에 의하면, 인터포저에 강성이 높은 재료를 기체로 하는 부품을 내장함으로써, 인터포저 (100) 의 자립성의 향상에 기여할 수 있다.
- [0366] 이로써, 인터포저 (100) 의 강성 향상과 동시에, 재배선의 기능만인 인터포저에 대하여, 내장 부품이 갖는 기능을 추가하는 것이 가능해져, 고기능화에 기여할 수 있다.
- [0367] 본 실시형태의 인터포저 (100) 에 의하면, 반도체 장치의 극근방에 내장 부품을 근접 탑재하는 것이 가능해져, 시그널이나 전원 노이즈 저감, 칩에 대한 전원 공급 안정화 등을 효과적으로 실시할 수 있다. 혹은, 광반도체 부품을 반도체 장치 근방에의 내장이 가능해져, 광 전송과 전기 전송을 융합한 패키지 기판 등으로의 응용을 할 수 있다.
- [0368] (실시형태의 효과의 정리)
- [0369] 본 개시된 실시형태에 의하면, 지지체를 구비하지 않고, 단체로 독립적으로 반송이 가능한 인터포저를 제공함으로써, 하기 5 가지의 효과를 발휘한다.
- [0370] 1) 인터포저 자체가, 지지 기판을 구비하지 않고 전기 검사에 견디는 강성을 가짐으로써, 반도체 장치를 탑재하는 전단계에서, 인터포저 단체 자체의 전기 검사 보증이 가능해진다. 이로써, 불량한 인터포저에 고가의 반도체 장치를 탑재하는 것에 의한, 불량한 반도체 패키지의 발생을 없앨 수 있다.
- [0371] 2) 지지체를 구비하지 않고, 단체로 독립적으로 반송이 가능한 인터포저를 사용함으로써, 인터포저의 양면에, 높이가 상이한 외부 접속 단자를 형성할 수 있다. 이로써, 인터포저의 양면에 반도체 장치를 복수 적층하는 것이 가능해짐과 함께, 반도체 패키지끼리의 인테그레이션 등, 실장 자유도를 향상시킬 수 있다. 그 결과, 고도의 SiP 인테그레이션에 기여할 수 있다.
- [0372] 3) 인터포저 자체의 전기 검사가 가능해짐으로써, 반도체 패키지에 대하여 불량이 발견된 경우에는, 반도체 장치의 실장의 수복이나 교환에 의해, 양품의 인터포저나 반도체 장치를 파기하지 않고 최대한으로 구제가 가능해져, 전체의 제조 비용을 대폭 저하시키는 것이 가능해진다.
- [0373] 4) 상기 서술한 1) 과 3) 의 효과에 의해, 복수의 반도체 장치를 통합하는 SiP 조립 수율 향상에 크게 기여할 수 있다

- [0374] 5) 본 개시의 인터포저는, 지지체 또는 FC-BGA 와는 독립적으로 존재 가능하기 때문에, 반도체 패키지를 FC-BGA 또는 마더보드에 대하여 탑재하는 것이 가능하게 되어, 실장의 자유도를 대폭 향상시킬 수 있다.
- [0375] 이상, 본 발명의 실시형태에 대해 설명했지만, 본 발명은 상기 서술한 실시형태에 한정되는 것은 아니고, 본 발명의 요지를 일탈하지 않는 범위에 있어서 다양한 변경이 가능하다.
- [0376] 예를 들면, 상기 서술한 실시형태에 있어서는, 제 1 외층 구조체는 제 2 외층 구조체에 대하여 먼저 형성하는 예로 설명했지만, 이들의 형성 순서는 하등 한정되는 것은 아니고, 지지 기판 상에 제 2 외층 구조체 (BGA 나 마더보드에 대한 접속층) 로부터 제조하고, 제 1 외층 구조체를 나중에 형성해도 된다.
- [0377] 또, 본 실시형태에 있어서의 인터포저 실시형태의 제조 방법의 개략을 나타내는 도 7(a) ~ 도 10(p) 에서는, 편의상, 1 개의 인터포저만을 도시하고 있다. 그러나 본 개시의 제조 방법은, 1 개의 인터포저가 복수 개 배치된 각형 패널 또는 원형의 웨이퍼 상에 형성된 상태로 제조해도 되는 것은 물론이다.
- [0378] 또한, 본 개시에 있어서 설명한 제조 패널의 형상이나 지지 기판의 두께나 사이즈에 대해서도 전혀 한정되는 것은 아니고, 적당한 형상이나 크기의 것을 채용할 수 있다.
- [0379] 또한, 본 발명은 이하와 같은 양태를 취할 수도 있다.
- [0380] (양태 1)
- [0381] 적어도 1 층의 내층 배선층을 포함하는 내층 구조체와,
- [0382] 상기 내층 구조체의 제 1 면 상에 배치되고, 상기 내층 구조체보다 강성이 높은 제 1 외층 구조체와,
- [0383] 상기 내층 구조체의 제 2 면 상에 배치되고, 상기 내층 구조체보다 강성이 높은 제 2 외층 구조체를 구비하는 인터포저에 있어서,
- [0384] 상기 내층 배선층은, 제 1 절연 수지층의 표면에 배치된 배선 및 상기 배선에 접속되고, 상기 제 1 절연 수지층을 관통하는 도전 부재를 구비하고 있고,
- [0385] 상기 제 1 외층 구조체 및 상기 제 2 외층 구조체는, 제 2 절연 수지층과 상기 제 2 절연 수지층을 관통하는 도전 부재를 구비하고 있고,
- [0386] 상기 제 1 외층 구조체 및/또는 상기 제 2 외층 구조체는, 상기 내층 구조체에 접속되어 있는 면과 반대측의 면에 있어서, 반도체 장치와 접속 가능하며, 또한 전기 검사가 가능한 단자를 구비하고 있는 것을 특징으로 하는 인터포저.
- [0387] (양태 2)
- [0388] 청구항 1 에 기재된 인터포저에 있어서,
- [0389] 상기 제 1 외층 구조체 및 상기 제 2 외층 구조체는, 적어도 상기 내층 구조체의 제 1 면 및 제 2 면을 덮고 있는 것을 특징으로 하는 인터포저.
- [0390] (양태 3)
- [0391] 양태 1 또는 2 에 기재된 인터포저에 있어서,
- [0392] 상기 제 1 절연 수지층은 감광성 수지이고,
- [0393] 상기 제 2 절연 수지층은, 필러를 함유한 비감광성 수지인 것을 특징으로 하는 인터포저.
- [0394] (양태 4)
- [0395] 양태 1 내지 3 중 어느 한 항에 기재된 인터포저에 있어서,
- [0396] 상기 제 1 절연 수지층 및 상기 제 2 절연 수지층이 비감광성 수지인 것을 특징으로 하는 인터포저.
- [0397] (양태 5)
- [0398] 양태 1 내지 4 중 어느 한 항에 기재된 인터포저에 있어서,
- [0399] 상기 제 2 절연 수지층은, 탄성률이 5 GPa 이상, CTE 가 20 ppm 이하의 물성을 갖는 프리프레그, 빌트업 수지 또는 몰드 수지 중 어느 것을 포함하여 구성되어 있는 것을 특징으로 하는 인터포저.

- [0428] 양태 1 내지 12 중 어느 한 항에 기재된 인터포저에 반도체 장치를 탑재한, 반도체 패키지.
- [0429] (양태 14)
- [0430] 양태 13 에 기재된 반도체 패키지에 있어서,
- [0431] 반도체 장치는, 돌기 전극에 형성된 접속 단자에 탑재된 반도체 장치 및 상기 돌기 전극이 형성되어 있지 않은 접속 단자에 탑재된 반도체 장치가 적층되어 탑재되어 있는 것을 특징으로 하는 반도체 패키지.
- [0432] (양태 15)
- [0433] 청구항 13 또는 14 에 기재된 반도체 패키지에 있어서,
- [0434] 복수의 상기 반도체 패키지가, 돌기 전극에 의해 접속되고, 적층되어 있는 것을 특징으로 하는 반도체 패키지.
- [0435] (양태 16)
- [0436] 지지 기판 상에 제 1 외층 구조체를 형성하는 제 1 공정,
- [0437] 상기 제 1 외층 구조체의 상방에 내층 구조체를 형성하는 제 2 공정,
- [0438] 상기 내층 구조체의 하방에 제 2 외층 구조체를 형성하는 제 3 공정,
- [0439] 상기 제 1 외층 구조체와 지지 기판을 박리하는 제 4 공정,
- [0440] 상기 제 1 외층 구조체 및 제 2 외층 구조체의 최외층 상에 접속 단자를 형성하는 제 5 공정을 포함하는 인터포저의 제조 방법.
- [0441] (양태 17)
- [0442] 양태 16 에 기재된 인터포저의 제조 방법에 있어서,
- [0443] 내장 부품을 탑재하는 제 6 공정을 포함하는 인터포저의 제조 방법.
- [0444] (양태 18)
- [0445] 양태 1 내지 12 중 어느 한 항에 기재된 인터포저에 있어서,
- [0446] 접속 단자로부터 상기 인터포저의 전기 검사를 실시하는 제 1 검사 공정,
- [0447] 상기 제 1 검사 공정의 결과에 기초하여, 상기 인터포저의 양부를 판단하는 제 1 판단 공정,
- [0448] 상기 제 1 판단 공정에 있어서 「양호」라고 판단된 인터포저에, 반도체 장치를 탑재하는 가접속 공정,
- [0449] 상기 가접속된 반도체 패키지에 대하여, 전기 검사를 실시하는 제 2 검사 공정,
- [0450] 상기 제 2 검사 공정의 결과에 기초하여, 반도체 패키지의 양부를 판단하는 제 2 판단 공정,
- [0451] 상기 제 2 판단 공정에 있어서 「불량」이라고 판단된 반도체 장치에 대해, 실장의 수복 및/또는 교환을 실시하는 보수 공정을 포함하는 반도체 패키지의 제조 방법.
- [0452] (양태 19)
- [0453] 양태 18 에 기재된 반도체 패키지의 제조 방법에 있어서,
- [0454] 상기 보수 공정 후에 반도체 패키지에 대해 전기 검사를 실시하는 제 3 검사 공정,
- [0455] 상기 제 3 검사 공정의 결과에 기초하여, 반도체 패키지의 양부를 판단하는 제 3 판단 공정,
- [0456] 상기 제 3 판단 공정에 있어서 「양호」라고 판단된 반도체 패키지의 반도체 장치와 상기 인터포저의 간극에 언더필을 공급하는 고정 공정을 포함하는 반도체 패키지의 제조 방법.

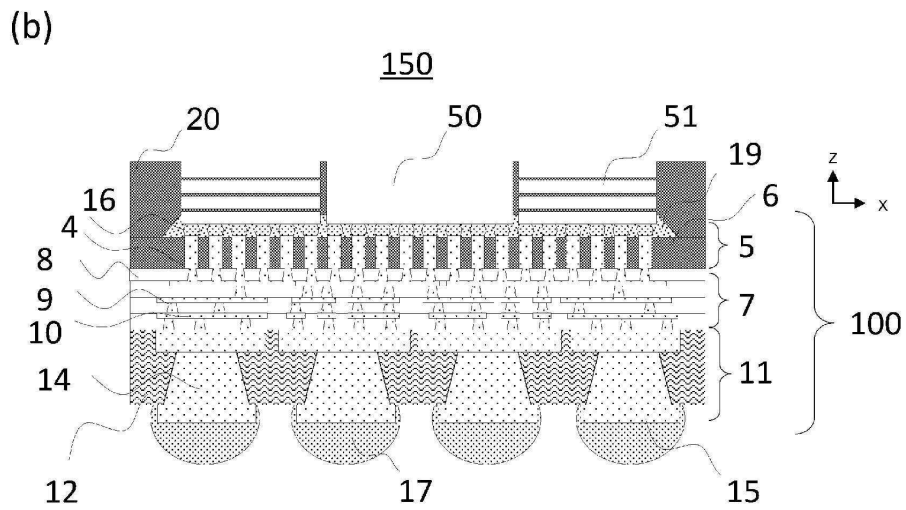
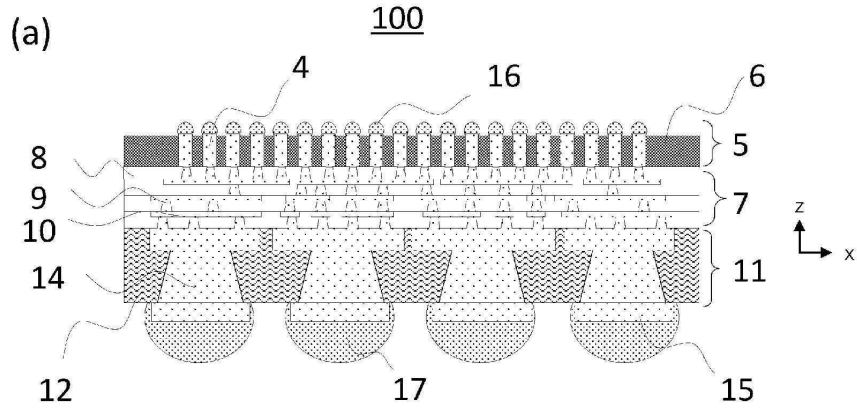
부호의 설명

- [0457] 1 : 지지 기판, 2 : 금속층, 3 : 레지스트 패턴, 4 : 도전 부재, 5 : 제 1 외층 구조체, 6 : 제 2 절연 수지층, 7 : 내층 구조체, 8 : 제 1 절연 수지층, 9 : 비아, 10 : 배선, 11 : 제 2 외층 구조체, 12 : 제 2 절연 수지층, 13 : 박동박, 14 : 비아, 15 : 패드, 16 : 제 1 접속 단자, 17 : 제 2 접속 단자, 18 : 검사 프로브, 19 : 언더필, 20 : 몰드 수지, 21 : 솔더 레지스트, 22 : 돌기 전극, 23 : 돌기 전극, 30 : 인터포저의 측

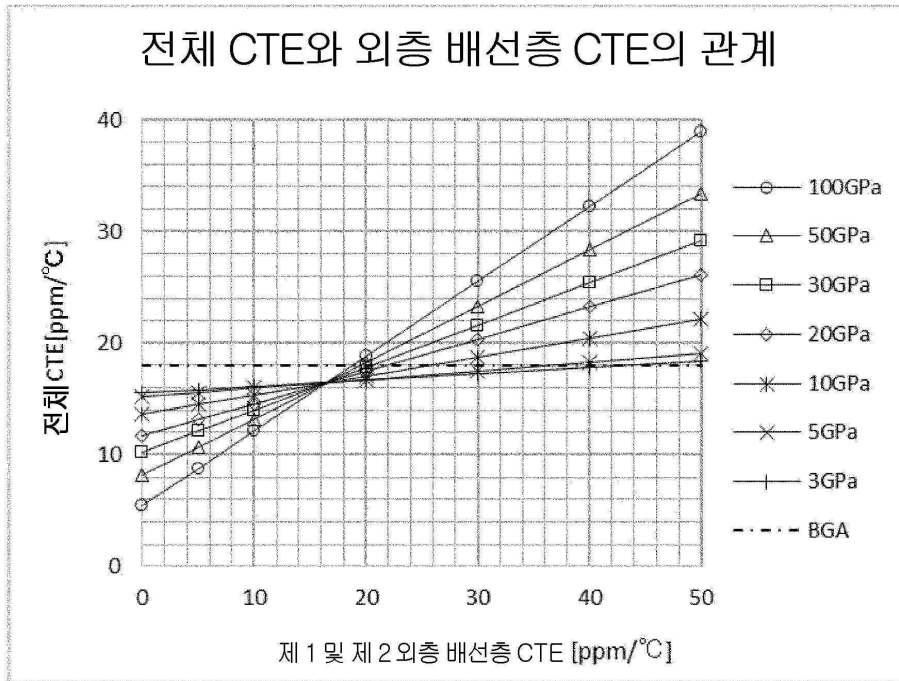
면, 50, 51, 52, 53 : 반도체 장치, 54 : 언더필 공급 장치, 60 : 압자, 61 : 지지체, 70 : 내장 부품, 100 : 인터포저, 150 : 반도체 패키지

도면

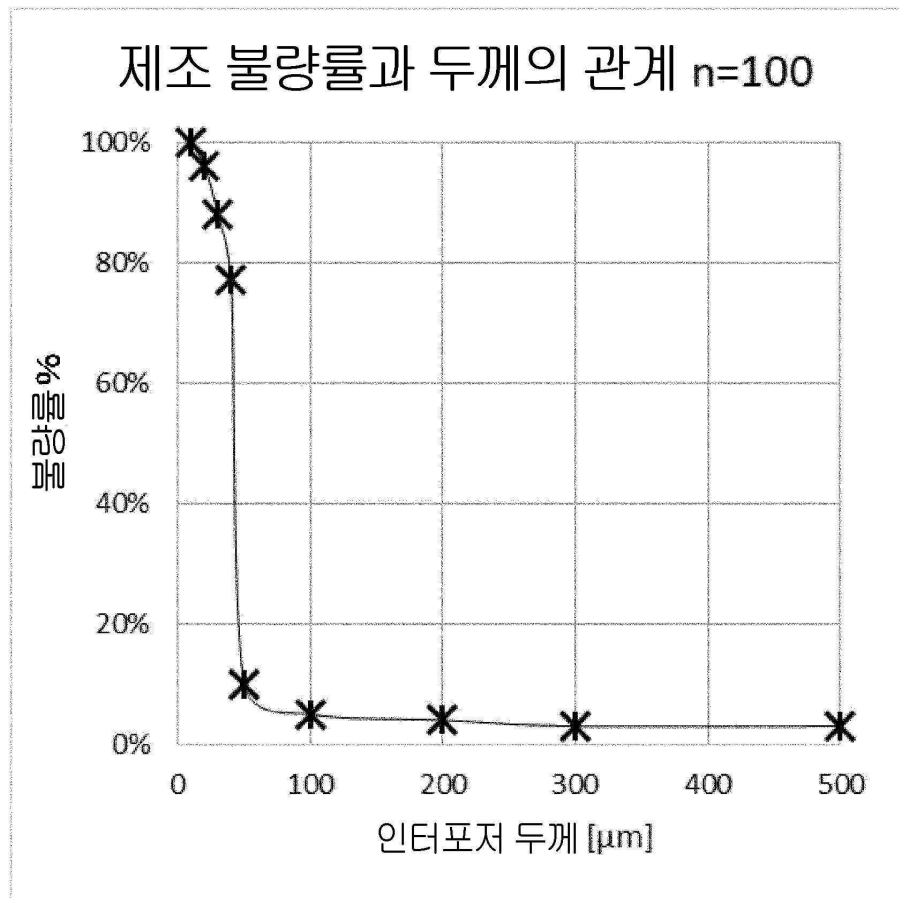
도면1



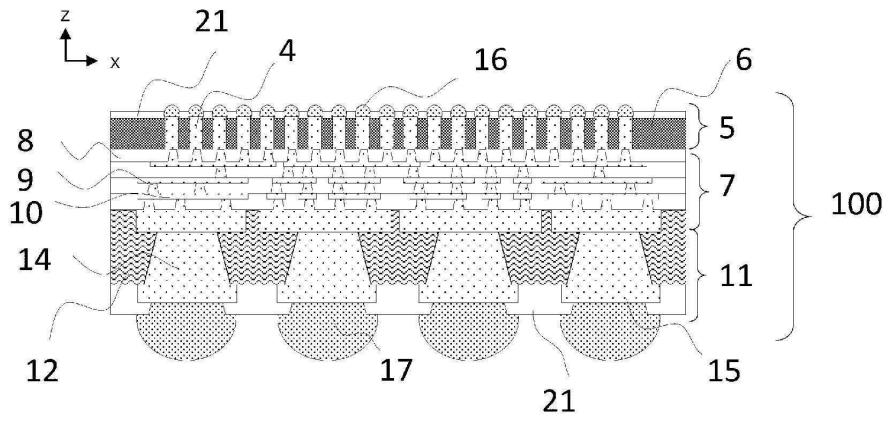
도면2



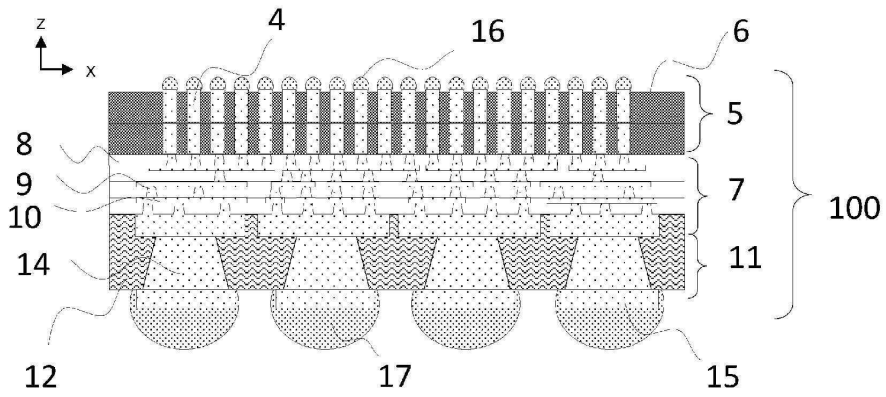
도면3



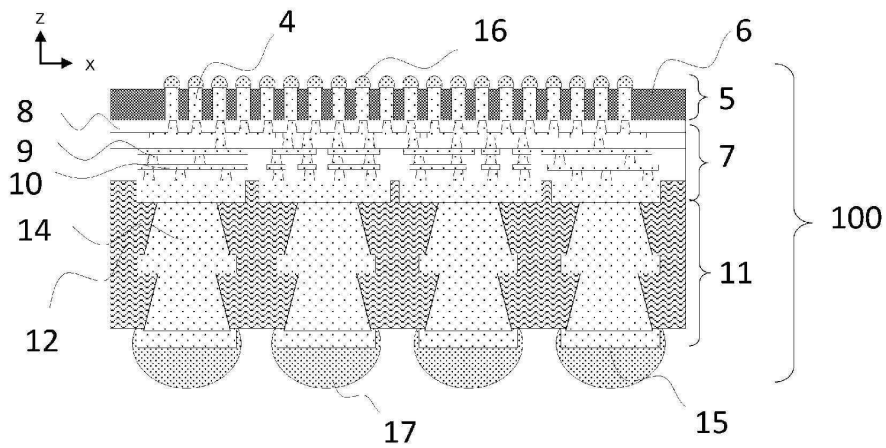
도면4



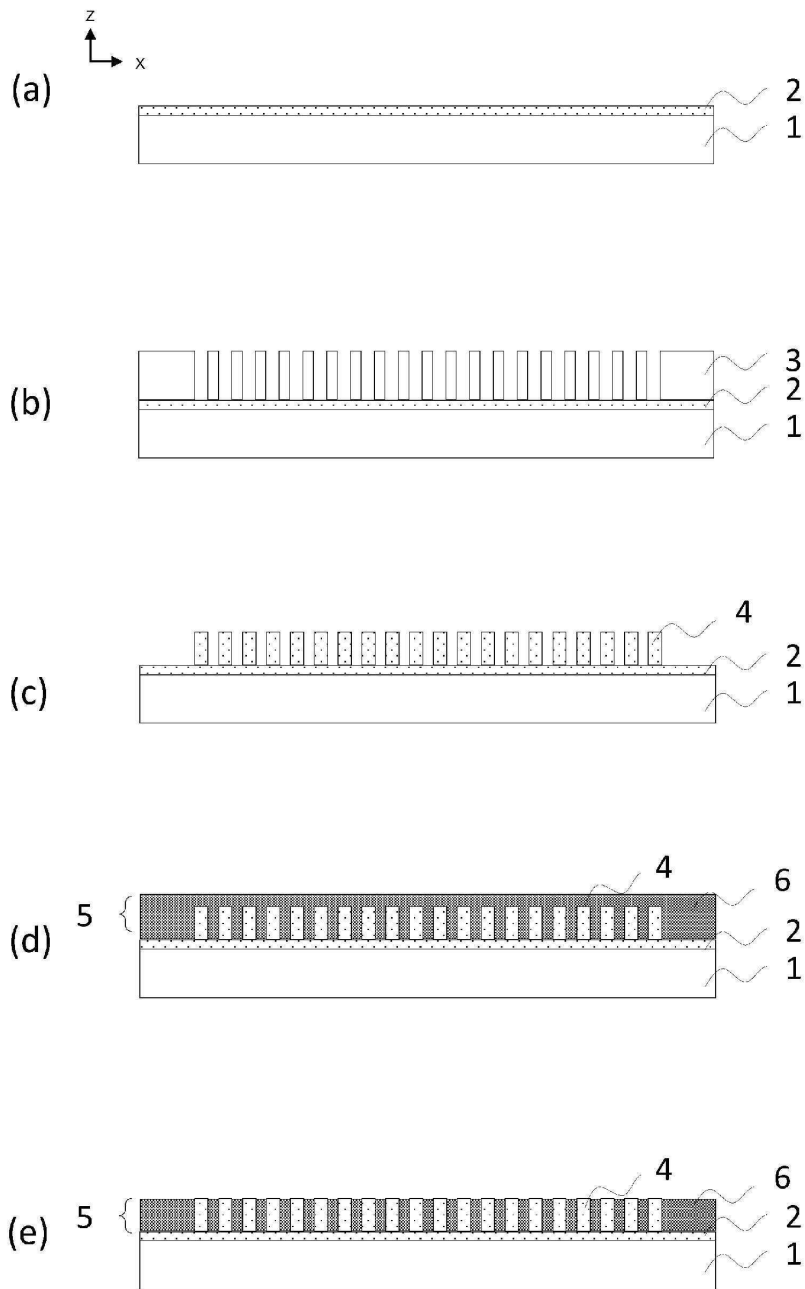
도면5



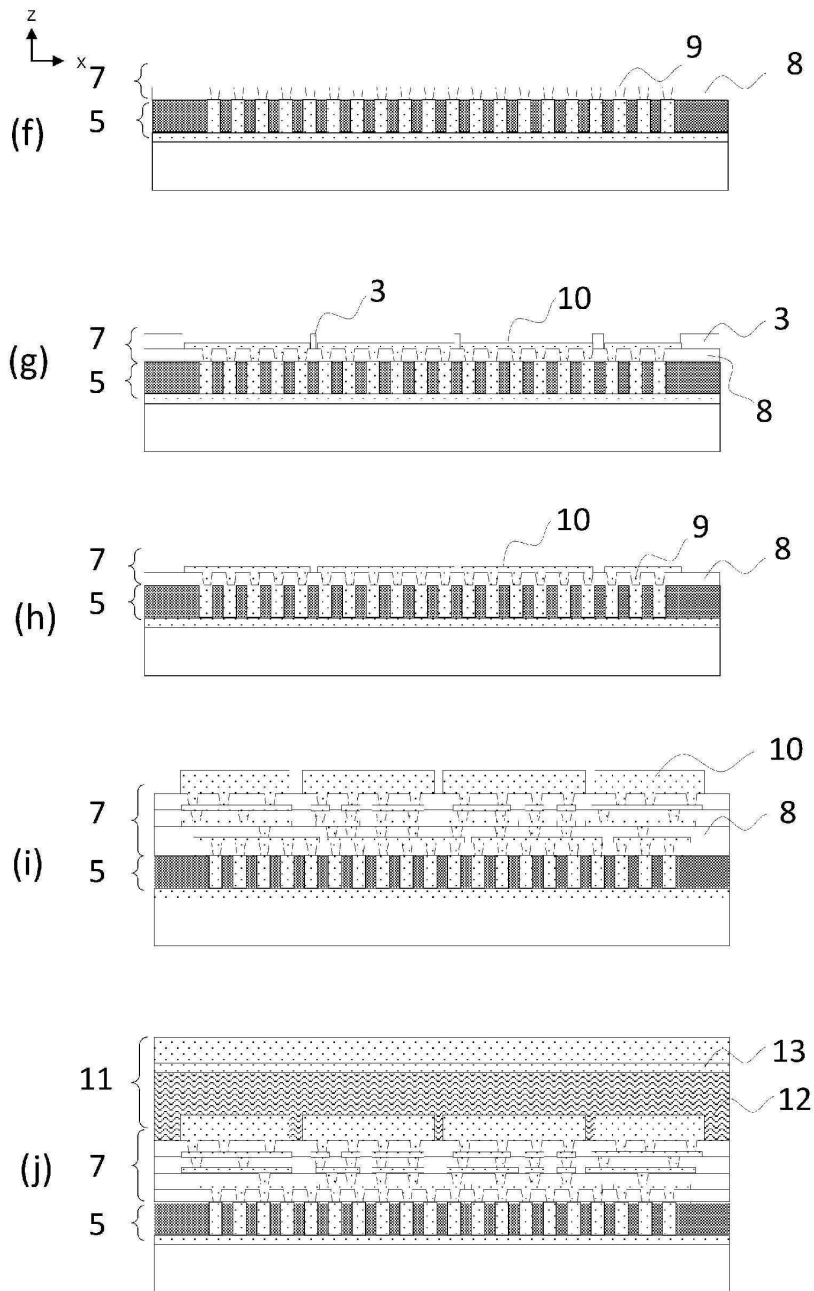
도면6



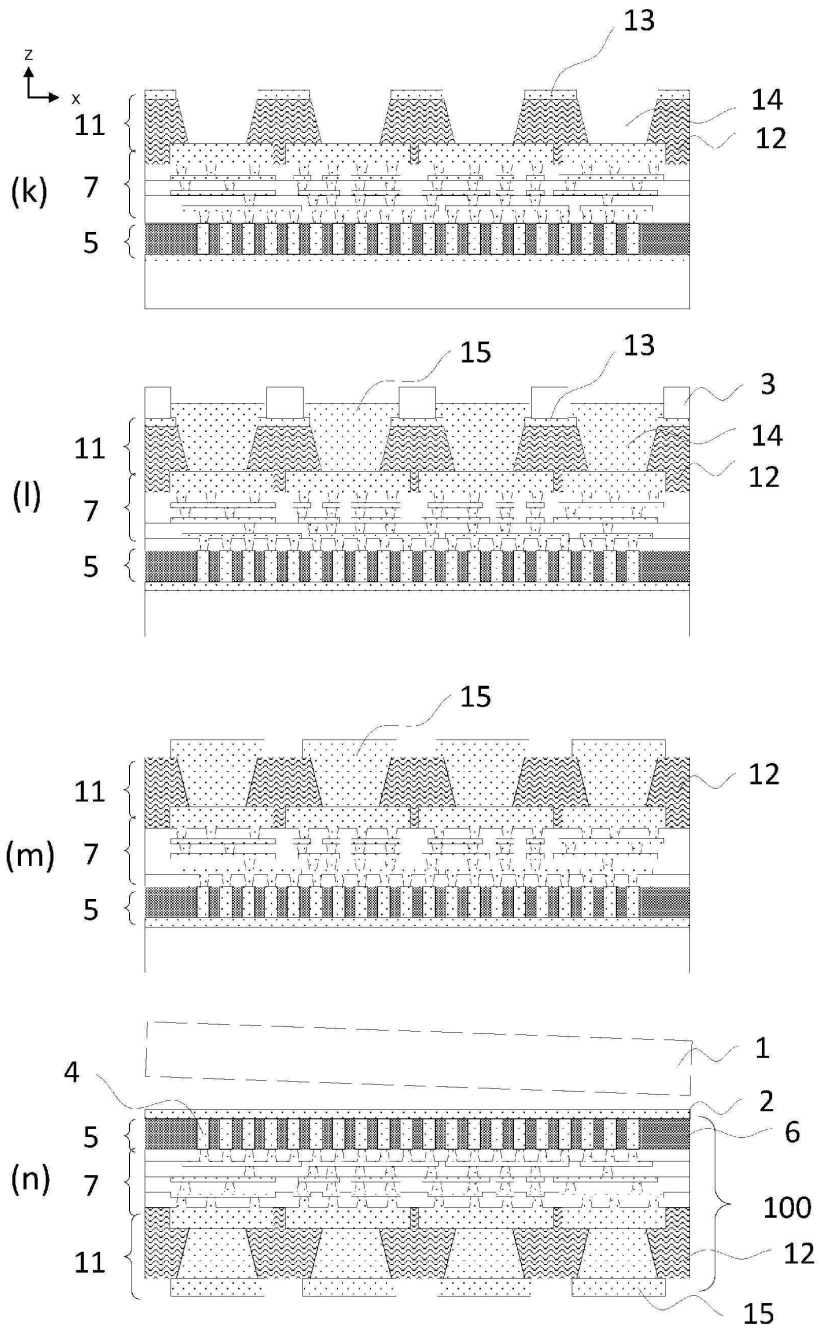
도면7



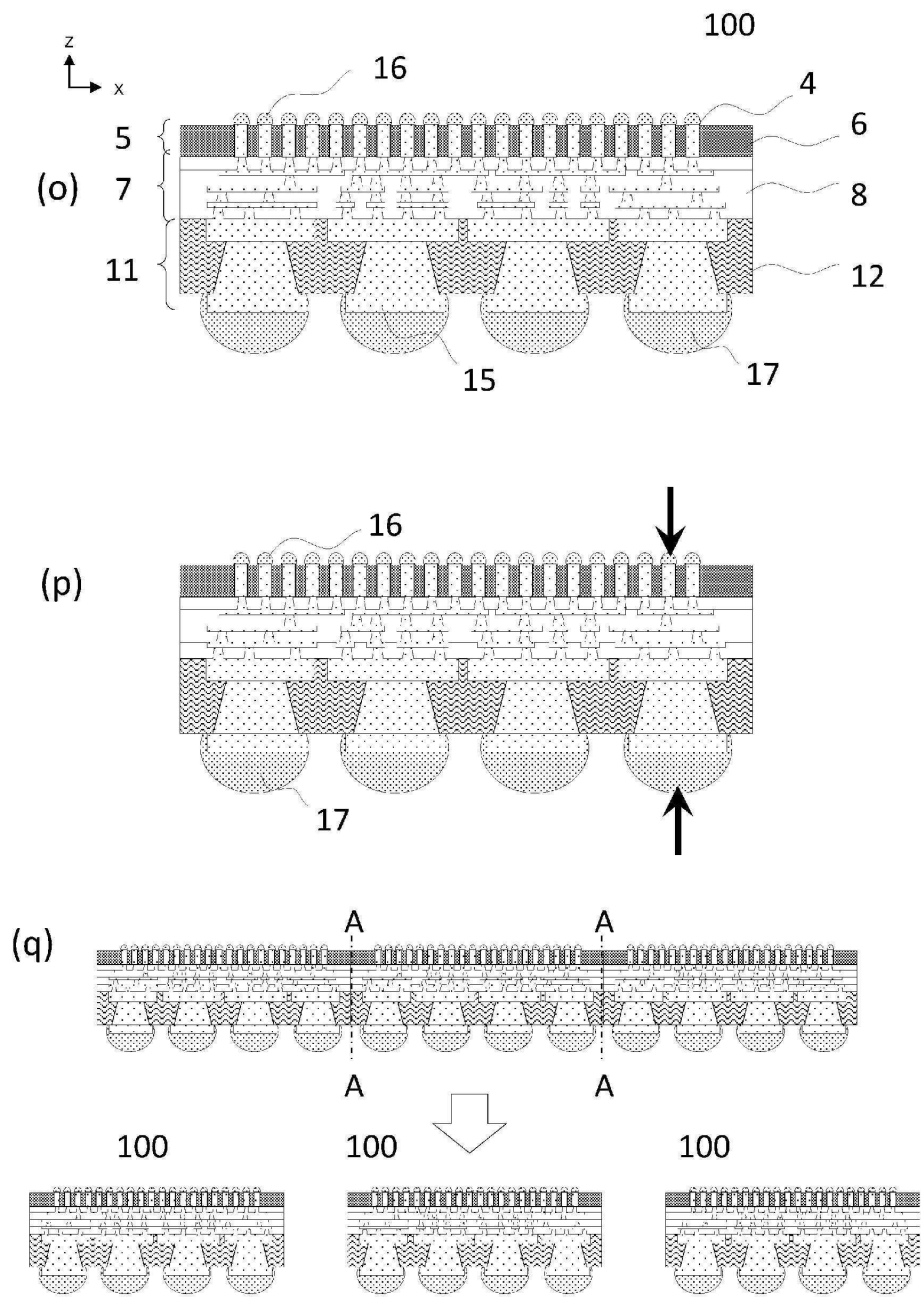
도면8



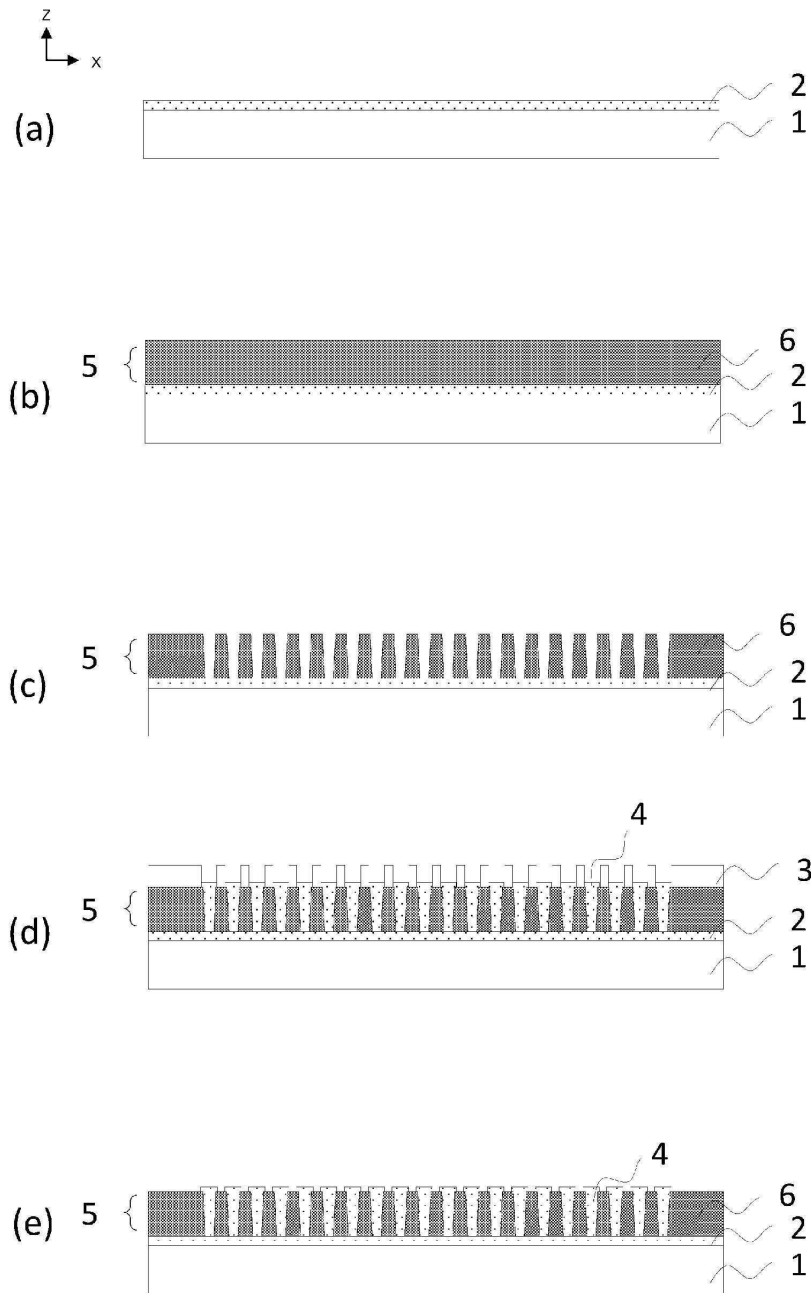
도면9



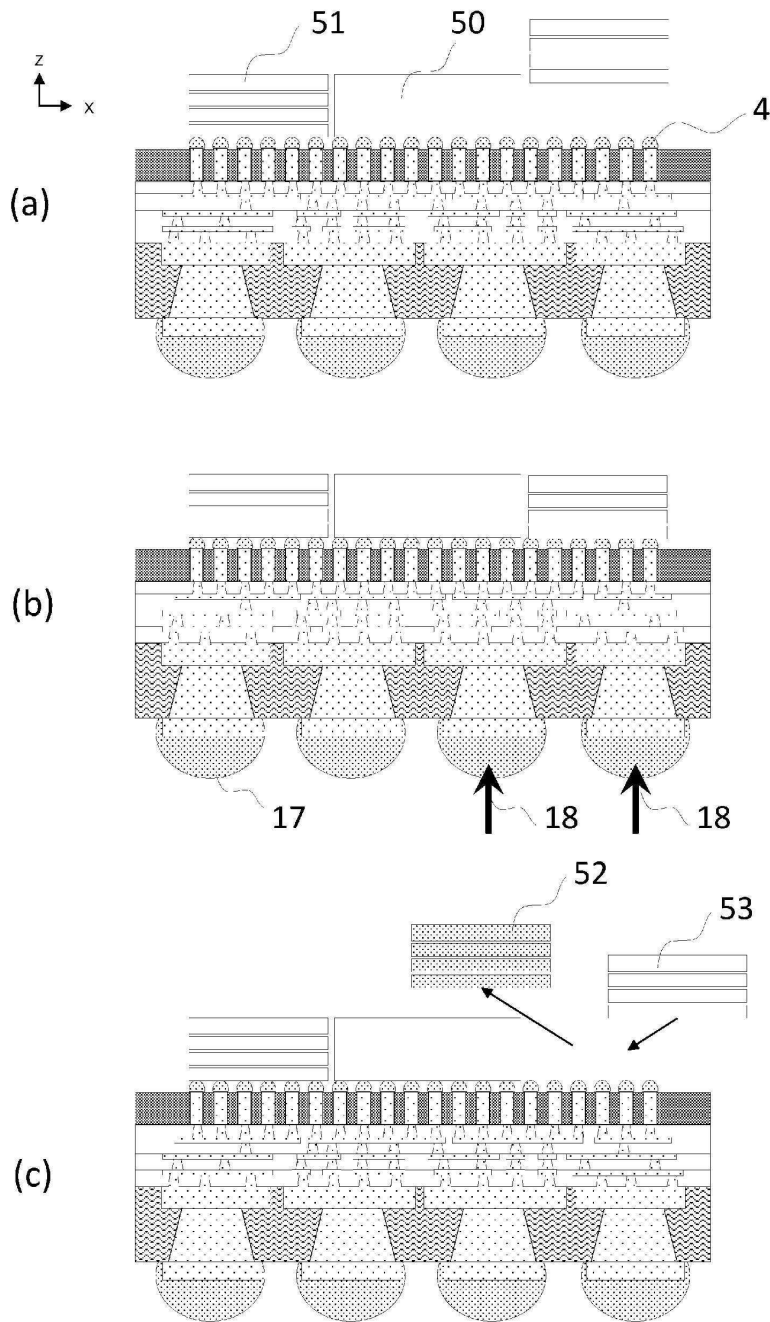
도면10



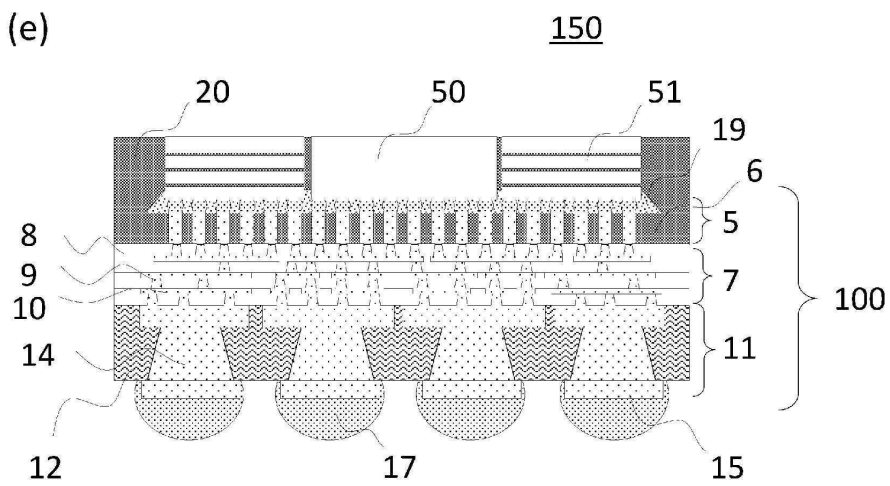
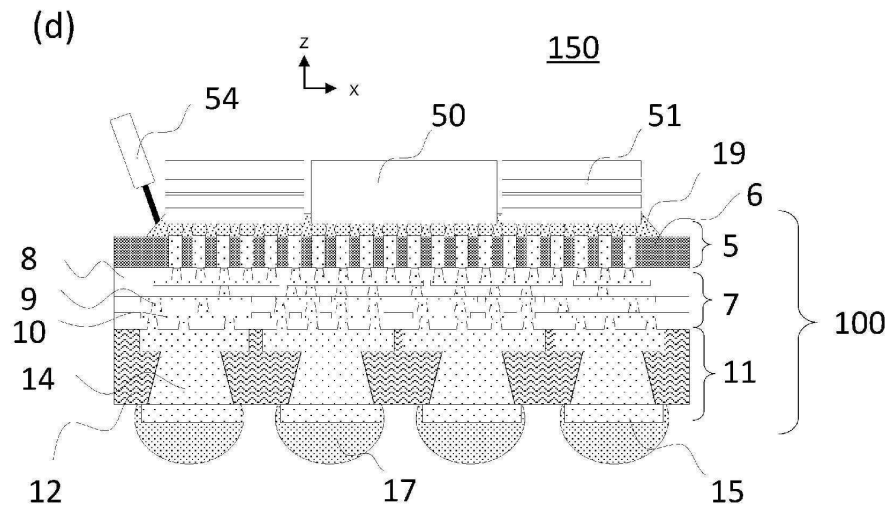
도면11



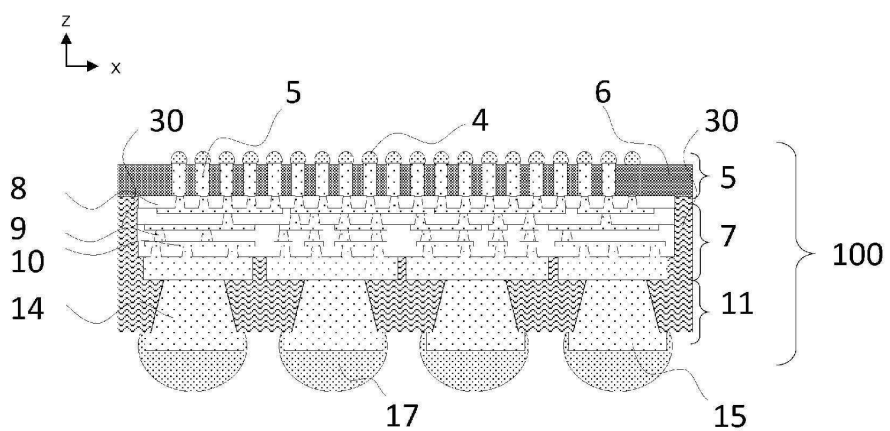
도면12



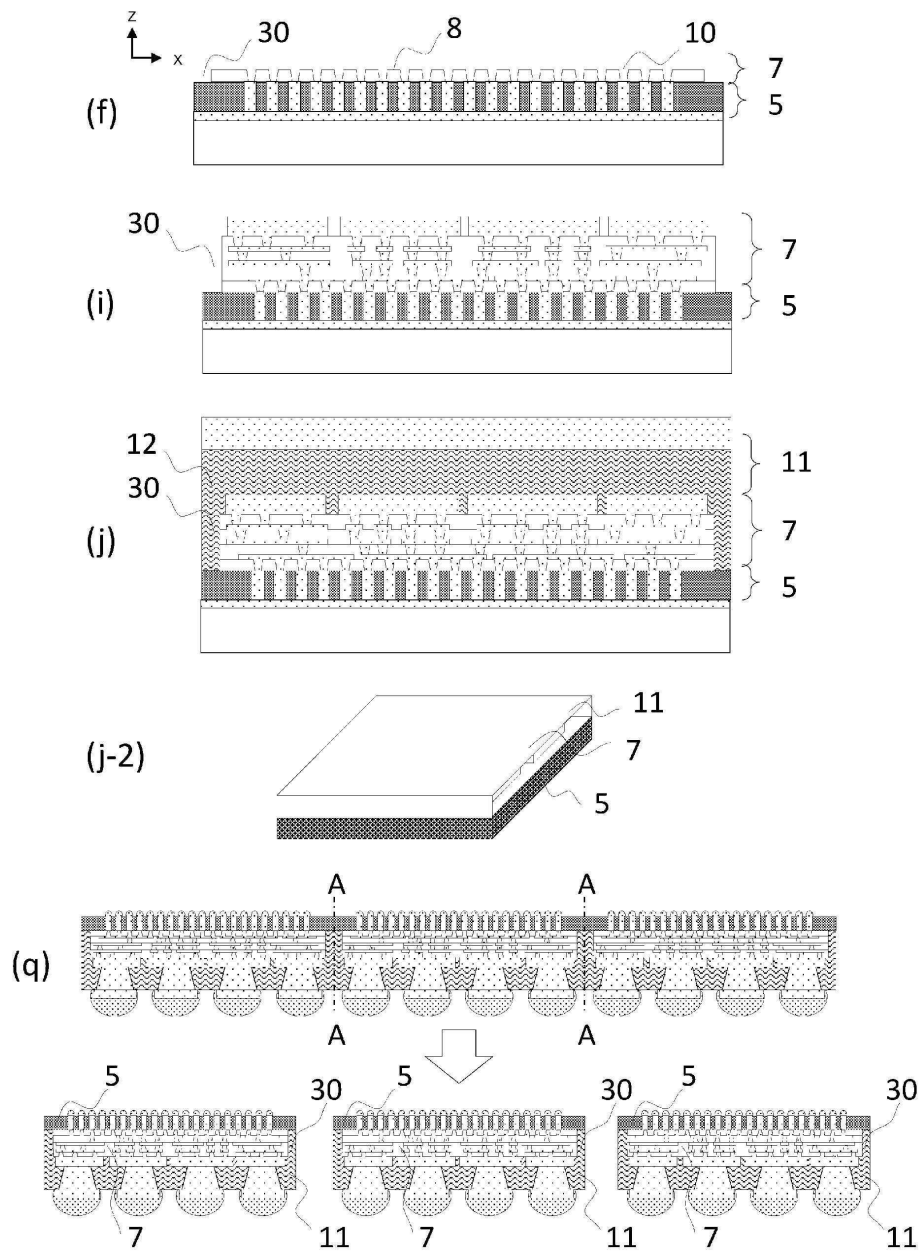
도면13



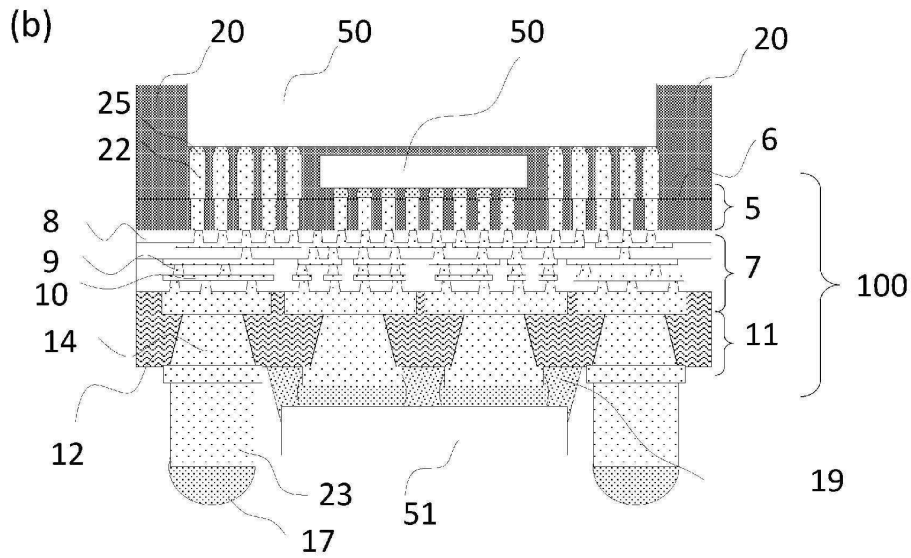
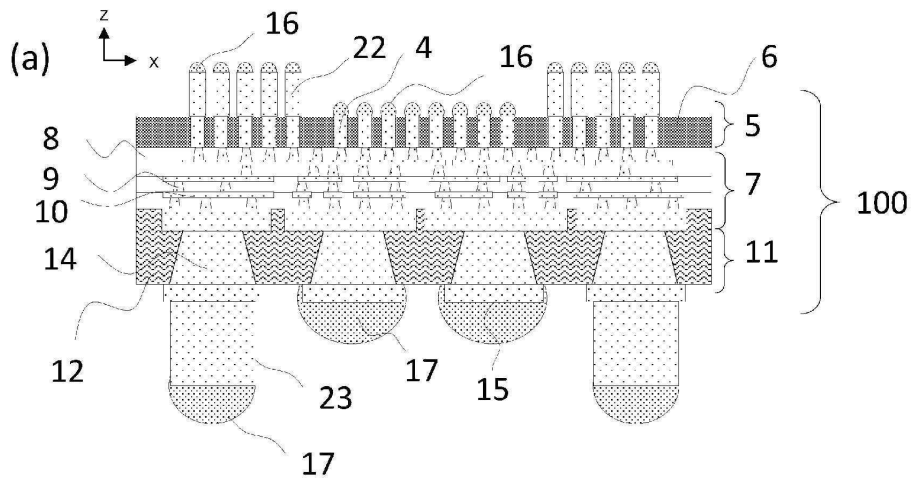
도면14



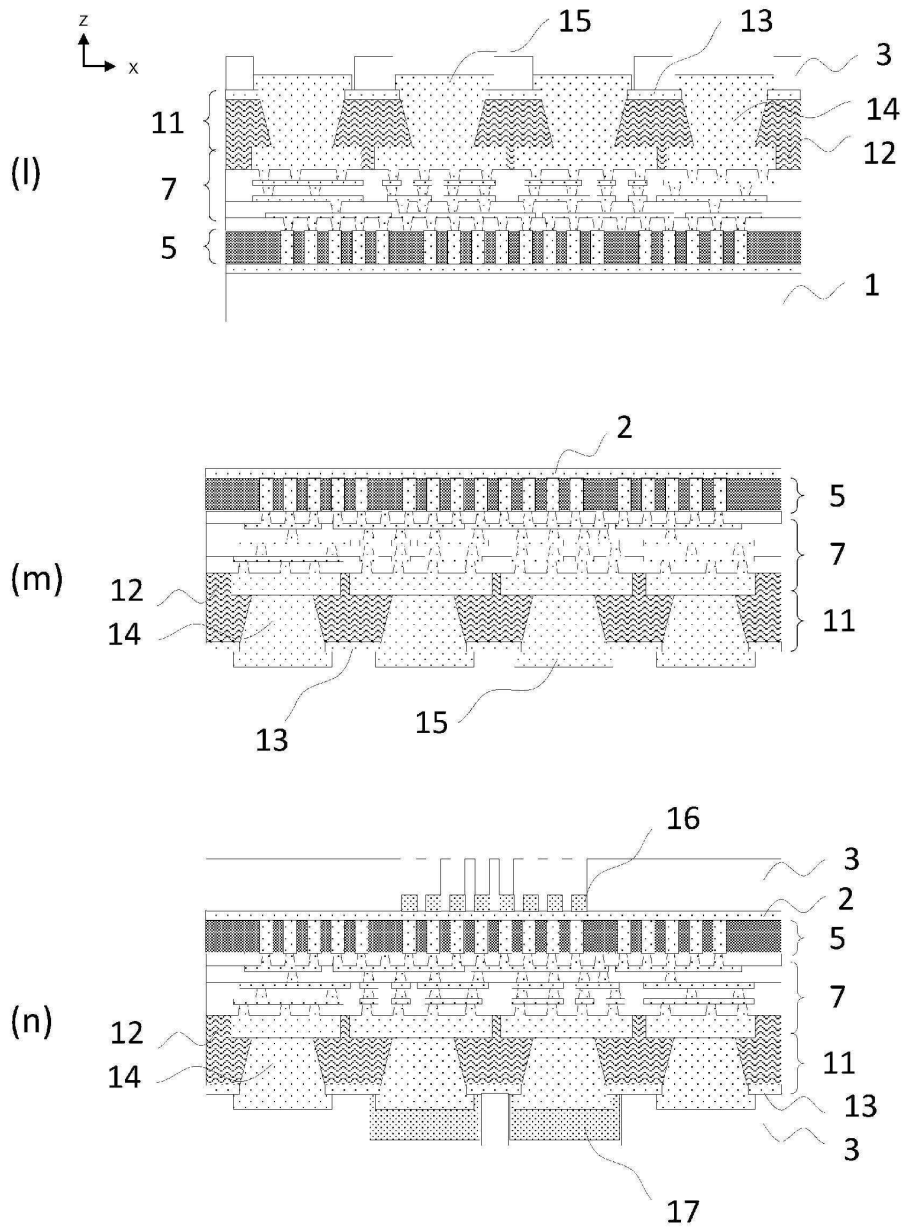
도면15



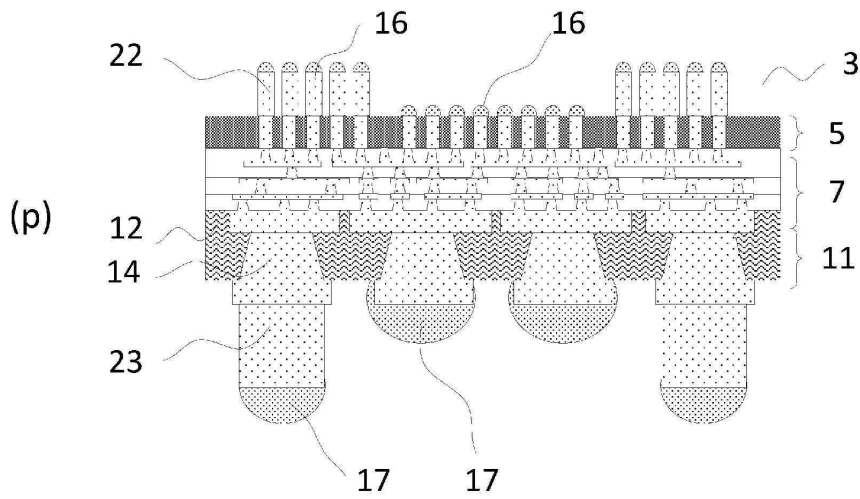
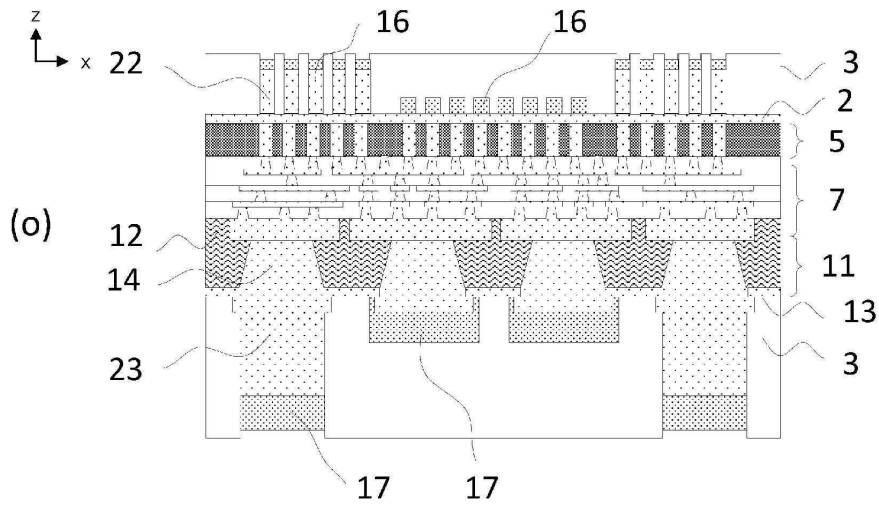
도면16



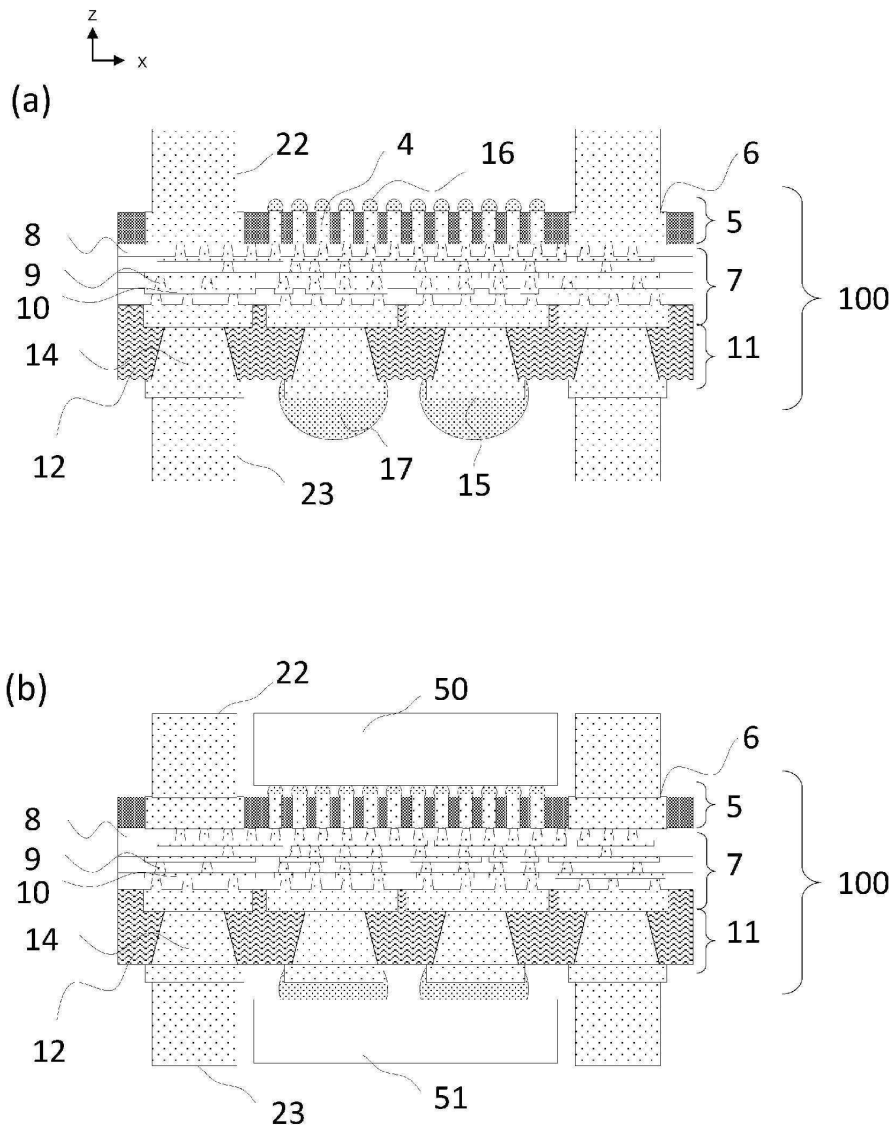
도면17



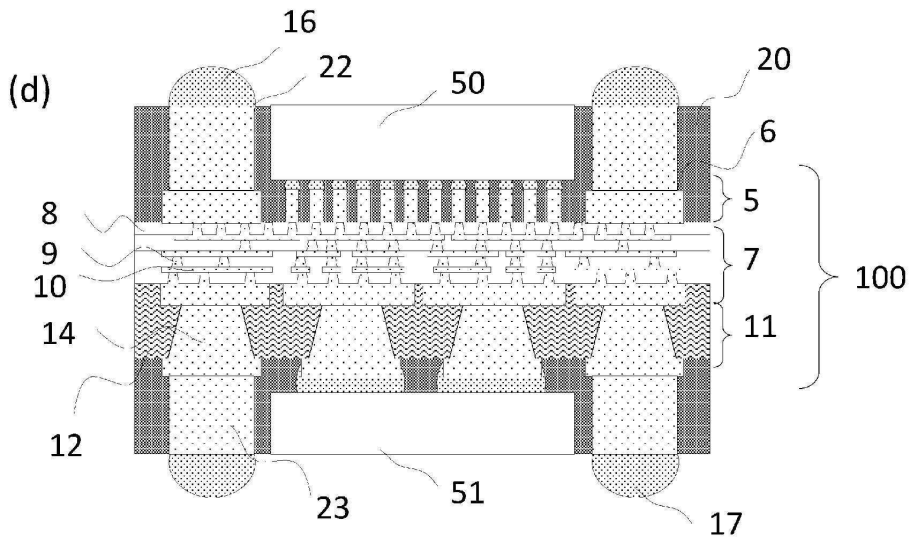
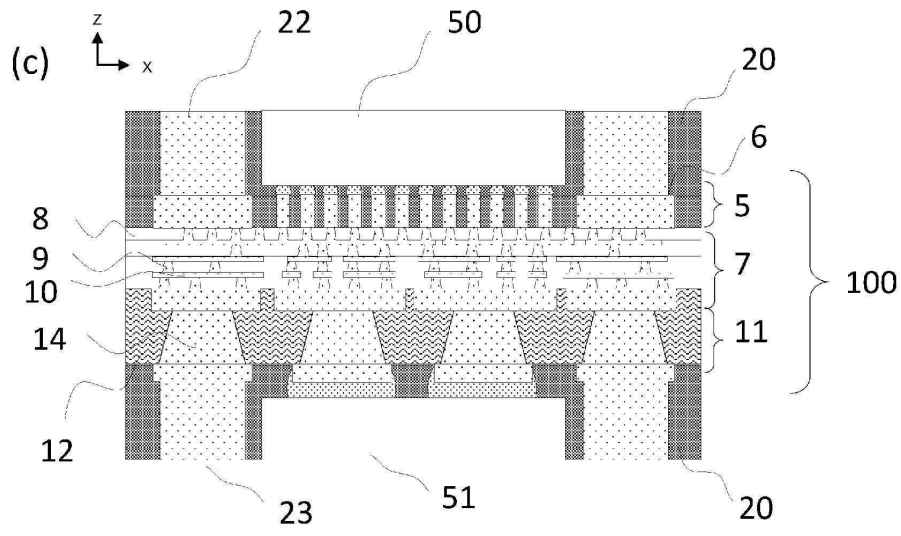
도면18



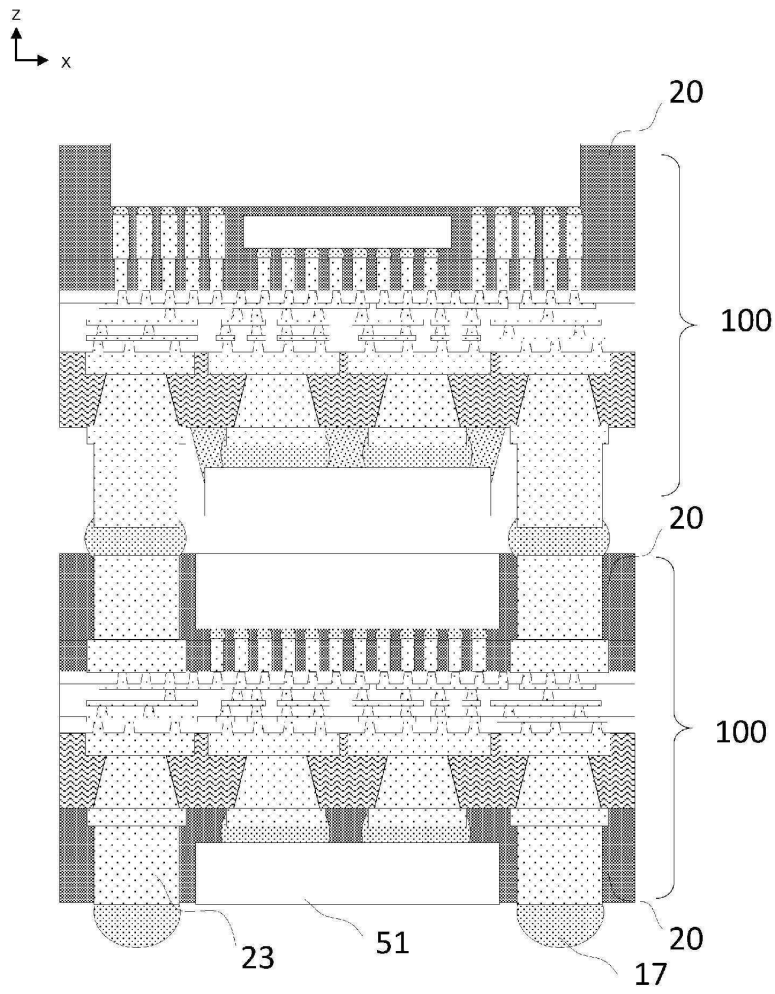
도면19



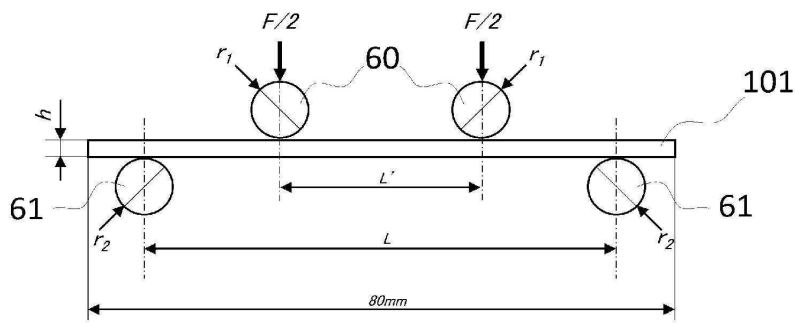
도면20



도면21



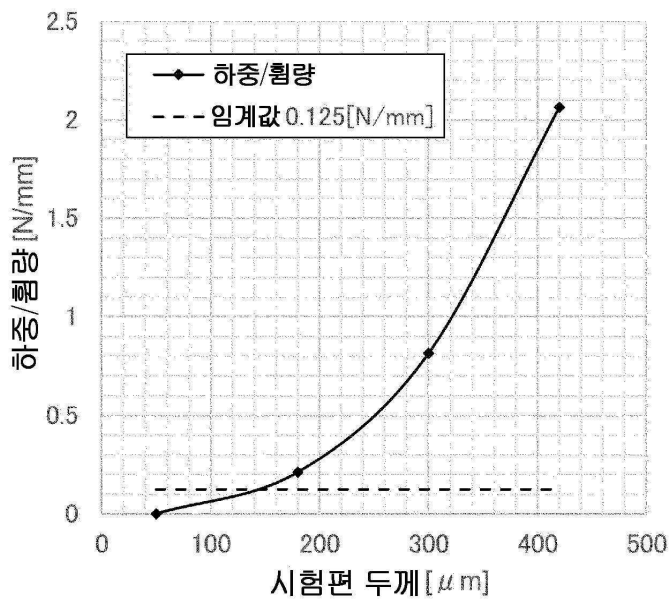
도면22



도면23

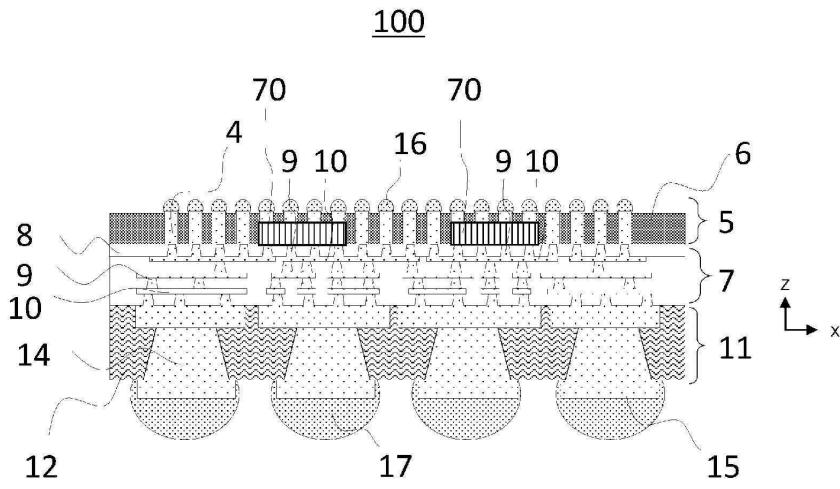
시험 속도 [mm/min]	허용차 [%]
0.5	±20
1	±20
2	±20
5	±20
10	±20
20	±10
50	±10
100	±10
200	±10
500	±10

도면24

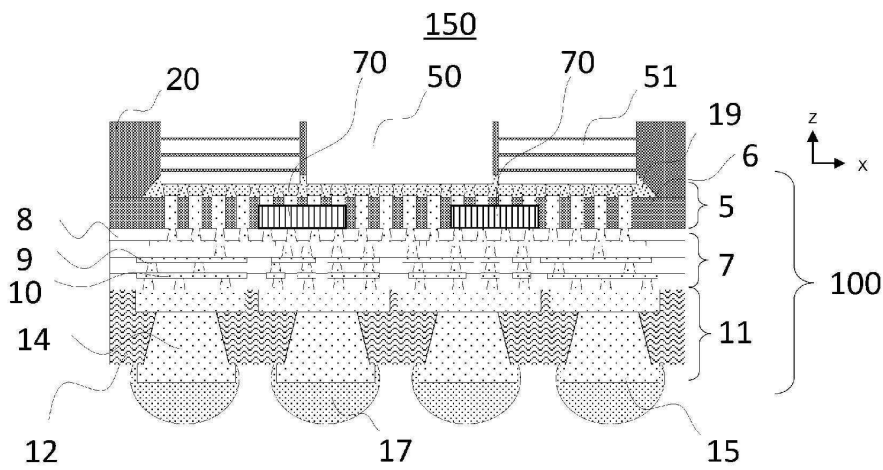


도면25

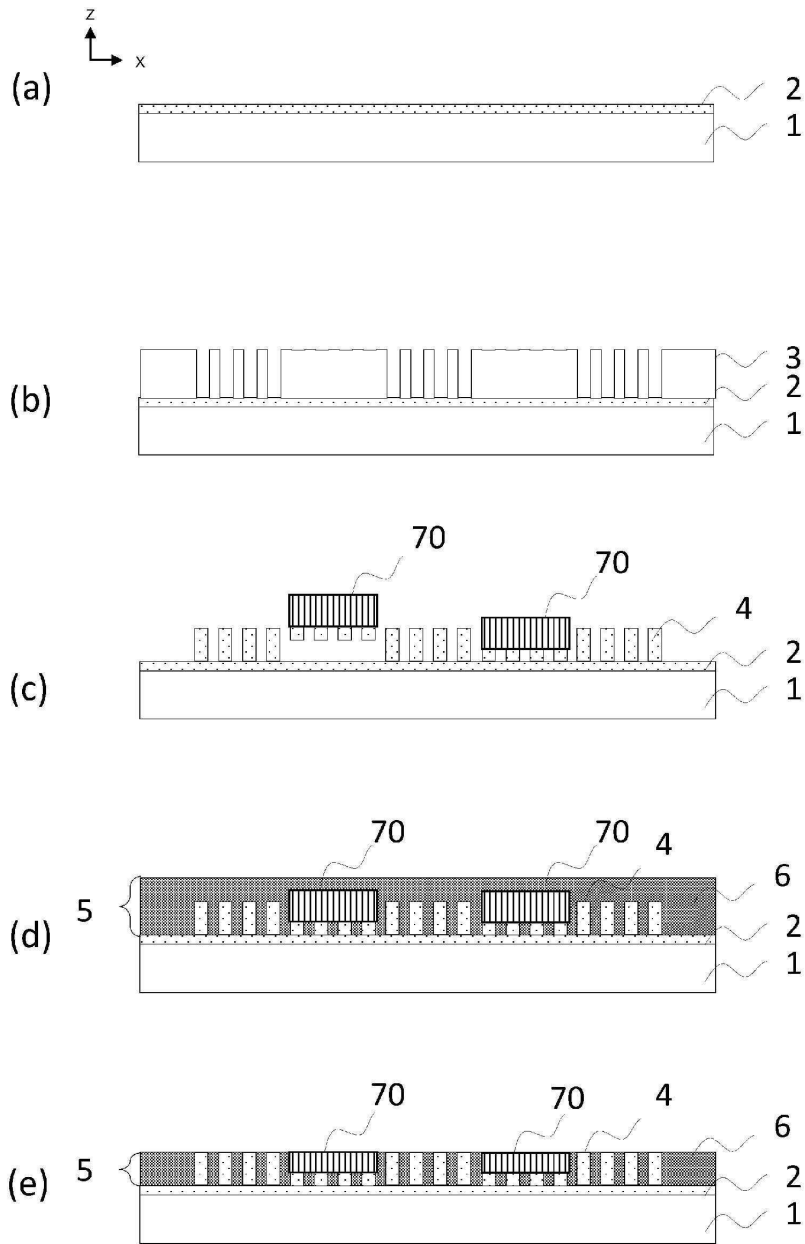
(a)



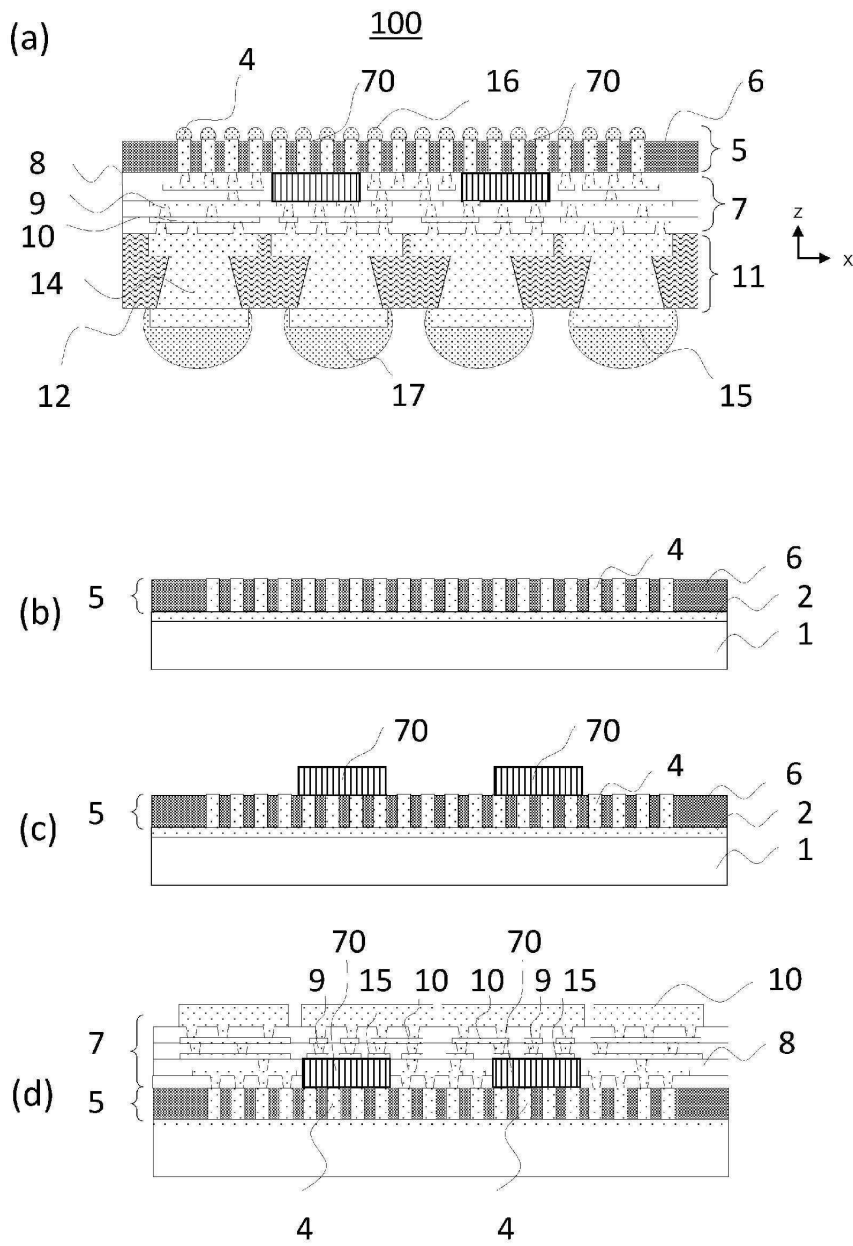
(b)



도면26



도면27



도면28

