

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 82 00686

(54)

Procédé pour affaiblir un signal numérique et dispositif pour l'exécution de ce procédé.

(51)

Classification internationale (Int. Cl.³). H 03 K 13/01; G 06 F 7/48.

(22)

Date de dépôt..... 18 janvier 1982.

(33) (32) (31)

Priorité revendiquée : *Pays-Bas, 23 janvier 1981, n° 81.00.307.*

(41)

Date de la mise à la disposition du
public de la demande B.O.P.I. — « Listes » n° 30 du 30-7-1982.

(71)

Déposant : NV PHILIPS' GLOEILAMPENFABRIEKEN, société anonyme de droit néerlandais,
résidant aux Pays-Bas.

(72)

Invention de : Antonie Cornelus Adrianus Maria Van der Steen.

(73)

Titulaire : *Idem* (71)

(74)

Mandataire : Jean Tissot, société civile SPID,
209, rue de l'Université, 75007 Paris.

"Procédé pour affaiblir un signal numérique et dispositif pour l'exécution de ce procédé."

5 La présente invention concerne un procédé servant à modifier un premier mot binaire, formé d'un certain nombre de bits qui représentent la valeur d'un premier signal analogique, en vue de produire un deuxième mot binaire dont les bits représentent la valeur d'un deuxième signal analogique, cette valeur se trouvant dans une relation prédéterminée par rapport à la valeur du premier signal analogique.

10 L'invention concerne en outre un dispositif pour l'exécution du procédé mentionné plus haut. Un tel procédé est décrit dans l'article "A digital attenuator with 1 dB steps" paru dans Hewlett Packard Journal, janvier 1980, page 10. Cet article décrit un procédé servant à affaiblir des signaux modulés par impulsions, qui peut être réalisé à l'aide d'un affaiblisseur numérique formé de deux registres et d'un dispositif additionneur et commandé par un circuit logique convenant à cet effet.

15 Le procédé connu convient pour l'affaiblissement et éventuellement l'amplification par étapes de 1 dB d'un signal modulé par impulsions codées et peut s'appliquer parfaitement dans des appareils de mesure numérisés. Le procédé connu fournit un affaiblissement ou une amplification avec précision, mais est si compliqué qu'il est moins bien adapté à des appareils de traitement de signaux simples, comme les appareils de lecture et des récepteurs, pour lesquels la précision demandée est moins stricte et dans lesquels, il est important d'atteindre le but recherché à l'aide de moyens plus simples.

20

25 L'invention a pour but de procurer un procédé d'affaiblissement numérique qui exige un minimum d'éléments et soit d'une conception simple. Le procédé conforme à l'invention est caractérisé à cet effet en ce qu'un troisième mot binaire est formé par le décalage d'un premier nombre prédéterminé d'emplacements de bits du premier mot binaire et le deuxième mot binaire est formé par des additions cumulatives, effectuées un deuxième nombre prédéterminé de fois, du troisième mot binaire décalé d'un troisième nombre prédéterminé d'emplacements de bits (de préférence 3) en direction du bit le moins significatif, à ce troisième mot binaire.

30

35 Pour l'exécution du procédé conforme à l'invention, il est avantageux de disposer d'un dispositif caractérisé en ce qu'il est pourvu d'un registre à décalage comportant un certain nombre d'entrées parallèles et un certain nombre de sorties parallèles et d'un dispositif

additionneur comportant un certain nombre de premières entrées parallèles, un certain nombre de deuxièmes entrées parallèles et un certain nombre de sorties parallèles, ce dispositif additionneur additionnant un mot binaire présenté sur les premières entrées à un mot binaire présenté sur les deuxièmes entrées et présentant le résultat de l'addition sur les sorties du dispositif additionneur, chacune des premières entrées du dispositif additionneur étant connectée, selon son poids binaire, à une des sorties du registre à décalage et chacune d'un certain nombre des deuxièmes entrées du dispositif étant connectée à une des sorties du registre à décalage, de telle façon que les deuxièmes entrées soient décalées du deuxième nombre d'emplacements de bits, de préférence 3, en direction du bit le plus significatif, par rapport aux premières entrées du dispositif additionneur et les deuxièmes entrées restantes, pour lesquelles aucune sortie du registre à décalage n'est disponible, sont connectées à un point de niveau logique constant.

Grâce à l'utilisation d'un seul registre à décalage et à la dérivation au moyen du câblage d'un signal affaibli pour les deuxièmes entrées du dispositif additionneur, il est possible de se contenter d'une procédure de commande simple.

Il est avantageux de munir le dispositif servant à exécuter le procédé conforme à l'invention de moyens qui rendent possible un fonctionnement dans une large mesure autonome.

Le dispositif pour l'exécution du procédé conforme à l'invention est caractérisé à cet effet en ce qu'il est pourvu d'un circuit de commande qui est connecté au registre à décalage pour l'amener au registre à décalage, selon un profil de temps prédéterminé, d'un signal de charge et d'un signal de décalage, ce profil de temps établissant le rapport entre la valeur du premier signal analogique représenté

par le deuxième mot binaire et la valeur du deuxième signal analogique représenté par le premier mot binaire, le circuit de commande étant pourvu d'au moins une entrée pour l'amenée d'un signal déterminant le profil de temps précité. De plus, 5 il peut être avantageux que le dispositif pour l'exécution du procédé conforme à l'invention soit pourvu de moyens permettant d'amener le signal d'entrée, à savoir le premier mot binaire, en série au dispositif.

Une première forme d'exécution préférée du dispositif 10 pour l'exécution du procédé conforme à l'invention est caractérisée en ce que chacune des sorties du dispositif additionneur est connectée, selon son poids binaire, à une des entrées parallèles du registre à décalage et le registre à décalage est pourvu d'une entrée série qui est connectée à 15 une entrée de système. Les entrées parallèles du registre à décalage peuvent, dans cette première forme d'exécution, être connectées à demeure aux sorties du dispositif additionneur, parce que l'introduction du signal d'entrée s'effectue par l'intermédiaire de l'entrée série du registre à 20 décalage, de sorte que les niveaux logiques n'ont aucune influence sur les entrées parallèles du registre à décalage.

Il peut cependant aussi être avantageux de munir le dispositif servant à exécuter le procédé conforme à l'invention de moyens permettant d'amener le signal d'entrée, à 25 savoir le premier mot binaire, d'une manière parallèle au dispositif.

Une deuxième forme d'exécution préférée du dispositif pour l'exécution du procédé conforme à l'invention est caractérisée en ce qu'elle est pourvue d'un certain nombre 30 d'entrée de système parallèles et d'un certain nombre de commutateurs bistables comportant chacun un contact principal, un premier contact et un deuxième contact, le contact principal de chacun des commutateurs bistables étant connecté exclusivement à une des entrées parallèles du registre à 35 décalage, le premier contact de chacun des commutateurs bistables étant connecté, selon le poids binaire de l'entrée

du registre à décalage connecté au contact principal de ce commutateur bistable, à une des entrées de système parallèles et le deuxième contact de chacun des commutateurs bistables étant connecté, selon le poids binaire de l'entrée du registre à décalage connecté au contact principal de ce commutateur, à une des sorties du dispositif additionneur. Il est nécessaire, dans cette deuxième forme d'exécution préférée, de faire en sorte que chacune des entrées du registre à décalage puisse être connectée à une des entrées de système parallèles et à une des sorties du dispositif additionneur, étant donné qu'aussi bien le signal d'entrée (le premier mot binaire) que le signal de sortie du dispositif additionneur, doivent pouvoir être amenés séparément à des entrées parallèles du registre à décalage. Dans la deuxième forme d'exécution préférée, il est avantageux, en ce qui concerne la commande du dispositif pour l'exécution du procédé conforme à l'invention, de réaliser les commutateurs bistables d'une manière telle que la commande de ces commutateurs puisse être effectuée au moyen de signaux électriques.

Une autre forme d'exécution du dispositif pour l'exécution du procédé conforme à l'invention est caractérisée à cet effet en ce que les commutateurs bistables ont la forme de commutateurs électroniques qui sont montés dans un circuit de sélection pourvu d'une entrée de commande pour l'amenée d'un signal de commande au moyen duquel les commutateurs bistables peuvent être simultanément commutés.

L'invention sera expliquée plus en détail ci-après avec référence aux dessins annexés, dans lesquels :

- la figure 1 est le schéma synoptique d'un dispositif d'affaiblissement numérique connu ;
- la figure 2 est le schéma synoptique d'une forme d'exécution préférée du dispositif servant à exécuter le procédé conforme à l'invention avec une introduction série ;
- la figure 3 est le schéma synoptique d'une forme d'exécution préférée du dispositif servant à exécuter le procédé

conforme à l'invention avec une introduction parallèle, et
- la figure 4 est un exemple d'un schéma synoptique des
moyens de commande pour le dispositif de la figure 3.

La figure 1 est le schéma synoptique d'un dispositif
5 d'affaiblissement numérique connu décrit dans l'article pré-
cité qui comporte un registre à décalage R_1 , un registre R_2 ,
un dispositif additionneur A et un circuit de commande C, qui
est commandé par le processeur P.

Le mot binaire à modifier est présenté sur les entrées
10 parallèles du registre à décalage R_1 (indiquées ici globa-
lement par IR_1). Les sorties parallèles du registre à déca-
lage R_1 (indiquées ici globalement par OR_1) sont connectées,
selon leur poids binaire, aux entrées IA_1 du dispositif addi-
tionneur A. Les sorties OR_2 du registre R_2 sont connectées,
15 selon leur poids binaire, aux entrées IA_2 du dispositif addi-
tionneur A et les entrées IR_2 du registre R_2 sont connectées,
selon leur poids binaire, aux sorties OA du dispositif addi-
tionneur A.

Le processeur P fournit, par l'intermédiaire du circuit
20 de commande C et des liaisons B_1 , B_2 et B_3 , les ordres exigés
aux registres R_1 et R_2 et au dispositif additionneur A. Ces
ordres sont formés d'ordres de chargement et de décalage
pour le registre à décalage R_1 , d'ordres de chargement pour
le registre R_2 et d'ordres d'addition ou de soustraction
25 pour le dispositif additionneur A.

En chargeant le registre à décalage R_1 du mot à modi-
fier, puis en exécutant un certain nombre de fois un cycle
formé d'un ordre de décalage pour le registre à décalage R_1 ,
d'un ordre d'addition (ou de soustraction) pour le dispositif
30 additionneur A et d'un ordre de chargement pour le registre
 R_2 ou formé uniquement d'un ordre de commande pour le regis-
tre à décalage R_1 , le facteur d'affaiblissement ou d'ampli-
fication souhaité est obtenu. Le principe sur lequel est ba-
sé le fonctionnement sera expliqué plus en détail ci-après.
35 Le décalage d'un mot numérique dans un registre à décalage
d'un emplacement de bit dans le sens du bit le moins signi-

ficatif correspond à un affaiblissement de 6 db. Le décalage d'un emplacement de bit dans l'autre sens donne une amplification de 6 dB. Un affaiblissement d'un nombre quelconque de dB peut être obtenu par sommation d'une série de mots dérivés du premier mot binaire initial, qui sont décalés un à un de divers nombres de bits et représentent ainsi une série de valeurs de signaux analogiques affaiblis qui sont chacun affaiblis d'un nombre entier de fois 6 dB par rapport au signal analogique initial, donc par exemple selon :

10
$$AV_2 = AV_3 \left[1 \pm (C_1 \cdot 1/2 + C_2 \cdot 1/4 + \dots + C_8 \cdot \frac{1}{256}) \right]$$

où AV_2 est la valeur analogique représentée par le mot modifié, AV_3 est la valeur analogique associée au mot initial décalé et C_1 à C_8 sont des coefficients qui sont de 0 ou de 1 et qui sont déterminés, dans le circuit de la figure 1, par un algorithme de commande du processeur P. Celui-ci détermine, par l'intermédiaire de la liaison de commande B_3 , aussi si, à l'endroit du signe \pm , un + ou un - vient se placer, donc si une amplification ou un affaiblissement est nécessaire. Il est clair que pour l'exemple donné, un choix correct des coefficients $C_1 \dots C_8$ permet d'approcher tout facteur d'affaiblissement ou d'amplification souhaité jusqu'à $\frac{1}{512}$. Pour un appareil de mesure précis, ceci peut naturellement être nécessaire, mais pour les cas où les critères sont moins sévères, par exemple dans les appareils audio, il est avantageux d'abandonner une petite partie de cette précision au profit de la simplicité du dispositif.

La figure 2 est le schéma synoptique d'une forme d'exécution préférée du dispositif pour l'exécution du procédé conforme à l'invention avec une introduction série et des trajets de signaux binaires de 16 bits. Ce dispositif est formé du registre à décalage de 16 bits R, du dispositif additionneur AD, du circuit de verrouillage LA et du circuit de commande CC. Les entrées parallèles $RI_1 \dots RI_{16}$ du registre à décalage R sont connectées, selon leur poids binaire, aux sorties $AO_1 \dots AO_{16}$ du dispositif additionneur AD. Les sorties parallèles $RO_1 \dots RO_{16}$ du registre à déca-

lage R sont connectées, selon leur poids binaire, aux premières entrées $AI_{101} \dots AI_{116}$ du dispositif additionneur Ad et sont chacune couplée, par l'intermédiaire du circuit tampon LA, aux sorties de système $Q_1 \dots Q_{16}$. Les entrées $AI_{201} \dots AI_{213}$ du dispositif additionneur AD sont connectées aux sorties $RO_4 \dots RO_{16}$ du registre à décalage R et sont donc décalées de trois emplacements de bits par rapport aux entrées $AI_{101} \dots AI_{116}$ du dispositif additionneur AD. Les entrées restantes $AI_{214} \dots AI_{216}$ sont connectées à la masse (0 "logique"), de sorte que la valeur du mot sur les entrées $AI_{201} \dots AI_{216}$ vaut 2^{-3} fois celle présente sur les entrées $AI_{101} \dots AI_{116}$. En chargeant le registre à décalage R de la somme du mot déjà présent dans ce registre et du mot décalé, on stocke un nouveau mot qui vaut $(1 + 2^{-3}) = 1,125$ fois le mot d'abord présent dans le registre à décalage R, ce qui correspond à une amplification d'environ 1 dB.

En tout premier lieu, le premier mot binaire (signal d'entrée) est introduit dans le registre à décalage R par l'intermédiaire de l'entrée de système série SI en synchronisme avec la fréquence de bit du signal d'entrée, cette fréquence pouvant être la même que celle du signal d'horloge CL décrit plus loin. Ceci s'effectue au moyen du signal SH. Si l'on suppose que lors de ce décalage, le bit le plus significatif paraît en premier lieu, on peut alors déjà obtenir un affaiblissement grossier en présentant, au moyen du signal SH, un nombre d'ordres de décalage qui est inférieur au nombre de bits (16) dont le premier mot binaire est constitué. Un nombre N d'ordres de décalage provoque donc un affaiblissement d'environ $(16-N) \times 6$ dB.

En ajoutant des ordres de décalage supplémentaires à la série normale de 16, on pourrait en principe aussi amplifier par étapes de 6 dB, pourvu qu'aucun "dépassement" ne se produise dans le registre à décalage R. On obtient l'affaiblissement souhaité en procédant tout d'abord de la façon décrite plus haut à un affaiblissement grossier, puis en fournissant un ordre de chargement, un nombre de fois q

déterminé, au registre à décalage R au moyen du signal de commande L. Pour chaque ordre de chargement, le contenu du registre à décalage R décalé de trois emplacements de bits dans la direction du bit le moins significatif, est additionné au contenu de ce même registre à décalage R, ce qui aboutit à une amplification d'environ 1 dB. Après q ordres de chargement, on a donc amplifié de q dB. En négligeant, lors de l'introduction du premier mot binaire dans le registre à décalage R, p ordres de décalage de la manière décrite plus haut et en produisant 9 fois un ordre de chargement après l'introduction, on peut réaliser un affaiblissement qui peut être exprimé de la manière suivante :

$$A \simeq - p.6 + q \text{ (dB)}$$

Comme le montre la figure 2, les signaux de commande L et SH proviennent du circuit de commande CC, qui est conçu pour fournir les signaux L et SH selon le motif correct sous l'influence d'un signal de commande WA (provenant, par exemple, d'un organe de commande) et du signal d'horloge CL. Le mot modifié (deuxième mot binaire) devient disponible aux sorties $RO_1 \dots RO_{16}$ du registre à décalage R, qui sont, pour cette raison, couplées, par l'intermédiaire du circuit tampon LA, qui contient le deuxième mot binaire modifié en dernier lieu, jusqu'à ce que le suivant soit déterminé, aux sorties de système $Q_1 \dots Q_{16}$, desquelles le signal traité peut être prélevé en vue d'un traitement ultérieur. Au début de chaque cycle de modification, à l'aide du signal SE, qui est amené à l'entrée RE du registre à décalage, R, le contenu de ce registre à décalage est amené à 0 pour éviter qu'un reste de l'ancien contenu s'ajoute à de l'information nouvelle. Après la description de la figure 3, on examinera plus en détail la réalisation du circuit de commande CC.

La figure 3 est le schéma synoptique d'une forme d'exécution préférée du dispositif pour l'exécution du procédé conforme à l'invention avec une introduction parallèle. Ce schéma ne présente, par rapport au schéma synoptique de la

fig. 2, que les différences suivantes. Le registre à décalage R ne comporte aucune entrée série ou bien cette entrée, si elle est présente, n'est du moins pas utilisée. Pour faire en sorte que les entrées parallèles $RI_1 \dots RI_{16}$ du registre à décalage puissent être connectées en alternance aux entrées de système parallèle $SI_1 \dots SI_{16}$ et aux entrées $AO_1 \dots AO_{16}$ du circuit additionneur, les commutateurs à commande électronique $S_1 \dots S_{16}$ du circuit de commutation S sont ajoutées. La procédure pour l'affaiblisseur numérique de la figure 3 est la suivante.

A l'aide du signal de commande SE, qui peut provenir de la partie du système précédant l'affaiblisseur numérique que l'on décrit pour l'instant et qui est amené à l'entrée B du circuit de commutation S, les commutateurs $S_1 \dots S_{16}$ sont amenés dans l'état 1, à la suite de quoi un premier mot binaire présenté sur les entrées de système parallèles $SI_1 \dots SI_{16}$ peut être introduit au moyen d'un ordre de chargement L dans le registre à décalage R. Les commutateurs sont ensuite tous amenés dans l'état 2 par le signal SE et, au moyen du signal SH, sont émis autant d'ordres de décalage que nécessaire pour l'affaiblissement grossier par étapes de 6 dB.

Comme indiqué plus haut, p ordres de décalage sont nécessaires lorsque l'affaiblissement grossier exige 6 p dB. Ensuite, comme pour la procédure décrite à propos de la figure 2, un ordre de chargement est émis q fois et dès lors l'affaiblissement final est à nouveau de :

$$A = - 6 p + q \text{ (dB)}$$

Le circuit tampon LA fonctionne d'une manière identique à celle décrite à propos de la figure 2.

Le circuit de commande CC est équipé dans les deux cas pour, sous l'influence d'un signal de commande numérique WA et du signal d'horloge CL, produire les signaux SH et L selon le profil de temps correct. On peut atteindre ce résultat, par exemple, en réalisant le circuit de commande CC comme illustré sur la figure 4. La description du circuit de commande de cette figure s'appliquera en premier lieu à

une utilisation dans le circuit de la figure 3. Les trois bits les plus significatifs du signal de commande numérique WA sont présentés sur les entrées I_1 , I_2 et I_3 du registre de comptage R_3 . Ces trois bits déterminent la valeur de p , qui, dans ce cas, peut aller de 0 à 7. Les autres bits du signal de commande numérique sont amenés au registre de comptage à 4 bits R_4 dans lequel, de la même manière, la valeur de q est stockée. Le stockage de la valeur p ou de la valeur q s'effectue sous l'influence du signal SE qui, comme mentionné plus haut, peut provenir de la partie du système précédant l'affaiblisseur numérique que l'on décrit en ce moment et qui est amenée aux entrées d'ordres de chargement L_3 et L_4 des registres de comptage R_3 et R_4 . Après que les registres de comptage R_3 et R_4 aient été chargés, le premier registre R_3 commence par décompter. Ceci s'effectue sous l'influence du signal d'horloge CL qui peut être utilisé éventuellement aussi dans d'autres parties du système dans lequel l'affaiblisseur numérique est monté. Ce signal d'horloge est amené, par l'intermédiaire du circuit-porte ET G_1 à l'entrée d'horloge DC_3 du registre de comptage R_3 . Le signal d'horloge, qui apparaît à la sortie du circuit-porte ET G_1 sert également de signal SH qui est amené au registre à décalage R de la figure 3. Aussitôt que le registre de comptage a reçu p impulsions d'horloge, il a atteint l'état 0, ce qui est détecté à l'aide du circuit-porte OU G_3 dont les entrées sont connectées chacune à une sortie du registre de comptage R_3 .

La sortie du circuit-porte OU G_3 qui était tout d'abord à "1" passe alors à "0" et le circuit-porte ET G_1 est ainsi bloqué, tandis que le circuit-porte ET G_2 est ouvert. Le signal d'horloge CL peut maintenant atteindre l'entrée DC_4 du registre de comptage R_4 , à la suite de quoi, celui-ci commence à décompter. Le signal d'horloge qui apparaît à la sortie du circuit-porte ET G_2 est combiné au moyen du circuit-porte OU G_5 avec le signal SE (si nécessaire retardé), cette combinaison fournissant le signal de commande L. Ceci

est effectué pour, au début des signaux de modification, charger le registre à décalage R du premier mot binaire. Lorsque, après le début du décomptage par le registre de comptage R_4 , q impulsions d'horloge sont comptées, ce registre de comptage a atteint l'état "0" et cesse de décompter sous l'influence du couplage en retour établi par l'intermédiaire du circuit-porte OU G_4 .

La figure 5 illustre un exemple d'un diagramme en fonction du temps selon lequel les signaux C, SE, SH et L dans les signaux de commande CC ici décrits se présentent pendant un cycle de modification pour un signal de commande WA déterminé. Le signal d'horloge CL, qui est aussi utilisé ailleurs dans le système est présent en continu.

Le signal SE est produit en synchronisme avec le signal d'horloge dans une partie du système précédant l'affaiblisseur numérique et sert à faire débiter le cycle de modification.

Sur la figure 5, l'impulsion retardée du signal SE est combinée avec le signal L pour charger le registre à décalage R du premier mot binaire après l'amenée des commutateurs $S_1 \dots S_{16}$ de la figure 3 dans l'état correct (1). Suit alors le cycle de modification proprement dit, au cours duquel le signal WA détermine les nombres p (d'ordres de décalage) et q (d'ordres de chargement). Dans ce cas, $p = 2$, ce qui provoque les deux impulsions du signal SH et $q = 4$ ce qui provoque les quatre dernières impulsions du signal L. L'affaiblissement est dans ce cas donc de $A = -2.6 + 4 = -8$ dB.

Le circuit de commande de la figure 4 peut aussi, après une légère modification, être utilisé pour le circuit de la figure 2.

Le circuit-porte OU G_5 est à cet effet connecté dans la ligne du signal SH et non dans celle du signal L comme sur la figure 4. De cette façon, le signal SE (si nécessaire retardé) est ajouté au signal SH. Cette dernière situation n'est pas représentée sur les figures 4 et 5. Il y a cependant encore une différence, à savoir le fait que pour des

applications du circuit de la figure 4 dans celui de la figure 3, la valeur de p doit être stockée dans le registre de comptage R_3 , tandis que pour le circuit de commande convenant pour la commande de l'affaiblisseur représenté sur la figure 2, c'est la valeur $(16-p)$ qui doit l'être, parce que dans ce cas, ce sont les ordres de décalage négligés qui déterminent l'affaiblissement grossier (par étapes de 6 dB).

REVENDICATIONS

1.- Procédé pour modifier un premier mot binaire, formé
d'un certain nombre de bits qui représentent la valeur d'un
premier signal analogique, en vue de produire un deuxième
5 mot binaire dont les bits représentent la valeur d'un deuxième
signal analogique, cette valeur se trouvant dans une re-
lation prédéterminée par rapport à la valeur du premier signal
analogique, caractérisé en ce qu'un troisième mot binaire est
formé par le décalage d'un premier nombre prédéterminé d'em-
10 placements de bits du premier mot binaire et le deuxième mot
binaire est formé par des additions cumulatives effectuées un
deuxième nombre prédéterminé de fois du troisième mot binaire
décalé d'un troisième nombre prédéterminé d'emplacements de
bits (de préférence 3) en direction du bit le moins signifi-
15 catif, à ce troisième mot binaire.

2.- Dispositif pour l'exécution du procédé suivant la
revendication 1, caractérisé en ce qu'il est pourvu d'un re-
gistre à décalage (R) comportant un certain nombre d'entrées
20 parallèles ($RI_1 \dots RI_{16}$) et un certain nombre de sorties pa-
rallèles ($RO_1 \dots RO_{16}$), et d'un dispositif additionneur (AD)
comportant un certain nombre de premières entrées parallèles
($AI_{101} \dots AI_{116}$), un certain nombre de deuxièmes entrées
parallèles ($AI_{201} \dots AI_{216}$) et un certain nombre de sorties
parallèles ($AO_1 \dots AO_{16}$), ce dispositif additionneur (AD)
25 additionnant un mot binaire présenté sur les premières en-
trées ($A_{101} \dots A_{116}$) à un mot binaire présenté sur les
deuxièmes entrées ($AI_{201} \dots AI_{216}$) et fournissant le résul-
tat de l'addition sur les sorties ($AO_1 \dots AO_{16}$) du disposi-
tif additionneur (AD), chacune des premières entrées du dis-
30 positif additionneur ($AI_{101} \dots AI_{116}$) étant connectée, selon
son poids binaire, à une des sorties du registre à décalage
($RO_1 \dots RO_{16}$) et chacune d'un certain nombre des deuxièmes
entrées du dispositif additionneur ($AI_{201} \dots AI_{213}$) étant
connectée à une des sorties du registre à décalage
35 ($RO_4 \dots RO_{16}$) de telle façon que les deuxièmes entrées
($AI_{201} \dots AI_{216}$) soient décalées du deuxième nombre d'empla-

cements de bits, de préférence trois, en direction du bit le plus significatif, par rapport aux premières entrées du dispositif additionneur ($AI_{101} \dots AI_{116}$) et les deuxièmes entrées restantes ($AI_{214} \dots AI_{216}$), pour lesquelles aucune sortie du registre à décalage n'est disponible, sont connectées à un point de niveau logique constant.

3.- Dispositif suivant la revendication 2, caractérisé en ce qu'il est pourvu d'un circuit de commande (CC) qui est connecté au registre à décalage (R) pour l'amenée au registre à décalage, selon un profil de temps prédéterminé, d'un signal de charge (L) et d'un signal de décalage (SH), ce profil de temps établissant le rapport entre la valeur du signal analogique représenté par le deuxième mot binaire et la valeur du signal analogique représenté par le premier mot binaire, le circuit de commande (CC) étant pourvu d'au moins une entrée pour l'amenée d'un signal (WA) déterminant le profil de temps précité.

4.- Dispositif suivant la revendication 3, caractérisé en ce que chacune des sorties ($AO_1 \dots AO_{16}$) du dispositif additionneur (AD) est connectée, selon son poids binaire, à une des entrées parallèles ($RI_1 \dots RI_{16}$) du registre à décalage (R) et le registre à décalage (R) est pourvu d'une entrée série (IS) qui est connectée à une entrée de système (SI).

5.- Dispositif suivant la revendication 3, caractérisé en ce qu'il est pourvu d'un certain nombre d'entrées de système parallèles ($SI_1 \dots SI_{16}$) et d'un certain nombre de commutateurs bistables ($S_1 \dots S_{16}$) comportant chacun un contact principal, un premier contact et un deuxième contact, le contact principal de chacun des commutateurs bistables étant connecté exclusivement à une des entrées parallèles ($RI_1 \dots RI_{16}$) du registre à décalage (R), le premier contact (1) de chacun des commutateurs bistables ($S_1 \dots S_8$) étant connecté, selon le poids binaire de l'entrée du registre à décalage (R) connectée au contact principal de ce commutateur bistable, à une des entrées de système parallèles ($S_1 \dots S_{16}$), et le deuxième contact (2) de chacun des com-

mutateurs bistables ($S_1 \dots S_{16}$) étant connecté, selon le poids binaire de l'entrée du registre à décalage (R) connectée au contact principal de ce commutateur, à une des sorties ($AO_1 \dots AO_{16}$) du dispositif additionneur (AD).

5 6.- Dispositif suivant la revendication 5, caractérisé en ce que les commutateurs bistables ($S_1 \dots S_8$) ont la forme de commutateurs électroniques qui sont montés dans un circuit de sélection (S) pourvu d'une entrée de commande (B) pour l'amenée d'un signal de commande (SE) au moyen duquel
10 les commutateurs bistables ($S_1 \dots S_{16}$) peuvent être commutés simultanément.

7.- Dispositif suivant la revendication 6, caractérisé en ce que le circuit de commande (CC) est pourvu d'une autre entrée pour l'amenée du signal de commande (SE).

PL. 1/3

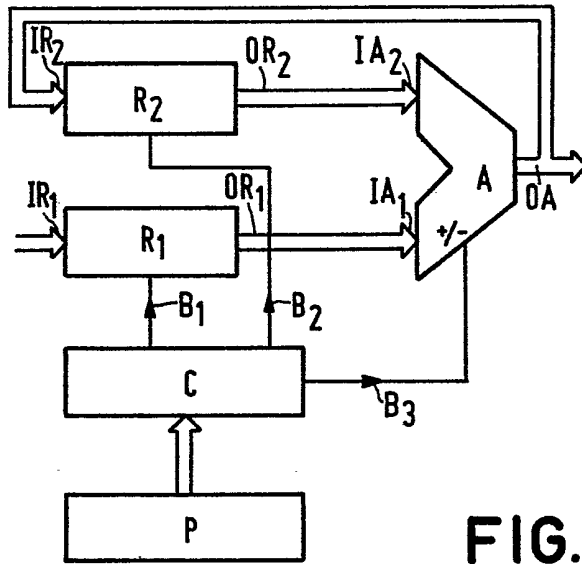


FIG.1

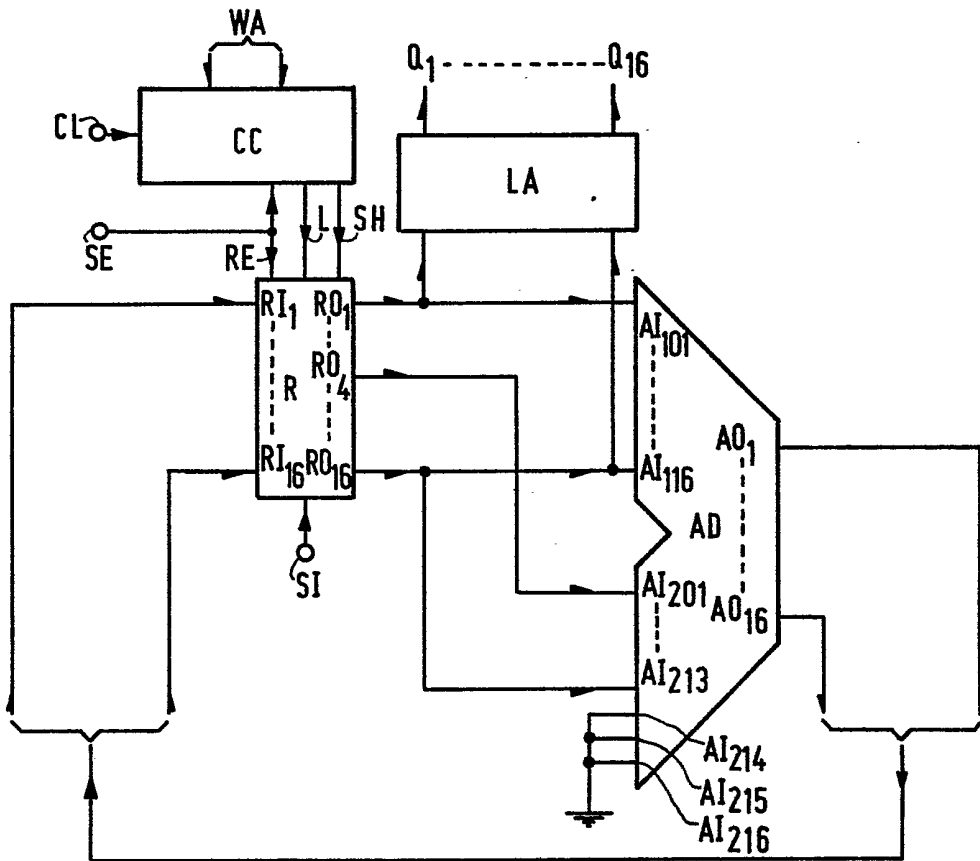


FIG.2

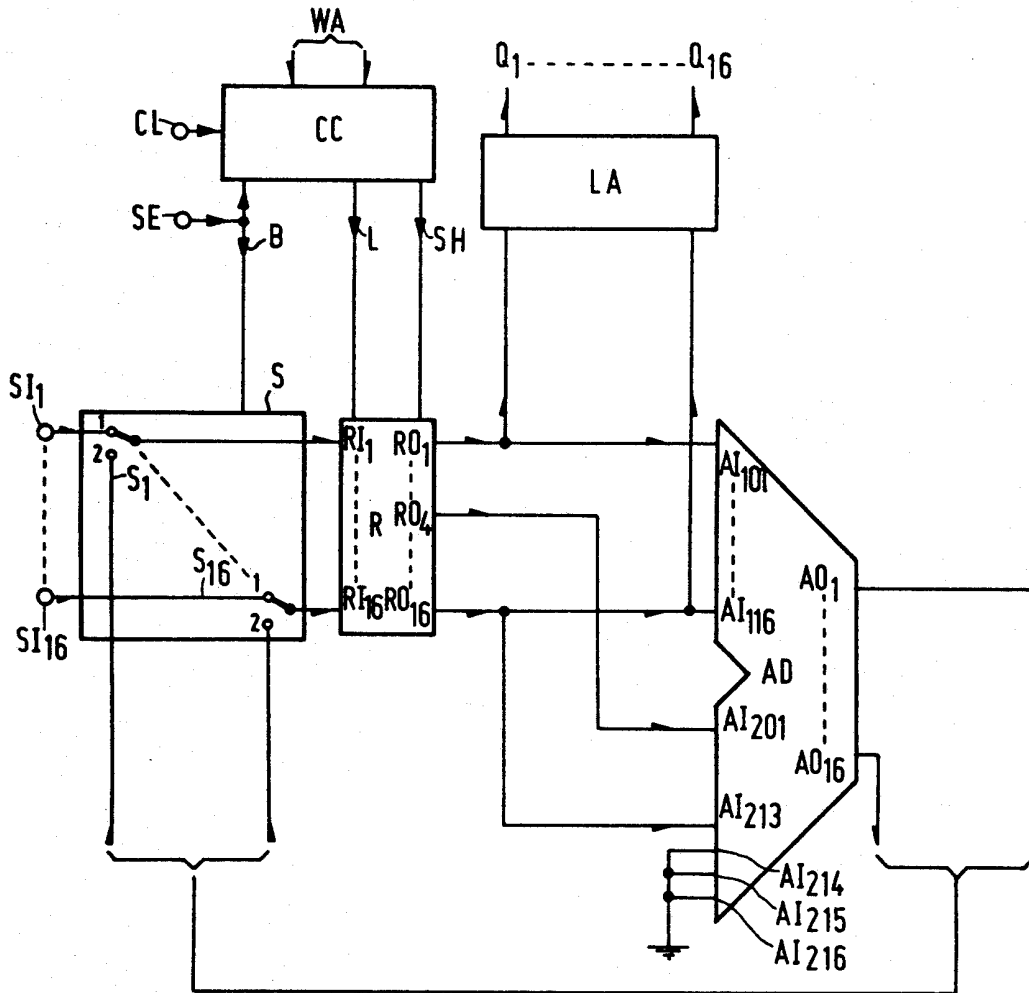


FIG.3

PL. 3/3

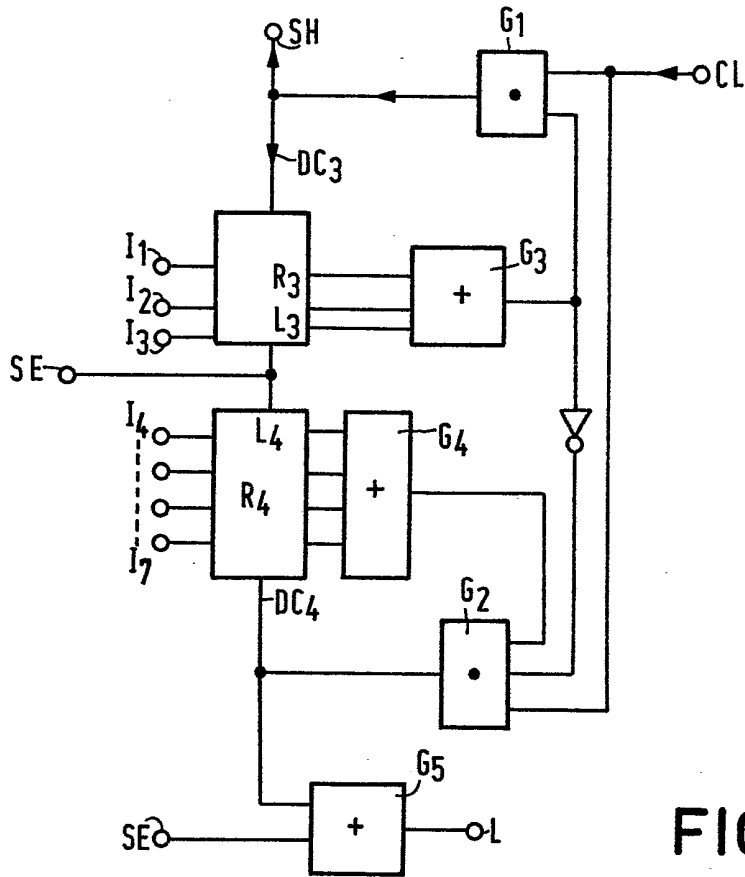


FIG. 4

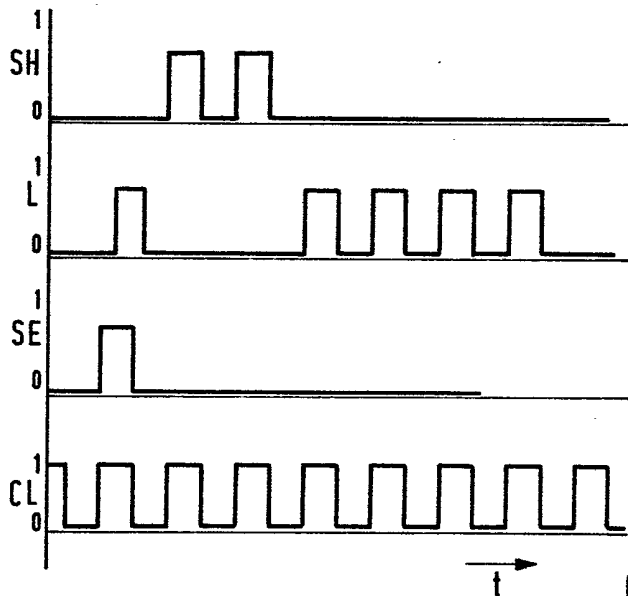


FIG. 5