

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-252104

(P2005-252104A)

(43) 公開日 平成17年9月15日(2005.9.15)

(51) Int. Cl.⁷

H01G 4/12

H01G 4/30

F I

H01G 4/12

3 5 2

H01G 4/30

3 0 1 D

テーマコード (参考)

5 E 0 0 1

5 E 0 8 2

審査請求 未請求 請求項の数 7 O L (全 20 頁)

(21) 出願番号 特願2004-62861 (P2004-62861)

(22) 出願日 平成16年3月5日(2004.3.5)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市東神足1丁目10番1号

(74) 代理人 100092071

弁理士 西澤 均

(72) 発明者 吉川 祐司

京都府長岡京市天神二丁目26番10号

株式会社村田製作所内

Fターム(参考) 5E001 AB03 AC07 AC09 AE02 AE03

AE04 AF06 AH01 AH05 AH07

AH08 AH09 AJ01

5E082 AB03 BC36 EE23 EE35 FG06

FG26 FG54 GG10 GG26 GG28

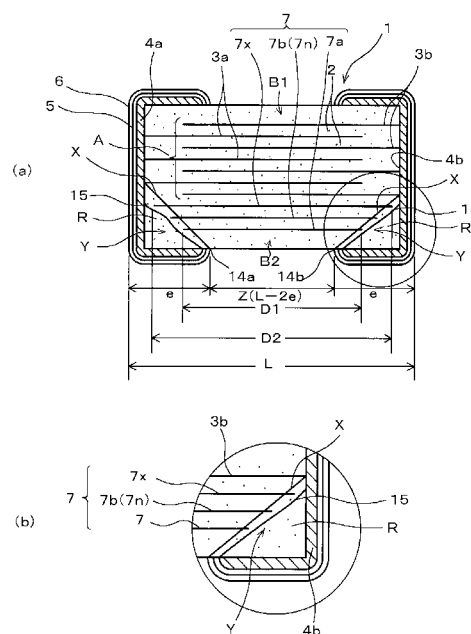
(54) 【発明の名称】 積層セラミックコンデンサ

(57) 【要約】

【課題】 積層セラミックコンデンサの実装時および実装後の熱的、機械的応力の集中などにより発生するクラックを、所定のクラック誘導経路に導いて、クラックが内部電極に達することを防止して、所望の特性が確保されるようにする。

【解決手段】 内部電極3a, 3bの、セラミック素子1の端面への引き出し位置のうち、実装時に最も下側になる引き出し位置から、当該端面に形成され、実装時に下面側となるセラミック素子1の側面にまで回り込んだ外部電極4a, 4bの先端まで仮想線Xを引いた場合に、実装時に下側になる下側外層部B2に配設されたダミー電極7(ダミー電極層7a, 7b(7n), 7x)のうち、少なくとも一部のダミー電極が仮想線Xと接する位置に達するか、または仮想線Xと交差し、その先端が仮想線Xと当該外部電極4a, 4bにより規定される領域Rにまで達するように配設する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

セラミック素子と、セラミック素子の端面および該端面に連続する側面の両端部に形成された外部電極を具備する積層セラミックコンデンサにおいて、

セラミック素子が、セラミック層を介して、複数の内部電極が互いに対向するように配設された内部電極配設部と、内部電極配設部の上側および下側に配設されたセラミック層である上側外層部および下側外層部とを備え、

少なくとも実装時に下側になる下側外層部には、積層セラミックコンデンサの機能に影響を与えないダミー電極が配設され、かつ、

前記内部電極の、前記セラミック素子の端面への引き出し位置のうち、実装時に最も下側になる引き出し位置から、当該端面に形成され、実装時に下面側となる前記セラミック素子の側面にまで回り込んだ前記外部電極の先端まで仮想線を引いた場合に、前記下側外層部に配設された前記ダミー電極の先端が、前記仮想線と当該外部電極により規定される領域の外側から前記仮想線と接する位置に達するか、または、前記仮想線と交差し、前記仮想線と当該外部電極により規定される領域にまで達しており、実装状態で積層セラミックコンデンサに応力が加わった場合に前記下側外層部に発生するクラックを通過させるクラック誘導経路が形成され、前記クラックが積層セラミックコンデンサの機能に影響を与える内部電極を切断することなく、前記下側外層部を通過するように構成されていることを特徴とする積層セラミックコンデンサ。

10

【請求項 2】

前記ダミー電極がセラミックグリーンシート層を介して積層された複数のダミー電極層から構成されており、かつ、前記下側外層部に積層されたダミー電極のうち、積み重ね方向における最も上側の、内部電極に最も近接したダミー電極の先端が、前記仮想線と接する位置に達するか、または、前記仮想線と交差し、前記仮想線と当該外部電極により規定される領域にまで達していることを特徴とする請求項 1 記載の積層セラミックコンデンサ。

20

【請求項 3】

前記ダミー電極がセラミックグリーンシート層を介して積層された複数のダミー電極層から構成されており、かつ、前記下側外層部に積層されたダミー電極のうち、積み重ね方向における最も下側の、内部電極から最も離れたダミー電極の先端が、前記仮想線と接する位置に達するか、または、前記仮想線と交差し、前記仮想線と当該外部電極により規定される領域にまで達していることを特徴とする請求項 1 または 2 記載の積層セラミックコンデンサ。

30

【請求項 4】

前記ダミー電極がセラミックグリーンシート層を介して積層された複数のダミー電極層から構成されており、かつ、前記下側外層部に積層されたすべてのダミー電極の先端が、前記仮想線と接する位置に達するか、または、前記仮想線と交差し、前記仮想線と当該外部電極により規定される領域にまで達していることを特徴とする請求項 1 記載の積層セラミックコンデンサ。

【請求項 5】

前記ダミー電極がセラミックグリーンシート層を介して積層された複数のダミー電極層から構成されており、かつ、前記下側外層部に積層されたダミー電極の、積み重ね方向における最も上側の、内部電極に最も近接したダミー電極のほうが、積み重ね方向における最も下側の、内部電極から最も離れたダミー電極よりも長いことを特徴とする請求項 1 ~ 4 記載の積層セラミックコンデンサ。

40

【請求項 6】

前記ダミー電極がセラミックグリーンシート層を介して積層された複数のダミー電極層から構成されており、実装時に上方に位置するダミー電極層ほど、先端が外部電極に近い位置まで達するように構成されていることを特徴とする請求項 5 記載の積層セラミックコンデンサ。

50

【請求項 7】

(a)少なくとも一方の先端部が前記仮想線と当該外部電極により規定される領域内に達する前記ダミー電極と、(b)一端側が前記ダミー電極の前記領域に達する先端部との間に所定の隙間が形成される位置にまで達し、他端側が外部電極に接続されるような態様で、前記仮想線と当該外部電極により規定される領域に配設された外部電極側ダミー電極とを備え、

前記ダミー電極と、前記外部電極側ダミー電極との隙間が、前記クラックが通過するクラック誘導経路となるように構成されていること

を特徴とする請求項 1～6 記載の積層セラミックコンデンサ。

【発明の詳細な説明】

10

【技術分野】

【0001】

本願発明は、セラミック素子中にセラミック層を介して複数の内部電極が積層、配設され、かつ、表面に外部電極が形成された構造を有する積層セラミックコンデンサに関する。

【背景技術】

【0002】

セラミックコンデンサの代表的なものの 1 つに、図 15 に示すような積層セラミックコンデンサがある。この積層セラミックコンデンサは、複数の内部電極 53a, 53b がセラミック層 52 を介して互いに対向するように配設され、かつ、その一端側が交互に異なる側の端面に引き出されたセラミック素子 51 の両端側に、内部電極 53a, 53b と導通するように一対の外部電極 54a, 54b が配設された構造を有している。

20

【0003】

そして、上述のような積層セラミックコンデンサは、通常、図 16 に示すように、回路基板 30 上のランド電極 31 に、外部電極 54a, 54b をはんだ付けすることにより実装される。なお、図 16 において、図 15 と同一符号を付した部分は同一または相当する部分を示す。

【0004】

しかし、実装工程で、はんだフィレット 32 が熱収縮する際の応力により、セラミック素子 51 の外部電極 54a, 54b が配設された端部近傍にクラック 55 が発生する場合がある。そして、セラミック素子 51 にクラック 55 が発生すると、クラック 55 に水分が入り込んでクラック 55 に露出した内部電極 53a, 53b が短絡し、回路基板 30 に形成された電子回路に悪影響を与える可能性がある。

30

【0005】

このような問題を解決するために、図 17 に示すように、実装時のはんだフィレット 32 が熱収縮する際の応力により、セラミック素子 51 にクラックが発生すると考えられる仮想線 P1 を想定し、セラミック素子 51 の一方側に引き出された内部電極 (図 17 では 53a) の先端 63 が仮想線 P1 に至らないように、内部電極 53a を配設し (他方側に引き出された内部電極 53b についても同様にする)、仮想線 P1 にクラックが発生したとしても、一方の外部電極 (図 17 では 54b) に接続された内部電極 53b のみにクラックが及ぶようにし、内部電極 53a と 53b が短絡することを防止するようにした積層セラミックコンデンサが提案されている。なお、図 17 において、図 15, 16 と同一符号を付した部分は同一または相当する部分を示す。

40

【0006】

しかしながら、この方法の場合、静電容量の形成に寄与する内部電極にクラックが入ることになるため、内部電極が断線して取得される静電容量が低下するという問題点がある。

【特許文献 1】特開 2003 - 22929 号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 7 】

本願発明は、上記問題点を解決するものであり、積層セラミックコンデンサの実装時および実装後の熱的、機械的応力の集中などにより、外部電極端部付近からクラックが発生した場合にも、クラックが内部電極にまで達することを防止して、所望の特性を確保することが可能な信頼性の高い積層セラミックコンデンサを提供することを課題とする。

【課題を解決するための手段】

【 0 0 0 8 】

上記課題を解決するために、本願発明（請求項 1）の積層セラミックコンデンサは、セラミック素子と、セラミック素子の端面および該端面に連続する側面の両端部に形成された外部電極を具備する積層セラミックコンデンサにおいて、

セラミック素子が、セラミック層を介して、複数の内部電極が互いに対向するように配設された内部電極配設部と、内部電極配設部の上側および下側に配設されたセラミック層である上側外層部および下側外層部とを備え、

少なくとも実装時に下側になる下側外層部には、積層セラミックコンデンサの機能に影響を与えないダミー電極が配設され、かつ、

前記内部電極の、前記セラミック素子の端面への引き出し位置のうち、実装時に最も下側になる引き出し位置から、当該端面に形成され、実装時に下面側となる前記セラミック素子の側面にまで回り込んだ前記外部電極の先端まで仮想線を引いた場合に、前記下側外層部に配設された前記ダミー電極の先端が、前記仮想線と当該外部電極により規定される領域の外側から前記仮想線と接する位置に達するか、または、前記仮想線と交差し、前記仮想線と当該外部電極により規定される領域にまで達しており、実装状態で積層セラミックコンデンサに応力が加わった場合に前記下側外層部に発生するクラックを通過させるクラック誘導経路が形成され、前記クラックが積層セラミックコンデンサの機能に影響を与える内部電極を切断することなく、前記下側外層部を通過するように構成されていることを特徴としている。

【 0 0 0 9 】

また、請求項 2 の積層セラミックコンデンサは、前記ダミー電極がセラミックグリーンシート層を介して積層された複数のダミー電極層から構成されており、かつ、前記下側外層部に積層されたダミー電極のうち、積み重ね方向における最も上側の、内部電極に最も近接したダミー電極の先端が、前記仮想線と接する位置に達するか、または、前記仮想線と交差し、前記仮想線と当該外部電極により規定される領域にまで達していることを特徴としている。

【 0 0 1 0 】

また、請求項 3 の積層セラミックコンデンサは、前記ダミー電極がセラミックグリーンシート層を介して積層された複数のダミー電極層から構成されており、かつ、前記下側外層部に積層されたダミー電極のうち、積み重ね方向における最も下側の、内部電極から最も離れたダミー電極の先端が、前記仮想線と接する位置に達するか、または、前記仮想線と交差し、前記仮想線と当該外部電極により規定される領域にまで達していることを特徴としている。

【 0 0 1 1 】

また、請求項 4 記載の積層セラミックコンデンサは、前記ダミー電極がセラミックグリーンシート層を介して積層された複数のダミー電極層から構成されており、かつ、前記下側外層部に積層されたすべてのダミー電極の先端が、前記仮想線と接する位置に達するか、または、前記仮想線と交差し、前記仮想線と当該外部電極により規定される領域にまで達していることを特徴としている。

【 0 0 1 2 】

また、請求項 5 の積層セラミックコンデンサは、前記ダミー電極がセラミックグリーンシート層を介して積層された複数のダミー電極層から構成されており、かつ、前記下側外層部に積層されたダミー電極の、積み重ね方向における最も上側の、内部電極に最も近接したダミー電極のほうが、積み重ね方向における最も下側の、内部電極から最も離れたダ

10

20

30

40

50

ミー電極よりも長いことを特徴としている。

【0013】

また、請求項6の積層セラミックコンデンサは、前記ダミー電極がセラミックグリーンシート層を介して積層された複数のダミー電極層から構成されており、実装時に上方に位置するダミー電極層ほど、先端が外部電極に近い位置まで達するように構成されていることを特徴としている。

【0014】

また、請求項7の積層セラミックコンデンサは、

(a)少なくとも一方の先端部が前記仮想線と当該外部電極により規定される領域内に達する前記ダミー電極と、(b)一端側が前記ダミー電極の前記領域に達する先端部との間に所定の隙間が形成される位置にまで達し、他端側が外部電極に接続されるような態様で、前記仮想線と当該外部電極により規定される領域に配設された外部電極側ダミー電極とを備え、

前記ダミー電極と、前記外部電極側ダミー電極との隙間が、前記クラックが通過するクラック誘導経路となるように構成されていること

を特徴としている。

【発明の効果】

【0015】

本願発明(請求項1)の積層セラミックコンデンサは、セラミック素子が、内部電極配設部と、内部電極配設部の上側および下側に配設された上側外層部および下側外層部とを備え、実装時に下側になる下側外層部に、積層セラミックコンデンサの機能に影響を与えないダミー電極を配設し、かつ、内部電極の、セラミック素子の端面への引き出し位置のうち、実装時に最も下側になる引き出し位置から、当該端面に形成され、実装時に下面側となるセラミック素子の側面にまで回り込んだ外部電極の先端まで仮想線を引いた場合に、ダミー電極の先端が、仮想線と外部電極により規定される領域の外側から仮想線と接する位置に達するか、または、仮想線と交差し、仮想線と当該外部電極により規定される領域にまで達しているので、実装状態で積層セラミックコンデンサに応力が加わった場合に下側外層部に発生するクラックを通過させるクラック誘導経路を形成して、クラックが積層セラミックコンデンサの機能に影響を与える内部電極を切断することなく、下側外層部を通過させることが可能になる。

【0016】

すなわち、本願請求項1の積層セラミックコンデンサにおいては、ダミー電極により、クラックを通過させるクラック誘導経路を形成するようにしているので、積層セラミックコンデンサに応力が加わった場合に発生するクラックを、積層セラミックコンデンサの機能に影響を与える内部電極を切断しない領域に導くことが可能になり、実装時および実装後の熱的、機械的応力の集中などによりセラミック素子にクラックが発生した場合にも、特性が損なわれることがなく、信頼性の高い積層セラミックコンデンサを提供することが可能になる。

【0017】

また、請求項2の積層セラミックコンデンサのように、ダミー電極を複数のダミー電極層から構成し、下側外層部に積層されたダミー電極のうち、積み重ね方向における最も上側の、内部電極に最も近接したダミー電極の先端が、仮想線と接する位置に達するか、または、仮想線と交差し、仮想線と当該外部電極により規定される領域にまで達するようにした場合、実装状態で積層セラミックコンデンサに応力が加わった場合に発生するクラックを、積層セラミックコンデンサの機能に影響を与える内部電極を切断しない領域に確実に導くことが可能になり、実装時および実装後の熱的、機械的応力の集中などによりセラミック素子にクラックが発生した場合にも、特性が損なわれることがなく、信頼性の高い積層セラミックコンデンサを提供することが可能になる。

【0018】

なお、この請求項2の積層セラミックコンデンサにおいては、少なくとも、積み重ね方

10

20

30

40

50

向における最も上側のダミー電極（セラミック素子の表面から最も遠いダミー電極）により、積層セラミックコンデンサの機能に影響を与える内部電極を切断しない領域にクラックを確実に導くことが可能になる。

【0019】

また、請求項3の積層セラミックコンデンサのように、ダミー電極を複数のダミー電極層から構成し、かつ、下側外層部に積層されたダミー電極のうち、積み重ね方向における最も下側の、内部電極から最も離れたダミー電極の先端が、仮想線と接する位置に達するか、または、仮想線と交差し、仮想線と当該外部電極により規定される領域にまで達するようにした場合にも、実装状態で積層セラミックコンデンサに応力が加わった場合に発生するクラックを、積層セラミックコンデンサの機能に影響を与える内部電極を切断しない領域に確実に導くことが可能になり、実装時および実装後の熱的、機械的応力の集中などによりセラミック素子にクラックが発生した場合にも、特性が損なわれることがなく、信頼性の高い積層セラミックコンデンサを提供することが可能になる。

10

【0020】

なお、この請求項3の積層セラミックコンデンサにおいては、少なくとも、積み重ね方向における最も下側のダミー電極（セラミック素子の表面に最も近いダミー電極）により、積層セラミックコンデンサの機能に影響を与える内部電極を切断しない領域にクラックを確実に導くことが可能になる。

【0021】

また、請求項4の積層セラミックコンデンサのように、ダミー電極を複数のダミー電極層から構成し、かつ、下側外層部に積層されたすべてのダミー電極の先端が、仮想線と接する位置に達するか、または、仮想線と交差し、仮想線と当該外部電極により規定される領域にまで達するようにした場合、複数層のダミー電極のそれぞれにより、さらに確実に、クラックを積層セラミックコンデンサの機能に影響を与える内部電極を切断しない領域に導くことが可能になる。

20

【0022】

また、請求項5の積層セラミックコンデンサのように、ダミー電極を複数のダミー電極層から構成し、かつ、下側外層部に積層されたダミー電極の、積み重ね方向における最も上側の、内部電極に最も近接したダミー電極を、積み重ね方向における最も下側の、内部電極から最も離れたダミー電極よりも長くした場合、少なくとも、内部電極に最も近接したダミー電極により、クラックを積層セラミックコンデンサの機能に影響を与える内部電極を切断しない領域に導くことが可能になる。

30

【0023】

また、請求項6の積層セラミックコンデンサのように、ダミー電極を、セラミックグリーンシート層を介して積層された複数のダミー電極層から構成し、実装時に上方に位置するダミー電極層ほど、先端が外部電極に近い位置まで達するように構成することにより、さらに確実にクラックを積層セラミックコンデンサの機能に影響を与える内部電極を切断しない領域に導くことが可能になり、本願発明を実効あらしめることが可能になる。

【0024】

また、請求項7の積層セラミックコンデンサのように、少なくとも一方の先端部が前記仮想線と当該外部電極により規定される領域内に達するダミー電極と、一端側が前記ダミー電極の前記領域に達する先端部との間に所定の隙間が形成される位置にまで達し、他端側が外部電極に接続されるような態様で、前記仮想線と当該外部電極により規定される領域に配設された外部電極側ダミー電極とを備えた構成とし、ダミー電極と、外部電極側ダミー電極との隙間を、クラックが通過するクラック誘導経路とした場合、さらに確実にクラックの通過するクラック誘導経路を所望の位置に形成することが可能になる。

40

なお、ダミー電極は、両方の先端部が前記仮想線と当該外部電極により規定される領域内に達するように構成されていてもよく、一方の先端部のみが前記仮想線と当該外部電極により規定される領域内に達し、他方は外部電極に接続された構成とすることも可能である。また、ダミー電極および外部電極側ダミー電極の配設数に制約はなく、一つまたは二

50

つ以上の任意のダミー電極および外部電極側ダミー電極を配設することが可能である。

【発明を実施するための最良の形態】

【0025】

以下に本願発明の実施例を示して、本願発明の特徴とするところをさらに詳しく説明する。

【実施例】

【0026】

図1(a)は、本願発明の一実施例にかかる積層セラミックコンデンサを示す断面図、図1(b)は要部を拡大して示す図である。

この積層セラミックコンデンサは、複数の内部電極3a, 3bがセラミック層2を介して互いに対向するように配設され、かつ、その一端側が交互に異なる側の端面に引き出されたセラミック素子1の両端側に、内部電極3a, 3bと導通するように一对の外部電極4a, 4bが配設され、外部電極4a, 4bの表面には、はんだくわれを防止するためのNiめっき膜5が形成され、その表面にはんだ付け性を向上させるためのSnめっき膜6が形成された構造を有している。

【0027】

そして、セラミック素子1は、セラミック層2を介して、複数の内部電極3a, 3bが互いに対向するように配設された内部電極配設部Aと、内部電極配設部Aの上側および下側に配設されたセラミック層である上側外層部B1および下側外層部B2とを備えており、実装時に下側になる下側外層部B2には、外部電極4a, 4bに接続されず、製品である積層セラミックコンデンサの機能に影響を与えないダミー電極7が配設されている。

【0028】

ダミー電極7は、内部電極3a, 3bの、セラミック素子1の端面への引き出し位置のうち、実装時に最も下側になる引き出し位置から、当該端面に形成され、実装時に下面側となるセラミック素子1の下面側となる側面にまで回り込んだ外部電極4a, 4bの先端14a, 14bまで仮想線Xを引いた場合に、実装時に下側になる下側外層部B2に配設されたダミー電極7が仮想線Xと交差し、その先端が仮想線Xと当該外部電極4a, 4bにより規定される領域Rにまで達している。

【0029】

なお、図1に示す実施例では、ダミー電極7は、複数のダミー電極層7a, 7b(7n), ..., 7xから構成されており(図1(a), (b)では3層のダミー電極層を示しているが、実際には5層のダミー電極層を備えている)、実装時に下方に位置することになるダミー電極層7aから、上方に位置することになるダミー電極層7b(7n), ..., 7xの順に、長さが長くなるように構成されている。

また、ダミー電極7は、その両端部が外部電極4a, 4bに接続されていない浮遊電極となっている。

【0030】

この実施例のような態様でダミー電極7(ダミー電極層7a, 7b(7n), ..., 7x)を配設した積層セラミックコンデンサにおいては、ダミー電極7によりクラック誘導経路Y(図1(b))が形成されており、例えば、積層セラミックコンデンサを回路基板上に実装した状態で、リフロー炉はんだ付けの方法により積層セラミックコンデンサを実装した場合、はんだフィレットが熱収縮する際の応力により、セラミック素子1の外部電極4a, 4bが配設された端部近傍にクラックが発生したとしても、そのクラック15を、クラック誘導経路Y(図1(b))に導いて、クラック15が積層セラミックコンデンサの機能に影響を与える内部電極3a, 3bを切断することなく、下側外層部B2を通過することになり、積層セラミックコンデンサの機能に影響が出ること防止することができる。

【0031】

次に、上記積層セラミックコンデンサの製造方法について説明する。

(1)まず、BaTiO₃, BaCO₃, MgO, Dy₂O₃, MnCO₃, SiO₂からなるセラミックス混合粉末に、バインダ、可塑剤、および有機溶剤を加え、混合することによ

りセラミックススラリーを得た。

【0032】

(2)それから、このセラミックススラリーを使用し、厚み $13\mu\text{m}$ のセラミックグリーンシートを作製した。

【0033】

(3)そして、このセラミックグリーンシート上に、内部電極（容量形成用の内部電極およびダミー電極）形成用のNi粉末を導電成分とする導電性ペーストを塗布し、乾燥した後、セラミックグリーンシートを所定枚数積層し、さらにその上下両面側に、内部電極が形成されていないセラミックグリーンシート（ダミーシート）を積層、圧着してマザー積層体を形成した。

10

【0034】

(4)それから、得られたマザー積層体をカットして個々の素子に分割した後、焼成することにより、複数の内部電極3a, 3bがセラミック層2を介して互いに対向するように配設され、その一端側が交互に異なる側の端面に引き出されているとともに、図1(a), (b)に示すような態様でダミー電極が配設された積層セラミックコンデンサ素子（未焼成のセラミック素子1）を得た。

【0035】

(5)次に、得られた未焼成の積層セラミックコンデンサ素子（セラミック素子）を、大気中 280°C に加熱することによりバインダの燃焼、分解を行い、次に N_2 、 H_2 、および H_2O からなる所定の雰囲気中で、 1200°C 、2時間の焼成を行った。

20

【0036】

(6)そして、得られたセラミックス焼結体（セラミック素子）1をバレル研磨した後、外部電極形成用の、Cu粉末を導電成分とする導電性ペーストを塗布して焼き付けることにより外部電極4a, 4bを形成した後、その表面にNiめっき、Snめっきを施し、Niめっき膜5およびSnめっき膜6を形成することにより、図1(a), (b)に示すような構造を有する積層セラミックコンデンサ（実施例1の試料）を得た。

【0037】

なお、積層セラミックコンデンサの寸法は、長さL： 3.2mm 、幅W： 1.6mm 、厚さT： 1.15mm とした。また、内部電極3a, 3bの厚みは $1\mu\text{m}$ 、内部電極3a, 3b間に存在するセラミック層（誘電体層）の厚みは平均 $10\mu\text{m}$ とした。

30

この積層セラミックコンデンサ（実施例1の試料）のその他の条件については表1に示す。

表1において、外部電極回り込み部分の長さeは、図1において、外部電極4a, 4bの、セラミック素子1の側面にまで回り込んだ部分の距離（e）（mm）を示している。

また、外部電極端間距離Z（ $L - 2e$ ）は、図1において、セラミック素子1の側面に回り込んだ外部電極4a, 4bの先端14aと14bの間の距離（Z）（mm）を示している。

また、ダミー電極最外層長さD1は、複数のダミー電極層7a, 7b...のうち、最もセラミック素子1の下面に近い（内部電極から離れた）ダミー電極7aの長さ（D1）の値（mm）を示している。

40

また、ダミー電極最内層長さD2は、ダミー電極層7a, 7b...7xのうち、最も内部電極配設部Aに近い（上側の）ダミー電極7xの長さ（D2）（mm）を示している。

【0038】

また、同様にして、図3～9および表1～3に示す、実施例2, 実施例3, 実施例4, 実施例5, 実施例6, 実施例7, 実施例8, および実施例9の積層セラミックコンデンサ（試料）を作製した。

【0039】

図2～図9は、各実施例の積層セラミックコンデンサの要部構成を示す図である。なお、図2は、比較しやすいように、上述の実施例1に示す積層セラミックコンデンサの要部構成を示したものである。

50

【 0 0 4 0 】

図 3 は、実施例 2 にかかる積層セラミックコンデンサの要部構成を示す図であり、この積層セラミックコンデンサにおいては、ダミー電極 7 を 2 層のダミー電極層から構成している。

【 0 0 4 1 】

また、図 4 は、実施例 3 にかかる積層セラミックコンデンサの要部構成を示す図であり、この積層セラミックコンデンサにおいては、ダミー電極 7 を 8 層に増やしている。

なお、上記実施例 1 ~ 3 の積層セラミックコンデンサはいずれも、複数のダミー電極層が、実装時に上方に位置するダミー電極層ほど、先端が外部電極に近い位置まで達するように構成されており、かつ、各ダミー電極層の両側の先端はそれぞれ仮想線と交差し、仮想線と当該外部電極により規定される領域にまで達している。 10

【 0 0 4 2 】

また、図 5 は、実施例 4 にかかる積層セラミックコンデンサの要部構成を示す図であり、この積層セラミックコンデンサにおいては、複数（ 5 層 ）のダミー電極 7 のうち上側の 2 層のみ、両側の先端が仮想線 X と交差し、他のダミー電極 7 は仮想線 X と交差しないように構成されている。

【 0 0 4 3 】

また、図 6 は、実施例 5 にかかる積層セラミックコンデンサの要部構成を示す図であり、この積層セラミックコンデンサにおいては、複数（ 5 層 ）のダミー電極 7 はすべて長さが同じで、いずれのダミー電極 7 も両端部が仮想線 X と交差している。 20

また、実施例 6 の積層セラミックコンデンサは、ダミー電極の一方の端部が外部電極に接続され、他方の端部のみが浮いたいわゆる片側ダミー電極である。ダミー電極の外部電極に接続されていない方の先端は、仮想線 X と交差するように構成されており、この構成は、実施例 5 の積層セラミックコンデンサのダミー電極の先端が仮想線 X と交差している状態を示す図 6 の場合と同様であるので、特に図示していない。

【 0 0 4 4 】

また、図 7 は、実施例 7 にかかる積層セラミックコンデンサの要部構成を示す図であり、この積層セラミックコンデンサにおいては、複数（ 5 層 ）のダミー電極 7 と内部電極 3 a（ 3 b ）の距離が、実施例 1 ~ 実施例 6 よりも小さくなっていると同時に、下側の 3 層のダミー電極 7 が、仮想線 X にまで達するか、仮想線 X と交差するように構成されている。また、この実施例 7 のダミー電極 7 は一方の端部が外部電極に接続され、他方の端部のみが浮いたいわゆる片側ダミー電極であり、ダミー電極 7 の図 7 に示されていない方の端部は外部電極に接続されている。 30

【 0 0 4 5 】

また、また、図 8 は、実施例 8 にかかる積層セラミックコンデンサの要部構成を示す図であり、この積層セラミックコンデンサにおいては、複数（ 5 層 ）のダミー電極 7 と内部電極 3 a（ 3 b ）の距離が、実施例 1 ~ 実施例 6 よりも小さくなっていると同時に、内部電極 3 a（ 3 b ）に近いダミー電極 7 ほど、長さが短くなっており、下側の 2 層のダミー電極 7 のうち、上側のダミー電極 7 の両側の先端が仮想線 X にまで達し、下側のダミー電極 7 の両側の先端が仮想線 X と交差するように構成されている。 40

【 0 0 4 6 】

また、図 9 は、実施例 9 にかかる積層セラミックコンデンサの要部構成を示す図であり、この積層セラミックコンデンサにおいては、複数（ 5 層 ）のダミー電極 7 と内部電極 3 a（ 3 b ）の距離が、実施例 1 ~ 実施例 6 よりも小さくなっていると同時に、ダミー電極 7 はいずれも長さが同じであり、下側の 3 層のうち、上側のダミー電極 7 の両側の先端が仮想線 X にまで達し、下側の 2 層のダミー電極 7 の両側の先端が仮想線 X と交差するように構成されている。

【 0 0 4 7 】

また、比較のため、図 10 ~ 12 に示すような比較例 1 , 2 , 3 の積層セラミックコンデンサを作製した。

【0048】

図10は、比較例1の積層セラミックコンデンサの要部構成を示す図であり、この積層セラミックコンデンサにおいては、複数(5層)のダミー電極7と内部電極3a(3b)の距離が、実施例1～実施例6よりも小さくなっており、かつ、ダミー電極7は長さが短く、すべてのダミー電極7は仮想線Xに達していない。

【0049】

また、図11は、比較例2の積層セラミックコンデンサの要部構成を示す図であり、この積層セラミックコンデンサは、複数(5層)のダミー電極7と内部電極3a(3b)の距離が、実施例1～実施例6よりも小さくなっており、各ダミー電極7はすべて長さが同じで、いずれのダミー電極7も仮想線Xに達していない。また、この比較例2のダミー電極7は一方の端部が外部電極に接続され、他方の端部のみが浮いたいわゆる片側ダミー電極であり、ダミー電極7の図11に示されていない方の端部は外部電極に接続されている。

10

【0050】

また、図12は、比較例3の積層セラミックコンデンサの要部構成を示す図であり、この積層セラミックコンデンサは、複数(5層)のダミー電極7と内部電極3a(3b)の距離が、実施例1～実施例6よりも小さくなっており、各ダミー電極7はすべて長さが同じで、いずれのダミー電極7も仮想線Xに達していない。

【0051】

また、比較のため、ダミー電極を備えていない従来の積層セラミックコンデンサ(従来例1)を作製した。

20

【0052】

それから、上述のようにして作製した各積層セラミックコンデンサにつき、実装時の静電容量低下の程度を比較するため、たわみ強度試験を行った。なお、たわみ強度試験は、JIS-C6429に準じて行った。

たわみ強度試験では、基板としてガラスエポキシ基板を用い、リフロー炉はんだ付け、加圧速度1mm/秒の条件で基板をたわませ、静電容量が-12.5%低下時の基板変位量をたわみ量とした(n=20ヶ)。

【0053】

また、得られた積層セラミックコンデンサの熱応力に対する信頼性を確認するため、はんだ耐熱試験を行った。

30

はんだ耐熱試験は、積層セラミックコンデンサをはんだに浸漬しその際のショート発生率を比較した。なお、はんだ耐熱試験は、はんだ温度：室温+350、はんだ浸漬速度：40mm/秒、浸漬時間：3秒、n=50ヶの条件で行った。

【0054】

その結果を表1，表2，表3，表4に示す。

【0055】

【表 1】

条件	実施例 1	実施例 2	実施例 3	実施例 4
	ダミ-有り	ダミ-有り	ダミ-有り	ダミ-有り
	浮遊電極	浮遊電極	浮遊電極	浮遊電極
外層部厚み (μm)	150	150	150	150
セラミック層厚み (μm)	9	9	9	9
積層数 (枚)	85	85	85	85
製品サイズ L*W*T (mm)	3.2*1.6*1.15	3.2*1.6*1.15	3.2*1.6*1.15	3.2*1.6*1.15
外部電極回り込み部分の長さ e (mm)	0.50	0.50	0.50	0.50
外部電極端間距離 Z (L-2e) (mm)	2.20	2.20	2.20	2.20
ダミ-電極最外層長さ D1 (mm)	2.70	2.70	2.50	2.20
ダミ-電極最内層長さ D2 (mm)	3.00	3.00	3.00	3.00
ダミ-電極層数 (枚)	5	2	8	5
内部電極とダミ-電極の間のセラミック層数 (枚)	3	3	3	3
たわみ強度(平均値) (mm) (n=20)	6.5	6.0	6.8	5.7
たわみ強度(最小値) (mm) (n=20)	4.5	4.0	4.9	4.0
はんだ面熱試験 ショート発生率(%) $\Delta T=350^\circ\text{C}$ (n=50)	0.0	0.0	0.0	0.0
D1 と D2 の長さの比	D1<D2	D1<D2	D1<D2	D1<D2
D1 の端部が仮想線に達しているか	○	○	○	×
D2 の端部が仮想線に達しているか	○	○	○	○

【 0 0 5 6 】

【表 2】

条件	実施例 5	実施例 6	実施例 7	実施例 8
	ダミ-有り	ダミ-有り	ダミ-有り	ダミ-有り
	浮遊電極	片側電極	片側電極	浮遊電極
外層部厚み (μm)	150	150	150	150
セラミック層厚み (μm)	9	9	9	9
積層数 (枚)	85	85	85	85
製品サイズ L*W*T (mm)	3.2*1.6*1.15	3.2*1.6*1.15	3.2*1.6*1.15	3.2*1.6*1.15
外部電極回り込み部分の長さ e (mm)	0.50	0.50	0.50	0.50
外部電極端間距離 Z (L-2e) (mm)	2.20	2.20	2.20	2.20
ダミ-電極最外層長さ D1 (mm)	3.00	3.00	3.00	3.00
ダミ-電極最内層長さ D2 (mm)	3.00	3.00	3.00	2.70
ダミ-電極層数 (枚)	5	5	5	5
内部電極とダミ-電極の間のセラミック層数 (枚)	3	3	0	0
たわみ強度 (平均値) (mm) (n=20)	6.2	5.1	3.6	3.6
たわみ強度 (最小値) (mm) (n=20)	4.2	3.5	2.7	2.6
はんだ溶接試験 ショート発生率 (%) $\Delta T=350^\circ\text{C}$ (n=50)	0.0	0.0	2.0	4.0
D1 と D2 の長さの比	D1=D2	D1=D2	D1=D2	D1>D2
D1 の端部が仮想線に達しているか	○	○	○	○
D2 の端部が仮想線に達しているか	○	○	×	×

【 0 0 5 7 】

【表 3】

条件	実施例 9	従来例 1
	ダミ-有り	ダミ-なし
	浮遊電極	
外層部厚み(μm)	150	150
セラミック層厚み(μm)	9	9
積層数(枚)	85	85
製品サイズ L*W*T(mm)	3.2*1.6*1.15	3.2*1.6*1.15
外部電極回り込み部分の長さ e(mm)	0.50	0.50
外部電極端間距離 Z (L-2e)(mm)	2.20	2.20
ダミ-電極最外層長さ D1(mm)	3.00	-
ダミ-電極最内層長さ D2(mm)	3.00	-
ダミ-電極層数 (枚)	5	-
内部電極とダミ-電極 の間のセラミック層数(枚)	0	-
たわみ強度(平均値) (mm) (n=20)	3.5	2.8
たわみ強度(最小値) (mm) (n=20)	2.5	2.1
はんだ耐熱試験 ショート発生率(%) $\Delta T=350^\circ\text{C}$ (n=50)	4.0	8.0
D1 と D2 の長さの比	D1=D2	-
D1 の端部が仮想線に 達しているか	○	-
D2 の端部が仮想線に 達しているか	×	-

10

20

30

40

【表 4】

条件	比較例 1	比較例 2	比較例 3
	ダミ-有り	ダミ-有り	ダミ-有り
	浮遊電極	片側電極	浮遊電極
外層部厚み (μm)	150	150	150
セラミック層厚み (μm)	9	9	9
積層数 (枚)	85	85	85
製品サイズ L*W*T (mm)	3.2*1.6*1.15	3.2*1.6*1.15	3.2*1.6*1.15
外部電極回り込み部分の長さ e (mm)	0.50	0.50	0.50
外部電極端間距離 L (L-2e) (mm)	2.20	2.20	2.20
ダミ-電極最外層長さ D1 (mm)	2.20	2.70	2.20
ダミ-電極最内層長さ D2 (mm)	2.80	2.70	2.20
ダミ-電極層数 (枚)	5	5	5
内部電極とダミ-電極の間のセラミック層数 (枚)	0	0	0
たわみ強度(平均値) (mm) (n=20)	2.9	3.0	2.8
たわみ強度(最小値) (mm) (n=20)	2.3	2.3	2.2
はんだ面擦熱試験 ショット発生率(%) $\Delta T=350^\circ\text{C}$ (n=50)	6.0	6.0	6.0
D1 と D2 の長さの比	D1<D2	D1=D2	D1=D2
D1 の端部が仮想線に達しているか	×	×	×
D2 の端部が仮想線に達しているか	×	×	×

【0059】

表 3 から明らかなように、従来例 1 の積層セラミックコンデンサの場合、たわみ強度が平均値で 2.8 mm となっているのに対し、実施例の積層セラミックコンデンサの場合、最も効果の小さい実施例 7 (図 7), 8 (図 8), 9 (図 9) の積層セラミックコンデンサ

10

20

30

40

50

でも、たわみ強度は平均値で 3.5 ~ 3.6 mm に向上し、他の実施例 1 ~ 6 (図 2 ~ 図 6) の積層セラミックコンデンサの場合、実施例 4 (図 5) および実施例 6 の積層セラミックコンデンサでは、たわみ強度が平均値で 5 mm 以上、実施例 1、2、3 および 5 の積層セラミックコンデンサ (図 2, 3, 4, 6) では、たわみ強度が平均値で 6 mm 以上にまで向上することが確認された。また、ダミー電極は設けているが本願発明の要件を満たしていない比較例 1 ~ 3 の試料の場合、たわみ強度の向上は不十分であることが確認された。

【0060】

また、はんだ耐熱性試験におけるショート発生率についてみた場合、従来例 1 の積層セラミックコンデンサの場合、ショート発生率が 8.0 % となっているのに対し、実施例の積層セラミックコンデンサの場合、最も効果の小さい実施例 7 (図 7), 8 (図 8), 9 (図 9) の積層セラミックコンデンサでも、ショート発生率は、2.0 ~ 4.0 % であり、他の実施例 1 ~ 6 (図 2 ~ 図 6) の積層セラミックコンデンサの場合、ショート発生率は 0 % であり、本願発明の実施例の積層セラミックコンデンサにおいては、優れたはんだ耐熱性が実現されていることが確認された。

10

【0061】

なお、比較例 1 ~ 3 の試料ではショート発生率が 6.0 % となっており、必ずしも十分な効果が得られないことが確認された。

【0062】

なお、図 13 (a), (b) は、積層セラミックコンデンサへのクラックの発生態様の典型例を模式的に示す図であり、図 13 (a) は、ダミー電極を備えていない積層セラミックコンデンサ (従来例 1) にクラックが発生した状態を示しており、図 13 (b) は、ダミー電極を配設しているがダミー電極の長さが短く、仮想線 X に達していない積層セラミックコンデンサ (比較例 2 および 3) にクラックが発生した状態を示している。図 13 (a), (b) のようにクラックが発生した場合、静電容量不足やショート不良が発生し、製品は不良品となる。なお、図 13 において、図 1 と同一符号を付した部分は、同一または相当部分を示している。

20

【0063】

上述の実施例の結果から、ダミー電極を複数のダミー電極層から構成し、内部電極の、セラミック素子の端面への引き出し位置のうち、実装時に最も下側になる引き出し位置から、当該端面に形成され、実装時に下面側となるセラミック素子の下面側となる側面にまで回り込んだ外部電極の先端まで仮想線を引いた場合に、実装時に下側になる下側外層部に配設されたダミー電極 (ダミー電極層) のうち、少なくとも一部のダミー電極層が仮想線に達するか、または仮想線 X と交差するようにした場合、積層セラミックコンデンサの実装時および実装後の熱的、機械的応力の集中により、外部電極端部付近から発生するクラックを、ダミー電極の端部付近の、容量取得用の内部電極を切断しない領域 (クラック誘導経路) に導くことが可能になり、静電容量、絶縁抵抗の低下およびショートの発生を抑制し、信頼性の高い積層セラミックコンデンサを得ることが可能になることがわかる。

30

【0064】

[本願発明の他の実施例]

図 14 (a), (b) は、本願発明の他の実施例にかかる積層セラミックコンデンサを示す断面図である。なお、図 14 (a), (b) において、図 1 と同一符号を付した部分は、同一または相当部分を示している。

40

【0065】

この積層セラミックコンデンサは、上記実施例 1 (図 1) の積層セラミックコンデンサと基本的には同様の構成を備えているが、ダミー電極のみではなく、外部電極側ダミー電極を備えている点において構成が異なっている。

すなわち、この積層セラミックコンデンサにおいては、図 14 に示すように、セラミック素子 1 の下側外層部 B2 には、セラミック素子 1 の下面側から順に 3 層のダミー電極層 7a, 7b (7n) ... 7x が配設されており、このダミー電極層 7a, 7b (7n) ... 7x からダミー電極 7 が構成されている。

50

なお、図 14 では、3 層のダミー電極層を持つ場合について説明したが、層数はこれに限られるものではない。

ダミー電極層 7 a , 7 b (7 n) ... 7 x は、セラミック素子 1 の中央側領域に配設され、先端部が仮想線 X と当該外部電極 4 a , 4 b により規定される領域 R 内に達している。

また、セラミック素子 1 の中央側領域に配設されたダミー電極層 7 a , 7 b (7 n) の両側には、一端側がダミー電極層 7 a 、および 7 b (7 n) の端部との間に所定の隙間 (ギャップ) G が形成される位置にまで達し、他端側が外部電極 4 a , 4 b に接続されるような態様で、仮想線 X と当該外部電極 4 a , 4 b により規定される領域 R に配設された外部電極側ダミー電極層 17 a 、および外部電極側ダミー電極層 17 b (17 n) が配設されている。なお、外部電極側ダミー電極層 17 a , 17 b (17 n) から外部電極側ダミー電極 17 が構成されている。

10

ただし、ダミー電極層 7 x の両端側には、外部電極側ダミー電極層は配設されていない。

【 0 0 6 6 】

この実施例の積層セラミックコンデンサにおいては、セラミック素子 1 の中央側領域に配設されたダミー電極層 7 a , 7 b (7 n) と、その両側に配設された、外部電極側ダミー電極層 17 a , 17 b (17 n) の隙間 G がクラック誘導経路 Y として機能することになり、クラック誘導経路 Y がより確実に規定されるため、さらに確実にクラックを容量取得用の内部電極を切断しない領域 (クラック誘導経路) に導くことが可能になる。

20

なお、ダミー電極を、一方の先端部のみが仮想線と外部電極により規定される領域内に達し、他方は外部電極に接続された構成とすることも可能である。また、ダミー電極層および外部電極側ダミー電極層の配設数に制約はなく、一つまたは二つ以上の任意のダミー電極および外部電極側ダミー電極層を配設することが可能である。

【 0 0 6 7 】

なお、本願発明は、上記の各実施例に限定されるものではなく、ダミー電極および外部電極側ダミー電極層の具体的な形状や積層数、セラミック素子の具体的な構成 (内部電極の積層数、下側および上側外層部の厚み、内部電極配設部の厚みなど)、外部電極の具体的な配設態様などに関し、発明の要旨の範囲内において、種々の応用、変形を加えることが可能である。

30

【産業上の利用可能性】

【 0 0 6 8 】

上述のように、本願発明によれば、積層セラミックコンデンサの実装時および実装後の熱的、機械的応力の集中により、外部電極端部付近から発生するクラックを、ダミー電極を配設することにより形成されたクラック誘導経路 (例えば、容量取得用の内部電極を切断しない領域) に導くことが可能になり、外部電極端部付近からクラックが発生した場合にも、クラックが内部電極にまで達することを防止して、所望の特性を確保することが可能な信頼性の高い積層セラミックコンデンサを得ることが可能になる。

したがって、本願発明は、セラミック素子中にセラミック層を介して複数の内部電極が積層配設され、かつ、表面に外部電極が形成された構造を有する積層セラミックコンデンサに広く適用することが可能である。

40

【図面の簡単な説明】

【 0 0 6 9 】

【図 1】(a) は本願発明の実施例にかかる積層セラミックコンデンサを示す断面図であり、(b) は要部を拡大して示す図である。

【図 2】本願発明の実施例 1 の積層セラミックコンデンサの要部構成を示す図である。

【図 3】本願発明の実施例 2 の積層セラミックコンデンサの要部構成を示す図である。

【図 4】本願発明の実施例 3 の積層セラミックコンデンサの要部構成を示す図である。

【図 5】本願発明の実施例 4 の積層セラミックコンデンサの要部構成を示す図である。

【図 6】本願発明の実施例 5 の積層セラミックコンデンサの要部構成を示す図である。

50

【図 7】本願発明の実施例 7 の積層セラミックコンデンサの要部構成を示す図である。
 【図 8】本願発明の実施例 8 の積層セラミックコンデンサの要部構成を示す図である。
 【図 9】本願発明の実施例 9 の積層セラミックコンデンサの要部構成を示す図である。
 【図 10】比較例 1 の積層セラミックコンデンサの要部構成を示す断面図である。
 【図 11】比較例 2 の積層セラミックコンデンサの要部構成を示す断面図である。
 【図 12】比較例 3 の積層セラミックコンデンサの要部構成を示す断面図である。
 【図 13】(a), (b) は積層セラミックコンデンサへのクラックの発生態様を示す図である。
 【図 14】(a) は本願発明の他の実施例にかかる積層セラミックコンデンサを示す断面図であり、(b) は要部を拡大して示す図である。
 【図 15】従来の積層セラミックコンデンサを示す断面図である。
 【図 16】回路基板上に、従来の積層セラミックコンデンサを実装した状態を示す図である。
 【図 17】回路基板上に、従来の他の積層セラミックコンデンサを実装した状態を示す図である。

10

【符号の説明】

【0070】

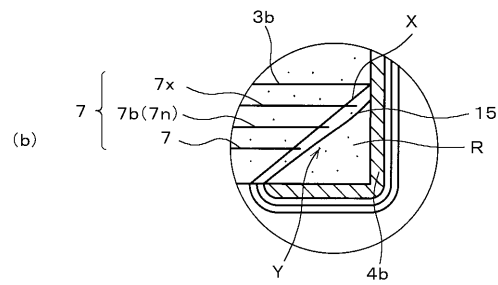
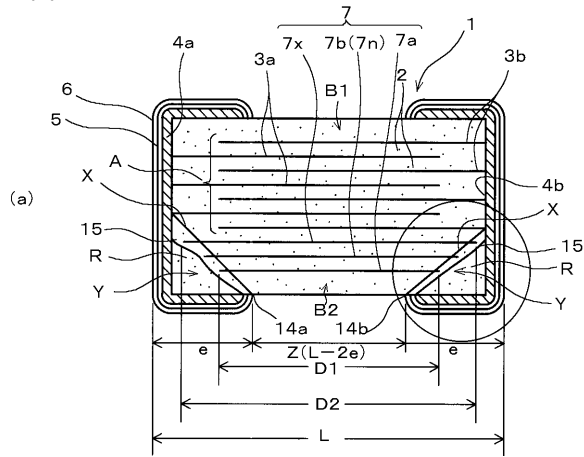
- 1 セラミック素子
- 2 セラミック層
- 3 a, 3 b 内部電極
- 4 a, 4 b 外部電極
- 5 Ni めっき膜
- 6 Sn めっき膜
- 7 ダミー電極
- 7 a, 7 b (7 n), 7 x ダミー電極層
- 14 a, 14 b セラミック素子の側面に回り込んだ外部電極の先端
- 15 クラック
- 17 外部電極側ダミー電極
- 17 a, 17 b (17 n) 外部電極側ダミー電極層
- A 内部電極配設部
- B 1 上側外層部
- B 2 下側外層部
- D 1 ダミー電極最外層長さ
- D 2 ダミー電極最内層長さ
- e 外部電極のセラミック素子の側面への回り込み部分の長さ
- G 隙間
- L セラミック積層素子の長さ
- R 仮想線と外部電極により規定される領域
- X 仮想線
- Y クラック誘導経路
- Z 外部電極の先端間の距離 (外部電極端間距離) ($L - 2e$)

20

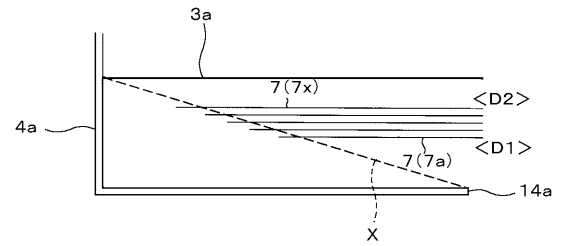
30

40

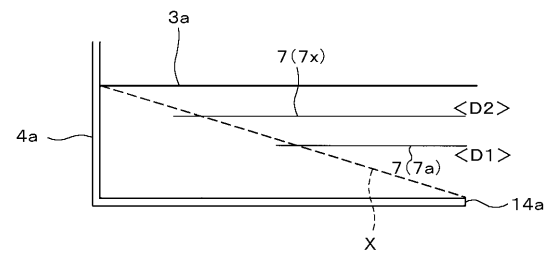
【図 1】



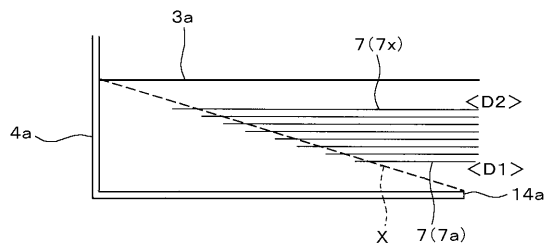
【図 2】



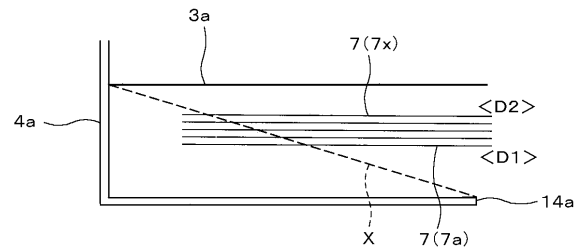
【図 3】



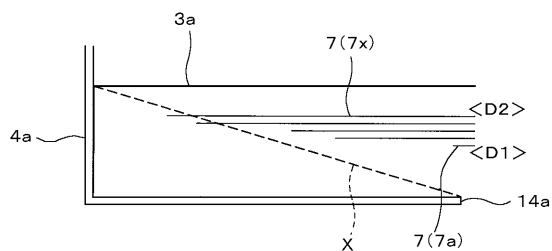
【図 4】



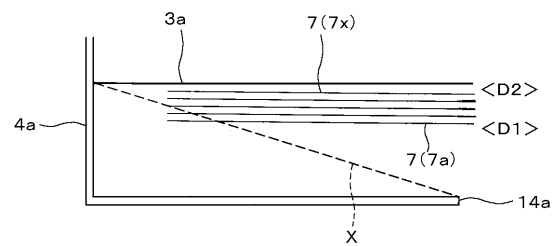
【図 6】



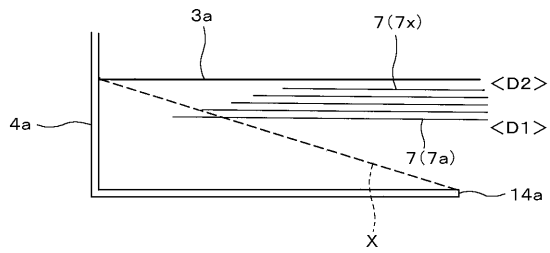
【図 5】



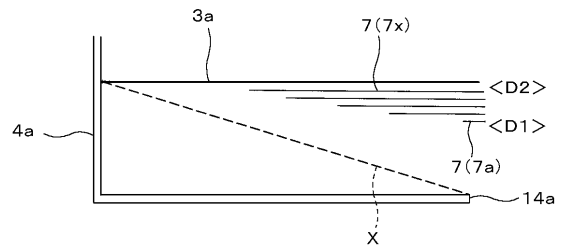
【図 7】



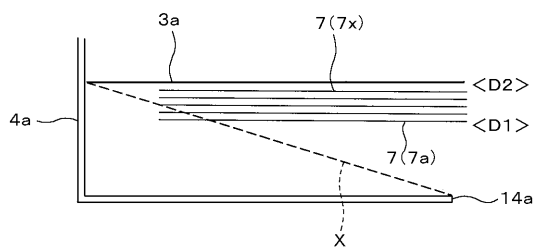
【図 8】



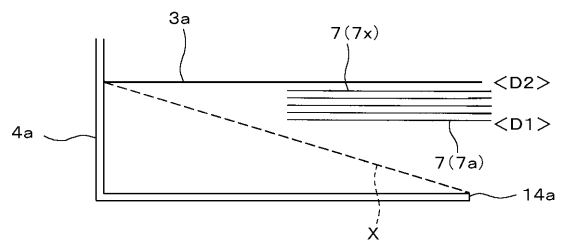
【図 10】



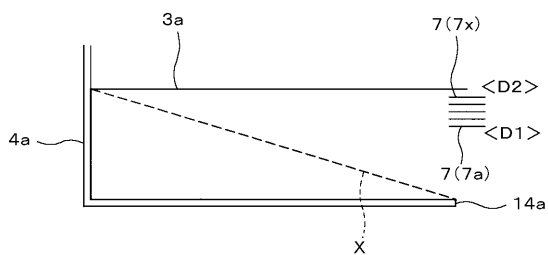
【図 9】



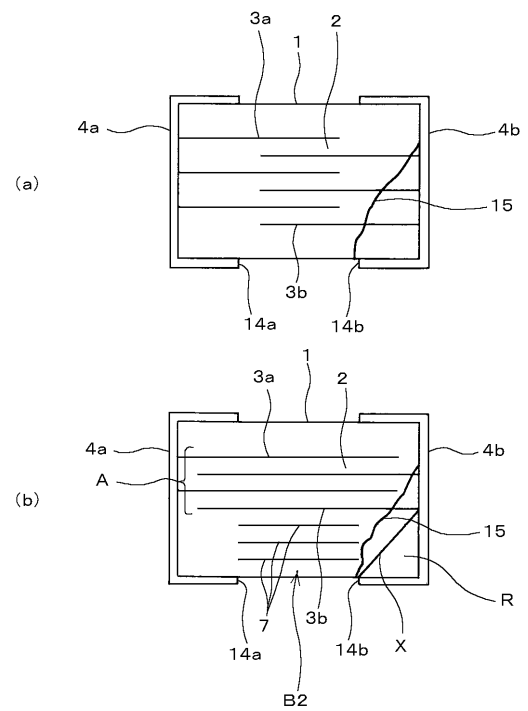
【図 11】



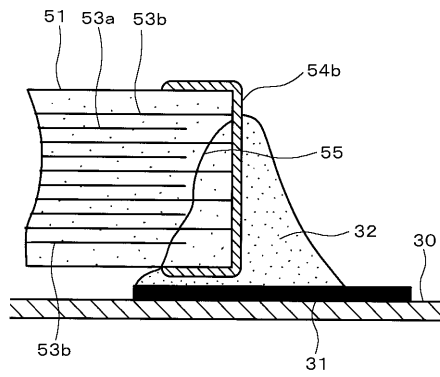
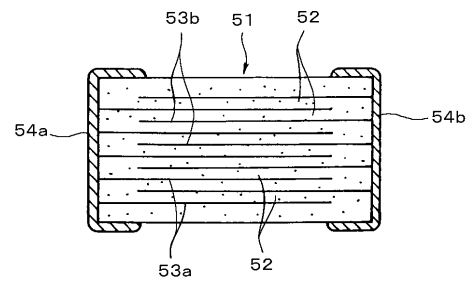
【図 12】



【図 13】



【 図 1 5 】



【 图 1 7 】

