

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7568620号
(P7568620)

(45)発行日 令和6年10月16日(2024.10.16)

(24)登録日 令和6年10月7日(2024.10.7)

(51)国際特許分類		F I	
H O 1 L	27/146 (2006.01)	H O 1 L	27/146 D
H O 4 N	25/70 (2023.01)	H O 1 L	27/146 A
H O 4 N	25/76 (2023.01)	H O 4 N	25/70
H O 4 N	25/77 (2023.01)	H O 4 N	25/76
H O 1 L	29/786 (2006.01)	H O 4 N	25/77
請求項の数 14 (全69頁) 最終頁に続く			
(21)出願番号	特願2021-527711(P2021-527711)	(73)特許権者	316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(86)(22)出願日	令和2年6月25日(2020.6.25)	(74)代理人	110001357 弁理士法人つばさ国際特許事務所
(86)国際出願番号	PCT/JP2020/024925	(72)発明者	北野 良昭 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(87)国際公開番号	WO2020/262502	審査官	田邊 顕人
(87)国際公開日	令和2年12月30日(2020.12.30)		
審査請求日	令和5年6月19日(2023.6.19)		
(31)優先権主張番号	特願2019-118474(P2019-118474)		
(32)優先日	令和1年6月26日(2019.6.26)		
(33)優先権主張国・地域又は機関	日本国(JP)		
		最終頁に続く	

(54)【発明の名称】 固体撮像装置

(57)【特許請求の範囲】

【請求項1】

画素毎に、光電変換部および前記光電変換部で発生した信号電荷が蓄積される電荷蓄積部を有する第1基板と、

前記第1基板に積層された半導体層と、前記半導体層に対向するゲート電極を有するとともに前記電荷蓄積部の前記信号電荷を読み出す画素トランジスタを含む第2基板と、

前記第1基板および前記第2基板に設けられるとともに、前記第1基板と前記第2基板とを電氣的に接続し、かつ、一部が前記ゲート電極に接する貫通電極とを備えた固体撮像装置。

【請求項2】

前記ゲート電極は、複数の方向で前記半導体層に対向している請求項1に記載の固体撮像装置。

【請求項3】

前記半導体層は少なくとも1のフィンを有し、前記ゲート電極は、前記フィンの複数の面に対向している請求項1に記載の固体撮像装置。

【請求項4】

前記半導体層は、複数の前記フィンを有し、更に、隣り合う前記フィンの間に設けられた絶縁膜を有する請求項3に記載の固体撮像装置。

【請求項 5】

前記半導体層は、複数の前記フィンを有し、
前記半導体層は、更に、隣り合う前記フィンをつなぐ連結部を有する
請求項 3 に記載の固体撮像装置。

【請求項 6】

前記ゲート電極は、前記第 1 基板に対向する表面と、前記表面に交差する方向に設けられるとともに前記貫通電極に接する側面とを含む
請求項 1 に記載の固体撮像装置。

【請求項 7】

前記ゲート電極は、前記表面が設けられた水平部と、前記側面が設けられるとともに前記半導体層と前記貫通電極との間に設けられた側壁部とを有し、
前記側壁部が、前記半導体層の厚み方向にわたって設けられている
請求項 6 に記載の固体撮像装置。

10

【請求項 8】

更に、前記水平部に接続されるとともに、前記半導体層の厚み方向の一部に埋め込まれた垂直部を有する
請求項 7 に記載の固体撮像装置。

【請求項 9】

前記ゲート電極の前記表面の一部も前記貫通電極に接する
請求項 6 に記載の固体撮像装置。

20

【請求項 10】

前記ゲート電極には貫通孔が設けられ、
前記貫通孔の内周面に前記貫通電極が接する
請求項 1 に記載の固体撮像装置。

【請求項 11】

前記第 2 基板は、更に、前記半導体層を分断する絶縁領域を有し、
前記貫通電極は、前記絶縁領域を貫通して設けられている
請求項 1 に記載の固体撮像装置。

【請求項 12】

前記画素トランジスタは増幅トランジスタである
請求項 1 に記載の固体撮像装置。

30

【請求項 13】

前記貫通電極は、前記電荷蓄積部と前記画素トランジスタの前記ゲート電極とを電氣的に接続する
請求項 1 に記載の固体撮像装置。

【請求項 14】

更に、複数の前記電荷蓄積部に接続されるとともに、前記第 1 基板に設けられた共有接続部を有し、
前記貫通電極の一端が、前記共有接続部に接している
請求項 1 に記載の固体撮像装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、互いに積層された複数の半導体層を有する固体撮像装置に関する。

【背景技術】

【0002】

近年、固体撮像装置では、CMOS (Complementary Metal Oxide Semiconductor) 等の MOS 型イメージセンサの開発が進められている。例えば、特許文献 1 では、画素アレイ部を有する半導体ウェハと、ロジック回路を有する半導体ウェハとが積層された固体撮

50

像装置が提案されている。

【０００３】

画素アレイ部には、例えば、フォトダイオード、フローティングディフュージョンおよび画素トランジスタ等が設けられている。

【先行技術文献】

【特許文献】

【０００４】

【文献】特開２０１０－２４５５０６号公報

【発明の概要】

【０００５】

このような固体撮像装置では、画素トランジスタから出力される信号のノイズを低減することが望まれている。

【０００６】

したがって、画素トランジスタから出力される信号のノイズを低減することが可能な固体撮像装置を提供することが望ましい。

【０００７】

本開示の一実施の形態に係る固体撮像装置は、画素毎に、光電変換部および光電変換部で発生した信号電荷が蓄積される電荷蓄積部を有する第１基板と、第１基板に積層された半導体層と、半導体層に対向するゲート電極を有するとともに電荷蓄積部の信号電荷を読み出す画素トランジスタとを含む第２基板と、第１基板および第２基板に設けられるとともに、第１基板と第２基板とを電氣的に接続し、かつ、一部がゲート電極に接する貫通電極とを備えたものである。

【０００８】

本開示の一実施の形態に係る固体撮像装置では、画素トランジスタのゲート電極が貫通電極の一部に接するように設けられているので、ゲート電極を貫通電極から離間して配置した場合に比べて、ゲート電極の面積が大きくなる。

【図面の簡単な説明】

【０００９】

【図１】本開示の一実施の形態に係る撮像装置の機能構成の一例を表すブロック図である。

【図２】図１に示した撮像装置の概略構成を表す平面模式図である。

【図３】図２に示したⅠⅠⅠ－ⅠⅠⅠ'線に沿った断面構成を表す模式図である。

【図４】図１に示した画素共有ユニットの等価回路図である。

【図５】複数の画素共有ユニットと複数の垂直信号線との接続態様の一例を表す図である。

【図６】図３に示した撮像装置の具体的な構成の一例を表す断面模式図である。

【図７Ａ】図６に示した第１基板の要部の平面構成の一例を表す模式図である。

【図７Ｂ】図７Ａに示した第１基板の要部とともにパッド部の平面構成を表す模式図である。

【図８】図６に示した第２基板（半導体層）の平面構成の一例を表す模式図である。

【図９】図６に示した第１配線層とともに、画素回路および第１基板の要部の平面構成の一例を表す模式図である。

【図１０】図６に示した第１配線層および第２配線層の平面構成の一例を表す模式図である。

【図１１】図６に示した第２配線層および第３配線層の平面構成の一例を表す模式図である。

【図１２】図６に示した第３配線層および第４配線層の平面構成の一例を表す模式図である。

【図１３】図６に示した増幅トランジスタおよび貫通電極の近傍の断面構成を表す模式図である。

【図１４】図１３に示した増幅トランジスタを拡大して表す断面模式図である。

【図１５】図３に示した撮像装置への入力信号の経路について説明するための模式図であ

10

20

30

40

50

る。

【図 1 6】図 3 に示した撮像装置の画素信号の信号経路について説明するための模式図である。

【図 1 7】比較例に係る撮像装置の要部の断面構成を表す模式図である。

【図 1 8】図 1 3 に示した増幅トランジスタのサイズについて説明するための断面模式図である。

【図 1 9】変形例 1 に係る撮像装置の要部の断面構成を表す模式図である。

【図 2 0】(A) は、変形例 2 に係る撮像装置の要部の断面構成を表す模式図であり、(B) は (A) に示したゲート電極の平面構成を表す模式図である。

【図 2 1】変形例 3 に係る撮像装置の要部の断面構成を表す模式図である。

10

【図 2 2】変形例 4 に係る撮像装置の要部の断面構成を表す模式図である。

【図 2 3】変形例 5 に係る撮像装置の要部の断面構成を表す模式図である。

【図 2 4】図 8 に示した第 2 基板（半導体層）の平面構成の一変形例を表す模式図である。

【図 2 5】図 2 4 に示した画素回路とともに、第 1 配線層および第 1 基板の要部の平面構成を表す模式図である。

【図 2 6】図 2 5 に示した第 1 配線層とともに、第 2 配線層の平面構成の一例を表す模式図である。

【図 2 7】図 2 6 に示した第 2 配線層とともに、第 3 配線層の平面構成の一例を表す模式図である。

【図 2 8】図 2 7 に示した第 3 配線層とともに、第 4 配線層の平面構成の一例を表す模式図である。

20

【図 2 9】図 7 A に示した第 1 基板の平面構成の一変形例を表す模式図である。

【図 3 0】図 2 9 に示した第 1 基板に積層される第 2 基板（半導体層）の平面構成の一例を表す模式図である。

【図 3 1】図 3 0 に示した画素回路とともに、第 1 配線層の平面構成の一例を表す模式図である。

【図 3 2】図 3 1 に示した第 1 配線層とともに、第 2 配線層の平面構成の一例を表す模式図である。

【図 3 3】図 3 2 に示した第 2 配線層とともに、第 3 配線層の平面構成の一例を表す模式図である。

30

【図 3 4】図 3 3 に示した第 3 配線層とともに、第 4 配線層の平面構成の一例を表す模式図である。

【図 3 5】図 2 9 に示した第 1 基板の平面構成の他の例を表す模式図である。

【図 3 6】図 3 5 に示した第 1 基板に積層される第 2 基板（半導体層）の平面構成の一例を表す模式図である。

【図 3 7】図 3 6 に示した画素回路とともに、第 1 配線層の平面構成の一例を表す模式図である。

【図 3 8】図 3 7 に示した第 1 配線層とともに、第 2 配線層の平面構成の一例を表す模式図である。

【図 3 9】図 3 8 に示した第 2 配線層とともに、第 3 配線層の平面構成の一例を表す模式図である。

40

【図 4 0】図 3 9 に示した第 3 配線層とともに、第 4 配線層の平面構成の一例を表す模式図である。

【図 4 1】図 3 に示した撮像装置の他の例を表す断面模式図である。

【図 4 2】図 4 1 に示した撮像装置への入力信号の経路について説明するための模式図である。

【図 4 3】図 4 1 に示した撮像装置の画素信号の信号経路について説明するための模式図である。

【図 4 4】図 6 に示した撮像装置の他の例を表す断面模式図である。

【図 4 5】図 4 に示した等価回路の他の例を表す図である。

50

【図 4 6】図 7 A 等 に示した画素分離部の他の例を表す平面模式図である。

【図 4 7】本開示の変形例 1 3 に係る撮像装置の構成例を示す厚さ方向の断面図である。

【図 4 8】本開示の変形例 1 3 に係る撮像装置の構成例を示す厚さ方向の断面図である。

【図 4 9】本開示の変形例 1 3 に係る撮像装置の構成例を示す厚さ方向の断面図である。

【図 5 0】本開示の変形例 1 3 に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

【図 5 1】本開示の変形例 1 3 に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

【図 5 2】本開示の変形例 1 3 に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

【図 5 3】本開示の実施の形態と変形例 1 3 とを組み合わせた撮像装置の構成例を示す厚さ方向の断面図である。

【図 5 4】本開示の実施の形態と変形例 1 3 とを組み合わせた撮像装置の構成例を示す厚さ方向の断面図である。

【図 5 5】上記実施の形態およびその変形例に係る撮像装置を備えた撮像システムの概略構成の一例を表す図である。

【図 5 6】図 5 5 に示した撮像システムの撮像手順の一例を表す図である。

【図 5 7】車両制御システムの概略的な構成の一例を示すブロック図である。

【図 5 8】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

【図 5 9】内視鏡手術システムの概略的な構成の一例を示す図である。

【図 6 0】カメラヘッド及び C C U の機能構成の一例を示すブロック図である。

【発明を実施するための形態】

【0 0 1 0】

以下、本開示を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（3つの基板の積層構造を有する撮像装置）
2. 変形例 1（増幅トランジスタの表面および側面にゲート電極が接する例）
3. 変形例 2（増幅トランジスタのゲート電極が貫通孔を有する例）
4. 変形例 3（フィンをつなぐ連結部を有する例）
5. 変形例 4（増幅トランジスタが平面型のトランジスタにより構成されている例）
6. 変形例 5（増幅トランジスタが埋込型のゲート電極を有する例）
7. 変形例 6（平面構成の例 1）
8. 変形例 7（平面構成の例 2）
9. 変形例 8（平面構成の例 3）
10. 変形例 9（画素アレイ部の中央部に基板間のコンタクト部を有する例）
11. 変形例 10（プレーナ型の転送トランジスタを有する例）
12. 変形例 11（1つの読み出し回路に1つの画素が接続される例）
13. 変形例 12（画素分離部の構成例）
14. 変形例 13（複数のセンサ画素毎に1つのウェル用コンタクトを設けた例）
15. 適用例（撮像システム）
16. 応用例

【0 0 1 1】

< 1. 実施の形態 >

[撮像装置 1 の機能構成]

図 1 は、本開示の一実施の形態に係る固体撮像装置（撮像装置 1）の機能構成の一例を示すブロック図である。

【0 0 1 2】

図 1 の撮像装置 1 は、例えば、入力部 5 1 0 A、行駆動部 5 2 0、タイミング制御部 5 3 0、画素アレイ部 5 4 0、列信号処理部 5 5 0、画像信号処理部 5 6 0 および出力部 5 1 0 B を含んでいる。

10

20

30

40

50

【0013】

画素アレイ部540には、画素541がアレイ状に繰り返し配置されている。より具体的には、複数の画素を含んだ画素共有ユニット539が繰り返し単位となり、これが、行方向と列方向とからなるアレイ状に繰り返し配置されている。なお、本明細書では、便宜上、行方向をH方向、行方向と直交する列方向をV方向、と呼ぶ場合がある。図1の例において、1つの画素共有ユニット539が、4つの画素（画素541A、541B、541C、541D）を含んでいる。画素541A、541B、541C、541Dは各々、フォトダイオードPD（後述の図6等に図示）を有している。画素共有ユニット539は、1つの画素回路（後述の図3の画素回路210）を共有する単位である。換言すれば、4つの画素（画素541A、541B、541C、541D）毎に、1つの画素回路（後述の画素回路210）を有している。この画素回路を時分割で動作させることにより、画素541A、541B、541C、541D各々の画素信号が順次読み出されるようになっている。画素541A、541B、541C、541Dは、例えば2行×2列で配置されている。画素アレイ部540には、画素541A、541B、541C、541Dとともに、複数の行駆動信号線542および複数の垂直信号線（列読出し線）543が設けられている。行駆動信号線542は、画素アレイ部540において行方向に並んで配列された、複数の画素共有ユニット539各々に含まれる画素541を駆動する。画素共有ユニット539のうち、行方向に並んで配列された各画素を駆動する。後に図4を参照して詳しく説明するが、画素共有ユニット539には、複数のトランジスタが設けられている。これら複数のトランジスタをそれぞれ駆動するために、1つの画素共有ユニット539には複数の行駆動信号線542が接続されている。垂直信号線（列読出し線）543には、画素共有ユニット539が接続されている。画素共有ユニット539に含まれる画素541A、541B、541C、541D各々から、垂直信号線（列読出し線）543を介して画素信号が読み出される。

10

20

【0014】

行駆動部520は、例えば、画素駆動するための行の位置を決める行アドレス制御部、言い換えれば、行デコーダ部と、画素541A、541B、541C、541Dを駆動するための信号を発生させる行駆動回路部とを含んでいる。

【0015】

列信号処理部550は、例えば、垂直信号線543に接続され、画素541A、541B、541C、541D（画素共有ユニット539）とソースフォロア回路を形成する負荷回路部を備える。列信号処理部550は、垂直信号線543を介して画素共有ユニット539から読み出された信号を増幅する増幅回路部を有していてもよい。列信号処理部550は、ノイズ処理部を有していてもよい。ノイズ処理部では、例えば、光電変換の結果として画素共有ユニット539から読み出された信号から、系のノイズレベルが取り除かれる。

30

【0016】

列信号処理部550は、例えば、アナログデジタルコンバータ（ADC）を有している。アナログデジタルコンバータでは、画素共有ユニット539から読み出された信号もしくは上記ノイズ処理されたアナログ信号がデジタル信号に変換される。ADCは、例えば、コンパレータ部およびカウンタ部を含んでいる。コンパレータ部では、変換対象となるアナログ信号と、これと比較対象となる参照信号とが比較される。カウンタ部では、コンパレータ部での比較結果が反転するまでの時間が計測されるようになっている。列信号処理部550は、読出し列を走査する制御を行う水平走査回路部を含んでいてもよい。

40

【0017】

タイミング制御部530は、装置へ入力された基準クロック信号やタイミング制御信号を基にして、行駆動部520および列信号処理部550へ、タイミングを制御する信号を供給する。

【0018】

画像信号処理部560は、光電変換の結果得られたデータ、言い換えれば、撮像装置1

50

における撮像動作の結果得られたデータに対して、各種の信号処理を施す回路である。画像信号処理部 560 は、例えば、画像信号処理回路部およびデータ保持部を含んでいる。画像信号処理部 560 は、プロセッサ部を含んでいてもよい。

【0019】

画像信号処理部 560 において実行される信号処理の一例は、A/D変換された撮像データが、暗い被写体を撮影したデータである場合には階調を多く持たせ、明るい被写体を撮影したデータである場合には階調を少なくするトーンカーブ補正処理である。この場合、撮像データの階調をどのようなトーンカーブに基づいて補正するか、トーンカーブの特性データを予め画像信号処理部 560 のデータ保持部に記憶させておくことが望ましい。

【0020】

入力部 510A は、例えば、上記基準クロック信号、タイミング制御信号および特性データなどを装置外部から撮像装置 1 へ入力するためのものである。タイミング制御信号は、例えば、垂直同期信号および水平同期信号などである。特性データは、例えば、画像信号処理部 560 のデータ保持部へ記憶させるためのものである。入力部 510A は、例えば、入力端子 511、入力回路部 512、入力振幅変更部 513、入力データ変換回路部 514 および電源供給部（不図示）を含んでいる。

【0021】

入力端子 511 は、データを入力するための外部端子である。入力回路部 512 は、入力端子 511 へ入力された信号を撮像装置 1 の内部へと取り込むためのものである。入力振幅変更部 513 では、入力回路部 512 で取り込まれた信号の振幅が、撮像装置 1 の内部で利用しやすい振幅へと変更される。入力データ変換回路部 514 では、入力データのデータ列の並びが変更される。入力データ変換回路部 514 は、例えば、シリアルパラレル変換回路により構成されている。このシリアルパラレル変換回路では、入力データとして受け取ったシリアル信号がパラレル信号へと変換される。なお、入力部 510A では、入力振幅変更部 513 および入力データ変換回路部 514 が、省略されていてもよい。電源供給部は、外部から撮像装置 1 へ供給された電源をもとにして、撮像装置 1 の内部で必要となる各種の電圧に設定された電源を供給する。

【0022】

撮像装置 1 が外部のメモリデバイスと接続されるとき、入力部 510A には、外部のメモリデバイスからのデータを受け取るメモリインタフェース回路が設けられていてもよい。外部のメモリデバイスは、例えば、フラッシュメモリ、SRAM および DRAM 等である。

【0023】

出力部 510B は、画像データを装置外部へと出力する。この画像データは、例えば、撮像装置 1 で撮影された画像データ、および、画像信号処理部 560 で信号処理された画像データ等である。出力部 510B は、例えば、出力データ変換回路部 515、出力振幅変更部 516、出力回路部 517 および出力端子 518 を含んでいる。

【0024】

出力データ変換回路部 515 は、例えば、パラレルシリアル変換回路により構成されており、出力データ変換回路部 515 では、撮像装置 1 内部で使用したパラレル信号がシリアル信号へと変換される。出力振幅変更部 516 は、撮像装置 1 の内部で用いた信号の振幅を変更する。変更された振幅の信号は、撮像装置 1 の外部に接続される外部デバイスで利用しやすくなる。出力回路部 517 は、撮像装置 1 の内部から装置外部へとデータを出力する回路であり、出力回路部 517 により、出力端子 518 に接続された撮像装置 1 外部の配線が駆動される。出力端子 518 では、撮像装置 1 から装置外部へとデータが出力される。出力部 510B では、出力データ変換回路部 515 および出力振幅変更部 516 が、省略されていてもよい。

【0025】

撮像装置 1 が外部のメモリデバイスと接続されるとき、出力部 510B には、外部のメモリデバイスへとデータを出力するメモリインタフェース回路が設けられていてもよい。

10

20

30

40

50

外部のメモリデバイスは、例えば、フラッシュメモリ、SRAMおよびDRAM等である。
【0026】

[撮像装置1の概略構成]

図2および図3は、撮像装置1の概略構成の一例を表したものである。撮像装置1は、3つの基板（第1基板100、第2基板200、第3基板300）を備えている。図2は、第1基板100、第2基板200、第3基板300各々の平面構成を模式的に表したものであり、図3は、互いに積層された第1基板100、第2基板200および第3基板300の断面構成を模式的に表している。図3は、図2に示したI-I'線に沿った断面構成に対応する。撮像装置1は、3つの基板（第1基板100、第2基板200、第3基板300）を貼り合わせて構成された3次元構造の撮像装置である。第1基板100は、半導体層100Sおよび配線層100Tを含む。第2基板200は、半導体層200Sおよび配線層200Tを含む。第3基板300は、半導体層300Sおよび配線層300Tを含む。ここで、第1基板100、第2基板200および第3基板300の各基板に含まれる配線とその周囲の層間絶縁膜を合せたものを、便宜上、それぞれの基板（第1基板100、第2基板200および第3基板300）に設けられた配線層（100T、200T、300T）と呼ぶ。第1基板100、第2基板200および第3基板300は、この順に積層されており、積層方向に沿って、半導体層100S、配線層100T、半導体層200S、配線層200T、配線層300Tおよび半導体層300Sの順に配置されている。第1基板100、第2基板200および第3基板300の具体的な構成については後述する。図3に示した矢印は、撮像装置1への光Lの入射方向を表す。本明細書では、便宜上、以降の断面図で、撮像装置1における光入射側を「下」「下側」「下方」、光入射側と反対側を「上」「上側」「上方」と呼ぶ場合がある。また、本明細書では、便宜上、半導体層と配線層を備えた基板に関して、配線層の側を表面、半導体層の側を裏面と呼ぶ場合がある。なお、明細書の記載は、上記の呼び方に限定されない。撮像装置1は、例えば、フォトダイオードを有する第1基板100の裏面側から光が入射する、裏面照射型撮像装置となっている。

【0027】

画素アレイ部540および画素アレイ部540に含まれる画素共有ユニット539は、ともに、第1基板100および第2基板200の双方を用いて構成されている。第1基板100には、画素共有ユニット539が有する複数の画素541A、541B、541C、541Dが設けられている。これらの画素541のそれぞれが、フォトダイオード（後述のフォトダイオードPD）および転送トランジスタ（後述の転送トランジスタTR）を有している。第2基板200には、画素共有ユニット539が有する画素回路（後述の画素回路210）が設けられている。画素回路は、画素541A、541B、541C、541D各々のフォトダイオードから転送トランジスタを介して転送された画素信号を読み出し、あるいは、フォトダイオードをリセットする。この第2基板200は、このような画素回路に加えて、行方向に延在する複数の行駆動信号線542および列方向に延在する複数の垂直信号線543を有している。第2基板200は、更に、行方向に延在する電源線544を有している。第3基板300は、例えば、入力部510A、行駆動部520、タイミング制御部530、列信号処理部550、画像信号処理部560および出力部510Bを有している。行駆動部520は、例えば、第1基板100、第2基板200および第3基板300の積層方向（以下、単に積層方向という）において、一部が画素アレイ部540に重なる領域に設けられている。より具体的には、行駆動部520は、積層方向において、画素アレイ部540のH方向の端部近傍に重なる領域に設けられている（図2）。列信号処理部550は、例えば、積層方向において、一部が画素アレイ部540に重なる領域に設けられている。より具体的には、列信号処理部550は、積層方向において、画素アレイ部540のV方向の端部近傍に重なる領域に設けられている（図2）。図示は省略するが、入力部510Aおよび出力部510Bは、第3基板300以外の部分に配置されていてもよく、例えば、第2基板200に配置されていてもよい。あるいは、第1基板100の裏面（光入射面）側に入力部510Aおよび出力部510Bを設けるようにし

10

20

30

40

50

てもよい。なお、上記第2基板200に設けられた画素回路は、別の呼称として、画素トランジスタ回路、画素トランジスタ群、画素トランジスタ、画素読み出し回路または読出回路と呼ばれることもある。本明細書では、画素回路との呼称を用いる。

【0028】

第1基板100と第2基板200とは、例えば、貫通電極（後述の図6の貫通電極120E，121E）により電氣的に接続されている。第2基板200と第3基板300とは、例えば、コンタクト部201，202，301，302を介して電氣的に接続されている。第2基板200にコンタクト部201，202が設けられ、第3基板300にコンタクト部301，302が設けられている。第2基板200のコンタクト部201が第3基板300のコンタクト部301に接し、第2基板200のコンタクト部202が第3基板300のコンタクト部302に接している。第2基板200は、複数のコンタクト部201が設けられたコンタクト領域201Rと、複数のコンタクト部202が設けられたコンタクト領域202Rとを有している。第3基板300は、複数のコンタクト部301が設けられたコンタクト領域301Rと、複数のコンタクト部302が設けられたコンタクト領域302Rとを有している。コンタクト領域201R，301Rは、積層方向において、画素アレイ部540と行駆動部520との間に設けられている（図3）。換言すれば、コンタクト領域201R，301Rは、例えば、行駆動部520（第3基板300）と、画素アレイ部540（第2基板200）とが積層方向に重なる領域、もしくはこの近傍領域に設けられている。コンタクト領域201R，301Rは、例えば、このような領域のうち、H方向の端部に配置されている（図2）。第3基板300では、例えば、行駆動部520の一部、具体的には行駆動部520のH方向の端部に重なる位置にコンタクト領域301Rが設けられている（図2，図3）。コンタクト部201，301は、例えば、第3基板300に設けられた行駆動部520と、第2基板200に設けられた行駆動線542とを接続するものである。コンタクト部201，301は、例えば、第3基板300に設けられた入力部510Aと電源線544および基準電位線（後述の基準電位線VSS）とを接続していてもよい。コンタクト領域202R，302Rは、積層方向において、画素アレイ部540と列信号処理部550との間に設けられている（図3）。換言すれば、コンタクト領域202R，302Rは、例えば、列信号処理部550（第3基板300）と画素アレイ部540（第2基板200）とが積層方向に重なる領域、もしくはこの近傍領域に設けられている。コンタクト領域202R，302Rは、例えば、このような領域のうち、V方向の端部に配置されている（図2）。第3基板300では、例えば、列信号処理部550の一部、具体的には列信号処理部550のV方向の端部に重なる位置にコンタクト領域301Rが設けられている（図2，図3）。コンタクト部202，302は、例えば、画素アレイ部540が有する複数の画素共有ユニット539各々から出力された画素信号（フォトダイオードでの光電変換の結果発生した電荷の量に対応した信号）を、第3基板300に設けられた列信号処理部550へと接続するためのものである。画素信号は、第2基板200から第3基板300に送られるようになっている。

【0029】

図3は、上記のように、撮像装置1の断面図の一例である。第1基板100、第2基板200、第3基板300は、配線層100T、200T、300Tを介して電氣的に接続される。例えば、撮像装置1は、第2基板200と第3基板300とを電氣的に接続する電氣的接続部を有する。具体的には、導電材料で形成された電極でコンタクト部201，202，301，302を形成する。導電材料は、例えば、銅（Cu）、アルミニウム（Al）、金（Au）、などの金属材料で形成される。コンタクト領域201R、202R、301R、302Rは、例えば電極として形成された配線同士を直接接合することで、第2基板と第3基板とを電氣的に接続し、第2基板200と第3基板300との信号の入力及び／又は出力を可能にする。

【0030】

第2基板200と第3基板300とを電氣的に接続する電氣的接続部は、所望の箇所に設けることができる。例えば、図3においてコンタクト領域201R、202R、301

10

20

30

40

50

R、302Rとして述べたように、画素アレイ部540と積層方向に重なる領域に設けても良い。また、電氣的接続部を画素アレイ部540と積層方向に重ならない領域に設けても良い。具体的には、画素アレイ部540の外側に配置された周辺部と、積層方向に重なる領域に設けても良い。

【0031】

第1基板100および第2基板200には、例えば、接続孔部H1、H2が設けられている。接続孔部H1、H2は、第1基板100および第2基板200を貫通している(図3)。接続孔部H1、H2は、画素アレイ部540(または画素アレイ部540に重なる部分)の外側に設けられている(図2)。例えば、接続孔部H1は、H方向において画素アレイ部540より外側に配置されており、接続孔部H2は、V方向において画素アレイ部540よりも外側に配置されている。例えば、接続孔部H1は、第3基板300に設けられた入力部510Aに達しており、接続孔部H2は、第3基板300に設けられた出力部510Bに達している。接続孔部H1、H2は、空洞でもよく、少なくとも一部に導電材料を含んでいても良い。例えば、入力部510A及び／又は出力部510Bとして形成された電極に、ボンディングワイヤを接続する構成がある。または、入力部510A及び／又は出力部510Bとして形成された電極と、接続孔部H1、H2に設けられた導電材料とを接続する構成がある。接続孔部H1、H2に設けられた導電材料は、接続孔部H1、H2の一部または全部に埋め込まれていても良く、導電材料が接続孔部H1、H2の側壁に形成されていても良い。

【0032】

なお、図3では第3基板300に入力部510A、出力部510Bを設ける構造としたが、これに限定されない。例えば、配線層200T、300Tを介して第3基板300の信号を第2基板200へ送ることで、入力部510A及び／又は出力部510Bを第2基板200に設けることもできる。同様に、配線層100T、200Tを介して、第2基板200の信号を第1基板100へ送ることで、入力部510A及び／又は出力部510Bを第1基板100に設けることもできる。

【0033】

図4は、画素共有ユニット539の構成の一例を表す等価回路図である。画素共有ユニット539は、複数の画素541(図4では、画素541A、541B、541C、541Dの4つの画素541を表す)と、この複数の画素541に接続された1の画素回路210と、画素回路210に接続された垂直信号線5433とを含んでいる。画素回路210は、例えば、4つのトランジスタ、具体的には、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGを含んでいる。上述のように、画素共有ユニット539は、1の画素回路210を時分割で動作させることにより、画素共有ユニット539に含まれる4つの画素541(画素541A、541B、541C、541D)それぞれの画素信号を順次垂直信号線543へ出力するようになっている。複数の画素541に1の画素回路210が接続されており、この複数の画素541の画素信号が、1の画素回路210により時分割で出力される態様を、「複数の画素541が1の画素回路210を共有する」という。ここでは、画素回路210を構成する少なくとも1のトランジスタ(例えば、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRSTまたはFD変換ゲイン切替トランジスタFDG)が、本開示の「画素トランジスタ」の一具体例に対応する。

【0034】

画素541A、541B、541C、541Dは、互いに共通の構成要素を有している。以降、画素541A、541B、541C、541Dの構成要素を互いに区別するために、画素541Aの構成要素の符号の末尾には識別番号1、画素541Bの構成要素の符号の末尾には識別番号2、画素541Cの構成要素の符号の末尾には識別番号3、画素541Dの構成要素の符号の末尾には識別番号4を付与する。画素541A、541B、541C、541Dの構成要素を互いに区別する必要のない場合には、画素541A、541B、541C、541Dの構成要素の符号の末尾の識別番号を省略する。

【0035】

画素541A, 541B, 541C, 541Dは、例えば、フォトダイオードPDと、フォトダイオードPDと電氣的に接続された転送トランジスタTRと、転送トランジスタTRに電氣的に接続されたフローティングディフュージョンFDとを有している。フォトダイオードPD(PD1, PD2, PD3, PD4)では、カソードが転送トランジスタTRのソースに電氣的に接続されており、アノードが基準電位線(例えばグラウンド)に電氣的に接続されている。フォトダイオードPDは、入射した光を光電変換し、その受光量に応じた電荷を発生する。転送トランジスタTR(転送トランジスタTR1, TR2, TR3, TR4)は、例えば、n型のCMOS(Complementary Metal Oxide Semiconductor)トランジスタである。転送トランジスタTRでは、ドレインがフローティングディ

10

フュージョンFDに電氣的に接続され、ゲートが駆動信号線に電氣的に接続されている。この駆動信号線は、1の画素共有ユニット539に接続された複数の行駆動信号線542(図1参照)のうちの一部である。転送トランジスタTRは、フォトダイオードPDで発生した電荷をフローティングディフュージョンFDへと転送する。フローティングディフュージョンFD(フローティングディフュージョンFD1, FD2, FD3, FD4)は、p型半導体層中に形成されたn型拡散層領域である。フローティングディフュージョンFDは、フォトダイオードPDから転送された電荷を一時的に保持する電荷保持手段であり、かつ、その電荷量に応じた電圧を発生させる、電荷-電圧変換手段である。ここでは、フォトダイオードPDが、本開示の「光電変換部」の一具体例に対応し、フローティングディフュージョンFDが、本開示の「電荷蓄積部」の一具体例に対応する。

20

【0036】

1の画素共有ユニット539に含まれる4つのフローティングディフュージョンFD(フローティングディフュージョンFD1, FD2, FD3, FD4)は、互いに電氣的に接続されるとともに、増幅トランジスタAMPのゲートおよびFD変換ゲイン切替トランジスタFDGのソースに電氣的に接続されている。FD変換ゲイン切替トランジスタFDGのドレインはリセットトランジスタRSTのソースに接続され、FD変換ゲイン切替トランジスタFDGのゲートは駆動信号線に接続されている。この駆動信号線は、1の画素共有ユニット539に接続された複数の行駆動信号線542のうちの一部である。リセットトランジスタRSTのドレインは電源線VDDに接続され、リセットトランジスタRSTのゲートは駆動信号線に接続されている。この駆動信号線は、1の画素共有ユニット539に接続された複数の行駆動信号線542のうちの一部である。増幅トランジスタAMPのゲートはフローティングディフュージョンFDに接続され、増幅トランジスタAMPのドレインは電源線VDDに接続され、増幅トランジスタAMPのソースは選択トランジスタSELのドレインに接続されている。選択トランジスタSELのソースは垂直信号線543に接続され、選択トランジスタSELのゲートは駆動信号線に接続されている。この駆動信号線は、1の画素共有ユニット539に接続された複数の行駆動信号線542のうちの一部である。

30

【0037】

転送トランジスタTRは、転送トランジスタTRがオン状態となると、フォトダイオードPDの電荷をフローティングディフュージョンFDに転送する。転送トランジスタTRのゲート(転送ゲートTG)は、例えば、いわゆる縦型電極を含んでおり、後述の図6に示すように、半導体層(後述の図6の半導体層100S)の表面からPDに達する深さまで延在して設けられている。リセットトランジスタRSTは、フローティングディフュージョンFDの電位を所定の電位にリセットする。リセットトランジスタRSTがオン状態となると、フローティングディフュージョンFDの電位を電源線VDDの電位にリセットする。選択トランジスタSELは、画素回路210からの画素信号の出力タイミングを制御する。増幅トランジスタAMPは、画素信号として、フローティングディフュージョンFDに保持された電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタAMPは、選択トランジスタSELを介して垂直信号線543に接続されている。この増幅トラ

40

50

ンジスタAMPは、列信号処理部550において、垂直信号線543に接続された負荷回路部（図1参照）とともにソースフォロアを構成している。増幅トランジスタAMPは、選択トランジスタSELがオン状態となると、フローティングディフュージョンFDの電圧を、垂直信号線543を介して列信号処理部550に出力する。リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELは、例えば、N型のCMOSトランジスタである。

【0038】

FD変換ゲイン切替トランジスタFDGは、フローティングディフュージョンFDでの電荷—電圧変換のゲインを変更する際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。 $Q = CV$ に基づき、電荷電圧変換を行う際に、フローティングディフュージョンFDの容量（FD容量C）が大きければ、増幅トランジスタAMPで電圧に変換した際のVが小さくなってしまふ。一方、明るい場所では、画素信号が大きくなるので、FD容量Cが大きくなければ、フローティングディフュージョンFDで、フォトダイオードPDの電荷を受けきれない。さらに、増幅トランジスタAMPで電圧に変換した際のVが大きくなりすぎないように（言い換えると、小さくなるように）、FD容量Cが大きくなっている必要がある。これらを踏まえると、FD変換ゲイン切替トランジスタFDGをオンにしたときには、FD変換ゲイン切替トランジスタFDG分のゲート容量が増えるので、全体のFD容量Cが大きくなる。一方、FD変換ゲイン切替トランジスタFDGをオフにしたときには、全体のFD容量Cが小さくなる。このように、FD変換ゲイン切替トランジスタFDGをオンオフ切り替えることで、FD容量Cを可変にし、変換効率を切り替えることができる。FD変換ゲイン切替トランジスタFDGは、例えば、N型のCMOSトランジスタである。

【0039】

なお、FD変換ゲイン切替トランジスタFDGを設けない構成も可能である。このとき、例えば、画素回路210は、例えば増幅トランジスタAMP、選択トランジスタSELおよびリセットトランジスタRSTの3つのトランジスタで構成される。画素回路210は、例えば、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGなどの画素トランジスタの少なくとも1つを有する。

【0040】

選択トランジスタSELは、電源線VDDと増幅トランジスタAMPとの間に設けられていてもよい。この場合、リセットトランジスタRSTのドレインが電源線VDDおよび選択トランジスタSELのドレインに電氣的に接続されている。選択トランジスタSELのソースが増幅トランジスタAMPのドレインに電氣的に接続されており、選択トランジスタSELのゲートが行駆動信号線542（図1参照）に電氣的に接続されている。増幅トランジスタAMPのソース（画素回路210の出力端）が垂直信号線543に電氣的に接続されており、増幅トランジスタAMPのゲートがリセットトランジスタRSTのソースに電氣的に接続されている。なお、図示は省略するが、1の画素回路210を共有する画素541の数は、4以外であってもよい。例えば、2つまたは8つの画素541が1の画素回路210を共有してもよい。

【0041】

図5は、複数の画素共有ユニット539と、垂直信号線543との接続態様の一例を表したものである。例えば、列方向に並ぶ4つの画素共有ユニット539が4つのグループに分けられており、この4つのグループ各々に垂直信号線543が接続されている。図5には、説明を簡単にするため、4つのグループが各々、1つの画素共有ユニット539を有する例を示したが、4つのグループが各々、複数の画素共有ユニット539を含んでもよい。このように、撮像装置1では、列方向に並ぶ複数の画素共有ユニット539が、1つまたは複数の画素共有ユニット539を含むグループに分けられていてもよい。例えば、このグループそれぞれに、垂直信号線543および列信号処理回路550が接続されており、それぞれのグループから画素信号を同時に読み出すことができるようになって

いる。あるいは、撮像装置 1 では、列方向に並ぶ複数の画素共有ユニット 5 3 9 に 1 つの垂直信号線 5 4 3 が接続されていてもよい。このとき、1 つの垂直信号線 5 4 3 に接続された複数の画素共有ユニット 5 3 9 から、時分割で順次画素信号が読み出されるようになっている。

【0042】

[撮像装置 1 の具体的構成]

図 6 は、撮像装置 1 の第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 の主面に対して垂直方向の断面構成の一例を表したものである。図 6 は、構成要素の位置関係を分かりやすくするため、模式的に表したものであり、実際の断面と異なってもよい。撮像装置 1 では、第 1 基板 1 0 0、第 2 基板 2 0 0 および第 3 基板 3 0 0 がこの順に積層されている。撮像装置 1 は、さらに、第 1 基板 1 0 0 の裏面側（光入射面側）に受光レンズ 4 0 1 を有している。受光レンズ 4 0 1 と第 1 基板 1 0 0 との間に、カラーフィルタ層（図示せず）が設けられていてもよい。受光レンズ 4 0 1 は、例えば、画素 5 4 1 A、5 4 1 B、5 4 1 C、5 4 1 D 各々に設けられている。撮像装置 1 は、例えば、裏面照射型の撮像装置である。撮像装置 1 は、中央部に配置された画素アレイ部 5 4 0 と、画素アレイ部 5 4 0 の外側に配置された周辺部 5 4 0 B とを有している。

【0043】

第 1 基板 1 0 0 は、受光レンズ 4 0 1 側から順に、絶縁膜 1 1 1、固定電荷膜 1 1 2、半導体層 1 0 0 S および配線層 1 0 0 T を有している。半導体層 1 0 0 S は、例えばシリコン基板により構成されている。半導体層 1 0 0 S は、例えば、表面（配線層 1 0 0 T 側の面）の一部およびその近傍に、p ウェル層 1 1 5 を有しており、それ以外の領域（p ウェル層 1 1 5 よりも深い領域）に、n 型半導体領域 1 1 4 を有している。例えば、この n 型半導体領域 1 1 4 および p ウェル層 1 1 5 により p n 接合型のフォトダイオード P D が構成されている。p ウェル層 1 1 5 は、p 型半導体領域である。

【0044】

図 7 A は、第 1 基板 1 0 0 の平面構成の一例を表したものである。図 7 A は、主に、第 1 基板 1 0 0 の画素分離部 1 1 7、フォトダイオード P D、フローティングディフュージョン F D、V S S コンタクト領域 1 1 8 および転送トランジスタ T R の平面構成を表している。図 6 とともに、図 7 A を用いて第 1 基板 1 0 0 の構成について説明する。

【0045】

半導体層 1 0 0 S の表面近傍には、フローティングディフュージョン F D および V S S コンタクト領域 1 1 8 が設けられている。フローティングディフュージョン F D は、p ウェル層 1 1 5 内に設けられた n 型半導体領域により構成されている。画素 5 4 1 A、5 4 1 B、5 4 1 C、5 4 1 D 各々のフローティングディフュージョン F D（フローティングディフュージョン F D 1、F D 2、F D 3、F D 4）は、例えば、画素共有ユニット 5 3 9 の中央部に互いに近接して設けられている（図 7 A）。詳細は後述するが、この画素共有ユニット 5 3 9 に含まれる 4 つのフローティングディフュージョン（フローティングディフュージョン F D 1、F D 2、F D 3、F D 4）は、第 1 基板 1 0 0 内（より具体的には配線層 1 0 0 T の内）で、電氣的接続手段（後述のパッド部 1 2 0）を介して互いに電氣的に接続されている。更に、フローティングディフュージョン F D は、第 1 基板 1 0 0 から第 2 基板 2 0 0 へ（より具体的には、配線層 1 0 0 T から配線層 2 0 0 T へ）と電氣的的手段（後述の貫通電極 1 2 0 E）を介して接続されている。第 2 基板 2 0 0（より具体的には配線層 2 0 0 T の内部）では、この電氣的的手段により、フローティングディフュージョン F D が、増幅トランジスタ A M P のゲートおよび F D 変換ゲイン切替トランジスタ F D G のソースに電氣的に接続されている。

【0046】

V S S コンタクト領域 1 1 8 は、基準電位線 V S S に電氣的に接続される領域であり、フローティングディフュージョン F D と離間して配置されている。例えば、画素 5 4 1 A、5 4 1 B、5 4 1 C、5 4 1 D では、各画素の V 方向の一端にフローティングディフュージョン F D が配置され、他端に V S S コンタクト領域 1 1 8 が配置されている（図 7 A

）。VSSコンタクト領域118は、例えば、p型半導体領域により構成されている。VSSコンタクト領域118は、例えば接地電位や固定電位に接続されている。これにより、半導体層100Sに基準電位が供給される。

【0047】

第1基板100には、フォトダイオードPD、フローティングディフュージョンFDおよびVSSコンタクト領域118とともに、転送トランジスタTRが設けられている。このフォトダイオードPD、フローティングディフュージョンFD、VSSコンタクト領域118および転送トランジスタTRは、画素541A、541B、541C、541D各々に設けられている。転送トランジスタTRは、半導体層100Sの表面側（光入射面側とは反対側、第2基板200側）に設けられている。転送トランジスタTRは、転送ゲートTGを有している。転送ゲートTGは、例えば、半導体層100Sの表面に対向する水平部分Tgbと、半導体層100S内に設けられた垂直部分Tgaとを含んでいる。垂直部分Tgaは、半導体層100Sの厚み方向に延在している。垂直部分Tgaの一端は水平部分Tgbに接し、他端はn型半導体領域114内に設けられている。転送トランジスタTRを、このような縦型トランジスタにより構成することにより、画素信号の転送不良が生じにくくなり、画素信号の読み出し効率を向上させることができる。

【0048】

転送ゲートTGの水平部分Tgbは、垂直部分Tgaに対向する位置から例えば、H方向において画素共有ユニット539の中央部に向かって延在している（図7A）。これにより、転送ゲートTGに達する貫通電極（後述の貫通電極TGV）のH方向の位置を、フローティングディフュージョンFD、VSSコンタクト領域118に接続される貫通電極（後述の貫通電極120E、121E）のH方向の位置に近づけることができる。例えば、第1基板100に設けられた複数の画素共有ユニット539は、互いに同じ構成を有している（図7A）。

【0049】

半導体層100Sには、画素541A、541B、541C、541Dを互いに分離する画素分離部117が設けられている。画素分離部117は、半導体層100Sの法線方向（半導体層100Sの表面に対して垂直な方向）に延在して形成されている。画素分離部117は、画素541A、541B、541C、541Dを互いに仕切るように設けられており、例えば格子状の平面形状を有している（図7A、図7B）。画素分離部117は、例えば、画素541A、541B、541C、541Dを互いに電気的および光学的に分離する。画素分離部117は、例えば、遮光膜117Aおよび絶縁膜117Bを含んでいる。遮光膜117Aには、例えば、タングステン（W）等が用いられる。絶縁膜117Bは、遮光膜117Aとpウェル層115またはn型半導体領域114との間に設けられている。絶縁膜117Bは、例えば、酸化シリコン（SiO）によって構成されている。画素分離部117は、例えば、FTI（Full Trench Isolation）構造を有しており、半導体層100Sを貫通している。図示しないが、画素分離部117は半導体層100Sを貫通するFTI構造に限定されない。例えば、半導体層100Sを貫通しないDTI（Deep Trench Isolation）構造であっても良い。画素分離部117は、半導体層100Sの法線方向に延在して、半導体層100Sの一部の領域に形成される。

【0050】

半導体層100Sには、例えば、第1ピニング領域113および第2ピニング領域116が設けられている。第1ピニング領域113は、半導体層100Sの裏面近傍に設けられており、n型半導体領域114と固定電荷膜112との間に配置されている。第2ピニング領域116は、画素分離部117の側面、具体的には、画素分離部117とpウェル層115またはn型半導体領域114との間に設けられている。第1ピニング領域113および第2ピニング領域116は、例えば、p型半導体領域により構成されている。

【0051】

半導体層100Sと絶縁膜111との間には、負の固定電荷を有する固定電荷膜112が設けられている。固定電荷膜112が誘起する電界により、半導体層100Sの受光面

10

20

30

40

50

(裏面)側の界面に、ホール蓄積層の第1ピニング領域113が形成される。これにより、半導体層100Sの受光面側の界面準位に起因した暗電流の発生が抑えられる。固定電荷膜112は、例えば、負の固定電荷を有する絶縁膜によって形成されている。この負の固定電荷を有する絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタンまたは酸化タンタルが挙げられる。

【0052】

固定電荷膜112と絶縁膜111との間には、遮光膜117Aが設けられている。この遮光膜117Aは、画素分離部117を構成する遮光膜117Aと連続して設けられていてもよい。この固定電荷膜112と絶縁膜111との間の遮光膜117Aは、例えば、半導体層100S内の画素分離部117に対向する位置に選択的に設けられている。絶縁膜111は、この遮光膜117Aを覆うように設けられている。絶縁膜111は、例えば、酸化シリコンにより構成されている。

【0053】

半導体層100Sと第2基板200との間に設けられた配線層100Tは、半導体層100S側から、層間絶縁膜119、パッド部120、121、パッシベーション膜122、層間絶縁膜123および接合膜124をこの順に有している。転送ゲートTGの水平部分TGbは、例えば、この配線層100Tに設けられている。層間絶縁膜119は、半導体層100Sの表面全面にわたって設けられており、半導体層100Sに接している。層間絶縁膜119は、例えば酸化シリコン膜により構成されている。なお、配線層100Tの構成は上述の限りでなく、配線と絶縁膜とを有する構成であれば良い。ここで、パッド部120が、本開示の「共有接続部」の一具体例に対応する。

【0054】

図7Bは、図7Aに示した平面構成とともに、パッド部120、121の構成を表している。パッド部120、121は、層間絶縁膜119上の選択的な領域に設けられている。パッド部120は、画素541A、541B、541C、541D各々のフローティングディフュージョンFD（フローティングディフュージョンFD1、FD2、FD3、FD4）を互いに接続するためのものである。パッド部120は、例えば、画素共有ユニット539毎に、平面視で画素共有ユニット539の中央部に配置されている（図7B）。このパッド部120は、画素分離部117を跨ぐように設けられており、フローティングディフュージョンFD1、FD2、FD3、FD4各々の少なくとも一部に重畳して配置されている（図6、図7B）。具体的には、パッド部120は、画素回路210を共有する複数のフローティングディフュージョンFD（フローティングディフュージョンFD1、FD2、FD3、FD4）各々の少なくとも一部と、その画素回路210を共有する複数のフォトダイオードPD（フォトダイオードPD1、PD2、PD3、PD4）の間に形成された画素分離部117の少なくとも一部とに対して、半導体層100Sの表面に対して垂直な方向に重なる領域に形成される。層間絶縁膜119には、パッド部120とフローティングディフュージョンFD1、FD2、FD3、FD4とを電氣的に接続するための接続ビア120Cが設けられている。接続ビア120Cは、画素541A、541B、541C、541D各々に設けられている。例えば、接続ビア120Cにパッド部120の一部が埋め込まれることにより、パッド部120とフローティングディフュージョンFD1、FD2、FD3、FD4とが電氣的に接続されている。

【0055】

パッド部121は、複数のVSSコンタクト領域118を互いに接続するためのものである。例えば、V方向に隣り合う一方の画素共有ユニット539の画素541C、541Dに設けられたVSSコンタクト領域118と、他方の画素共有ユニット539の画素541A、541Bに設けられたVSSコンタクト領域118とがパッド部121により電氣的に接続されている。パッド部121は、例えば、画素分離部117を跨ぐように設けられており、これら4つのVSSコンタクト領域118各々の少なくとも一部に重畳して配置されている。具体的には、パッド部121は、複数のVSSコンタクト領域118各々の少なくとも一部と、その複数のVSSコンタクト領域118の間に形成された画素分

離部 1 1 7 の少なくとも一部とに対して、半導体層 1 0 0 S の表面に対して垂直な方向に重なる領域に形成される。層間絶縁膜 1 1 9 には、パッド部 1 2 1 と V S S コンタクト領域 1 1 8 とを電氣的に接続するための接続ビア 1 2 1 C が設けられている。接続ビア 1 2 1 C は、画素 5 4 1 A , 5 4 1 B , 5 4 1 C , 5 4 1 D 各々に設けられている。例えば、接続ビア 1 2 1 C にパッド部 1 2 1 の一部が埋め込まれることにより、パッド部 1 2 1 と V S S コンタクト領域 1 1 8 とが電氣的に接続されている。例えば、V 方向に並ぶ複数の画素共有ユニット 5 3 9 各々のパッド部 1 2 0 およびパッド部 1 2 1 は、H 方向において略同じ位置に配置されている（図 7 B）。

【0056】

パッド部 1 2 0 を設けることで、チップ全体において、各フローティングディフュージョン F D から画素回路 2 1 0 （例えば増幅トランジスタ A M P のゲート電極）へ接続するための配線を減らすことができる。同様に、パッド部 1 2 1 を設けることで、チップ全体において、各 V S S コンタクト領域 1 1 8 への電位を供給する配線を減らすことができる。これにより、チップ全体の面積の縮小、微細化された画素における配線間の電氣的干渉の抑制、及び／又は部品点数の削減によるコスト削減などが可能になる。

【0057】

パッド部 1 2 0 、 1 2 1 は、第 1 基板 1 0 0 、第 2 基板 2 0 0 の所望の位置に設けることができる。具体的には、パッド部 1 2 0 、 1 2 1 を配線層 1 0 0 T 、半導体層 2 0 0 S の絶縁領域 2 1 2 のいずれかに設けることができる。配線層 1 0 0 T に設ける場合には、パッド部 1 2 0 、 1 2 1 を半導体層 1 0 0 S に直接接触させても良い。具体的には、パッド部 1 2 0 、 1 2 1 が、フローティングディフュージョン F D 及び／又は V S S コンタクト領域 1 1 8 の各々の少なくとも一部と直接接続される構成でも良い。また、パッド部 1 2 0 、 1 2 1 に接続するフローティングディフュージョン F D 及び／又は V S S コンタクト領域 1 1 8 の各々から接続ビア 1 2 0 C , 1 2 1 C を設け、配線層 1 0 0 T 、半導体層 2 0 0 S の絶縁領域 2 1 1 2 の所望の位置にパッド部 1 2 0 、 1 2 1 を設ける構成でも良い。

【0058】

特に、パッド部 1 2 0 、 1 2 1 を配線層 1 0 0 T に設ける場合には、半導体層 2 0 0 S の絶縁領域 2 1 2 におけるフローティングディフュージョン F D 及び／又は V S S コンタクト領域 1 1 8 に接続される配線を減らすことができる。これにより、画素回路 2 1 0 を形成する第 2 基板 2 0 0 のうち、フローティングディフュージョン F D から画素回路 2 1 0 に接続するための貫通配線を形成するための絶縁領域 2 1 2 の面積を削減することができる。よって、画素回路 2 1 0 を形成する第 2 基板 2 0 0 の面積を大きく確保することができる。画素回路 2 1 0 の面積を確保することで、画素トランジスタを大きく形成することができ、ノイズ低減などによる画質向上に寄与することができる。

【0059】

特に、画素分離部 1 1 7 に F T I 構造を用いた場合、フローティングディフュージョン F D 及び／又は V S S コンタクト領域 1 1 8 は、各画素 5 4 1 に設けることが好ましいため、パッド部 1 2 0 、 1 2 1 の構成を用いることで、第 1 基板 1 0 0 と第 2 基板 2 0 0 とを接続する配線を大幅に削減することができる。

【0060】

また、図 7 B のように、例えば複数のフローティングディフュージョン F D が接続されるパッド部 1 2 0 と、複数の V S S コンタクト領域 1 1 8 が接続されるパッド部 1 2 1 とは、V 方向において直線状に交互に配置される。また、パッド部 1 2 0 、 1 2 1 は、複数のフォトダイオード P D や、複数の転送ゲート T G や、複数のフローティングディフュージョン F D に囲まれる位置に形成される。これにより、複数の素子を形成する第 1 基板 1 0 0 において、フローティングディフュージョン F D と V S S コンタクト領域 1 1 8 以外の素子を自由に配置することができ、チップ全体のレイアウトの効率化を図ることができる。また、各画素共有ユニット 5 3 9 に形成される素子のレイアウトにおける対称性が確保され、各画素 5 4 1 の特性のばらつきを抑えることができる。

【0061】

パッド部120, 121は、例えば、ポリシリコン (Poly Si)、より具体的には、不純物が添加されたドーパドポリシリコンにより構成されている。パッド部120, 121はポリシリコン、タングステン (W)、チタン (Ti) および窒化チタン (TiN) 等の耐熱性の高い導電性材料により構成されていることが好ましい。これにより、第1基板100に第2基板200の半導体層200Sを貼り合わせた後に、画素回路210を形成することが可能となる。以下、この理由について説明する。なお、以下の説明において、第1基板100と第2基板200の半導体層200Sを貼り合わせた後に、画素回路210を形成する方法を、第1の製造方法と呼ぶ。

【0062】

ここで、第2基板200に画素回路210を形成した後に、これを第1基板100に貼り合わせることも考え得る（以下第2の製造方法という）。この第2の製造方法では、第1基板100の表面（配線層100Tの表面）および第2基板200の表面（配線層200Tの表面）それぞれに、電氣的接続用の電極を予め形成しておく。第1基板100と第2基板200を貼り合わせると、これと同時に、第1基板100の表面と第2基板200の表面のそれぞれに形成された電氣的接続用の電極同士が接触する。これにより、第1基板100に含まれる配線と第2基板200に含まれる配線との間で電氣的接続が形成される。よって、第2の製造方法を用いた撮像装置1の構成とすることで、例えば第1基板100と第2基板200の各々の構成に応じて適切なプロセスを用いて製造することができ、高品質、高性能な撮像装置を製造することができる。

【0063】

このような第2の製造方法では、第1基板100と第2基板200とを貼り合わせる際に、貼り合せ用の製造装置に起因して、位置合わせの誤差が生じることがある。また、第1基板100および第2基板200は、例えば、直径数十cm程度の大きさを有するが、第1基板100と第2基板200とを貼り合わせる際に、この第1基板100、第2基板200各部の微視的領域で、基板の伸び縮みが発生するおそれがある。この基板の伸び縮みは、基板同士が接触するタイミングが多少ずれることに起因する。このような第1基板100および第2基板200の伸び縮みに起因して、第1基板100の表面および第2基板200の表面それぞれに形成された電氣的接続用の電極の位置に、誤差が生じることがある。第2の製造方法では、このような誤差が生じてても、第1基板100および第2基板200それぞれの電極同士が接触するように対処しておくことが好ましい。具体的には、第1基板100および第2基板200の電極の少なくとも一方、好ましくは両方を、上記誤差を考慮して大きくしておく。このため、第2の製造方法を用いると、例えば、第1基板100または第2基板200の表面に形成された電極の大きさ（基板平面方向の大きさ）が、第1基板100または第2基板200の内部から表面に厚み方向へ延在する内部電極の大きさよりも大きくなる。

【0064】

一方、パッド部120, 121を耐熱性の導電材料により構成することで、上記第1の製造方法を用いることが可能となる。第1の製造方法では、フォトダイオードPDおよび転送トランジスタTRなどを含む第1基板100を形成した後、この第1基板100と第2基板200（半導体層200S）とを貼り合わせる。このとき、第2基板200は、画素回路210を構成する能動素子および配線層などのパターンは未形成の状態である。第2基板200はパターンを形成する前の状態であるため、仮に、第1基板100と第2基板200を貼り合わせる際、その貼り合せ位置に誤差が生じたとしても、この貼り合せ誤差によって、第1基板100のパターンと第2基板200のパターンとの間の位置合わせに誤差が生じることはない。なぜならば、第2基板200のパターンは、第1基板100と第2基板200を貼り合わせた後に、形成するからである。なお、第2基板にパターンを形成する際には、例えば、パターン形成のための露光装置において、第1基板に形成されたパターンを位置合わせの対象としながらパターン形成する。上記理由により、第1基板100と第2基板200との貼り合せ位置の誤差は、第1の製造方法においては、撮

像装置 1 を製造する上で問題とならない。同様の理由で、第 2 の製造方法で生じる基板の伸び縮みに起因した誤差も、第 1 の製造方法においては、撮像装置 1 を製造する上で問題とならない。

【0065】

第 1 の製造方法では、このようにして第 1 基板 100 と第 2 基板 200（半導体層 200S）とを貼り合せた後、第 2 基板 200 上に能動素子を形成する。この後、貫通電極 120E、121E および貫通電極 TGV（図 6）を形成する。この貫通電極 120E、121E、TGV の形成では、例えば、第 2 基板 200 の上方から、露光装置による縮小投影露光を用いて貫通電極のパターンを形成する。縮小露光投影を用いるため、仮に、第 2 基板 200 と露光装置との位置合わせに誤差が生じても、その誤差の大きさは、第 2 基板 200 においては、上記第 2 の製造方法の誤差の数分の一（縮小露光投影倍率の逆数）にしかならない。よって、第 1 の製造方法を用いた撮像装置 1 の構成とすることで、第 1 基板 100 と第 2 基板 200 の各々に形成される素子同士の位置合わせが容易になり、高品質、高性能な撮像装置を製造することができる。

10

【0066】

このような第 1 の製造方法を用いて製造された撮像装置 1 は、第 2 の製造方法で製造された撮像装置と異なる特徴を有する。具体的には、第 1 の製造方法により製造された撮像装置 1 では、例えば、貫通電極 120E、121E、TGV が、第 2 基板 200 から第 1 基板 100 に至るまで、略一定の太さ（基板平面方向の大きさ）となっている。あるいは、貫通電極 120E、121E、TGV がテーパ形状を有するときには、一定の傾きのテーパ形状を有している。このような貫通電極 120E、121E、TGV を有する撮像装置 1 は、画素 541 を微細化しやすい。

20

【0067】

ここで、第 1 の製造方法により撮像装置 1 を製造すると、第 1 基板 100 と第 2 基板 200（半導体層 200S）とを貼り合わせた後に、第 2 基板 200 に能動素子を形成するので、第 1 基板 100 にも、能動素子の形成の際に必要な加熱処理の影響が及ぶことになる。このため、上記のように、第 1 基板 100 に設けられたパッド部 120、121 には、耐熱性の高い導電材料を用いることが好ましい。例えば、パッド部 120、121 には、第 2 基板 200 の配線層 200T に含まれる配線材の少なくとも一部よりも、融点の高い（すなわち耐熱性の高い）材料を用いていることが好ましい。例えば、パッド部 120、121 にドーフトポリシリコン、タングステン、チタンあるいは窒化チタン等の耐熱性の高い導電材を用いる。これにより、上記第 1 の製造方法を用いて撮像装置 1 を製造することが可能となる。

30

【0068】

パッシベーション膜 122 は、例えば、パッド部 120、121 を覆うように、半導体層 100S の表面全面にわたって設けられている（図 6）。パッシベーション膜 122 は、例えば、窒化シリコン（SiN）膜により構成されている。層間絶縁膜 123 は、パッシベーション膜 122 を間にしてパッド部 120、121 を覆っている。この層間絶縁膜 123 は、例えば、半導体層 100S の表面全面にわたって設けられている。層間絶縁膜 123 は、例えば酸化シリコン（SiO）膜により構成されている。接合膜 124 は、第 1 基板 100（具体的には配線層 100T）と第 2 基板 200 との接合面に設けられている。即ち、接合膜 124 は、第 2 基板 200 に接している。この接合膜 124 は、第 1 基板 100 の主面全面にわたって設けられている。接合膜 124 は、例えば、窒化シリコン膜により構成されている。

40

【0069】

受光レンズ 401 は、例えば、固定電荷膜 112 および絶縁膜 111 を間にして半導体層 100S に対向している（図 6）。受光レンズ 401 は、例えば画素 541A、541B、541C、541D 各々のフォトダイオード PD に対向する位置に設けられている。

【0070】

第 2 基板 200 は、第 1 基板 100 側から、半導体層 200S および配線層 200T を

50

この順に有している。半導体層 200S は、シリコン基板で構成されている。半導体層 200S では、厚み方向にわたって、ウェル領域 211 が設けられている。ウェル領域 211 は、例えば、p 型半導体領域である。第 2 基板 200 には、画素共有ユニット 539 毎に配置された画素回路 210 が設けられている。この画素回路 210 は、例えば、半導体層 200S の表面側（配線層 200T 側）に設けられている。撮像装置 1 では、第 1 基板 100 の表面側（配線層 100T 側）に第 2 基板 200 の裏面側（半導体層 200S 側）が向かうようにして、第 2 基板 200 が第 1 基板 100 に貼り合わされている。つまり、第 2 基板 200 は、第 1 基板 100 に、フェイストウバックで貼り合わされている。

【0071】

図 8～図 12 は、第 2 基板 200 の平面構成の一例を模式的に表している。図 8 には、半導体層 200S の表面近傍に設けられた画素回路 210 の構成を表す。図 9 は、配線層 200T（具体的には後述の第 1 配線層 W1）と、配線層 200T に接続された半導体層 200S および第 1 基板 100 の各部の構成を模式的に表している。図 10～図 12 は、配線層 200T の平面構成の一例を表している。以下、図 6 とともに、図 8～図 12 を用いて第 2 基板 200 の構成について説明する。図 8 および図 9 ではフォトダイオード PD の外形（画素分離部 117 とフォトダイオード PD との境界）を破線で表し、画素回路 210 を構成する各トランジスタのゲート電極に重なる部分の半導体層 200S と素子分離領域 213 または絶縁領域 212 との境界を点線で表す。増幅トランジスタ AMP のゲート電極に重なる部分では、チャネル幅方向の一方に、半導体層 200S と素子分離領域 213 との境界、および素子分離領域 213 と絶縁領域 212 との境界が設けられている。

【0072】

第 2 基板 200 には、半導体層 200S を分断する絶縁領域 212 と、半導体層 200S の厚み方向の一部に設けられた素子分離領域 213 とが設けられている（図 6）。例えば、H 方向に隣り合う 2 つの画素回路 210 の間に設けられた絶縁領域 212 に、この 2 つの画素回路 210 に接続された 2 つの画素共有ユニット 539 の貫通電極 120E、121E および貫通電極 TGV（貫通電極 TGV1、TGV2、TGV3、TGV4）が配置されている（図 9）。ここでは、貫通電極 120E が、本開示の「貫通電極」の一具体例に対応する。

【0073】

絶縁領域 212 は、半導体層 200S の厚みと略同じ厚みを有している（図 6）。半導体層 200S は、この絶縁領域 212 により分断されている。この絶縁領域 212 に、貫通電極 120E、121E および貫通電極 TGV が配置されている。絶縁領域 212 は、例えば酸化シリコンにより構成されている。

【0074】

貫通電極 120E、121E は、絶縁領域 212 を厚み方向に貫通して設けられている。貫通電極 120E、121E の上端は、配線層 200T の配線（後述の第 1 配線 W1、第 2 配線 W2、第 3 配線 W3、第 4 配線 W4）に接続されている。この貫通電極 120E、121E は、絶縁領域 212、接合膜 124、層間絶縁膜 123 およびパッシベーション膜 122 を貫通して設けられ、その下端はパッド部 120、121 に接続されている（図 6）。貫通電極 120E は、パッド部 120 と画素回路 210 とを電氣的に接続するためのものである。即ち、貫通電極 120E により、第 1 基板 100 のフローティングディフュージョン FD が第 2 基板 200 の画素回路 210 に電氣的に接続される。貫通電極 121E は、パッド部 121 と配線層 200T の基準電位線 VSS とを電氣的に接続するためのものである。即ち、貫通電極 121E により、第 1 基板 100 の VSS コンタクト領域 118 が第 2 基板 200 の基準電位線 VSS に電氣的に接続される。

【0075】

貫通電極 TGV は、絶縁領域 212 を厚み方向に貫通して設けられている。貫通電極 TGV の上端は、配線層 200T の配線に接続されている。この貫通電極 TGV は、絶縁領域 212、接合膜 124、層間絶縁膜 123、パッシベーション膜 122 および層間絶縁膜 119 を貫通して設けられ、その下端は転送ゲート TG に接続されている（図 6）。こ

のような貫通電極 TGV は、画素 541A, 541B, 541C, 541D 各々の転送ゲート TG (転送ゲート TG1, TG2, TG3, TG4) と、配線層 200T の配線 (行駆動信号線 542 の一部、具体的には、後述の図 11 の配線 TRG1, TRG2, TRG3, TRG4) とを電氣的に接続するためのものである。即ち、貫通電極 TGV により、第 1 基板 100 の転送ゲート TG が第 2 基板 200 の配線 TRG に電氣的に接続され、転送トランジスタ TR (転送トランジスタ TR1, TR2, TR3, TR4) 各々に駆動信号が送られるようになっている。

【0076】

絶縁領域 212 は、第 1 基板 100 と第 2 基板 200 とを電氣的に接続するための前記貫通電極 120E, 121E および貫通電極 TGV を、半導体層 200S と絶縁して設けるための領域である。例えば、H 方向に隣り合う 2 つの画素回路 210 (共有ユニット 539) の間に設けられた絶縁領域 212 に、この 2 つの画素回路 210 に接続された貫通電極 120E, 121E および貫通電極 TGV (貫通電極 TGV1, TGV2, TGV3, TGV4) が配置されている。絶縁領域 212 は、例えば、V 方向に延在して設けられている (図 8, 図 9)。ここでは、転送ゲート TG の水平部分 TGb の配置を工夫することにより、垂直部分 TGa の位置に比べて、貫通電極 TGV の H 方向の位置が貫通電極 120E, 121E の H 方向の位置に近づくように配置されている (図 7A, 図 9)。例えば、貫通電極 TGV は、H 方向において、貫通電極 120E, 120E と略同じ位置に配置されている。これにより、V 方向に延在する絶縁領域 212 に、貫通電極 120E, 121E および貫通電極 TGV をまとめて設けることができる。別の配置例として、垂直部分 TGa に重畳する領域のみに水平部分 TGb を設けることも考え得る。この場合には、垂直部分 TGa の略直上に貫通電極 TGV が形成され、例えば、各画素 541 の H 方向および V 方向の略中央部に貫通電極 TGV が配置される。このとき、貫通電極 TGV の H 方向の位置と貫通電極 120E, 121E の H 方向の位置とが大きくずれる。貫通電極 TGV および貫通電極 120E, 121E の周囲には、近接する半導体層 200S から電氣的に絶縁するため、例えば、絶縁領域 212 を設ける。貫通電極 TGV の H 方向の位置と貫通電極 120E, 121E の H 方向の位置とが大きく離れる場合には、貫通電極 120E, 121E, TGV 各々の周囲に絶縁領域 212 を独立して設けることが必要となる。これにより、半導体層 200S が細かく分断されることになる。これに比べ、V 方向に延在する絶縁領域 212 に、貫通電極 120E, 121E および貫通電極 TGV をまとめて配置するレイアウトは、半導体層 200S の H 方向の大きさを大きくすることができる。よって、半導体層 200S における半導体素子形成領域の面積を大きく確保することができる。これにより、増幅トランジスタ AMP のサイズを大きくし、例えば、相互コンダクタンス gm を向上させることが可能となる。これにより、RTS (Random Telegraph Signal) ノイズを抑えることができる。

【0077】

画素共有ユニット 539 は、図 4 を参照して説明したように、複数の画素 541 のそれぞれに設けられたフローティングディフュージョン FD の間を電氣的に接続し、これら複数の画素 541 が 1 つの画素回路 210 を共有する構造を有している。そして、前記フローティングディフュージョン FD 間の電氣的接続は、第 1 基板 100 に設けられたパッド部 120 によってなされている (図 6、図 7B)。第 1 基板 100 に設けられた電氣的接続部 (パッド部 120) と第 2 基板 200 に設けられた画素回路 210 は、1 つの貫通電極 120E を介して電氣的に接続されている。別の構造例として、フローティングディフュージョン FD 間の電氣的接続部を第 2 基板 200 に設けることも考え得る。この場合、画素共有ユニット 539 には、フローティングディフュージョン FD1, FD2, FD3, FD4 各々に接続される 4 つの貫通電極が設けられる。したがって、第 2 基板 200 において、半導体層 200S を貫通する貫通電極の数が増え、これら貫通電極の周囲を絶縁する絶縁領域 212 が大きくなる。これに比べ、第 1 基板 100 にパッド部 120 を設ける構造 (図 6, 図 7B) は、貫通電極の数を減らし、絶縁領域 212 を小さくすることができる。よって、半導体層 200S における半導体素子形成領域の面積を大きく確保する

10

20

30

40

50

ことができる。これにより、例えば、増幅トランジスタAMPのサイズを大きくし、ノイズを抑えることが可能となる。

【0078】

素子分離領域213は、半導体層200Sの表面側に設けられている。素子分離領域213は、STI (Shallow Trench Isolation) 構造を有している。この素子分離領域213では、半導体層200Sが厚み方向（第2基板200の主面に対して垂直方向）に掘り込まれており、この掘り込みに絶縁膜が埋め込まれている。この絶縁膜は、例えば、酸化シリコンにより構成されている。素子分離領域213は、画素回路210を構成する複数のトランジスタ間を、画素回路210のレイアウトに応じて素子分離するものである。素子分離領域213の下方（半導体層200Sの深部）には、半導体層200S（具体的には、ウェル領域211）が延在している。

10

【0079】

ここで、図7A、図7Bおよび図8を参照して、第1基板100での画素共有ユニット539の外形形状（基板平面方向の外形形状）と、第2基板200での画素共有ユニット539の外形形状との違いを説明する。

【0080】

撮像装置1では、第1基板100および第2基板200の両方にわたり、画素共有ユニット539が設けられている。例えば、第1基板100に設けられた画素共有ユニット539の外形形状と、第2基板200に設けられた画素共有ユニット539の外形形状とは互いに異なっている。

20

【0081】

図7A、図7Bでは、画素541A、541B、541C、541Dの外形線を一点鎖線で表し、画素共有ユニット539の外形形状を太線で表している。例えば、第1基板100の画素共有ユニット539は、H方向に隣接して配置された2つの画素541（画素541A、541B）と、これにV方向に隣接して配置された2つの画素541（画素541C、541D）により構成されている。即ち、第1基板100の画素共有ユニット539は、隣接する2行×2列の4つの画素541により構成されており、第1基板100の画素共有ユニット539は、略正方形の外形形状を有している。画素アレイ部540では、このような画素共有ユニット539が、H方向へ2画素ピッチ（画素541の2個分に相当するピッチ）、かつ、V方向へ2画素ピッチ（画素541の2個分に相当するピッチ）、で隣接して配列されている。

30

【0082】

図8および図9では、画素541A、541B、541C、541Dの外形線を一点鎖線で表し、画素共有ユニット539の外形形状を太線で表している。例えば、第2基板200の画素共有ユニット539の外形形状は、H方向において第1基板100の画素共有ユニット539よりも小さく、V方向において第1基板100の画素共有ユニット539よりも大きくなっている。例えば、第2基板200の画素共有ユニット539は、H方向には画素1個分に相当する大きさ（領域）で形成され、V方向には、画素4個分に相当する大きさで形成されている。即ち、第2基板200の画素共有ユニット539は、隣接する1行×4列に配列された画素に相当する大きさで形成されており、第2基板200の画素共有ユニット539は、略長方形の外形形状を有している。

40

【0083】

例えば、各画素回路210では、選択トランジスタSEL、増幅トランジスタAMP、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGがこの順にV方向に並んで配置されている（図8）。各画素回路210の外形形状を、上記のように、略長形状に設けることにより、一方向（図8ではV方向）に4つのトランジスタ（選択トランジスタSEL、増幅トランジスタAMP、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDG）を並べて配置することができる。これにより、増幅トランジスタAMPのドレインと、リセットトランジスタRSTのドレインとを一の拡散領域（電源線VDDに接続される拡散領域）で共有することができる。例えば、各画素回

50

路 210 の形成領域を略正方形に設けることも可能である（後述の図 21 参照）。この場合には、一方向に沿って 2 つのトランジスタが配置され、増幅トランジスタ AMP のドレインと、リセットトランジスタ RST のドレインとを一の拡散領域で共有することが困難となる。よって、画素回路 210 の形成領域を略長方形に設けることにより、4 つのトランジスタを近接して配置しやすくなり、画素回路 210 の形成領域を小さくすることができる。即ち、画素の微細化を行うことができる。また、画素回路 210 の形成領域を小さくすることが不要であるときには、増幅トランジスタ AMP の形成領域を大きくし、ノイズを抑えることが可能となる。

【0084】

例えば、半導体層 200S の表面近傍には、選択トランジスタ SEL、増幅トランジスタ AMP、リセットトランジスタ RST および FD 変換ゲイン切替トランジスタ FDG に加えて、基準電位線 VSS に接続される VSS コンタクト領域 218 が設けられている。VSS コンタクト領域 218 は、例えば、p 型半導体領域により構成されている。VSS コンタクト領域 218 は、配線層 200T の配線および貫通電極 121E を介して第 1 基板 100（半導体層 100S）の VSS コンタクト領域 118 に電氣的に接続されている。この VSS コンタクト領域 218 は、例えば、素子分離領域 213 を間にして、FD 変換ゲイン切替トランジスタ FDG のソースと隣り合う位置に設けられている（図 8）。

【0085】

次に、図 7B および図 8 を参照して、第 1 基板 100 に設けられた画素共有ユニット 539 と第 2 基板 200 に設けられた画素共有ユニット 539 との位置関係を説明する。例えば、第 1 基板 100 の V 方向に並ぶ 2 つの画素共有ユニット 539 のうち、一方（例えば図 7B の紙面上側）の画素共有ユニット 539 は、第 2 基板 200 の H 方向に並ぶ 2 つの画素共有ユニット 539 のうちの一方（例えば、図 8 の紙面左側）の画素共有ユニット 539 に接続されている。例えば、第 1 基板 100 の V 方向に並ぶ 2 つの画素共有ユニット 539 のうち、他方（例えば図 7B の紙面下側）の画素共有ユニット 539 は、第 2 基板 200 の H 方向に並ぶ 2 つの画素共有ユニット 539 のうちの他方（例えば、図 8 の紙面右側）の画素共有ユニット 539 に接続されている。

【0086】

例えば、第 2 基板 200 の H 方向に並ぶ 2 つの画素共有ユニット 539 では、一方の画素共有ユニット 539 の内部レイアウト（トランジスタ等の配置）が、他方の画素共有ユニット 539 の内部レイアウトを V 方向および H 方向に反転させたレイアウトに略等しくなっている。以下、このレイアウトによって得られる効果を説明する。

【0087】

第 1 基板 100 の V 方向に並ぶ 2 つの画素共有ユニット 539 では、各々のパッド部 120 が、画素共有ユニット 539 の外形形状の中央部、即ち、画素共有ユニット 539 の V 方向および H 方向の中央部に配置される（図 7B）。一方、第 2 基板 200 の画素共有ユニット 539 は、上記のように、V 方向に長い略長方形の外形形状を有しているので、例えば、パッド部 120 に接続される増幅トランジスタ AMP は、画素共有ユニット 539 の V 方向の中央から紙面上方にずれた位置に配置されている。例えば、第 2 基板 200 の H 方向に並ぶ 2 つの画素共有ユニット 539 の内部レイアウトが同じであるとき、一方の画素共有ユニット 539 の増幅トランジスタ AMP と、パッド部 120（例えば、図 7 の紙面上側の画素共有ユニット 539 のパッド部 120）との距離は比較的短くなる。しかし、他方の画素共有ユニット 539 の増幅トランジスタ AMP と、パッド部 120（例えば、図 7 の紙面下側の画素共有ユニット 539 のパッド部 120）との距離が長くなる。このため、この増幅トランジスタ AMP とパッド部 120 との接続に要する配線の面積が大きくなり、画素共有ユニット 539 の配線レイアウトが複雑になるおそれがある。このことは、撮像装置 1 の微細化に影響を及ぼす可能性がある。

【0088】

これに対して、第 2 基板 200 の H 方向に並ぶ 2 つの画素共有ユニット 539 で、互いの内部レイアウトを少なくとも V 方向に反転させることにより、これら 2 つの画素共有ユ

10

20

30

40

50

ニット539の両方の増幅トランジスタAMPとパッド部120との距離を短くすることができる。したがって、第2基板200のH方向に並ぶ2つの画素共有ユニット539の内部レイアウトを同じにした構成と比べて、撮像装置1の微細化を行いやすくなる。なお、第2基板200の複数の画素共有ユニット539各々の平面レイアウトは、図8に記載の範囲では左右対称であるが、後述する図9に記載の第1配線層W1のレイアウトまで含めると、左右非対称のものとなる。

【0089】

また、第2基板200のH方向に並ぶ2つの画素共有ユニット539の内部レイアウトは、互いに、H方向にも反転されていることが好ましい。以下、この理由について説明する。図9に示したように、第2基板200のH方向に並ぶ2つの画素共有ユニット539はそれぞれ、第1基板100のパッド部120、121に接続されている。例えば、第2基板200のH方向に並ぶ2つの画素共有ユニット539のH方向の中央部（H方向に並ぶ2つの画素共有ユニット539の間）にパッド部120、121が配置されている。したがって、第2基板200のH方向に並ぶ2つの画素共有ユニット539の内部レイアウトを、互いに、H方向にも反転させることにより、第2基板200の複数の画素共有ユニット539それぞれとパッド部120、121との距離を小さくすることができる。即ち、撮像装置1の微細化を更に行いやすくなる。

【0090】

また、第2基板200の画素共有ユニット539の外形線の位置は、第1基板100の画素共有ユニット539のいずれかの外形線の位置に揃っていてもよい。例えば、第2基板200のH方向に並ぶ2つの画素共有ユニット539のうち、一方（例えば図9の紙面左側）の画素共有ユニット539では、V方向の一方（例えば図9の紙面上側）の外形線が、対応する第1基板100の画素共有ユニット539（例えば図7Bの紙面上側）のV方向の一方の外形線の外側に配置されている。また、第2基板200のH方向に並ぶ2つの画素共有ユニット539のうち、他方（例えば図9の紙面右側）の画素共有ユニット539では、V方向の他方（例えば図9の紙面下側）の外形線が、対応する第1基板100の画素共有ユニット539（例えば図7Bの紙面下側）のV方向の他方の外形線の外側に配置されている。このように、第2基板200の画素共有ユニット539と、第1基板100の画素共有ユニット539とを互いに配置することにより、増幅トランジスタAMPとパッド部120との距離を短くすることが可能となる。したがって、撮像装置1の微細化を行いやすくなる。

【0091】

また、第2基板200の複数の画素共有ユニット539の間で、互いの外形線の位置は揃っていてもよい。例えば、第2基板200のH方向に並ぶ2つの画素共有ユニット539は、V方向の外形線の位置がずれて配置されている。これにより、増幅トランジスタAMPとパッド部120との距離を短くすることが可能となる。したがって、撮像装置1の微細化を行いやすくなる。

【0092】

図7Bおよび図9を参照して、画素アレイ部540での画素共有ユニット539の繰り返し配置について説明する。第1基板100の画素共有ユニット539は、H方向に2つ分の画素541の大きさ、およびV方向に2つ分の画素541の大きさを有している（図7B）。例えば、第1基板100の画素アレイ部540では、この4つの画素541に相当する大きさの画素共有ユニット539が、H方向へ2画素ピッチ（画素541の2つ分に相当するピッチ）、かつ、V方向へ2画素ピッチ（画素541の2つ分に相当するピッチ）、で隣接して繰り返し配列されている。あるいは、第1基板100の画素アレイ部540に、画素共有ユニット539がV方向に2つ隣接して配置された一対の画素共有ユニット539が設けられていてもよい。第1基板100の画素アレイ部540では、例えば、この一対の画素共有ユニット539が、H方向へ2画素ピッチ（画素541の2つ分に相当するピッチ）、かつ、V方向へ4画素ピッチ（画素541の4つ分に相当するピッチ）、で隣接して繰り返し配列している。第2基板200の画素共有ユニット539は、H

方向に1つ分の画素541の大きさ、およびV方向に4つ分の画素541の大きさを有している(図9)。例えば、第2基板200の画素アレイ部540には、この4つの画素541に相当する大きさの画素共有ユニット539を2つ含む、一対の画素共有ユニット539が設けられている。この画素共有ユニット539は、H方向に隣接して配置され、かつ、V方向にはずらして配置されている。第2基板200の画素アレイ部540では、例えば、この一対の画素共有ユニット539が、H方向へ2画素ピッチ(画素541の2個分に相当するピッチ)、かつ、V方向へ4画素ピッチ(画素541の4個分に相当するピッチ)、で隙間なく隣接して繰り返し配列されている。このような画素共有ユニット539の繰り返し配置により、画素共有ユニット539を隙間なく配置することが可能となる。したがって、撮像装置1の微細化を行いやすくなる。

10

【0093】

増幅トランジスタAMPは、例えば、フィン(Fin)型等の三次元構造を有していることが好ましい(図6)。例えば、Fin型の増幅トランジスタAMPは、半導体層200Sの一部により構成されたフィン(後述の図13のフィン230)と、このフィンに対向する複数の平面を有するゲート電極(後述の図13のゲート電極231)と、ゲート電極とフィンとの間に設けられたゲート絶縁膜とを有している。三次元構造のトランジスタは、チャンネルに対向するゲート電極の平面が複数設けられているもの、あるいは、チャンネルの周囲にゲート電極の曲面が設けられているものをいう。このような三次元構造のトランジスタでは、平面型のトランジスタと同じフットプリント(図8での占有面積)を有する時、平面型のトランジスタに比べて実効のゲート幅を大きくすることができる。したがって、三次元構造のトランジスタには、多くの電流が流れ、相互コンダクタンスgmが高くなる。これにより三次元構造のトランジスタでは、平面型のトランジスタに比べて、動作速度を向上させることが可能となる。加えて、RN(Random Noise)を低減することも可能である。また、三次元構造のトランジスタは、平面型のトランジスタに比べて、ゲート面積が大きくなるので、RTSノイズが小さくなる。ここでは、増幅トランジスタAMPが、本開示の画素トランジスタの一具体例に対応する。増幅トランジスタAMPのより具体的な構造については、後述する。

20

【0094】

このような三次元構造のトランジスタを、少なくとも増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGのいずれか一つに用いることにより、トランジスタ特性が向上し、例えば、画質を向上させることができる。特に、増幅トランジスタAMPを三次元構造のトランジスタにより構成することにより、ノイズが効果的に低減され、画質を向上させることが可能となる。また、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGの全てを三次元構造のトランジスタを用いて構成するようにしてもよい。このとき、画素回路210の製造が容易となる。

30

【0095】

配線層200Tは、例えば、パッシベーション膜221、層間絶縁膜222および複数の配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)を含んでいる。パッシベーション膜221は、例えば、半導体層200Sの表面に接しており、半導体層200Sの表面全面を覆っている。このパッシベーション膜221は、選択トランジスタSEL、増幅トランジスタAMP、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDG各々のゲート電極を覆っている。層間絶縁膜222は、パッシベーション膜221と第3基板300との間に設けられている。この層間絶縁膜222により、複数の配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)が分離されている。層間絶縁膜222は、例えば、酸化シリコンにより構成されている。

40

【0096】

配線層200Tには、例えば、半導体層200S側から、第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4およびコンタクト部201、202がこの順に設

50

けられ、これらが互いに層間絶縁膜 2 2 2 により絶縁されている。層間絶縁膜 2 2 2 には、第 1 配線層 W 1、第 2 配線層 W 2、第 3 配線層 W 3 または第 4 配線層 W 4 と、これらの下層とを接続する接続部が複数設けられている。接続部は、層間絶縁膜 2 2 2 に設けた接続孔に、導電材料を埋設した部分である。例えば、層間絶縁膜 2 2 2 には、第 1 配線層 W 1 と半導体層 2 0 0 S の V S S コンタクト領域 2 1 8 とを接続する接続部 2 1 8 V が設けられている。例えば、このような第 2 基板 2 0 0 の素子同士を接続する接続部の孔径は、貫通電極 1 2 0 E、1 2 1 E および貫通電極 T G V の孔径と異なっている。具体的には、第 2 基板 2 0 0 の素子同士を接続する接続孔の孔径は、貫通電極 1 2 0 E、1 2 1 E および貫通電極 T G V の孔径よりも小さくなっていることが好ましい。以下、この理由について説明する。配線層 2 0 0 T 内に設けられた接続部（接続部 2 1 8 V 等）の深さは、貫通電極 1 2 0 E、1 2 1 E および貫通電極 T G V の深さよりも小さい。このため接続部は、貫通電極 1 2 0 E、1 2 1 E および貫通電極 T G V に比べて、容易に接続孔へ導電材を埋めることができる。この接続部の孔径を、貫通電極 1 2 0 E、1 2 1 E および貫通電極 T G V の孔径よりも小さくすることにより、撮像装置 1 の微細化を行いやすくなる。

【0097】

例えば、第 1 配線層 W 1 により、貫通電極 1 2 0 E と増幅トランジスタ AMP のゲートおよび F D 変換ゲイン切替トランジスタ F D G のソース（具体的には F D 変換ゲイン切替トランジスタ F D G のソースに達する接続孔）とが接続されている。第 1 配線層 W 1 は、例えば、貫通電極 1 2 1 E と接続部 2 1 8 V とを接続しており、これにより、半導体層 2 0 0 S の V S S コンタクト領域 2 1 8 と半導体層 1 0 0 S の V S S コンタクト領域 1 1 8 とが電氣的に接続される。

【0098】

次に、図 1 0 ～図 1 2 を用いて、配線層 2 0 0 T の平面構成について説明する。図 1 0 は、第 1 配線層 W 1 および第 2 配線層 W 2 の平面構成の一例を表したものである。図 1 1 は、第 2 配線層 W 2 および第 3 配線層 W 3 の平面構成の一例を表したものである。図 1 2 は、第 3 配線層 W 3 および第 4 配線層 W 4 の平面構成の一例を表したものである。

【0099】

例えば、第 3 配線層 W 3 は、H 方向（行方向）に延在する配線 T R G 1、T R G 2、T R G 3、T R G 4、S E L L、R S T L、F D G L を含んでいる（図 1 1）。これらの配線は、図 4 を参照して説明した複数の行駆動信号線 5 4 2 に該当する。配線 T R G 1、T R G 2、T R G 3、T R G 4 は各々、転送ゲート T G 1、T G 2、T G 3、T G 4 に駆動信号を送るためのものである。配線 T R G 1、T R G 2、T R G 3、T R G 4 は各々、第 2 配線層 W 2、第 1 配線層 W 1 および貫通電極 1 2 0 E を介して転送ゲート T G 1、T G 2、T G 3、T G 4 に接続されている。配線 S E L L は選択トランジスタ S E L のゲートに、配線 R S T L はリセットトランジスタ R S T のゲートに、配線 F D G L は、F D 変換ゲイン切替トランジスタ F D G のゲートに各々駆動信号を送るためのものである。配線 S E L L、R S T L、F D G L は各々、第 2 配線層 W 2、第 1 配線層 W 1 および接続部を介して、選択トランジスタ S E L、リセットトランジスタ R S T、F D 変換ゲイン切替トランジスタ F D G 各々のゲートに接続されている。

【0100】

例えば、第 4 配線層 W 4 は、V 方向（列方向）に延在する電源線 V D D、基準電位線 V S S および垂直信号線 5 4 3 を含んでいる（図 1 2）。電源線 V D D は、第 3 配線層 W 3、第 2 配線層 W 2、第 1 配線層 W 1 および接続部を介して増幅トランジスタ AMP のドレインおよびリセットトランジスタ R S T のドレインに接続されている。基準電位線 V S S は、第 3 配線層 W 3、第 2 配線層 W 2、第 1 配線層 W 1 および接続部 2 1 8 V を介して V S S コンタクト領域 2 1 8 に接続されている。また、基準電位線 V S S は、第 3 配線層 W 3、第 2 配線層 W 2、第 1 配線層 W 1、貫通電極 1 2 1 E およびパッド部 1 2 1 を介して第 1 基板 1 0 0 の V S S コンタクト領域 1 1 8 に接続されている。垂直信号線 5 4 3 は、第 3 配線層 W 3、第 2 配線層 W 2、第 1 配線層 W 1 および接続部を介して選択トランジスタ S E L のソース（V o u t）に接続されている。

【0101】

コンタクト部201, 202は、平面視で画素アレイ部540に重なる位置に設けられていてもよく（例えば、図3）、あるいは、画素アレイ部540の外側の周辺部540Bに設けられていてもよい（例えば、図6）。コンタクト部201, 202は、第2基板200の表面（配線層200T側の面）に設けられている。コンタクト部201, 202は、例えば、Cu（銅）およびAl（アルミニウム）などの金属により構成されている。コンタクト部201, 202は、配線層200Tの表面（第3基板300側の面）に露出している。コンタクト部201, 202は、第2基板200と第3基板300との電気的な接続および、第2基板200と第3基板300との貼り合わせに用いられる。

【0102】

図6には、第2基板200の周辺部540Bに周辺回路を設けた例を図示した。この周辺回路は、行駆動部520の一部または列信号処理部550の一部等を含んでいてもよい。また、図3に記載のように、第2基板200の周辺部540Bには周辺回路を配置せず、接続孔部H1, H2を画素アレイ部540の近傍に配置するようにしてもよい。

【0103】

第3基板300は、例えば、第2基板200側から配線層300Tおよび半導体層300Sをこの順に有している。例えば、半導体層300Sの表面は、第2基板200側に設けられている。半導体層300Sは、シリコン基板で構成されている。この半導体層300Sの表面側の部分には、回路が設けられている。具体的には、半導体層300Sの表面側の部分には、例えば、入力部510A、行駆動部520、タイミング制御部530、列信号処理部550、画像信号処理部560および出力部510Bのうちの少なくとも一部が設けられている。半導体層300Sと第2基板200との間に設けられた配線層300Tは、例えば、層間絶縁膜と、この層間絶縁膜により分離された複数の配線層と、コンタクト部301, 302とを含んでいる。コンタクト部301, 302は、配線層300Tの表面（第2基板200側の面）に露出されており、コンタクト部301は第2基板200のコンタクト部201に、コンタクト部302は第2基板200のコンタクト部202に各々接している。コンタクト部301, 302は、半導体層300Sに形成された回路（例えば、入力部510A、行駆動部520、タイミング制御部530、列信号処理部550、画像信号処理部560および出力部510Bの少なくともいずれか）に電気的に接続されている。コンタクト部301, 302は、例えば、Cu（銅）およびアルミニウム（Al）等の金属により構成されている。例えば、接続孔部H1を介して外部端子TAが入力部510Aに接続されており、接続孔部H2を介して外部端子TBが出力部510Bに接続されている。

【0104】

[増幅トランジスタAMPの具体的な構成]

ここで、増幅トランジスタAMPの具体的な構成について説明する。

【0105】

図13は、図6に示した増幅トランジスタAMPおよび貫通電極120Eの近傍を表す断面模式図であり、図14は、図13に示した増幅トランジスタAMPを拡大して表している。例えば、増幅トランジスタAMPは、他の画素回路210を構成するトランジスタよりも貫通電極120Eに近い位置に設けられている。この増幅トランジスタAMPは、例えば、フィン230およびゲート電極231を有している。フィン230とゲート電極231との間には、ゲート絶縁膜（図示せず）が設けられている。フィン230は、半導体層200Sの一部を掘り込むことにより形成されたものである。増幅トランジスタAMPは、例えば、チャネル長方向（図13の紙面垂直方向）に延在する2つのフィン230を有している。2つのフィン230は、例えば、絶縁膜232を間にして、互いに離間して設けられている。絶縁膜232は、例えば酸化シリコン（SiO）等により構成されている。増幅トランジスタAMPは、1のフィン230を有していてもよく、あるいは3つ以上のフィン230を有していてもよい。

【0106】

ゲート電極 231 は、例えば、半導体層 200S から配線層 200T にかけて設けられている。ゲート電極 231 の厚み方向の一部（図 13 の紙面下部）は、半導体層 200S（または絶縁領域 212）に埋め込まれ、他の部分（図 13 の紙面上部）は、配線層 200T に設けられている。ゲート電極 231 は、2つのフィン 230 の間にも埋め込まれている。ゲート電極 231 と接合膜 124 との間には、絶縁領域 212 または絶縁膜 232 が設けられている。このようなゲート電極 231 は、フィン 230 の複数の面に対向している。換言すれば、ゲート電極 231 は、複数の方向でフィン 230 に対向している。具体的には、2つのフィン 230 各々のチャンネル長方向に延びる一对の側面と、この一对の側面をつなぐフィン 230 の上面とに対向してゲート電極 231 が設けられている。例えば、フィン 230 の一对の側面の上部がゲート電極 231 に対向し、フィン 230 の一对の側面の下部は絶縁膜 232 または絶縁領域 212 に覆われている。2つのフィン 230 各々の下面は、例えば、接合膜 124 に接している。

10

【0107】

ゲート電極 231 は、フィン 230 の上面（半導体層 200S の表面）に対向する表面 231f と、この表面 231f に交差する方向に設けられた一对の側面 231s とを有している（図 14）。例えば、表面 231f は、第 1 基板 100 に略平行であり、配線層 200T に設けられている。一对の側面 231s は、例えば、表面 231f に略垂直に設けられている。この一对の側面 231s は、2つのフィン 230 を間にして互いに対向している。本実施の形態では、このゲート電極 231 が、貫通電極 120E に接するように設けられている。詳細は後述するが、これにより、ゲート電極 231 を貫通電極 120E から離間して配置した場合に比べて、ゲート電極 231 の面積、具体的には、チャンネル幅方向の面積が大きくなる。

20

【0108】

ゲート電極 231 の一对の側面 231s の一方が、貫通電極 120E に隣接して設けられ、貫通電極 120E の一部に接している。より、具体的には、貫通電極 120E のうち、配線層 200T および半導体層 200S（絶縁領域 212）に設けられた部分の一部が、ゲート電極 231 の側面 231s に接している。一方の側面 231s は、例えば、ゲート電極 231 の厚み方向にわたって、貫通電極 120E に接している。他方の側面 231s の厚み方向の一部はパッシベーション膜 221 に覆われており、他の部分は絶縁領域 212 に埋め込まれている。表面 231f は、例えば、パッシベーション膜 221 に覆われている。

30

【0109】

ここで、撮像装置 1 の特徴について説明する。

【0110】

一般に、撮像装置は、主な構成として、フォトダイオードと画素回路とからなる。ここで、フォトダイオードの面積を大きくすると光電変換の結果発生する電荷が増加し、その結果画素信号のシグナル／ノイズ比（S／N 比）が改善し、撮像装置はよりよい画像データ（画像情報）を出力することができる。一方、画素回路に含まれるトランジスタのサイズ（特に増幅トランジスタのサイズ）を大きくすると、画素回路で発生するノイズが減少し、その結果撮像信号の S／N 比が改善し、撮像装置はよりよい画像データ（画像情報）を出力することができる。

40

【0111】

しかし、フォトダイオードと画素回路とを同一の半導体基板に設けた撮像装置において、半導体基板の限られた面積の中でフォトダイオードの面積を大きくすると、画素回路に備わるトランジスタのサイズが小さくなってしまうことが考えられる。また、画素回路に備わるトランジスタのサイズを大きくすると、フォトダイオードの面積が小さくなってしまうことが考えられる。

【0112】

これらの課題を解決するために、例えば、本実施の形態の撮像装置 1 は、複数の画素 541 が 1 つの画素回路 210 を共有し、かつ、共有した画素回路 210 をフォトダイオード

50

ドＰＤに重畳して配置する構造を用いる。これにより、半導体基板の限られた面積の中で、フォトダイオードＰＤの面積をできるだけ大きくすることと、画素回路２１０に備わるトランジスタのサイズをできるだけ大きくすることとを実現することができる。これにより、画素信号のＳ／Ｎ比を改善し、撮像装置１がよりよい画像データ（画像情報）を出力することができる。

【０１１３】

複数の画素５４１が１つの画素回路２１０を共有し、これをフォトダイオードＰＤに重畳して配置する構造を実現する際、複数の画素５４１各々のフローティングディフュージョンＦＤから１つの画素回路２１０に接続される複数の配線が延在する。画素回路２１０を形成する第２基板２００の面積を大きく確保するためには、例えばこれらの延在する複数の配線の間を相互に接続し、１つにまとめる接続配線を形成することができる。ＶＳＳコンタクト領域１１８から延在する複数の配線についても同様に、延在する複数の配線の間を相互に接続し、１つにまとめる接続配線を形成することができる。

10

【０１１４】

例えば、複数の画素５４１各々のフローティングディフュージョンＦＤから延在する複数の配線の間を相互に接続する接続配線を、画素回路２１０を形成する第２基板２００において形成すると、画素回路２１０に含まれるトランジスタを形成する面積が小さくなってしまふことが考えられる。同様に、複数の画素５４１各々のＶＳＳコンタクト領域１１８から延在する複数の配線の間を相互接続して１つにまとめる接続配線を、画素回路２１０を形成する第２基板２００に形成すると、これにより画素回路２１０に含まれるトランジスタを形成する面積が小さくなってしまふことが考えられる。

20

【０１１５】

これらの課題を解決するために、例えば本実施の形態の撮像装置１は、複数の画素５４１が１つの画素回路２１０を共有し、かつ、共有した画素回路２１０をフォトダイオードＰＤに重畳して配置する構造であって、前記複数の画素５４１各々のフローティングディフュージョンＦＤの間を相互に接続して１つにまとめる接続配線と、前記複数の画素５４１のそれぞれに備わるＶＳＳコンタクト領域１１８の間を相互に接続して１つにまとめる接続配線と、を第１基板１００に設けた構造を備えることができる。

【０１１６】

ここで、前記複数の画素５４１各々のフローティングディフュージョンＦＤの間を相互に接続して１つにまとめる接続配線と、前記複数の画素５４１各々のＶＳＳコンタクト領域１１８の間を相互に接続して１つにまとめる接続配線とを、第１基板１００に設けるための製造方法として、先に述べた第２の製造方法を用いると、例えば、第１基板１００および第２基板２００各々の構成に応じて適切なプロセスを用いて製造することができ、高品質、高性能な撮像装置を製造することができる。また、容易なプロセスで第１基板１００および第２基板２００の接続配線を形成することができる。具体的には、上記第２の製造方法を用いる場合、第１基板１００と第２基板２００の貼り合せ境界面となる第１基板１００の表面と第２基板２００の表面とに、フローティングディフュージョンＦＤに接続する電極とＶＳＳコンタクト領域１１８に接続する電極とをそれぞれ設ける。さらに、第１基板１００と第２基板２００を貼り合せた際にこれら２つの基板表面に設けた電極間で位置ずれが発生してもこれら２つの基板表面に形成した電極同士が接触するように、これら２つの基板表面に形成する電極を大きくすることが好ましい。この場合、撮像装置１に備わる各画素の限られた面積の中に上記電極を配置することが難しくなってしまうことが考えられる。

30

40

【０１１７】

第１基板１００と第２基板２００の貼り合せ境界面に大きな電極が必要となる課題を解決するために、例えば本実施の形態の撮像装置１は、複数の画素５４１が１つの画素回路２１０を共有し、かつ、共有した画素回路２１０をフォトダイオードＰＤに重畳して配置する製造方法として、先に述べた第１の製造方法を用いることができる。これにより、第１基板１００および第２基板２００各々に形成される素子同士の位置合わせが容易になり

50

、高品質、高性能な撮像装置を製造することができる。さらに、この製造方法を用いることによって生じる固有の構造を備えることができる。すなわち、第1基板100の半導体層100Sと配線層100Tと第2基板200の半導体層200Sと配線層200Tをこの順で積層した構造、言い換えれば、第1基板100と第2基板200をフェイストウバックで積層した構造を備え、かつ、第2基板200の半導体層200Sの表面側から、半導体層200Sと第1基板100の配線層100Tを貫通して、第1基板100の半導体層100Sの表面へと至る、貫通電極120E，121Eを備える。

【0118】

前記複数の画素541各々のフローティングディフュージョンFDの間を相互に接続して1つにまとめる接続配線と、前記複数の画素541各々のVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、を第1基板100に設けた構造において、この構造と第2基板200とを前記第1の製造方法を用いて積層し第2基板200に画素回路210を形成すると、画素回路210に備わる能動素子を形成する際に必要となる加熱処理の影響が、第1基板100に形成した上記接続配線に及んでしまう可能性がある。

10

【0119】

そこで、上記接続配線に対して、上記能動素子を形成する際の加熱処理の影響が及んでしまう課題を解決するために、本実施の形態の撮像装置1は、前記複数の画素541各々のフローティングディフュージョンFD同士を相互に接続して1つにまとめる接続配線と、前記複数の画素541各々のVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、に耐熱性の高い導電材料を用いることが望ましい。具体的には、耐熱性の高い導電材料は、第2基板200の配線層200Tに含まれる配線材の少なくとも一部よりも、融点の高い材料を用いることができる。

20

【0120】

このように、例えば本実施の形態の撮像装置1は、(1)第1基板100と第2基板200をフェイストウバックで積層した構造(具体的には、第1基板100の半導体層100Sと配線層100Tと第2基板200の半導体層200Sと配線層200Tをこの順で積層する構造)と、(2)第2基板200の半導体層200Sの表面側から、半導体層200Sと第1基板100の配線層100Tを貫通して、第1基板100の半導体層100Sの表面へと至る、貫通電極120E，121Eを設けた構造と、(3)複数の画素541のそれぞれに備わるフローティングディフュージョンFDの間を相互に接続して1つにまとめる接続配線と、複数の画素541のそれぞれに備わるVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、を耐熱性の高い導電材料で形成した構造と、を備えることで、第1基板100と第2基板200との界面に大きな電極を備えることなく、第1基板100に、複数の画素541のそれぞれに備わるフローティングディフュージョンFDの間を相互に接続して1つにまとめる接続配線と、複数の画素541のそれぞれに備わるVSSコンタクト領域118の間を相互に接続して1つにまとめる接続配線と、を設けることを可能としている。

30

【0121】

[撮像装置1の動作]

40

次に、図15および図16を用いて撮像装置1の動作について説明する。図15および図16は、図3に各信号の経路を表す矢印を追記したものである。図15は、外部から撮像装置1に入力される入力信号と、電源電位および基準電位の経路を矢印で表したものである。図16は、撮像装置1から外部に出力される画素信号の信号経路を矢印で表している。例えば、入力部510Aを介して撮像装置1に入力された入力信号(例えば、画素クロックおよび同期信号)は、第3基板300の行駆動部520へ伝送され、行駆動部520で行駆動信号が作り出される。この行駆動信号は、コンタクト部301，201を介して第2基板200に送られる。更に、この行駆動信号は、配線層200T内の行駆動信号線542を介して、画素アレイ部540の画素共有ユニット539各々に到達する。第2基板200の画素共有ユニット539に到達した行駆動信号のうち、転送ゲートTG以外

50

の駆動信号は画素回路210に入力されて、画素回路210に含まれる各トランジスタが駆動される。転送ゲートTGの駆動信号は貫通電極TGVを介して第1基板100の転送ゲートTG1, TG2, TG3, TG4に入力され、画素541A, 541B, 541C, 541Dが駆動される(図15)。また、撮像装置1の外部から、第3基板300の入力部510A(入力端子511)に供給された電源電位および基準電位は、コンタクト部301, 201を介して第2基板200に送られ、配線層200T内の配線を介して、画素共有ユニット539各々の画素回路210に供給される。基準電位は、さらに貫通電極121Eを介して、第1基板100の画素541A, 541B, 541C, 541Dへも供給される。一方、第1基板100の画素541A, 541B, 541C, 541Dで光電変換された画素信号は、貫通電極120Eを介して画素共有ユニット539毎に第2基板200の画素回路210に送られる。この画素信号に基づく画素信号は、画素回路210から垂直信号線543およびコンタクト部202, 302を介して第3基板300に送られる。この画素信号は、第3基板300の列信号処理部550および画像信号処理部560で処理された後、出力部510Bを介して外部に出力される(図16)。

【0122】

[効果]

本実施の形態に係る撮像装置1では、増幅トランジスタAMPのゲート電極231が、貫通電極120Eの一部に接するように設けられているので、ゲート電極231を貫通電極120Eから離間して配置した場合に比べて、ゲート電極231の面積が大きくなる。以下、この作用効果について、比較例を用いて説明する。

【0123】

図17は、比較例に係る撮像装置(撮像装置1000)の要部の断面構成を表したものである。図17は、撮像装置1を表す図13に対応している。この撮像装置1000では、増幅トランジスタAMPのゲート電極231が、貫通電極120Eから離間して配置されている。増幅トランジスタAMPのチャンネルが形成される半導体層200Sは、貫通電極120Eから距離K1で離間して設けられ、この点において、撮像装置1000は、撮像装置1と異なっている。

【0124】

このような撮像装置1000では、増幅トランジスタAMPのサイズが、以下の距離K1, K2により制限を受ける。距離K1は、増幅トランジスタAMPのチャンネルが形成される半導体層200Sと貫通電極120Eとの間の距離である。距離K2は、フィン230の側面とゲート電極231の側面231sとの間の距離である。撮像装置1000では、ゲート電極231が、貫通電極120Eから離間して設けられているので、距離K2を大きくすることが困難となる。即ち、ゲート電極231の面積を十分に大きくすることが困難となり、相互コンダクタンスgm等のトランジスタ特性が低くなるおそれがある。これにより、RTS(Random Telegraph Signal)ノイズが大きくなり、このRTSノイズが、画素データに影響を及ぼすおそれがある。

【0125】

図18は、撮像装置1の増幅トランジスタAMPのサイズを規定する距離K1を表している。このように本実施の形態では、ゲート電極231の側面231sが、貫通電極120Eが接しているため、増幅トランジスタAMPのサイズが、フィン230とゲート電極231の側面231sとの距離(図17の距離K2)により制限を受けない。換言すれば、撮像装置1では、増幅トランジスタAMPのチャンネルが形成される半導体層200Sと貫通電極120Eとの間の距離K1のみを考慮すればよい。このため、ゲート電極231のチャンネル幅方向の面積を大きくすることができる。これにより、増幅トランジスタAMPのサイズを大きくし、相互コンダクタンスgm等のトランジスタ特性を向上させることができる。したがって、撮像装置1では、増幅トランジスタAMPから出力される信号のRTSノイズを低減することが可能となり、高品質な画素データを出力することができる。

【0126】

また、増幅トランジスタAMPを形成した後に、貫通電極120Eを形成することによ

り、ゲート電極 231 の側面 231 s に沿って、貫通電極 120 E をセルフアラインで形成することができる。このとき、増幅トランジスタ AMP と貫通電極 120 E との合わせずれが生じなくなる。したがって、設計の際のマージンを小さくすることができるので、ゲート電極 231 のチャネル幅方向の面積をより大きくしやすくなる。よって、この点においても増幅トランジスタ AMP のサイズを大きくすることができる。

【0127】

また、本実施の形態では、画素 541 A, 541 B, 541 C, 541 D (画素共有ユニット 539) と画素回路 210 とが互いに異なる基板 (第 1 基板 100 および第 2 基板 200) に設けられている。これにより、画素 541 A, 541 B, 541 C, 541 D および画素回路 210 を同一基板に形成した場合と比べて、画素 541 A, 541 B, 541 C, 541 D および画素回路 210 の面積を拡大することができる。その結果、光電変換により得られる画素信号の量を増大させ、かつ、画素回路 210 のトランジスタノイズを低減することが可能となる。これらにより、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 は、よりよい画素データ (画像情報) を出力することが可能となる。また、撮像装置 1 の微細化 (言い換えれば、画素サイズの縮小および撮像装置 1 の小型化) が可能となる。撮像装置 1 は、画素サイズの縮小により、単位面積当たりの画素数を増加させることができ、高画質の画像を出力することができる。

【0128】

また、撮像装置 1 では、第 1 基板 100 および第 2 基板 200 が、絶縁領域 212 に設けられた貫通電極 120 E, 121 E によって互いに電氣的に接続されている。例えば、第 1 基板 100 と第 2 基板 200 とをパッド電極同士の接合により接続する方法や、半導体層を貫通する貫通配線 (例えば TSV (Thorough Si Via)) により接続する方法も考え得る。このような方法に比べて、絶縁領域 212 に貫通電極 120 E, 121 E を設けることにより、第 1 基板 100 および第 2 基板 200 の接続に要する面積を小さくすることができる。これにより、画素サイズを縮小し、撮像装置 1 をより小型化することができる。また、1 画素あたりの面積の更なる微細化により、解像度をより高くすることができる。チップサイズの小型化が不要なときには、画素 541 A, 541 B, 541 C, 541 D および画素回路 210 の形成領域を拡大することができる。その結果、光電変換により得られる画素信号の量を増大させ、かつ、画素回路 210 に備わるトランジスタのノイズを低減することが可能となる。これにより、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ (画像情報) を出力することが可能となる。

【0129】

また、撮像装置 1 では、画素回路 210 と列信号処理部 550 および画像信号処理部 560 とが互いに異なる基板 (第 2 基板 200 および第 3 基板 300) に設けられている。これにより、画素回路 210 と列信号処理部 550 および画像信号処理部 560 とを同一基板に形成した場合と比べて、画素回路 210 の面積と、列信号処理部 550 および画像信号処理部 560 の面積とを拡大することができる。これにより、列信号処理部 550 で生じるノイズを低減したり、画像信号処理部 560 により高度な画像処理回路を搭載することが可能となる。よって、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ (画像情報) を出力することが可能となる。

【0130】

また、撮像装置 1 では、画素アレイ部 540 が、第 1 基板 100 および第 2 基板 200 に設けられ、かつ、列信号処理部 550 および画像信号処理部 560 が第 3 基板 300 に設けられている。また、第 2 基板 200 と第 3 基板 300 とを接続するコンタクト部 201, 202, 301, 302 は、画素アレイ部 540 の上方に形成されている。このため、コンタクト部 201, 202, 301, 302 は、画素アレイに備わる各種配線からレイアウト上の干渉を受けずに自由にレイアウトにすることが可能となる。これにより、第 2 基板 200 と第 3 基板 300 との電氣的な接続に、コンタクト部 201, 202, 301, 302 を用いることが可能となる。コンタクト部 201, 202, 301, 302 を用いることにより、例えば、列信号処理部 550 および画像信号処理部 560 はレイアウト

トの自由度が高くなる。これにより、列信号処理部 550 で生じるノイズを低減したり、画像信号処理部 560 により高度な画像処理回路を搭載することが可能となる。したがって、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

【0131】

また、撮像装置 1 では、画素分離部 117 が半導体層 100S を貫通している。これにより、1 画素あたりの面積の微細化によって隣り合う画素（画素 541A, 541B, 541C, 541D）の距離が近づいた場合であっても、画素 541A, 541B, 541C, 541D の間での混色を抑制できる。これにより、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

10

【0132】

また、撮像装置 1 では、画素共有ユニット 539 毎に画素回路 210 が設けられている。これにより、画素 541A, 541B, 541C, 541D 各々に画素回路 210 を設けた場合に比べて、画素回路 210 を構成するトランジスタ（増幅トランジスタ AMP, リセットトランジスタ RST, 選択トランジスタ SEL, FD 変換ゲイン切替トランジスタ FDG）の形成領域を大きくすることが可能となる。例えば、増幅トランジスタ AMP の形成領域を大きくすることにより、ノイズを抑えることが可能となる。これにより、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

【0133】

20

更に、撮像装置 1 では、4 つの画素（画素 541A, 541B, 541C, 541D）のフローティングディフュージョン FD（フローティングディフュージョン FD1, FD2, FD3, FD4）を電氣的に接続するパッド部 120 が、第 1 基板 100 に設けられている。これにより、このようなパッド部 120 を第 2 基板 200 に設ける場合に比べて、第 1 基板 100 と第 2 基板 200 とを接続する貫通電極（貫通電極 120E）の数を減らすことができる。したがって、絶縁領域 212 を小さくし、画素回路 210 を構成するトランジスタの形成領域（半導体層 200S）を十分な大きさを確保することができる。これにより、画素回路 210 に備わるトランジスタのノイズを低減することが可能となり、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

30

【0134】

更に、撮像装置 1 では、画素回路 210 に含まれる増幅トランジスタ AMP 等のトランジスタが、三次元構造を有するトランジスタにより構成されている。これにより、平面型のトランジスタを用いる場合に比べて、フットプリントを維持しつつ実効のゲート幅を大きくすることができる。よって、画素の微細化を妨げることなく、トランジスタ性能（動作速度および RN 等）を向上させることができる。また、ゲート面積が大きくなるので、RTS ノイズを低減することも可能となる。よって、より効果的に画像へのノイズの影響を抑えることができる。

【0135】

また、本実施の形態では、第 2 基板 200 に関して、画素回路 210 を構成することのできる増幅トランジスタ AMP、リセットトランジスタ RST、選択トランジスタ SEL は、1 つの半導体層 200S に形成される例を示したが、少なくとも 1 つのトランジスタを半導体層 200S-1 に形成し、残りのトランジスタを半導体層 100S および半導体層 200S-1 とは異なる、半導体層 200S-2 に形成してもよい。半導体層 200S-2 は、図示しないが、例えば、半導体層 200S-1（半導体層 200S に相当）上に、絶縁層、接続部および接続配線を形成し、さらに半導体層 200S-2 を積層する。この新たな半導体層 200S-2 は、層間絶縁膜 123 の半導体層 100S に積層される面と反対側の面に積層され、所望のトランジスタを形成することができる。一例として、半導体層 200S-1 に増幅トランジスタ AMP を形成し、リセットトランジスタ RST 及び／又は選択トランジスタ SEL を半導体層 200S-2 に形成することができる。

40

50

【0136】

また、新たな半導体層を複数設け、それぞれに所望の画素回路210のトランジスタを設けても良い。一例として、半導体層200S-1に増幅トランジスタAMPを形成することができる。さらに、半導体層200Sに絶縁層、接続部および接続配線を積層し、さらに半導体層200S-2を積層すると、半導体層200S-2にリセットトランジスタRSTを形成することができる。半導体層200S-2に絶縁層、接続部および接続配線を積層し、さらに半導体層200S-3を積層すると、半導体層200S-3に選択トランジスタSELを形成することができる。半導体層200S-1、200S-2、200S-3に形成するトランジスタは、画素回路210を構成するいずれのトランジスタでもよい。

10

【0137】

このように、第2基板200に複数の半導体層を設ける構成により、1つの画素回路210が占める半導体層200Sの面積を小さくすることができる。各画素回路210の面積を小さくしたり、各トランジスタを微細化することができるれば、チップの面積を小さくすることも可能になる。また、画素回路210を構成することのできる増幅トランジスタ、リセットトランジスタ、選択トランジスタのうち、所望のトランジスタの面積を拡大することができる。特に、増幅トランジスタの面積を拡大することで、ノイズ低減効果も期待できる。

【0138】

なお、上述したように、画素回路210を複数の半導体層（例えば、半導体層200S-1、200S-2、200S-3）に分けて形成する場合においては、例えば、後述する変形例13に対応する図53に示したように、増幅トランジスタAMPのゲート電極23を有する基板（配線層1210）において、ゲート電極231が配線L1002（貫通電極120に相当）に接するように設けられていてもよい。更に、図54に示したように、配線L1002（貫通電極120に相当）は、半導体層1221に設けられたリセットトランジスタRSTのソースに接するように設けられていてもよい。

20

【0139】

以下、上記実施の形態に係る撮像装置1の変形例について説明する。以下の変形例では、上記実施の形態と共通の構成に同一の符号を付して説明する。

【0140】

<2. 変形例1>

図19は、上記実施の形態に係る撮像装置1の要部の断面構成の一変形例を表したものである。図19は増幅トランジスタAMPおよび貫通電極120Eの近傍の断面構成を模式的に表しており、上記実施の形態で説明した図13に対応する。

30

【0141】

本変形例では、ゲート電極231の側面231sおよび表面231fが貫通電極120Eに接している。この点において、本変形例の撮像装置1は、上記実施の形態で説明した撮像装置1と異なっている。

【0142】

例えば、ゲート電極231の表面231fの貫通電極120E側の端部が、パッシベーション膜221から露出されている。このゲート電極231の表面231fの端部から側面231sにかけて貫通電極120Eが接している。これにより、ゲート電極231の側面231sのみが、貫通電極120Eに接している構成（例えば、図13）に比較して、ゲート電極231と貫通電極120Eとの接触面積を大きくすることが可能となる。

40

【0143】

本変形例に係る撮像装置1も、上記実施の形態で説明したのと同様の効果が得られる。更に、ゲート電極231と貫通電極120Eとの接触面積を大きくすることができるので、これらの間の接続の安定性を向上させることが可能となる。

【0144】

<3. 変形例2>

50

図 20 (A) (B) は、上記実施の形態に係る撮像装置 1 の要部の構成の一変形例を表したものである。図 20 (A) は増幅トランジスタ AMP および貫通電極 120E の近傍の断面構成を模式的に表しており、上記実施の形態で説明した図 13 に対応する。図 20 (B) は、図 20 (A) に示したゲート電極 231 の平面構成を模式的に表したものである。

【0145】

本変形例では、ゲート電極 231 に、貫通電極 120E が挿通された貫通孔 231M が設けられている。この点において、本変形例の撮像装置 1 は、上記実施の形態で説明した撮像装置 1 と異なっている。

【0146】

貫通孔 231M は、ゲート電極 231 の表面 231f から表面 231f に対向する裏面まで、ゲート電極 231 を厚み方向に貫通している（図 20 (A)）。貫通孔 231M は、平面視でフィン 230 に重ならない位置に設けられている。貫通孔 231M は、例えば、平面視で、チャンネル幅方向に並ぶ複数のフィン 230 よりも、ゲート電極 231 の側面 231s に近い位置に配置されている（図 20 (B)）。

【0147】

貫通電極 120E は、平面視で、このゲート電極 231 の貫通孔 231M に重なる位置に設けられており、貫通孔 231M に挿通されている。貫通電極 120E は、貫通孔 231M の内周面でゲート電極 231 に接している。貫通電極 120E は、例えば、貫通孔 231M の周方向にわたって、ゲート電極 231 に接するとともに、貫通孔 231M の長さ方向（ゲート電極 231 の厚み方向）にわたって、ゲート電極 231 に接している。このように、ゲート電極 231 に、貫通電極 120E が挿通された貫通孔 231M を設けることにより、ゲート電極 231 の側面 231s のみが、貫通電極 120E に接している構成（例えば、図 13）に比較して、ゲート電極 231 と貫通電極 120E との接触面積を大きくすることが可能となる。

【0148】

本変形例に係る撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。更に、ゲート電極 231 と貫通電極 120E との接触面積を大きくすることができるので、これらの間の接続の安定性を向上させることが可能となる。加えて、ゲート電極 231 の貫通孔 231M に貫通電極 120E を挿通させることにより、貫通電極 120E を形成する際の、ゲート電極 231 と貫通電極 120E との間の合わせずれが、より生じにくくなる。この点においても、ゲート電極 231 と貫通電極 120E との間の接続の安定性を向上させることが可能となる。

【0149】

<4. 変形例 3>

図 21 は、上記実施の形態に係る撮像装置 1 の要部の断面構成の一変形例を表したものである。図 21 は増幅トランジスタ AMP および貫通電極 120E の近傍の断面構成を模式的に表しており、上記実施の形態で説明した図 13 に対応する。

【0150】

本変形例では、隣り合うフィン 230 の間に連結部 230c が設けられている。この点において、本変形例の撮像装置 1 は、上記実施の形態で説明した撮像装置 1 と異なっている。

【0151】

連結部 230c は、チャンネル幅方向に並ぶ複数のフィン 230 を連結するためのものである。連結部 230c は、例えば、半導体層 200S からフィン 230 を形成する際に、隣り合うフィン 230 の間の半導体層 200S を残存させることにより形成されている。即ち、連結部 230c は、半導体層 200S の一部により構成されている。この連結部 230c の高さ（半導体層 200S の厚み方向の大きさ）は、例えば、フィン 230 の高さよりも小さくなっている。連結部 230c は、隣り合うフィン 230 の下部（第 1 基板 100 側の一部）同士をつなぐように設けられている。即ち、上記実施の形態で説明した絶

10

20

30

40

50

縁膜 232 (図 13) に代えて、連結部 230c が設けられていてもよい。隣り合うフィン 230 をつなぐ連結部 230c を設けることにより、隣り合うフィン 230 の間に絶縁膜 232 が設けられている構成に比べて、増幅トランジスタ AMP のチャンネルが形成される面積が大きくなる。

【0152】

例えば、ゲート電極 231 の表面 231f の端部から側面 231s にかけて貫通電極 120E が接している。これにより、上記変形例 1 で説明したのと同様に、ゲート電極 231 と貫通電極 120E との間の接続の安定性を向上させることができる。貫通電極 120E は、ゲート電極 231 の側面 231s のみに接していてもよい (図 13 参照)。あるいは、ゲート電極 231 に貫通孔を設け、この貫通孔の内周面で貫通電極 120E がゲート電極 231 に接していてもよい (図 20 (A) (B) 参照)。

10

【0153】

本変形例に係る撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。更に、隣り合うフィン 230 の間に連結部 230c を設けることにより、増幅トランジスタ AMP のサイズを大きくすることが可能となる。したがって、より効果的に相互コンダクタンス gm 等のトランジスタ特性を向上させることができる。

【0154】

<5. 変形例 4>

図 22 は、上記実施の形態に係る撮像装置 1 の要部の断面構成の一変形例を表したものである。図 22 は増幅トランジスタ AMP および貫通電極 120E の近傍の断面構成を模式的に表しており、上記実施の形態で説明した図 13 に対応する。

20

【0155】

本変形例では、増幅トランジスタ AMP が、平面型 (プレーナー型) のトランジスタにより構成されている。この点において、本変形例の撮像装置 1 は、上記実施の形態で説明した撮像装置 1 と異なっている。

【0156】

この増幅トランジスタ AMP は、半導体層 200S と、半導体層 200S に対向するゲート電極 231 と、ゲート電極 231 と半導体層 200S との間に設けられたゲート絶縁膜 (図示せず) とを有している。ゲート電極 231 は、例えば、半導体層 200S の表面に対向する水平部 231H と、水平部 231H に交差する側壁部 231W とを含んでいる。側壁部 231W は、例えば、水平部 231H に略垂直に設けられている。

30

【0157】

水平部 231H は、例えば、半導体層 200S の平面と略平行に設けられている。この水平部 231H は、半導体層 200S とパッシベーション膜 221 との間、より具体的には、ゲート絶縁膜とパッシベーション膜 221 との間に設けられている。例えば、水平部 231H には、ゲート電極 231 の表面 231f が設けられており、この表面 231f がパッシベーション膜 221 に覆われている。

【0158】

側壁部 231W は、水平部 231H に接続されている。側壁部 231W は、水平部 231H と貫通電極 120E との間、および半導体層 200S (より具体的にはゲート絶縁膜) と貫通電極 120E との間に設けられている。即ち、側壁部 231W の高さ方向の大きさは、水平部 231H の厚み方向の大きさよりも大きくなっている。半導体層 200S のチャンネル長方向に延在する一対の側面のうち、一方 (貫通電極 120E により近い側面) に対向して側壁部 231W が設けられている。側壁部 231W は、例えば、この半導体層 200S の一方の側面を厚み方向にわたって覆うように設けられている。例えば、この側壁部 231W に、ゲート電極 231 の側面 231s が設けられている。

40

【0159】

貫通電極 120E は、ゲート電極 231 の側壁部 231W に接している。例えば、側壁部 231W の高さ方向にわたって、貫通電極 120E が接している。上記のように、側壁部 231W の高さ方向の大きさは、水平部 231H の厚み方向の大きさよりも大きくなっ

50

ている。これにより、水平部 230H の端面（表面 231f に垂直な面）が貫通電極 120E に接する構成に比較して、貫通電極 120E とゲート電極 231 との接触面積を大きくすることが可能となる。よって、貫通電極 120E とゲート電極 231 との間の接続の安定性を向上させることができる。

【0160】

本変形例に係る撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。このように、増幅トランジスタ AMP は、平面型のトランジスタにより構成されていてもよい。

【0161】

< 6. 変形例 5 >

図 23 は、上記実施の形態に係る撮像装置 1 の要部の断面構成の一変形例を表したものである。図 23 は増幅トランジスタ AMP および貫通電極 120E の近傍の断面構成を模式的に表しており、上記実施の形態で説明した図 13 に対応する。

【0162】

本変形例では、上記変形例 4 で説明したのと同様に、増幅トランジスタ AMP が、平面型（プレーナ型）のトランジスタにより構成されている。更に、この増幅トランジスタ AMP では、ゲート電極 231 の一部が半導体層 200S に埋め込まれている。この点において、本変形例の撮像装置 1 は、上記実施の形態で説明した撮像装置 1 と異なっている。

【0163】

この増幅トランジスタ AMP のゲート電極 231 は、水平部 231H および側壁部 231W に加えて、垂直部 231V を有している。垂直部 231V は、いわゆる縦型ゲート電極であり、半導体層 200S の厚み方向に沿って埋め込まれている。例えば、垂直部 231V の上端は水平部 231H の中央部に接続されている。

【0164】

本変形例に係る撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。このように、増幅トランジスタ AMP のゲート電極 231 が、半導体層 200S に埋め込まれた垂直部 231V を有していてもよい。

【0165】

< 7. 変形例 6 >

図 24～図 28 は、上記実施の形態に係る撮像装置 1 の平面構成の一変形例を表したものである。図 24 は、第 2 基板 200 の半導体層 200S の表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図 8 に対応する。図 25 は、第 1 配線層 W1 と、第 1 配線層 W1 に接続された半導体層 200S および第 1 基板 100 の各部の構成を模式的に表しており、上記実施の形態で説明した図 9 に対応する。図 26 は、第 1 配線層 W1 および第 2 配線層 W2 の平面構成の一例を表しており、上記実施の形態で説明した図 10 に対応する。図 27 は、第 2 配線層 W2 および第 3 配線層 W3 の平面構成の一例を表しており、上記実施の形態で説明した図 11 に対応する。図 28 は、第 3 配線層 W3 および第 4 配線層 W4 の平面構成の一例を表しており、上記実施の形態で説明した図 12 に対応する。

【0166】

本変形例では、図 25 に示したように、第 2 基板 200 の H 方向に並ぶ 2 つの画素共有ユニット 539 のうち、一方（例えば紙面右側）の画素共有ユニット 539 の内部レイアウトが、他方（例えば紙面左側）の画素共有ユニット 539 の内部レイアウトを H 方向にのみ反転させた構成となっている。また、一方の画素共有ユニット 539 の外形線と他方の画素共有ユニット 539 の外形線との間の V 方向のずれが、上記実施の形態で説明したずれ（図 9）よりも大きくなっている。このように、V 方向のずれを大きくすることにより、他方の画素共有ユニット 539 の増幅トランジスタ AMP と、これに接続されたパッド部 120（図 7B に記載の V 方向に並ぶ 2 つの画素共有ユニット 539 のうちの他方（紙面下側）のパッド部 120）との間の距離を小さくすることができる。このようなレイアウトにより、図 24～図 28 に記載の撮像装置 1 の変形例 1 は、H 方向に並ぶ 2 つの画

10

20

30

40

50

素共有ユニット５３９の平面レイアウトを互いにＶ方向に反転させることなく、その面積を、上記実施の形態で説明した第２基板２００の画素共有ユニット５３９の面積と同じにすることができる。なお、第１基板１００の画素共有ユニット５３９の平面レイアウトは、上記実施の形態で説明した平面レイアウト（図７Ａ，図７Ｂ）と同じである。したがって、本変形例の撮像装置１は、上記実施の形態で説明した撮像装置１と同様の効果を得ることができる。第２基板２００の画素共有ユニット５３９の配置は、上記実施の形態および本変形例で説明した配置に限定されるものではない。

【０１６７】

< ８．変形例 ７ >

図２９～図３４は、上記実施の形態に係る撮像装置１の平面構成の一変形例を表したものである。図２９は、第１基板１００の平面構成を模式的に表しており、上記実施の形態で説明した図７Ａに対応する。図３０は、第２基板２００の半導体層２００Ｓの表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図８に対応する。図３１は、第１配線層Ｗ１と、第１配線層Ｗ１に接続された半導体層２００Ｓおよび第１基板１００の各部の構成を模式的に表しており、上記実施の形態で説明した図９に対応する。図３２は、第１配線層Ｗ１および第２配線層Ｗ２の平面構成の一例を表しており、上記実施の形態で説明した図１０に対応する。図３３は、第２配線層Ｗ２および第３配線層Ｗ３の平面構成の一例を表しており、上記実施の形態で説明した図１１に対応する。図３４は、第３配線層Ｗ３および第４配線層Ｗ４の平面構成の一例を表しており、上記実施の形態で説明した図１２に対応する。

【０１６８】

本変形例では、各画素回路２１０の外形が、略正方形の平面形状を有している（図３０等）。この点において、本変形例の撮像装置１の平面構成は、上記実施の形態で説明した撮像装置１の平面構成と異なっている。

【０１６９】

例えば、第１基板１００の画素共有ユニット５３９は、上記実施の形態で説明したのと同様に、２行×２列の画素領域にわたって形成されており、略正方形の平面形状を有している（図２９）。例えば、各々の画素共有ユニット５３９では、一方の画素列の画素５４１Ａおよび画素５４１Ｃの転送ゲートＴＧ１，ＴＧ３の水平部分ＴＧｂが、垂直部分ＴＧａに重畳する位置からＨ方向において画素共有ユニット５３９の中央部に向かう方向（より具体的には、画素５４１Ａ，５４１Ｃの外縁に向かう方向、かつ画素共有ユニット５３９の中央部に向かう方向）に延在し、他方の画素列の画素５４１Ｂおよび画素５４１Ｄの転送ゲートＴＧ２，ＴＧ４の水平部分ＴＧｂが、垂直部分ＴＧａに重畳する位置からＨ方向において画素共有ユニット５３９の外側に向かう方向（より具体的には、画素５４１Ｂ，５４１Ｄの外縁に向かう方向、かつ画素共有ユニット５３９の外側に向かう方向）に延在している。フローティングディフュージョンＦＤに接続されたパッド部１２０は、画素共有ユニット５３９の中央部（画素共有ユニット５３９のＨ方向およびＶ方向の中央部）に設けられ、ＶＳＳコンタクト領域１１８に接続されたパッド部１２１は、少なくともＨ方向において（図２９ではＨ方向およびＶ方向において）画素共有ユニット５３９の端部に設けられている。

【０１７０】

別の配置例として、転送ゲートＴＧ１，ＴＧ２，ＴＧ３，ＴＧ４の水平部分ＴＧｂを垂直部分ＴＧａに対向する領域のみに設けることも考え得る。このときには、上記実施の形態で説明したのと同様に、半導体層２００Ｓが細かく分断されやすい。したがって、画素回路２１０のトランジスタを大きく形成することが困難となる。一方、転送ゲートＴＧ１，ＴＧ２，ＴＧ３，ＴＧ４の水平部分ＴＧｂを、上記変形例のように、垂直部分ＴＧａに重畳する位置からＨ方向に延在させると、上記実施の形態で説明したのと同様に、半導体層２００Ｓの幅を大きくすることが可能となる。具体的には、転送ゲートＴＧ１，ＴＧ３に接続された貫通電極ＴＧＶ１，ＴＧＶ３のＨ方向の位置を、貫通電極１２０ＥのＨ方向の位置に近接させて配置し、転送ゲートＴＧ２，ＴＧ４に接続された貫通電極ＴＧＶ２，

TGV4のH方向の位置を、貫通電極121EのH方向の位置に近接して配置することが可能となる(図31)。これにより、上記実施の形態で説明したのと同様に、V方向に延在する半導体層200Sの幅(H方向の大きさ)を大きくすることができる。よって、画素回路210のトランジスタのサイズ、特に増幅トランジスタAMPのサイズを大きくすることが可能となる。その結果、画素信号のシグナル／ノイズ比を改善して、撮像装置1はよりよい画素データ(画像情報)を出力することが可能となる。

【0171】

第2基板200の画素共有ユニット539は、例えば、第1基板100の画素共有ユニット539のH方向およびV方向の大きさと略同じであり、例えば、略2行×2列の画素領域に対応する領域にわたって設けられている。例えば、各画素回路210では、V方向に延在する1の半導体層200Sに選択トランジスタSELおよび増幅トランジスタAMPがV方向に並んで配置され、FD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTがV方向に延在する1の半導体層200Sに、V方向に並んで配置されている。この選択トランジスタSELおよび増幅トランジスタAMPが設けられた1の半導体層200Sと、FD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTが設けられた1の半導体層200Sとは、絶縁領域212を介してH方向に並んでいる。この絶縁領域212はV方向に延在している(図30)。

【0172】

ここで、第2基板200の画素共有ユニット539の外形について、図30および図31を参照して説明する。例えば、図29に示した第1基板100の画素共有ユニット539は、パッド部120のH方向の一方(図31の紙面左側)に設けられた増幅トランジスタAMPおよび選択トランジスタSELと、パッド部120のH方向の他方(図31の紙面右側)に設けられたFD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTとに接続されている。この増幅トランジスタAMP、選択トランジスタSEL、FD変換ゲイン切替トランジスタFDGおよびリセットトランジスタRSTを含む第2基板200の画素共有ユニット539の外形は、次の4つの外縁により決まる。

【0173】

第1の外縁は、選択トランジスタSELおよび増幅トランジスタAMPを含む半導体層200SのV方向の一端(図31の紙面上側の端)の外縁である。この第1の外縁は、当該画素共有ユニット539に含まれる増幅トランジスタAMPと、この画素共有ユニット539のV方向の一方(図31の紙面上側)に隣り合う画素共有ユニット539に含まれる選択トランジスタSELとの間に設けられている。より具体的には、第1の外縁は、これら増幅トランジスタAMPと選択トランジスタSELとの間の素子分離領域213のV方向の中央部に設けられている。第2の外縁は、選択トランジスタSELおよび増幅トランジスタAMPを含む半導体層200SのV方向の他端(図31の紙面下側の端)の外縁である。この第2の外縁は、当該画素共有ユニット539に含まれる選択トランジスタSELと、この画素共有ユニット539のV方向の他方(図31の紙面下側)に隣り合う画素共有ユニット539に含まれる増幅トランジスタAMPとの間に設けられている。より具体的には、第2の外縁は、これら選択トランジスタSELと増幅トランジスタAMPとの間の素子分離領域213のV方向の中央部に設けられている。第3の外縁は、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGを含む半導体層200SのV方向の他端(図31の紙面下側の端)の外縁である。この第3の外縁は、当該画素共有ユニット539に含まれるFD変換ゲイン切替トランジスタFDGと、この画素共有ユニット539のV方向の他方(図31の紙面下側)に隣り合う画素共有ユニット539に含まれるリセットトランジスタRSTとの間に設けられている。より具体的には、第3の外縁は、これらFD変換ゲイン切替トランジスタFDGとリセットトランジスタRSTとの間の素子分離領域213のV方向の中央部に設けられている。第4の外縁は、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGを含む半導体層200SのV方向の一端(図31の紙面上側の端)の外縁である。この第4の外縁は、当該画素共有ユニット539に含まれるリセットトランジスタRSTと、この画素共有ユニット

539のV方向の一方(図31の紙面上側)に隣り合う画素共有ユニット539に含まれるFD変換ゲイン切替トランジスタFDG(不図示)との間に設けられている。より具体的には、第4の外縁は、これらリセットトランジスタRSTとFD変換ゲイン切替トランジスタFDGとの間の素子分離領域213(不図示)のV方向の中央部に設けられている。
【0174】

このような第1,第2,第3,第4の外縁を含む第2基板200の画素共有ユニット539の外形では、第1,第2の外縁に対して、第3,第4の外縁がV方向の一方側にずれて配置されている(言い換えればV方向の一方側にオフセットされている)。このようなレイアウトを用いることにより、増幅トランジスタAMPのゲートおよびFD変換ゲイン切替トランジスタFDGのソースとともに、パッド部120にできるだけ近接して配置することが可能となる。したがって、これらを接続する配線の面積を小さくし、撮像装置1の微細化を行いやすくなる。なおVSSコンタクト領域218は、選択トランジスタSELおよび増幅トランジスタAMPを含む半導体層200Sと、リセットトランジスタRSTおよびFD変換ゲイン切替トランジスタFDGを含む半導体層200Sとの間に設けられている。例えば、複数の画素回路210は、互いに同じ配置を有している。

10

【0175】

このような第2基板200を有する撮像装置1も、上記実施の形態で説明したのと同様の効果が得られる。第2基板200の画素共有ユニット539の配置は、上記実施の形態および本変形例で説明した配置に限定されるものではない。

【0176】

20

<9. 変形例8>

図35~図40は、上記実施の形態に係る撮像装置1の平面構成の一変形例を表したものである。図35は、第1基板100の平面構成を模式的に表しており、上記実施の形態で説明した図7Bに対応する。図36は、第2基板200の半導体層200Sの表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図8に対応する。図37は、第1配線層W1と、第1配線層W1に接続された半導体層200Sおよび第1基板100の各部の構成を模式的に表しており、上記実施の形態で説明した図9に対応する。図38は、第1配線層W1および第2配線層W2の平面構成の一例を表しており、上記実施の形態で説明した図10に対応する。図39は、第2配線層W2および第3配線層W3の平面構成の一例を表しており、上記実施の形態で説明した図11に対応する。図40は、第3配線層W3および第4配線層W4の平面構成の一例を表しており、上記実施の形態で説明した図12に対応する。

30

【0177】

本変形例では、第2基板200の半導体層200Sが、H方向に延在している(図37)。即ち、上記図30等にした撮像装置1の平面構成を90度回転させた構成に略対応している。

【0178】

例えば、第1基板100の画素共有ユニット539は、上記実施の形態で説明したのと同様に、2行×2列の画素領域にわたって形成されており、略正方形の平面形状を有している(図35)。例えば、各々の画素共有ユニット539では、一方の画素行の画素541Aおよび画素541Bの転送ゲートTG1, TG2が、V方向において画素共有ユニット539の中央部に向かって延在し、他方の画素行の画素541Cおよび画素541Dの転送ゲートTG3, TG4が、V方向において画素共有ユニット539の外側方向に延在している。フローティングディフュージョンFDに接続されたパッド部120は、画素共有ユニット539の中央部に設けられ、VSSコンタクト領域118に接続されたパッド部121は、少なくともV方向において(図35ではV方向およびH方向において)画素共有ユニット539の端部に設けられている。このとき、転送ゲートTG1, TG2の貫通電極TGV1, TGV2のV方向の位置が貫通電極120EのV方向の位置に近づき、転送ゲートTG3, TG4の貫通電極TGV3, TGV4のV方向の位置が貫通電極121EのV方向の位置に近づく(図37)。したがって、上記実施の形態で説明したのと同

40

50

様の理由により、H方向に延在する半導体層200Sの幅(V方向の大きさ)を大きくすることができる。よって、増幅トランジスタAMPのサイズを大きくし、ノイズを抑えることが可能となる。

【0179】

各々の画素回路210では、選択トランジスタSELおよび増幅トランジスタAMPがH方向に並んで配置され、選択トランジスタSELと絶縁領域212を間にしてV方向に隣り合う位置にリセットトランジスタRSTが配置されている(図36)。FD変換ゲイン切替トランジスタFDGは、リセットトランジスタRSTとH方向に並んで配置されている。VSSコンタクト領域218は、絶縁領域212に島状に設けられている。例えば、第3配線層W3はH方向に延在し(図39)、第4配線層W4はV方向に延在している(図40)。

10

【0180】

このような第2基板200を有する撮像装置1も、上記実施の形態で説明したのと同様の効果が得られる。第2基板200の画素共有ユニット539の配置は、上記実施の形態および本変形例で説明した配置に限定されるものではない。例えば、上記実施の形態および変形例6で説明した半導体層200Sが、H方向に延在していてもよい。

【0181】

<10. 変形例9>

図41は、上記実施の形態に係る撮像装置1の断面構成の一変形例を模式的に表したものである。図41は、上記実施の形態で説明した図3に対応する。本変形例では、撮像装置1が、コンタクト部201, 202, 301, 302に加えて、画素アレイ部540の中央部に対向する位置にコンタクト部203, 204, 303, 304を有している。この点において、本変形例の撮像装置1は、上記実施の形態で説明した撮像装置1と異なっている。

20

【0182】

コンタクト部203, 204は、第2基板200に設けられており、第3基板300との接合面の露出されている。コンタクト部303, 304は、第3基板300に設けられており、第2基板200との接合面に露出されている。コンタクト部203は、コンタクト部303と接しており、コンタクト部204は、コンタクト部304と接している。即ち、この撮像装置1では、第2基板200と第3基板300とが、コンタクト部201, 202, 301, 302に加えてコンタクト部203, 204, 303, 304により接続されている。

30

【0183】

次に、図42および図43を用いてこの撮像装置1の動作について説明する。図42には、外部から撮像装置1に入力される入力信号と、電源電位および基準電位の経路を矢印で表す。図43には、撮像装置1から外部に出力される画素信号の信号経路を矢印で表している。例えば、入力部510Aを介して撮像装置1に入力された入力信号は、第3基板300の行駆動部520へ伝送され、行駆動部520で行駆動信号が作り出される。この行駆動信号は、コンタクト部303, 203を介して第2基板200に送られる。更に、この行駆動信号は、配線層200T内の行駆動信号線542を介して、画素アレイ部540の画素共有ユニット539各々に到達する。第2基板200の画素共有ユニット539に到達した行駆動信号のうち、転送ゲートTG以外の駆動信号は画素回路210に入力されて、画素回路210に含まれる各トランジスタが駆動される。転送ゲートTGの駆動信号は貫通電極TGVを介して第1基板100の転送ゲートTG1, TG2, TG3, TG4に入力され、画素541A, 541B, 541C, 541Dが駆動される。また、撮像装置1の外部から、第3基板300の入力部510A(入力端子511)に供給された電源電位および基準電位は、コンタクト部303, 203を介して第2基板200に送られ、配線層200T内の配線を介して、画素共有ユニット539各々の画素回路210に供給される。基準電位は、さらに貫通電極121Eを介して、第1基板100の画素541A, 541B, 541C, 541Dへも供給される。一方、第1基板100の画素541

40

50

A, 541B, 541C, 541Dで光電変換された画素信号は、画素共有ユニット539毎に第2基板200の画素回路210に送られる。この画素信号に基づく画素信号は、画素回路210から垂直信号線543およびコンタクト部204, 304を介して第3基板300に送られる。この画素信号は、第3基板300の列信号処理部550および画像信号処理部560で処理された後、出力部510Bを介して外部に出力される。

【0184】

このようなコンタクト部203, 204, 303, 304を有する撮像装置1も、上記実施の形態で説明したのと同様の効果が得られる。コンタクト部303, 304を介した配線の接続先である、第3基板300の回路等の設計に応じてコンタクト部の位置および数等を変えることができる。

【0185】

<11. 変形例10>

図44は、上記実施の形態に係る撮像装置1の断面構成の一変形例を表したものである。図44は、上記実施の形態で説明した図6に対応する。本変形例では、第1基板100にプレーナ構造を有する転送トランジスタTRが設けられている。この点において、本変形例の撮像装置1は、上記実施の形態で説明した撮像装置1と異なっている。

【0186】

この転送トランジスタTRは、水平部分TGbのみにより転送ゲートTGが構成されている。換言すれば、転送ゲートTGは、垂直部分TGaを有しておらず、半導体層100Sに対向して設けられている。

【0187】

このようなプレーナ構造の転送トランジスタTRを有する撮像装置1も、上記実施の形態で説明したのと同様の効果が得られる。更に、第1基板100にプレーナ型の転送ゲートTGを設けることにより、縦型の転送ゲートTGを第1基板100に設ける場合に比べて、より半導体層100Sの表面近くまでフォトダイオードPDを形成し、これにより、飽和信号量(Qs)を増加させることも考え得る。また、第1基板100にプレーナ型の転送ゲートTGを形成する方法は、第1基板100に縦型の転送ゲートTGを形成する方法に比べて、製造工程数が少なく、製造工程に起因したフォトダイオードPDへの悪影響が生じにくい、とも考え得る。

【0188】

<12. 変形例11>

図45は、上記実施の形態に係る撮像装置1の画素回路の一変形例を表したものである。図45は、上記実施の形態で説明した図4に対応する。本変形例では、1つの画素(画素541A)毎に画素回路210が設けられている。即ち、画素回路210は、複数の画素で共有されていない。この点において、本変形例の撮像装置1は、上記実施の形態で説明した撮像装置1と異なっている。

【0189】

本変形例の撮像装置1は、画素541Aと画素回路210とを互いに異なる基板(第1基板100および第2基板200)に設ける点では、上記実施の形態で説明した撮像装置1と同じである。このため、本変形例に係る撮像装置1も、上記実施の形態で説明したのと同様の効果を得ることができる。

【0190】

<13. 変形例12>

図46は、上記実施の形態で説明した画素分離部117の平面構成の一変形例を表したものである。画素541A, 541B, 541C, 541D各々を囲む画素分離部117に、隙間が設けられていてもよい。即ち、画素541A, 541B, 541C, 541Dの全周が画素分離部117に囲まれていなくてもよい。例えば、画素分離部117の隙間は、パッド部120, 121近傍に設けられている(図7B参照)。

【0191】

上記実施の形態では、画素分離部117が半導体層100Sを貫通するFTI構造を有

10

20

30

40

50

する例（図6参照）を説明したが、画素分離部117はFTI構造以外の構成を有していてもよい。例えば、画素分離部117は、半導体層100Sを完全に貫通するように設けられていなくてもよく、いわゆる、DTI（Deep Trench Isolation）構造を有していてもよい。

【0192】

<14. 変形例13>

上記実施の形態では、複数のセンサ画素の各々に、フローティングディフュージョンFDに電氣的に接続する配線（すなわち、フローティングディフュージョン用コンタクト）と、ウェル層WEに電氣的に接続する配線（すなわち、ウェル用コンタクト）とがそれぞれ1つずつ配置される構造を説明した。しかしながら、本開示の実施形態はこれに限定されない。本開示の実施形態では、複数のセンサ画素ごとに、1つのフローティングディフュージョン用コンタクトが配置されていてもよい。例えば、互いに隣り合う4つのセンサ画素が、1つのフローティングディフュージョン用コンタクトを共有していてもよい。同様に、複数のセンサ画素ごとに、1つのウェル用コンタクトが配置されていてもよい。例えば、互いに隣り合う4つのセンサ画素が、1つのウェル用コンタクトを共有していてもよい。

【0193】

図50から図52は、本開示の変形例13に係る撮像装置1Aの構成例を示す厚さ方向の断面図である。図53から図55は、本開示の変形例13に係る複数の画素ユニットPUのレイアウト例を示す水平方向の断面図である。なお、図50から図52に示す断面図は、あくまで模式図であり、実際の構造を厳密に正しく示すことを目的とした図ではない。図50から図52に示す断面図は、撮像装置1Aの構成を紙面でわかり易く説明するために、位置sec1からsec3で、トランジスタや不純物拡散層の水平方向における位置を意図的に変えて示している。

【0194】

具体的には、図50に示す撮像装置1Aの画素ユニットPUにおいて、位置sec1における断面は図53をA1-A1'線で切断した断面であり、位置sec2における断面は図54をB1-B1'線で切断した断面であり、位置sec3における断面は図55をC1-C1'線で切断した断面である。同様に、図51に示す撮像装置1Aにおいて、位置sec1における断面は図53をA2-A2'線で切断した断面であり、位置sec2における断面は図54をB2-B2'線で切断した断面であり、位置sec3における断面は図55をC2-C2'線で切断した断面である。図52に示す撮像装置1Aにおいて、位置sec1における断面は図53をA3-A3'線で切断した断面であり、位置sec2における断面は図54をB3-B3'線で切断した断面であり、位置sec3における断面は図55をC3-C3'線で切断した断面である。

【0195】

図51及び図55に示すように、撮像装置1Aは、複数のセンサ画素1012に跨るように配置された共通パッド電極1102と、共通パッド電極1102上に設けられた1つの配線L1002と、を共有する。例えば、撮像装置1Aには、平面視で、4つのセンサ画素1012の各フローティングディフュージョンFD1からFD4が素子分離層1016を介して互いに隣り合う領域が存在する。この領域に共通パッド電極1102が設けられている。共通パッド電極1102は、4つのフローティングディフュージョンFD1からFD4に跨るように配置されており、4つのフローティングディフュージョンFD1からFD4とそれぞれ電氣的に接続している。共通パッド電極1102は、例えば、n型不純物又はp型不純物がドーピングされたポリシリコン膜で構成されている。

【0196】

共通パッド電極1102の中心部上に1つの配線L1002（すなわち、フローティングディフュージョン用コンタクト）が設けられている。図51、図53から図55に示すように、共通パッド電極1102の中心部上に設けられた配線L1002は、第1基板部1010から、第2基板部1020の下側基板1210を貫いて第2基板部1020の上

側基板 1 2 2 0 まで延設されており、上側基板 1 2 2 0 に設けられた配線等を介して、増幅トランジスタ AMP のゲート電極 AG に接続している。

【0197】

また、図 5 0 及び図 5 5 に示すように、撮像装置 1 A は、複数のセンサ画素 1 0 1 2 に跨るように配置された共通パッド電極 1 1 1 0 と、共通パッド電極 1 1 1 0 上に設けられた 1 つの配線 L 1 0 1 0 と、を共有する。例えば、撮像装置 1 A には、平面視で、4 つのセンサ画素 1 0 1 2 の各ウェル層 WE が素子分離層 1 0 1 6 を介して互いに隣り合う領域が存在する。この領域に共通パッド電極 1 1 1 0 が設けられている。共通パッド電極 1 1 1 0 は、4 つのセンサ画素 1 0 1 2 の各ウェル層 WE に跨るように配置されており、4 つのセンサ画素 1 0 1 2 の各ウェル層 WE とそれぞれ電氣的に接続している。一例を挙げると、共通パッド電極 1 1 1 0 は、Y 軸方向に並ぶ一の共通パッド電極 1 1 0 2 と他の共通パッド電極 1 1 0 2 との間に配置されている。Y 軸方向において、共通パッド電極 1 1 0 2、1 1 1 0 は交互に並んで配置されている。共通パッド電極 1 1 1 0 は、例えば、n 型不純物又は p 型不純物がドーブされたポリシリコン膜で構成されている。

10

【0198】

共通パッド電極 1 1 1 0 の中心部上に 1 つの配線 L 1 0 1 0 (すなわち、ウェル用コンタクト) が設けられている。図 5 0、図 5 2 から図 5 5 に示すように、共通パッド電極 1 1 1 0 の中心部上に設けられた配線 L 1 0 1 0 は、第 1 基板部 1 0 1 0 から、第 2 基板部 1 0 2 0 の下側基板 1 2 1 0 を貫いて第 2 基板部 1 0 2 0 の上側基板 1 2 2 0 まで延設されており、上側基板 1 2 2 0 に設けられた配線等を介して、基準電位 (例えば、接地電位 : 0 V) を供給する基準電位線に接続している。

20

【0199】

共通パッド電極 1 1 1 0 の中心部上に設けられた配線 L 1 0 1 0 は、共通パッド電極 1 1 1 0 の上面と、下側基板 1 2 1 0 に設けられた貫通孔の内側面と、上側基板 1 2 2 0 に設けられた貫通孔の内側面とに、それぞれ電氣的に接続している。これにより、第 1 基板部 1 0 1 0 の半導体基板 1 0 1 1 のウェル層 WE と、第 2 基板部 1 0 2 0 の下側基板 1 2 1 0 のウェル層及び上側基板 1 2 2 0 のウェル層は、基準電位 (例えば、接地電位 : 0 V) に接続される。

【0200】

本開示の変形例 1 3 に係る撮像装置 1 A は、実施の形態に係る撮像装置 1 と同様の効果を奏する。また、撮像装置 1 A は、第 1 基板部 1 0 1 0 を構成する半導体基板 1 0 1 1 のおもて面 1 1 a 側に設けられ、互いに隣り合う複数 (例えば、4 つ) のセンサ画素 1 0 1 2 に跨るように配置された共通パッド電極 1 1 0 2、1 1 1 0、をさらに備える。共通パッド電極 1 1 0 2 は、4 つのセンサ画素 1 0 1 2 のフローティングディフュージョン FD と電氣的に接続している。共通パッド電極 1 1 1 0 は、4 つのセンサ画素 1 0 1 2 のウェル層 WE と電氣的に接続している。これによれば、4 つのセンサ画素 1 0 1 2 ごとに、フローティングディフュージョン FD に接続する配線 L 1 0 0 2 を共通化することができる。4 つのセンサ画素 1 0 1 2 ごとに、ウェル層 WE に接続する配線 L 1 0 1 0 を共通化することができる。これにより、配線 L 1 0 0 2、L 1 0 1 0 の本数を低減することができるので、センサ画素 1 0 1 2 の面積低減が可能であり、撮像装置 1 A の小型化が可能である。

30

【0201】

<15. 適用例>

図 5 5 は、上記実施の形態およびその変形例に係る撮像装置 1 を備えた撮像システム 7 の概略構成の一例を表したものである。

【0202】

撮像システム 7 は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。撮像システム 7 は、例えば、上記実施の形態およびその変形例に係る撮像装置 1、DSP 回路 2 4 3、フレームメモリ 2 4 4、表示部 2 4 5、記憶部 2 4 6、操作部 2 4 7 および電源部 2 4 8

40

50

を備えている。撮像システム7において、上記実施の形態およびその変形例に係る撮像装置1、DSP回路243、フレームメモリ244、表示部245、記憶部246、操作部247および電源部248は、バスライン249を介して相互に接続されている。

【0203】

上記実施の形態およびその変形例に係る撮像装置1は、入射光に応じた画像データを出力する。DSP回路243は、上記実施の形態およびその変形例に係る撮像装置1から出力される信号（画像データ）を処理する信号処理回路である。フレームメモリ244は、DSP回路243により処理された画像データを、フレーム単位で一時的に保持する。表示部245は、例えば、液晶パネルや有機EL（Electro Luminescence）パネル等のパネル型表示装置からなり、上記実施の形態およびその変形例に係る撮像装置1で撮像された動画又は静止画を表示する。記憶部246は、上記実施の形態およびその変形例に係る撮像装置1で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。操作部247は、ユーザによる操作に従い、撮像システム7が有する各種の機能についての操作指令を発する。電源部248は、上記実施の形態およびその変形例に係る撮像装置1、DSP回路243、フレームメモリ244、表示部245、記憶部246および操作部247の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

10

【0204】

次に、撮像システム7における撮像手順について説明する。

【0205】

図56は、撮像システム7における撮像動作のフローチャートの一例を表す。ユーザは、操作部247を操作することにより撮像開始を指示する（ステップS101）。すると、操作部247は、撮像指令を撮像装置1に送信する（ステップS102）。撮像装置1（具体的にはシステム制御回路36）は、撮像指令を受けると、所定の撮像方式での撮像を実行する（ステップS103）。

20

【0206】

撮像装置1は、撮像により得られた画像データをDSP回路243に出力する。ここで、画像データとは、フローティングディフュージョンFDに一時的に保持された電荷に基づいて生成された画素信号の全画素分のデータである。DSP回路243は、撮像装置1から入力された画像データに基づいて所定の信号処理（例えばノイズ低減処理など）を行う（ステップS104）。DSP回路243は、所定の信号処理がなされた画像データをフレームメモリ244に保持させ、フレームメモリ244は、画像データを記憶部246に記憶させる（ステップS105）。このようにして、撮像システム7における撮像が行われる。

30

【0207】

本適用例では、上記実施の形態およびその変形例に係る撮像装置1が撮像システム7に適用される。これにより、撮像装置1を小型化もしくは高精細化することができるので、小型もしくは高精細な撮像システム7を提供することができる。

【0208】

<16. 応用例>

40

【応用例1】

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

【0209】

図57は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【0210】

車両制御システム12000は、通信ネットワーク12001を介して接続された複数

50

の電子制御ユニットを備える。図57に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

【0211】

駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

10

【0212】

ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

20

【0213】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

【0214】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

30

【0215】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

40

【0216】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

【0217】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内

50

情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【０２１８】

また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【０２１９】

音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図５７の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【０２２０】

図５８は、撮像部１２０３１の設置位置の例を示す図である。

【０２２１】

図５８では、車両１２１００は、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

【０２２２】

撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。撮像部１２１０１及び１２１０５で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

【０２２３】

なお、図５８には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

【０２２４】

撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【０２２５】

例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的变化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出するこ

10

20

30

40

50

とができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【０２２６】

例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

【０２２７】

撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

【０２２８】

以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。具体的には、上記実施の形態およびその変形例に係る撮像装置１は、撮像部１２０３１に適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、ノイズの少ない高精細な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

【０２２９】

[応用例２]

図５９は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

【０２３０】

図５９では、術者（医師）１１１３１が、内視鏡手術システム１１０００を用いて、患者ベッド１１１３３上の患者１１１３２に手術を行っている様子が図示されている。図示するように、内視鏡手術システム１１０００は、内視鏡１１１００と、気腹チューブ１１１１１やエネルギー処置具１１１１２等の、その他の術具１１１１０と、内視鏡１１１００を支持する支持アーム装置１１１２０と、内視鏡下手術のための各種の装置が搭載されたカート１１２００と、から構成される。

【０２３１】

内視鏡１１１００は、先端から所定の長さの領域が患者１１１３２の体腔内に挿入される鏡筒１１１０１と、鏡筒１１１０１の基端に接続されるカメラヘッド１１１０２と、から構成される。図示する例では、硬性の鏡筒１１１０１を有するいわゆる硬性鏡として構成される内視鏡１１１００を図示しているが、内視鏡１１１００は、軟性の鏡筒を有する

いわゆる軟性鏡として構成されてもよい。

【0232】

鏡筒11101の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡11100には光源装置11203が接続されており、当該光源装置11203によって生成された光が、鏡筒11101の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者11132の体腔内の観察対象に向かって照射される。なお、内視鏡11100は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

【0233】

カメラヘッド11102の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）11201に送信される。

【0234】

CCU11201は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡11100及び表示装置11202の動作を統括的に制御する。さらに、CCU11201は、カメラヘッド11102から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

【0235】

表示装置11202は、CCU11201からの制御により、当該CCU11201によって画像処理が施された画像信号に基づく画像を表示する。

【0236】

光源装置11203は、例えばLED（Light Emitting Diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡11100に供給する。

【0237】

入力装置11204は、内視鏡手術システム11000に対する入力インターフェースである。ユーザは、入力装置11204を介して、内視鏡手術システム11000に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡11100による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

【0238】

処置具制御装置11205は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具11112の駆動を制御する。気腹装置11206は、内視鏡11100による視野の確保及び術者の作業空間の確保の目的で、患者11132の体腔を膨らめるために、気腹チューブ11111を介して当該体腔内にガスを送り込む。レコーダ11207は、手術に関する各種の情報を記録可能な装置である。プリンタ11208は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

【0239】

なお、内視鏡11100に術部を撮影する際の照射光を供給する光源装置11203は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置11203において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド11102の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

【0240】

また、光源装置11203は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド11102の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

【0241】

また、光源装置11203は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置11203は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

10

【0242】

図60は、図59に示すカメラヘッド11102及びCCU11201の機能構成の一例を示すブロック図である。

20

【0243】

カメラヘッド11102は、レンズユニット11401と、撮像部11402と、駆動部11403と、通信部11404と、カメラヘッド制御部11405と、を有する。CCU11201は、通信部11411と、画像処理部11412と、制御部11413と、を有する。カメラヘッド11102とCCU11201とは、伝送ケーブル11400によって互いに通信可能に接続されている。

【0244】

レンズユニット11401は、鏡筒11101との接続部に設けられる光学系である。鏡筒11101の先端から取り込まれた観察光は、カメラヘッド11102まで導光され、当該レンズユニット11401に入射する。レンズユニット11401は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

30

【0245】

撮像部11402は、撮像素子で構成される。撮像部11402を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D（Dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

40

【0246】

また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。

【0247】

駆動部11403は、アクチュエータによって構成され、カメラヘッド制御部11405からの制御により、レンズユニット11401のズームレンズ及びフォーカスレンズを

50

光軸に沿って所定の距離だけ移動させる。これにより、撮像部 11402 による撮像画像の倍率及び焦点が適宜調整され得る。

【0248】

通信部 11404 は、CCU 11201 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11404 は、撮像部 11402 から得た画像信号を RAW データとして伝送ケーブル 11400 を介して CCU 11201 に送信する。

【0249】

また、通信部 11404 は、CCU 11201 から、カメラヘッド 11102 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 11405 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

10

【0250】

なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいて CCU 11201 の制御部 11413 によって自動的に設定されてもよい。後者の場合には、いわゆる AE (Auto Exposure) 機能、AF (Auto Focus) 機能及び AWB (Auto White Balance) 機能が内視鏡 11100 に搭載されていることになる。

【0251】

カメラヘッド制御部 11405 は、通信部 11404 を介して受信した CCU 11201 からの制御信号に基づいて、カメラヘッド 11102 の駆動を制御する。

20

【0252】

通信部 11411 は、カメラヘッド 11102 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11411 は、カメラヘッド 11102 から、伝送ケーブル 11400 を介して送信される画像信号を受信する。

【0253】

また、通信部 11411 は、カメラヘッド 11102 に対して、カメラヘッド 11102 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

【0254】

画像処理部 11412 は、カメラヘッド 11102 から送信された RAW データである画像信号に対して各種の画像処理を施す。

30

【0255】

制御部 11413 は、内視鏡 11100 による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 11413 は、カメラヘッド 11102 の駆動を制御するための制御信号を生成する。

【0256】

また、制御部 11413 は、画像処理部 11412 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 11202 に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。

40

【0257】

カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれら

50

の複合ケーブルである。

【0258】

ここで、図示する例では、伝送ケーブル11400を用いて有線で通信が行われていたが、カメラヘッド11102とCCU11201との間の通信は無線で行われてもよい。

【0259】

以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡11100のカメラヘッド11102に設けられた撮像部11402に好適に適用され得る。撮像部11402に本開示に係る技術を適用することにより、撮像部11402を小型化もしくは高精細化することができるので、小型もしくは高精細な内視鏡11100を提供することができる。

10

【0260】

以上、実施の形態およびその変形例、適用例ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていたとしてもよい。

【0261】

また、例えば、本開示は以下のような構成を取ることができる。以下の構成を有する固体撮像装置では、貫通電極の一部に接するように画素トランジスタのゲート電極を設けるようにしたので、ゲート電極の面積が大きくなり、画素トランジスタの特性を向上させることができる。よって、画素トランジスタから出力される信号のノイズを低減することが可能となる。

20

(1)

画素毎に、光電変換部および前記光電変換部で発生した信号電荷が蓄積される電荷蓄積部を有する第1基板と、

前記第1基板に積層された半導体層と、前記半導体層に対向するゲート電極を有するとともに前記電荷蓄積部の前記信号電荷を読み出す画素トランジスタとを含む第2基板と、

前記第1基板および前記第2基板に設けられるとともに、前記第1基板と前記第2基板とを電氣的に接続し、かつ、一部が前記ゲート電極に接する貫通電極とを備えた固体撮像装置。

30

(2)

前記ゲート電極は、複数の方向で前記半導体層に対向している

前記(1)に記載の固体撮像装置。

(3)

前記半導体層は少なくとも1のフィンを有し、

前記ゲート電極は、前記フィンの複数の面に対向している

前記(1)または(2)に記載の固体撮像装置。

(4)

前記半導体層は、複数の前記フィンを有し、

更に、隣り合う前記フィンの間に設けられた絶縁膜を有する

前記(3)に記載の固体撮像装置。

40

(5)

前記半導体層は、複数の前記フィンを有し、

前記半導体層は、更に、隣り合う前記フィンをつなぐ連結部を有する

前記(3)に記載の固体撮像装置。

(6)

前記ゲート電極は、前記第1基板に対向する表面と、前記表面に交差する方向に設けられるとともに前記貫通電極に接する側面とを含む

前記(1)ないし(5)のうちいずれか1つに記載の固体撮像装置。

(7)

50

前記ゲート電極は、前記表面が設けられた水平部と、前記側面が設けられるとともに前記半導体層と前記貫通電極との間に設けられた側壁部とを有し、

前記側壁部が、前記半導体層の厚み方向にわたって設けられている

前記（６）に記載の固体撮像装置。

（８）

更に、前記水平部に接続されるとともに、前記半導体層の厚み方向の一部に埋め込まれた垂直部を有する

前記（７）に記載の固体撮像装置。

（９）

前記ゲート電極の前記表面の一部も前記貫通電極に接する

前記（６）に記載の固体撮像装置。

10

（１０）

前記ゲート電極には貫通孔が設けられ、

前記貫通孔の内周面に前記貫通電極が接する

前記（１）ないし（６）のうちいずれか１つに記載の固体撮像装置。

（１１）

前記第２基板は、更に、前記半導体層を分断する絶縁領域を有し、

前記貫通電極は、前記絶縁領域を貫通して設けられている

前記（１）ないし（１０）のうちいずれか１つに記載の固体撮像装置。

20

（１２）

前記画素トランジスタは増幅トランジスタである

前記（１）ないし（１１）のうちいずれか１つに記載の固体撮像装置。

（１３）

前記貫通電極は、前記電荷蓄積部と前記画素トランジスタの前記ゲート電極とを電氣的に接続する

前記（１）ないし（１２）のうちいずれか１つに記載の固体撮像装置。

（１４）

更に、複数の前記電荷蓄積部に接続されるとともに、前記第１基板に設けられた共有接続部を有し、

前記貫通電極の一端が、前記共有接続部に接している

前記（１）ないし（１３）のうちいずれか１つに記載の固体撮像装置。

30

【符号の説明】

【０２６２】

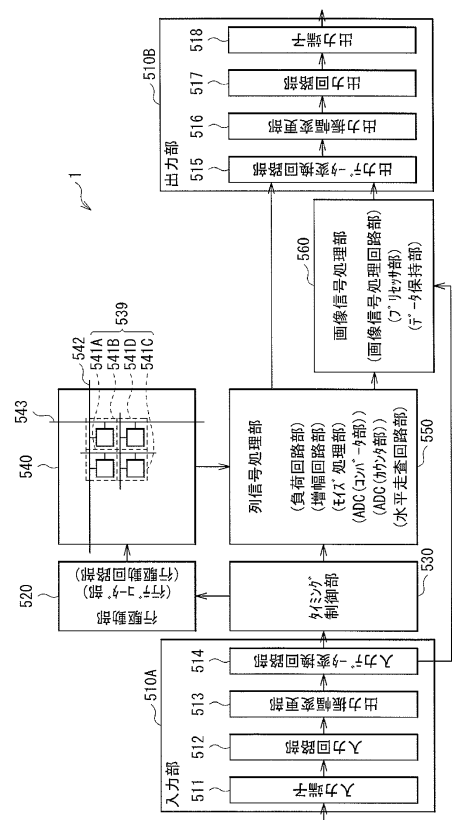
本出願は、日本国特許庁において２０１９年６月２６日に出願された日本特許出願番号２０１９－１１８４７４号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

【０２６３】

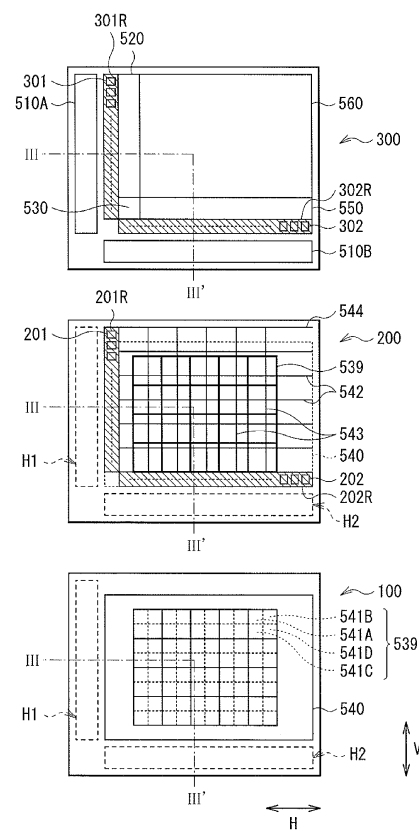
当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

40

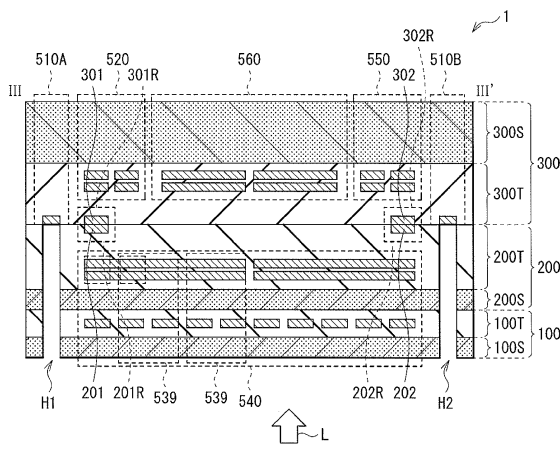
【図面】
【図 1】



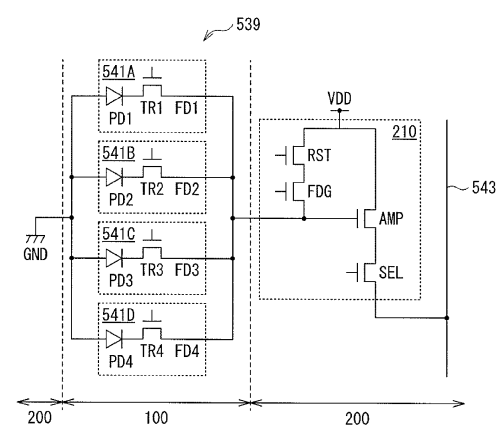
【図 2】



【図 3】



【図 4】



10

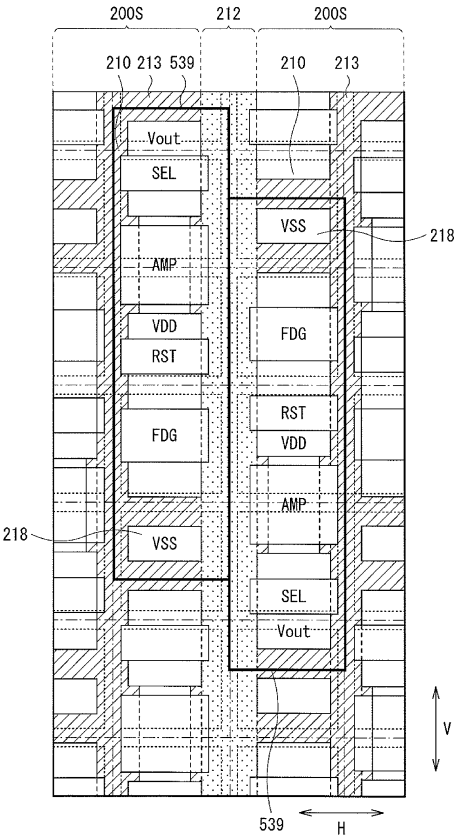
20

30

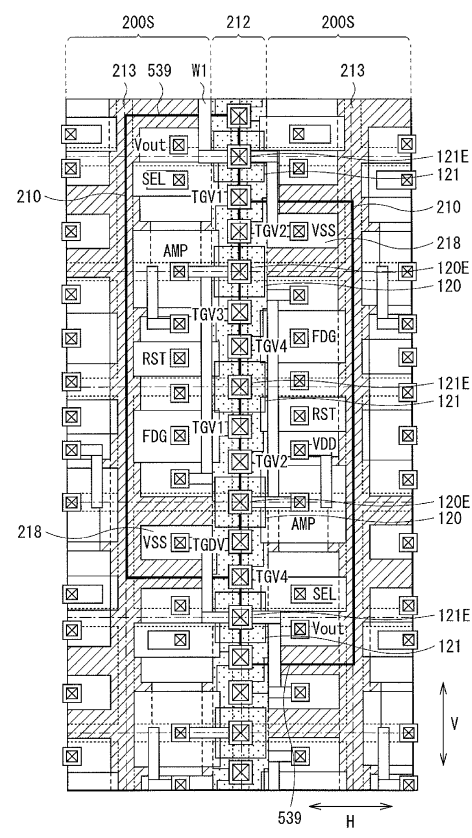
40

50

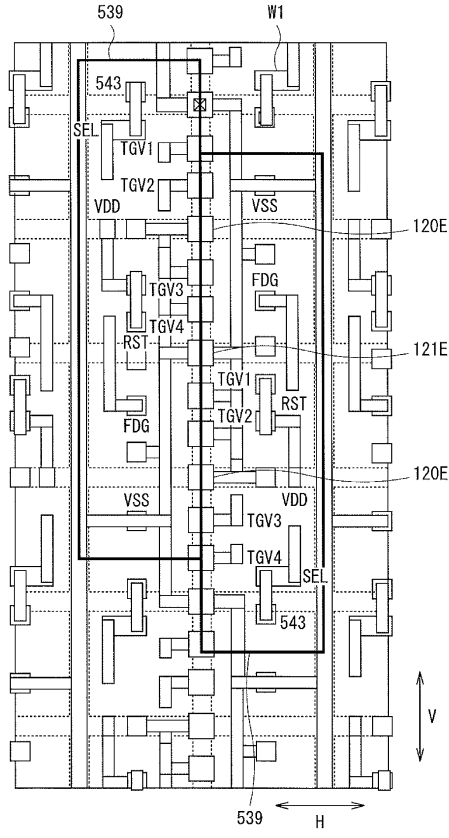
【図 8】



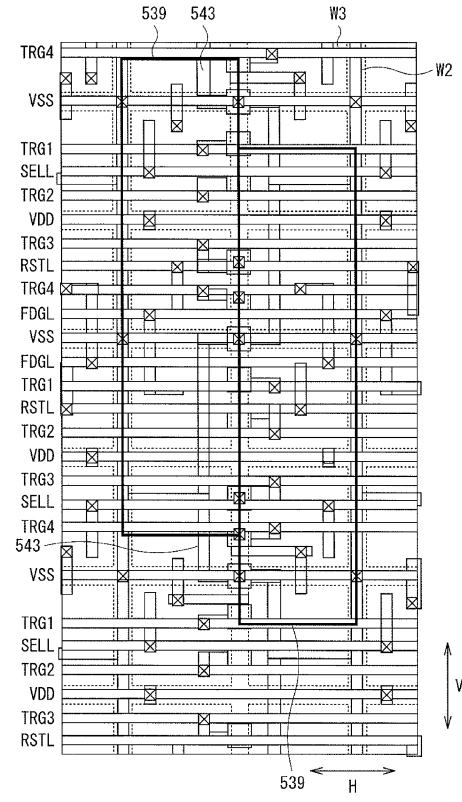
【図 9】



【図 10】



【図 11】



10

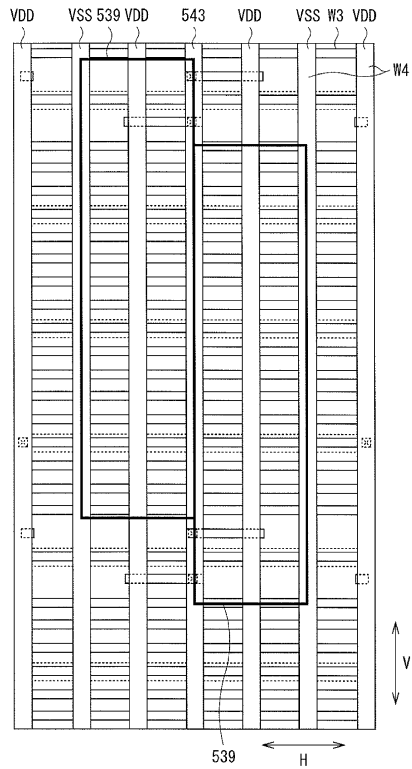
20

30

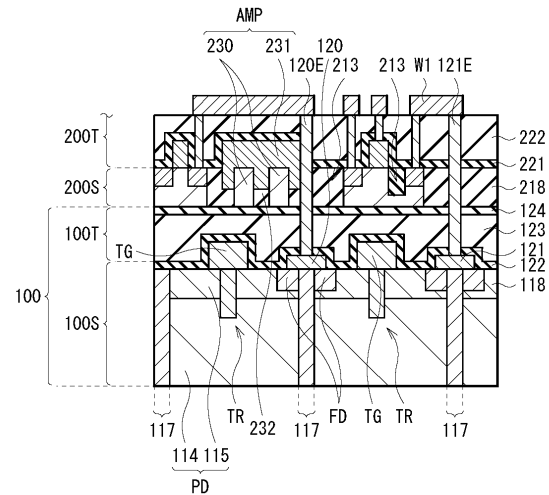
40

50

【図 1 2】



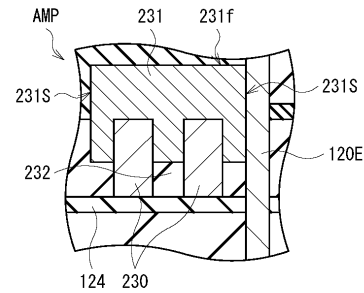
【図 1 3】



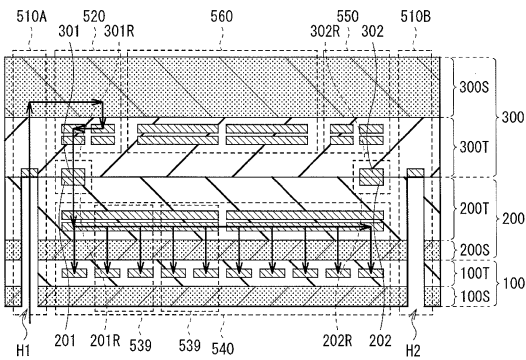
10

20

【図 1 4】



【図 1 5】

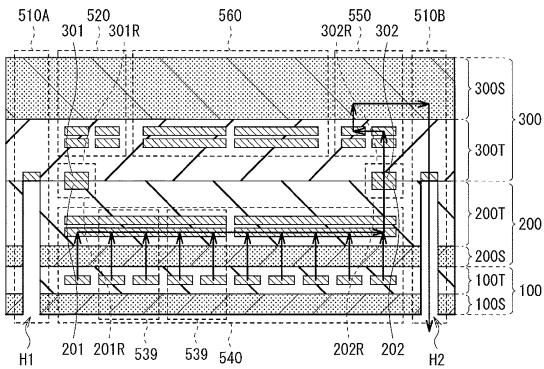


30

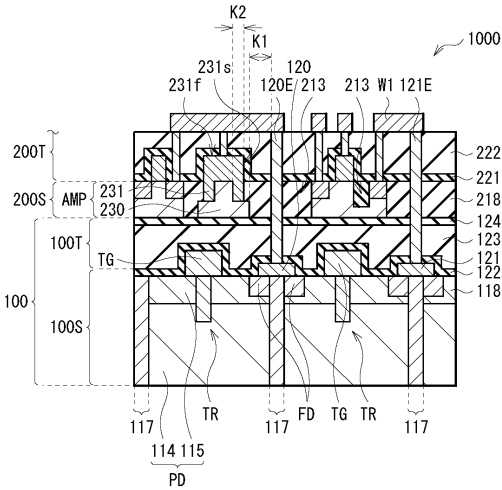
40

50

【図 16】

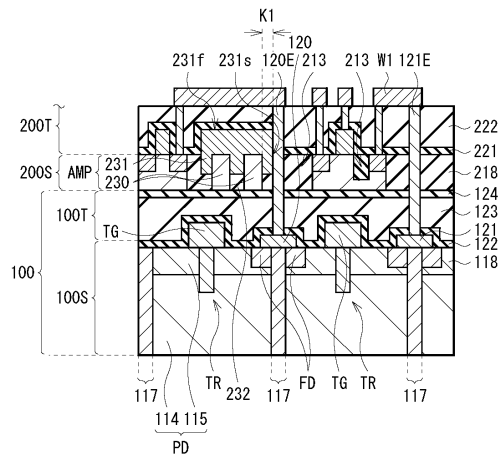


【図 17】

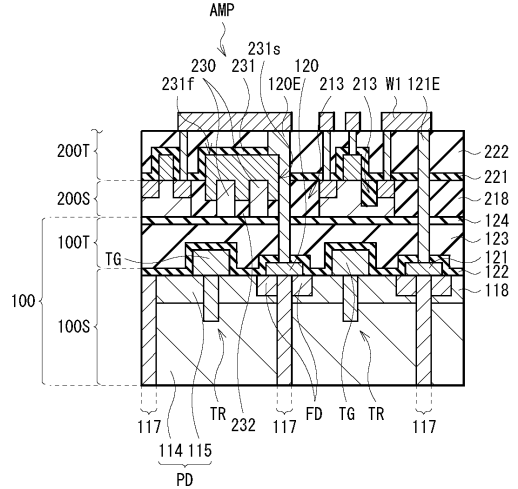


10

【図 18】



【図 19】



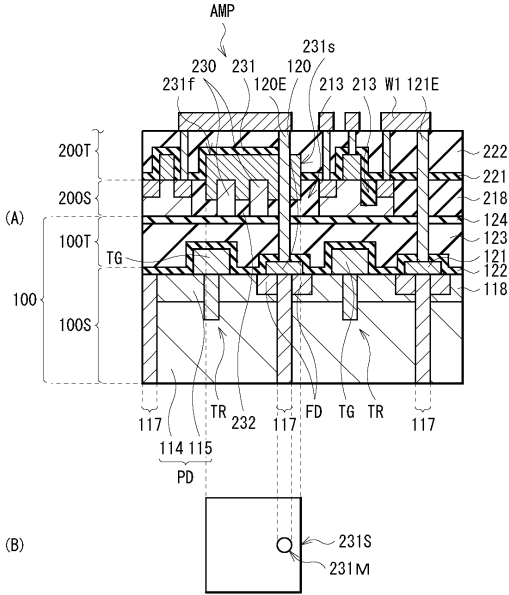
20

30

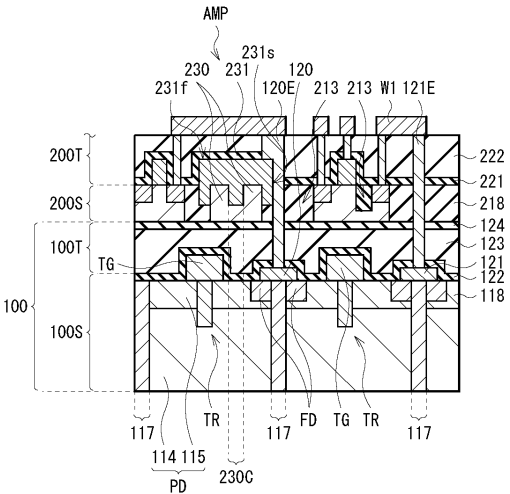
40

50

【図 20】

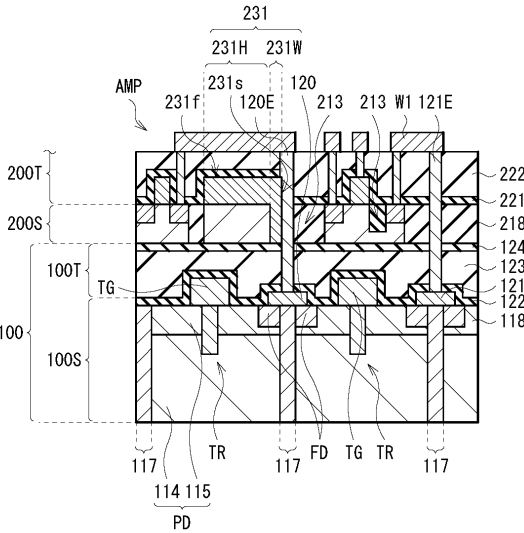


【図 21】

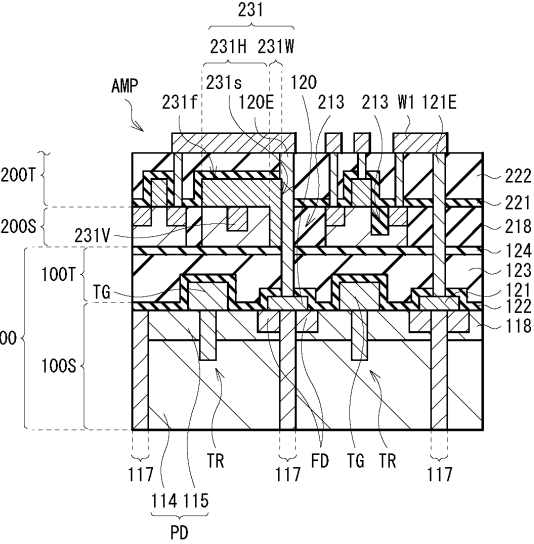


10

【図 22】



【図 23】



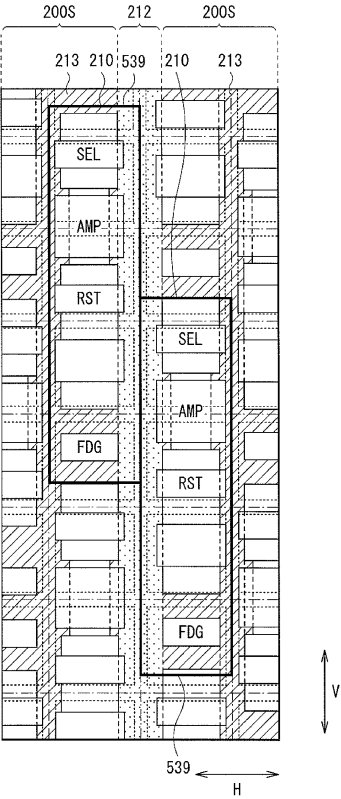
20

30

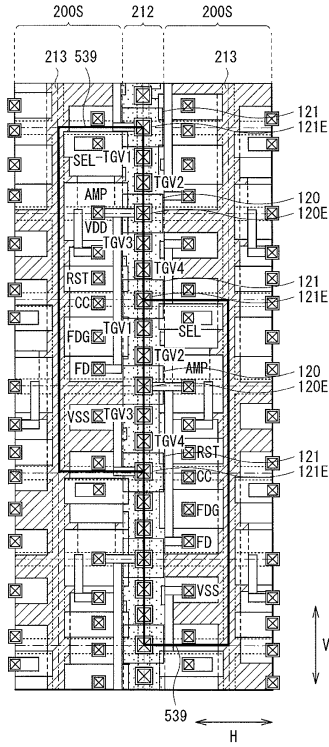
40

50

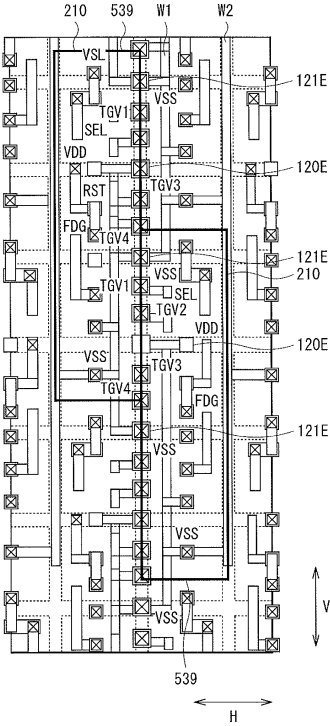
【図 2 4】



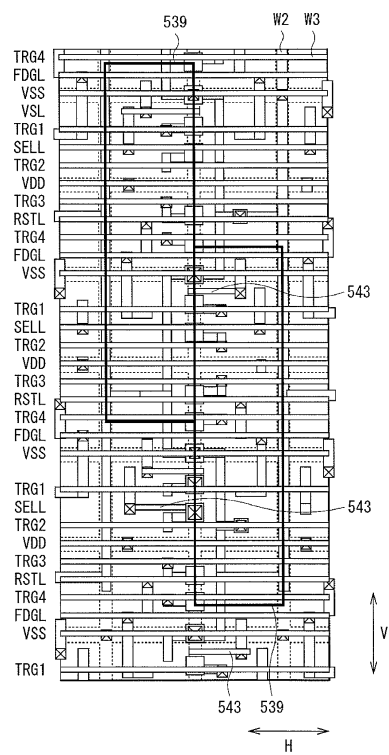
【図 2 5】



【図 2 6】



【図 2 7】



10

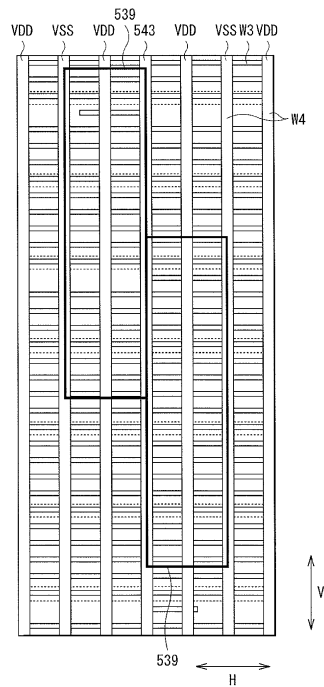
20

30

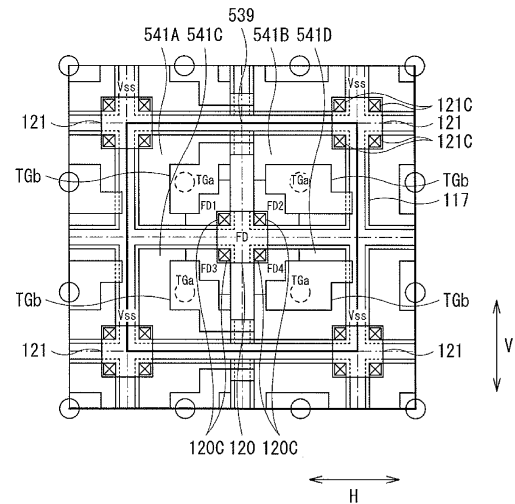
40

50

【図 28】



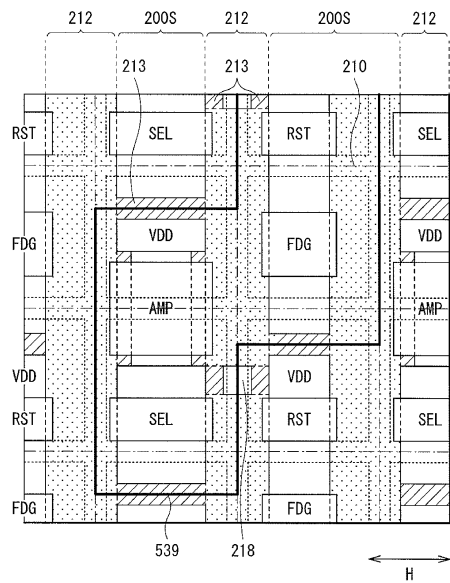
【図 29】



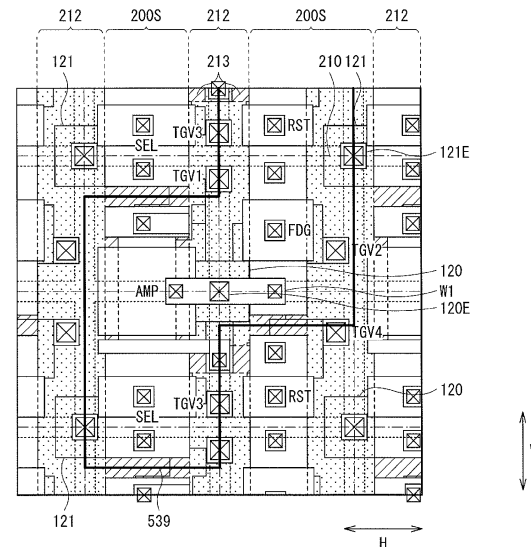
10

20

【図 30】



【図 31】

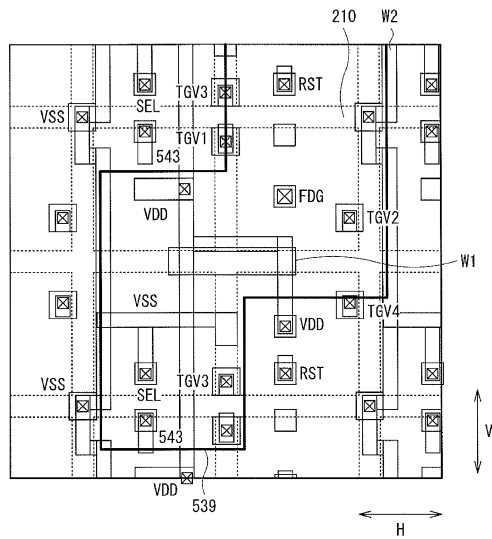


30

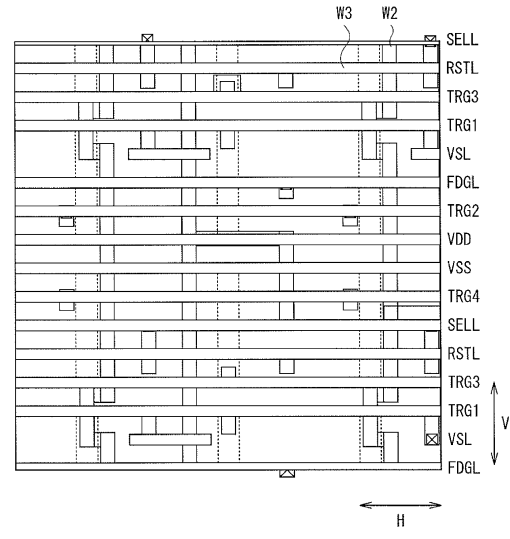
40

50

【図 3 2】

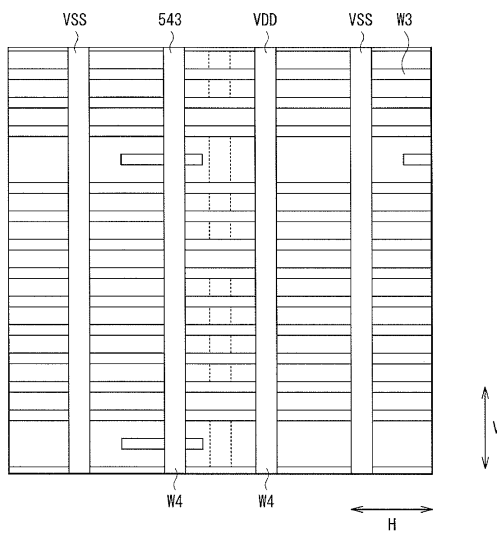


【図 3 3】

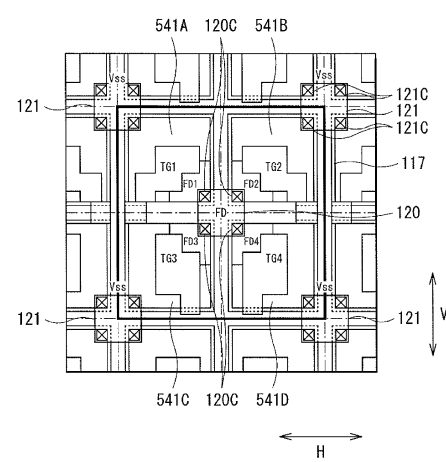


10

【図 3 4】



【図 3 5】



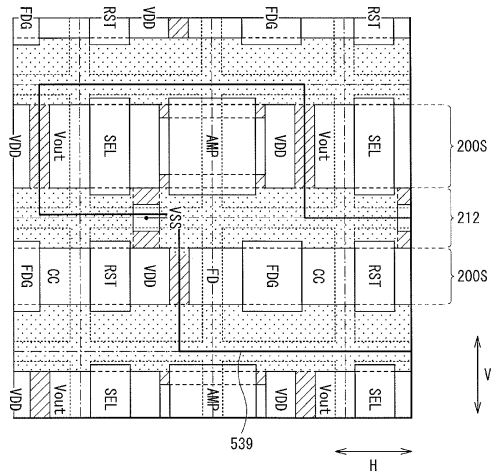
20

30

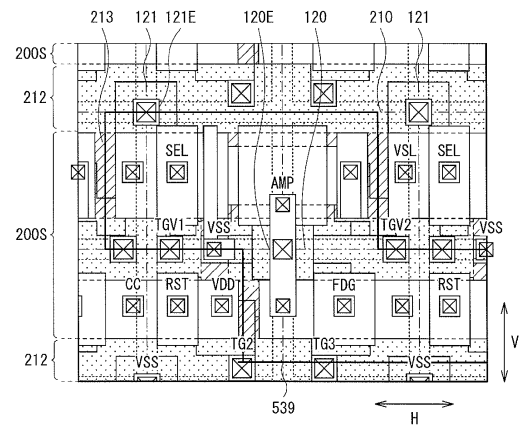
40

50

【図 3 6】

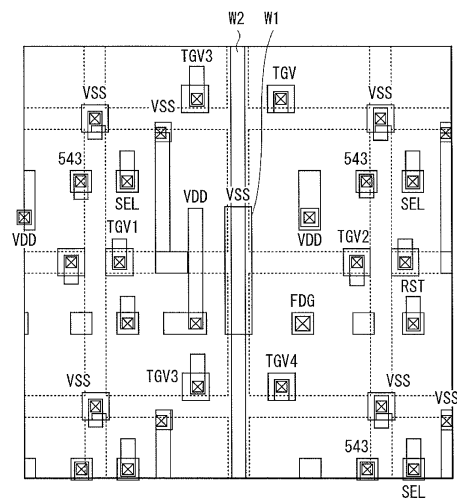


【図 37】

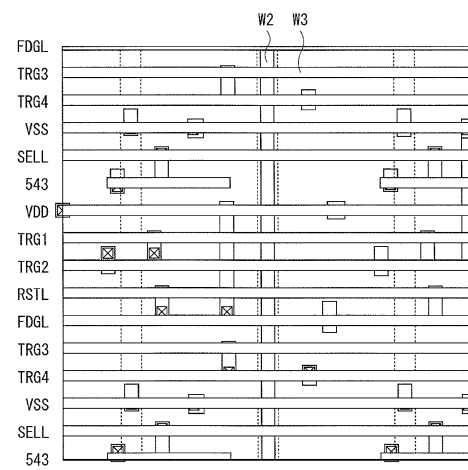


10

【図 38】



【図 39】



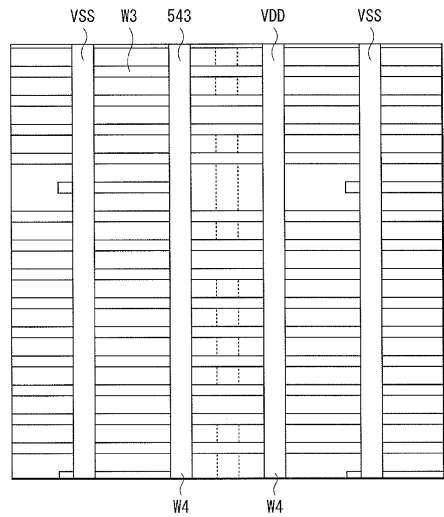
20

30

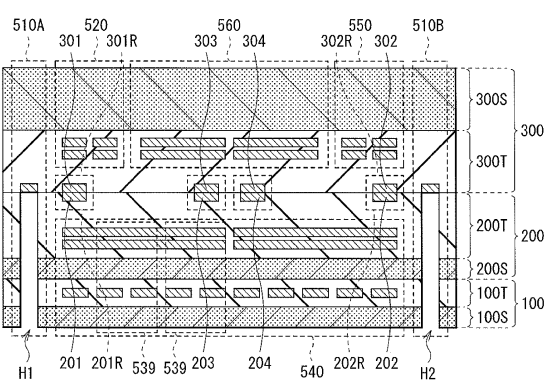
40

50

【図 4 0】

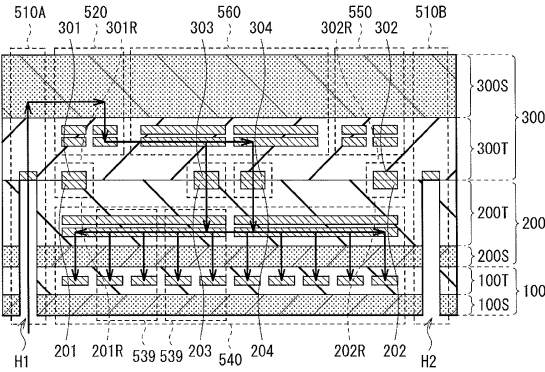


【図 4 1】

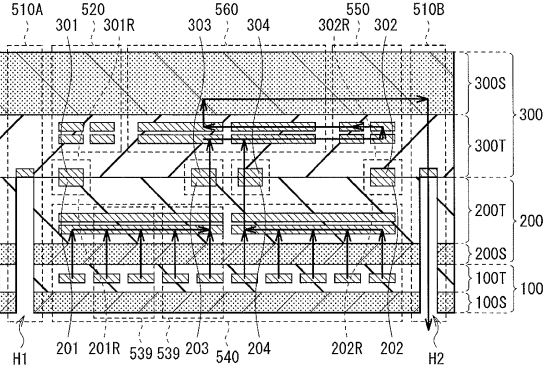


10

【図 4 2】



【図 4 3】



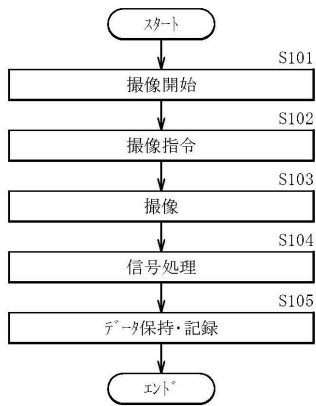
20

30

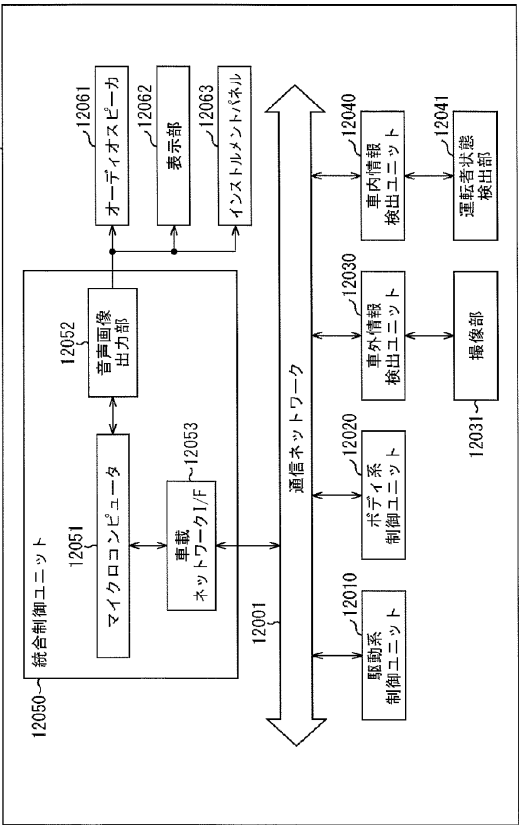
40

50

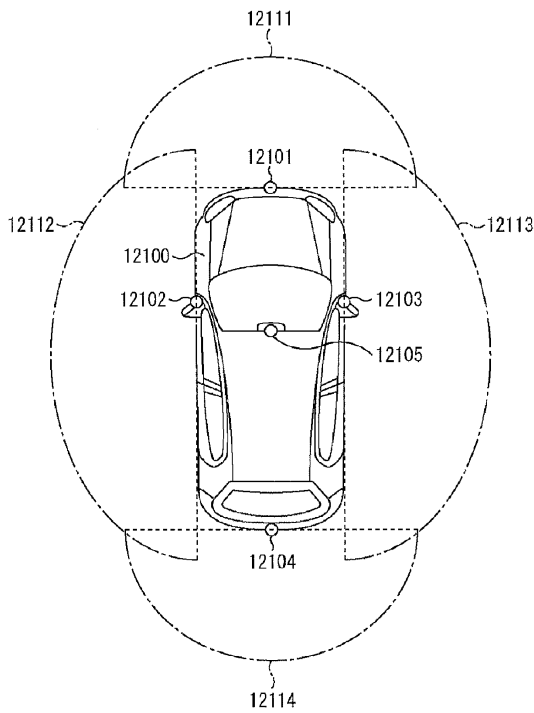
【図 5 6】



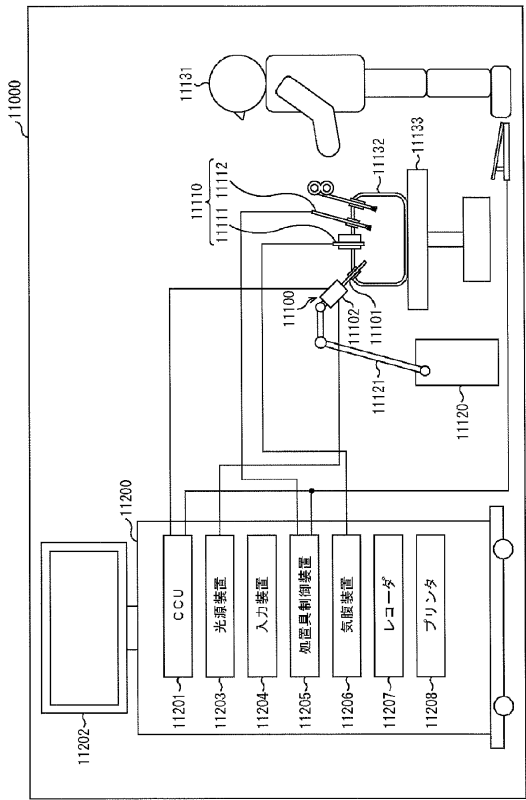
【図 5 7】



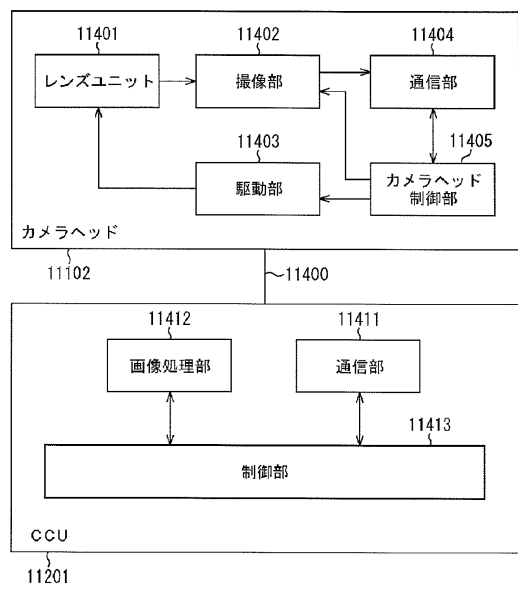
【図 5 8】



【図 5 9】



【図 60】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
	H 0 1 L	29/78	6 1 3 Z
	H 0 1 L	29/78	6 1 8 C
(56)参考文献	国際公開第 2 0 1 1 / 0 7 7 5 8 0 (W O , A 1)		
	特開 2 0 1 4 - 0 2 2 5 6 1 (J P , A)		
	米国特許出願公開第 2 0 1 7 / 0 3 4 5 8 5 4 (U S , A 1)		
	特開 2 0 1 1 - 0 4 9 4 4 5 (J P , A)		
	国際公開第 2 0 1 6 / 1 3 6 4 8 6 (W O , A 1)		
	特開 2 0 1 2 - 0 1 5 2 7 7 (J P , A)		
	特開 2 0 1 7 - 1 8 3 6 3 6 (J P , A)		
	国際公開第 2 0 1 7 / 1 3 8 1 9 7 (W O , A 1)		
	国際公開第 2 0 1 3 / 0 9 4 4 3 0 (W O , A 1)		
	特開 2 0 1 5 - 0 3 2 6 8 7 (J P , A)		
(58)調査した分野	(Int.Cl., D B 名)		
	H 0 1 L	2 7 / 1 4 6	
	H 0 4 N	2 5 / 7 0	
	H 0 4 N	2 5 / 7 6	
	H 0 4 N	2 5 / 7 7 8	
	H 0 1 L	2 9 / 7 8 6	