



(10) **DE 10 2007 063 270 B4** 2011.06.01

(12) **Patentschrift**

(21) Aktenzeichen: **10 2007 063 270.5**
(22) Anmeldetag: **31.12.2007**
(43) Offenlegungstag: **02.07.2009**
(45) Veröffentlichungstag
der Patenterteilung: **01.06.2011**

(51) Int Cl.: **H01L 21/28 (2006.01)**
H01L 21/336 (2006.01)
H01L 21/8234 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
AMD Fab 36 Limited Liability Company & Co. KG,
01109 Dresden, DE; GLOBALFOUNDRIES Inc.,
Grand Cayman, KY

(74) Vertreter:
Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80802 München

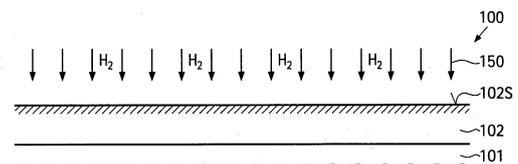
(72) Erfinder:
Trentzsch, Martin, 01237 Dresden, DE; Kammler,
Thorsten, 01458 Ottendorf-Okrilla, DE; Stephan,
Rolf, 01139 Dresden, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

US	62 71 573	B1
US	2004/01 32 253	A1
US	60 54 355	A
US	42 77 320	A
EP	14 50 395	A2
EP	09 82 764	A2

(54) Bezeichnung: **Verfahren zur Verringerung zur Erzeugung von Ladungseinfangstellen in Gatedielektrika in MOS-Transistoren durch Ausführen einer Wasserstoffbehandlung**

(57) Hauptanspruch: Verfahren mit:
Bilden einer Grabenisolationsstruktur (104) in einer siliziumhaltenden Halbleiterschicht (102) mit einer siliziumhaltenden Halbleiteroberfläche (102s) durch Strukturieren eines Grabens und erneutes Auffüllen des Grabens mit einem dielektrischen Material;
Ausführen mindestens einer Wärmebehandlung (151) in einer wasserstoffhaltenden Umgebung an einem Substrat (101), auf welchem die siliziumhaltende Halbleiteroberfläche (102s) freigelegt ist, wobei die Wärmebehandlung (151) nach dem Bilden der Grabenisolationsstruktur (104) ausgeführt wird;
Einführen einer Dotierstoffsorte in die siliziumhaltende Halbleiterschicht (102) unter Anwendung eines Puffermaterials (106) nach dem Ausführen der mindestens einen Wärmebehandlung (151) in der wasserstoffhaltenden Umgebung;
Bilden eines Gatedielektrikumsmaterials (110, 110a, 110b, 110c) auf der siliziumhaltenden Halbleiteroberfläche (102s); und
Bilden eines Feldeffekttransistors (120a) auf der Grundlage des Gatedielektrikumsmaterials (110, 110a, 110b, 110c).



Beschreibung

Gebiet der vorliegenden Erfindung

[0001] Im Allgemeinen betrifft die vorliegende Erfindung moderne integrierte Schaltungen, etwa CPU's, in denen größenreduzierte Transistorelemente enthalten sind und betrifft insbesondere die Erzeugung von Ladungsträgereinfangstellen, die die Leistung reduzieren, an der Grenzfläche zwischen dem Gate-dielektrikumsmaterial und dem Kanalgebiet.

Beschreibung des Stands der Technik

[0002] Die Herstellung moderner integrierter Schaltungen, etwa CPU's, Speicherbauelemente, ASIC's (anwendungsspezifische integrierte Schaltungen) und dergleichen erfordert das Ausbilden einer großen Anzahl an Schaltungselementen auf einer vorgegebenen Chipfläche gemäß einer spezifizierten Schaltungsanordnung, wobei Feldeffekttransistoren eine wichtige Art an Schaltungselementen repräsentieren, die im Wesentlichen das Leistungsverhalten der integrierten Schaltungen bestimmen. Im Allgemeinen werden mehrere Prozesstechnologien aktuell eingesetzt, wobei für viele Arten komplexer Schaltungen mit Feldeffekttransistoren die MOS-Technologie gegenwärtig eine der vielversprechendsten Vorgehensweisen ist auf Grund der guten Eigenschaften im Hinblick auf die Arbeitsgeschwindigkeit und/oder Leistungsaufnahme und/oder Kosteneffizienz. Während der Herstellung komplexer integrierter Schaltungen unter Anwendung von beispielsweise der MOS-Technologie werden Millionen Transistoren, beispielsweise n-Kanaltransistoren und/oder p-Kanaltransistoren, auf einem Substrat hergestellt, das eine kristalline Halbleiterschicht aufweist. Ein Feldeffekttransistor enthält, unabhängig davon, ob ein n-Kanaltransistor oder ein p-Kanaltransistor betrachtet wird, sogenannte pn-Übergänge, die durch eine Grenzfläche stark dotierter Gebiete, die auch als Drain- und Sourcegebiete bezeichnet werden, mit einem leicht dotierten oder nicht dotierten Gebiet, etwa einem Kanalgebiet, das benachbart zu den stark dotierten Gebieten angeordnet ist, gebildet werden. In einem Feldeffekttransistor wird die Leitfähigkeit des Kanalgebiets, d. h. der Durchlassstrom des leitenden Kanals, durch eine Gateelektrode gesteuert, die benachbart zu dem Kanalgebiet angeordnet und davon durch eine dünne isolierende Schicht getrennt ist. Die Leitfähigkeit des Kanalgebiets beim Aufbau eines leitenden Kanals auf Grund des Anlegens einer geeigneten Steuerspannung an die Gateelektrode hängt von der Dotierstoffkonzentration, der Beweglichkeit der Ladungsträger und – für eine gegebene Ausdehnung des Kanalgebiets in der Transistorbreitenrichtung – von dem Abstand zwischen dem Source- und dem Draingebiet ab, der auch als Kanallänge bezeichnet wird. Somit ist in Verbindung mit der Fähigkeit, rasch einen leitenden Kanal unter der isolierenden Schicht

beim Anlegen der Steuerspannung an der Gateelektrode aufzubauen, die Leitfähigkeit des Kanalgebiets ein wesentlicher Faktor für das Leistungsverhalten von MOS-Transistoren. Da somit die Geschwindigkeit des Erzeugens des Kanals, die von der Leitfähigkeit der Gateelektrode abhängt, und der Kanalwiderstand im Wesentlichen die Transistoreigenschaften bestimmen, ist die Reduzierung der Kanallänge – und damit verknüpft die Reduzierung des Kanalwiderstands und die Erhöhung des Gatewiderstands – ein wesentliches Entwurfskriterium, um eine Zunahme der Arbeitsgeschwindigkeit integrierter Schaltungen zu erreichen.

[0003] Gegenwärtig wird der überwiegende Anteil integrierter Schaltungen auf Grundlage von Silizium hergestellt auf Grund der im Wesentlichen unbegrenzten Verfügbarkeit, der gut verstandenen Eigenschaften von Silizium und zugehörigen Materialien und Prozessen und auf Grund der Erfahrung, die über die letzten 50 Jahre gewonnen wurde. Daher bleibt Silizium mit hoher Wahrscheinlichkeit das Material der Wahl für künftige Schaltungsgenerationen für Massenprodukte. Ein Grund für die große Bedeutung bei der Herstellung von Halbleiterbauelementen sind die guten Eigenschaften einer Grenzfläche zwischen Silizium und Siliziumdioxid, wodurch eine zuverlässige elektrische Isolierung unterschiedlicher Gebiete möglich ist. Die Silizium/Siliziumdioxid-Grenzfläche ist bei hohen Temperaturen stabil und ermöglicht damit das Ausführen nachgeordneter Hochtemperaturprozesse, wie sie beispielsweise für Ausheizzyklen zum Aktivieren von Dotiermitteln und zum Ausheilen von Kristallschäden erforderlich sind, ohne die elektrischen Eigenschaften der Grenzfläche zu beeinträchtigen.

[0004] Aus den zuvor genannten Gründen wird Siliziumdioxid vorzugsweise als eine Gateisolations-schicht in Feldeffekttransistoren eingesetzt, die die Gateelektrode, die häufig aus Polysilizium oder anderen metallenthaltenden Materialien aufgebaut ist, von dem Kanalgebiet trennt. Mit dem stetigen Verbessern des Bauteilleistungsverhaltens von Feldeffekttransistoren wurde die Länge des Kanalgebiets kontinuierlich reduziert, um damit die Schaltgeschwindigkeit und den Durchlassstrom zu verbessern. Da das Transistorverhalten durch die Spannung gesteuert wird, die der Gateelektrode zum Invertieren der Oberfläche des Kanalgebiets zugeführt wird, um eine ausreichend hohe Ladungsdichte zum Bereitstellen des gewünschten Durchlassstromes für eine gegebene Versorgungsspannung zu erhalten, ist ein gewisses Maß an kapazitiver Kopplung beizubehalten, die durch den Kondensator vermittelt wird, der durch die Gateelektrode, das Kanalgebiet und das dazwischen angeordnete Siliziumdioxid gebildet ist. Es zeigt sich jedoch, dass das Reduzieren der Kanallänge eine Erhöhung der kapazitiven Kopplung erfordert, um das sogenannte Kurzkanalverhalten wäh-

rend des Transistorbetriebs zu vermeiden. Das Kurzkanalverhalten kann zu einem erhöhten Leckstrom oder zu einer Abhängigkeit der Schwellwertspannung von der Kanallänge führen. Aggressiv größenreduzierte Transistorbauelemente mit einer relativ geringen Versorgungsspannung und damit einer reduzierten Schwellwertspannung weisen einen exponentiellen Anstieg der Leckströme auf, wobei diese auch eine erhöhte kapazitive Kopplung der Gateelektrode an das Kanalgebiet erfordern. Somit muss die Dicke der Siliziumdioxidschicht entsprechend reduziert werden, um die erforderliche Kapazität zwischen dem Gate und dem Kanalgebiet zu schaffen. Beispielsweise erfordert eine Kanallänge von ungefähr 0,08 μm ein Gatedielektrikum mit einer Dicke, die ungefähr 1,2 nm beträgt, wenn es aus Siliziumdioxid hergestellt ist. Obwohl im Allgemeinen Hochgeschwindigkeitstransistorelemente mit einem extrem kurzen Kanal für Hochgeschwindigkeitsanwendungen vorgezogen werden, wohingegen Transistorelemente mit einem längeren Kanal für weniger kritische Anwendungen eingesetzt werden, etwa als Speichertransistorelemente, können die relativ hohen Leckströme, die durch das direkte Tunneln von Ladungsträgern durch eine sehr dünne Siliziumdioxidgateisolationsschicht auftreten können, Werte erreichen für eine Oxiddicke im Bereich von 1 bis 2 nm, die Grenzen für Schaltungen, die gewisse Leistungsanforderungen erfüllen müssen, repräsentieren. D. h., die Produktzuverlässigkeit und die Lebensdauer sind eng mit den Kurzkanaleffekten verknüpft, d. h. der Stoßionisation und dem Einfang energiereicher Ladungsträger (HCI) in Verbindung mit dem Leckstromverhalten der Gatedielektrika.

[0005] Ein weiterer lang bekannter Effekt gewinnt zunehmend an Bedeutung für CMOS-Bauelemente, wenn die Schwellwertspannung und die Versorgungsspannungen ständig verringert werden. Es wurde in den 60iger Jahren beobachtet, dass das Anlegen einer negativen Spannung möglicherweise in Verbindung mit thermischer Verspannung an die Gateelektrode von MOS-Transistoren zu einer Verschiebung der Schwellwertspannung führt, d. h. einer Verschiebung der speziellen Gatespannung, bei der sich ein leitender Kanal benachbart zu der Gateisolationsschicht ausbildet. Dieser Effekt wird auch als „negative Vorspannungstemperaturinstabilität (NBTI)“ bezeichnet und kommt hauptsächlich in PMOS-Transistoren vor und wurde als nicht besonders relevant für Halbleiterbauelemente in den folgenden Jahren erachtet auf Grund des geringen Einflusses auf das Gesamtbauteilverhalten, insbesondere, da zunehmend NMOS-Bauelemente entwickelt wurden. Diese Situation änderte sich mit der Einführung komplexer CMOS-Bauelemente mit leistungsstarken Logikschaltungen, in denen Millionen Signalknoten mit PMOS- und NMOS-Transistoren typischerweise vorgesehen sind. Wie zuvor erläutert ist, werden in diesen Bauelementen die Schwellwertspannungen

und die Versorgungsspannungen zunehmend reduziert, während andererseits die elektrischen Felder durch die Gatedielektrika hindurch größer werden. Unter derartigen Bedingungen kann eine Änderung der Schwellwertspannung einen noch größeren Einfluss ausüben, da die Variabilität beim Transistorbetrieb auf Grund des relativ höher werdenden Einflusses einer Verschiebung der Schwellwertspannung zunimmt. Ferner können die Betriebszustände, die sich aus dem Anlegen einer negativen Spannung an die Gateelektrode eines PMOS-Transistor ergeben, von dem betrachteten Signalweg und den Gesamtbetriebsbedingungen abhängen, wodurch die Schwellwertverschiebung sehr unvorhersagbar ist und damit geeignete Entwurfskriterien erforderlich sind, um das gewünschte Leistungsverhalten der Transistoren über die gesamte spezifiziertere Lebensdauer des Bauelements sicherzustellen. Beispielsweise kann eine Verschiebung der Schwellwertspannung über die akkumulierte Betriebsdauer zu einer Verletzung der Zeitablaufspezifizierung des Bauelements führen, wodurch eine weitere Verwendung des Bauelements unter Umständen nicht mehr zulässig ist, trotz der Tatsache, dass kein wesentlicher Ausfall auftrat.

[0006] Im Allgemeinen ist der NBTI-Effekt mit der Qualität des Gatedielektrikums, das beispielsweise Silizium, Sauerstoff und Stickstoff enthält, und auch mit der Qualität der Grenzfläche zwischen dem Silizium in dem Kanalgebiet und dem Gatedielektrikum verknüpft. D. h., bei Bedingungen einer negativen Gatespannung, einer erhöhten Temperatur oder einer anderen Belastung wird eine Ladungsträgereinfangstelle in der Nähe der Grenzfläche durch einen Grenzflächenzustand erzeugt, wodurch Löcher eingefangen werden. Auf Grund der positiven Grenzflächenzustände und der eingefangenen Ladungen kann eine Verschiebung der Schwellwertspannung beobachtet werden, die sich im Laufe der Zeit in Abhängigkeit von dem Gesamtbelastungsbedingungen, die der Transistor erfährt, vergrößern kann. In NMOS-Transistoren ist dieser Effekt deutlich weniger ausgeprägt, da die Grenzflächenzustände und die stationären Ladungen unterschiedliche Polarität aufweisen, woraus sich ein geringerer Nettoeffekt ergibt.

[0007] Die EP 0 982 764 A2 offenbart ein Verfahren zum Bilden von Gateoxidschichten für Transistoren, wobei eine Wasserstoffbehandlung zum Entfernen von natürlichen Oxiden vor dem Bilden der Gateoxidschicht ausgeführt wird.

[0008] Die EP 1 450 395 A2 offenbart einen Flusssäurereinigungsschritt, der vor dem Ausbilden einer Siliziumoxidunterlageschicht für ein high-k Gate-Material ausgeführt wird. Der Reinigungsschritt wird bei Raumtemperatur ausgeführt.

[0009] Die US 4 277 320 A offenbart einen Prozess zum direkten thermischen Bilden von Siliziumnitrid

auf Siliziumwafern, wobei der Wafer einer Stickstoffatmosphäre ausgesetzt wird. Bevor der Wafer der Stickstoffatmosphäre ausgesetzt wird, werden mittels einer Wasserstoffatmosphäre natürliche Oxide von der Oberfläche des Siliziumwafers entfernt.

[0010] Die US 2004/0132253 A1 offenbart ein Verfahren zum Herstellen von Halbleiterbauteilen mit Gateisolationsschichten mit unterschiedlichen Dicken, wobei nach einem Entfernen einer ersten Gateisolationsschicht die darunter liegende Siliziumschicht wieder der Umgebungsatmosphäre ausgesetzt wird, sodass diese wieder oxidiert wird. Diese Oxidationsschicht wird vor dem Ausbilden einer zweiten Gateisolationsschicht teilweise entfernt.

[0011] Die US 6 054 355 A offenbart ein Verfahren zur Herstellung von Feldeffekttransistoren mittels Gateaustauschtechniken unter Anwendung von Wasserstoffwärmebehandlungen, wobei Grabenstrukturen gebildet werden und anschließend Dotierstoffe in eine zwischen den Grabenstrukturen angeordnete Halbleiterschicht eingebracht werden.

[0012] Die US 6 271 573 B1 offenbart ein Verfahren zum Herstellen von Halbleiterbauteilen mittels Gateaustauschtechniken.

[0013] Da der NBTI-Effekt bei Verringerung der Dicke der Gatedielektrika und der Gesamtbauteilabmessungen zunehmend an Bedeutung gewinnt, betrifft die vorliegende Erfindung Verfahren und Bauelemente zum Vermeiden oder zumindest zum Reduzieren der Auswirkungen eines oder mehrere der oben erkannten Probleme.

Überblick über die vorliegende Erfindung

[0014] Im Allgemeinen betrifft die vorliegende Erfindung Techniken und Halbleiterbauelemente, in denen die mit Belastung in Beziehung stehende Verschiebung der Schwellwertspannung im Laufe der Zeit in modernen Feldeffekttransistoren insbesondere in p-Kanaltransistoren reduziert werden kann, indem eine freiliegende siliziumhaltende Oberfläche einer Halbleiterschicht vor der Herstellung von dielektrischen Gatematerialien, etwa Gateisolationsschichten auf Basis von Siliziumdioxid, oder auf Grundlage anderer dielektrischer Gatematerialien konditioniert bzw. präpariert wird, um damit die Eigenschaften des kristallinen Materials in der Nähe der Oberfläche zu verbessern, wodurch auch die Grenzfläche verbessert wird, die mit dem dielektrischen Gatematerial gebildet wird. Auf Grund der verbesserten Oberflächenkristallqualität und der oberflächennahen Kristallqualität des Halbleitermaterials wird auch die Qualität des dielektrischen Gatematerials verbessert, wodurch zu einer geringeren Anzahl an Ladungseinfangstellen beigetragen wird, die die Schwellwertspannung beeinflussen können, wie dies zuvor erläutert ist. Oh-

ne die vorliegende Anmeldung auf die folgende Erläuterung einschränken zu wollen, so wird dennoch angenommen, dass auf Grund der besseren Qualität des kristallinen Halbleitermaterials in der Nähe der Grenzfläche zwischen dem dielektrischen Gatematerial und dem siliziumhaltenden Halbleitermaterial und auf Grund der verbesserten Qualität des dielektrischen Gatematerials selbst das Erzeugen entsprechender Ladungseinfangstellen während des Auftretens von Belastungsbedingungen, etwa dem statischen und dynamischen Anlegen einer negativen Vorspannung, dem Auftreten einer hohen Temperatur und dergleichen, verringert werden kann, wodurch auch die Schwellwertspannungsvariabilität über die Lebensdauer des Bauelements hinweg verbessert wird. Somit kann eine erhöhte Flexibilität für das Entwerfen der Gesamtschaltungsanordnung erreicht werden, da weniger ausgeprägte Spielräume im Hinblick auf die Schwellwertspannungsbeeinträchtigung berücksichtigt werden müssen.

[0015] Die Aufgabe der vorliegenden Erfindung wird durch die Verfahren der Ansprüche 1 und 10 gelöst.

Kurze Beschreibung der Zeichnungen

[0016] Weitere Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen definiert und gehen deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn diese mit Bezug zu den begleitenden Zeichnungen studiert wird, in denen:

[0017] [Fig. 1a](#) bis [Fig. 1i](#) schematisch Querschnittsansichten eines Halbleiterbauelements während diverser Fertigungsphasen eines Prozessablaufs zur Herstellung eines Gatedielektrikumsmaterials zeigen, wobei mindestens ein mal eine freiliegende siliziumhaltende Oberfläche einer Halbleiterschicht in eine Wasserstoffumgebung bei erhöhten Temperaturen gemäß anschaulicher Ausführungsformen eingebracht wird;

[0018] [Fig. 1j](#) schematisch eine Querschnittsansicht des Halbleiterbauelements mit dem Gatedielektrikumsmaterial, das zuvor hergestellt wurde, und entsprechender Transistorstrukturen gemäß anschaulicher Ausführungsformen zeigt; und

[0019] [Fig. 1k](#) bis [Fig. 1m](#) schematisch Querschnittsansichten eines Halbleiterbauelements während diverser Fertigungsphasen zeigen, in denen eine Austauschgatestruktur in einer späteren Fertigungsphase mit einer zusätzlichen Wärmebehandlung in Anwesenheit von Wasserstoff gebildet wird, bevor das endgültige Gatedielektrikumsmaterial gemäß noch weiterer anschaulicher Ausführungsformen hergestellt wird.

Detaillierte Beschreibung

[0020] Im Allgemeinen betrifft die vorliegende Erfindung Fertigungstechniken und entsprechende Halbleiterbauelemente, in denen ein Prozessablauf zur Herstellung von Gatedielektrikumsmaterialien eine oder mehrere Wärmebehandlungen eines freigelegten siliziumhaltenden Halbleitermaterials in Anwesenheit einer Wasserstoffumgebung umfasst, um in geeigneter Weise die Oberflächeneigenschaften und die Kristallqualität in der Nähe der Oberfläche des Halbleitermaterials zu modifizieren, bevor ein entsprechendes Gatedielektrikumsmaterial gebildet wird. Es wird angenommen, dass die Wärmebehandlung in Anwesenheit von Wasserstoff die Eigenschaften, beispielsweise die Oberflächenrauigkeit des siliziumhaltenden Halbleitermaterials verbessert, indem die Oberflächenatome umgruppiert werden, wodurch verbesserte Bedingungen für die nachfolgenden Prozessschritte erreicht werden, etwa die Herstellung von Opferschichten und/oder Gatedielektrika, wobei schließlich das Gatedielektrikumsmaterial gebildet wird, und somit verbesserte Prozessbedingungen angetroffen werden, das wiederum zu einer Verbesserung des Gatedielektrikumsmaterials führt. In einigen anschaulichen hierin offenbarten Aspekten kann ein beliebiger geeigneter Punkt im Gesamtfer-tigungsablauf bei der Herstellung von Gatedielektrikumsmaterialien ermittelt und angewendet werden, um eine entsprechende Wärmebehandlung in Anwesenheit von Wasserstoff auszuführen, um damit die Prozessbedingungen und die Materialeigenschaften während der weiteren Bearbeitung des Halbleiterbauelements zu verbessern. Somit wird in einigen anschaulichen Ausführungsformen die entsprechende Oberflächenbehandlung zwei oder mehrere Male ausgeführt, wenn mindestens ein Teil des siliziumhaltenden Halbleitermaterials freigelegt ist, beispielsweise wenn ein Gatedielektrikumsmaterial auf Grundlage zweier oder mehrerer Fertigungsphasen hergestellt wird, um damit ein Gatedielektrikumsmaterial mit unterschiedlicher Dicke und/oder Zusammensetzung in unterschiedlichen Bauteilgebieten zu erhalten. Die verbesserte Qualität des siliziumhaltenden Halbleitermaterials in der Nähe der Grenzfläche und auch die verbesserte Qualität des Gatedielektrikumsmaterials selbst tragen zu einer geringeren Anzahl an Ladungseinfangstellen und zu einer erhöhten Widerstandsfähigkeit zum Erzeugen zusätzlicher Ladungsträgereinfangstellen über die kumulierte Betriebsdauer des Halbleiterbauelements bei, wodurch ein Anstieg der Schwellwertspannung insbesondere in p-Kanaltransistoren effizient verringert werden kann.

[0021] Es sollte beachtet werden, dass die hierin offenbarten Prinzipien auf stark größenreduzierte Transistorelemente angewendet werden können, da hier ein Anstieg der Schwellwertspannung eine ausgeprägtere Wirkung auf das Gesamtleistungsverhalten

im Vergleich zu weniger kritischen Halbleiterbauelementen ausübt. Es sollte jedoch beachtet werden, dass die hierin offenbarten Techniken auch auf eine beliebige Art von Halbleiterbauelementen angewendet werden kann, die auf der Grundlage von siliziumhaltendem Material hergestellt werden, ohne eine Einschränkung auf spezielle Bauteilabmessungen vorzunehmen. Des Weiteren ist zu beachten, dass in der folgenden Beschreibung für weitere anschauliche Ausführungsformen auf eine planare Transistorkonfiguration Bezug genommen wird, da diese Art von Transistoren gegenwärtig die vorherrschende Transistorarchitektur repräsentiert, die in komplexen integrierten Schaltungen auf Siliziumbasis eingesetzt wird. Jedoch kann die Behandlung auf der Grundlage einer Wasserstoffumgebung von freigelegten siliziumhaltenden Halbleitermaterialien auch vor der Herstellung eines Gatedielektrikumsmaterials in einer beliebigen Art einer Transistorkonfiguration ausgeführt werden, wodurch ebenfalls das Erzeugen von Ladungsträgereinfangstellen reduziert wird, wie dies zuvor erläutert ist. Beispielsweise können FinFet-Architekturen, in denen die Gatedielektrika und damit die Kanalgebiete auf zwei oder mehr Oberflächenschichtbereichen eines siliziumhaltenden Steges ausgebildet werden, oder auch andere Transistorarchitekturen in der vorliegenden Erfindung mit eingeschlossen werden.

[0022] Mit Bezug zu den [Fig. 1a](#) bis [Fig. 1m](#) werden nunmehr weitere anschauliche Ausführungsformen detaillierter beschrieben.

[0023] [Fig. 1a](#) zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **100** in einer frühen Fertigungsphase. D. h., das Halbleiterbauelement **100** umfasst ein Substrat **101**, das ein beliebiges geeignetes Trägermaterial repräsentiert, über welchem eine siliziumhaltende Halbleiterschicht **102** vorgesehen ist. Das Substrat **101** kann in Form eines im Wesentlichen kristallinen Siliziummaterials, eines kristallinen Halbleitermaterials mit einer isolierenden Schicht, wodurch eine SOI-(Silizium-auf-Isolator)Konfiguration bereitgestellt wird, und dergleichen vorgesehen werden. In anderen Fällen repräsentieren das Substrat **101** und die Halbleiterschicht **102** eine SOI-Konfiguration in speziellen Bauteilgebieten, während in anderen Bauteilgebieten eine „Vollsubstrat“-Konfiguration vorgesehen wird, d. h., die Halbleiterschicht **102** repräsentiert einen oberen Bereich des im Wesentlichen kristallinen Materials des Substrats **101**. Es sollte beachtet werden, dass die Halbleiterschicht **102**, obwohl diese einen wesentlichen Anteil an Silizium aufweist, zumindest an einer Oberfläche **102s**, andere Komponenten aufweisen kann, oder derartige Komponenten in einer späteren Fertigungsphase zumindest in einigen Bauteilgebieten eingebaut werden. Beispielsweise können eingebettete verformungsinduzierende Materialien, etwa Silizium/Germanium-Mischun-

gen lokal in der Halbleiterschicht **102** gebildet werden, um die Gesamtleitfähigkeit und das Transistorverhalten des Bauelements **100** einzustellen. Es sollte beachtet werden, dass der Begriff „Halbleiterschicht“ auch „strukturierte“ Konfigurationen eines Halbleitermaterials umfasst, wie sie während diverser Fertigungsphasen auftreten können, wobei die „Halbleiterschicht“ mindestens einen Schichtbereich mit einem Oberflächenbereich aufweist, der zeitweilig vor der Herstellung eines Dielektrikummaterials darauf bereitgelegt ist. Somit sollen entsprechende Strukturelemente, etwa „Halbleiterinseln“, die durch Isolationsstrukturen gebildet sind, entsprechende Stege für FinFet-Transistoren, die aus einem grundlegenden Halbleitermaterial strukturiert werden, und dergleichen ebenfalls in dem Begriff Halbleiterschicht mit eingeschlossen sein.

[0024] Das in [Fig. 1a](#) gezeigte Bauelement **100** kann auf der Grundlage der folgenden Prozesse hergestellt werden. Nach dem Vorsehen des Substrats **101** wird die Halbleiterschicht **102** darauf hergestellt, beispielsweise durch epitaktische Wachstumsverfahren, Scheibenverbindungstechniken, moderne Implantationsverfahren unter Anwendung von Sauerstoffimplantationsarten für das lokale oder globale Bilden von SOI-Konfigurationen, und dergleichen. Wie zuvor erläutert ist, können eine oder mehrere geeignete Techniken kombiniert werden, um die Halbleiterschicht **102** mit geeigneter Architektur in jeweiligen Bauteilgebieten des Bauelements **100** vorzusehen. Beispielsweise kann die Halbleiterschicht **102** unterschiedliche kristallographische Orientierungen in unterschiedlichen Bauteilgebieten besitzen und/oder die Halbleiterschicht **102** kann lokal auf einer vergrabenen isolierenden Schicht (nicht gezeigt) abhängig von den Gesamtbauteilerfordernissen gebildet werden. Ferner wird in der gezeigten Fertigungsphase die Oberfläche **102s** der Halbleiterschicht **102** zumindest lokal in eine Wasserstoffumgebung **150** eingebracht, die auf der Grundlage erhöhter Temperaturen eingerichtet wird, beispielsweise im Bereich von ungefähr 200 Grad bis 700 Grad C oder noch höher, oder in anderen Fällen können Temperaturen bis zu ungefähr 900 Grad C oder mehr eingerichtet werden. Die Umgebung **150** wird in einigen anschaulichen Ausführungsformen durch Zuführen von Wasserstoff zu einer gesteuerten Umgebung eingerichtet, etwa einer Umgebung, die in einem Ofen oder einer anderen Prozessanlage geschaffen wird, die geeignet ausgebildet ist, die gewünschte wasserstoffhaltende Umgebung **150** zu errichten. Beispielsweise repräsentiert die Umgebung **150** eine im Wesentlichen „reine“ Wasserstoffumgebung, wenn die Zufuhr anderer Komponenten unterdrückt ist, wobei zu beachten ist, dass andere Komponenten, etwa geringe Mengen an Stickstoff, Sauerstoff und dergleichen dennoch in der Umgebung **150** auf Grund von anlagentypischen Beschränkungen beim Einrichten unter Beibehalten der Umgebung **150** vorhanden sein kön-

nen. In anderen anschaulichen Ausführungsformen sind auch zusätzliche Komponenten, etwa eine inerte Gassorte, beispielsweise eine Edelgassorte in Form von Argon, Xenon, und dergleichen, ebenfalls in der Umgebung **150** vorgesehen. Der Druck in der Umgebung **150** wird auf einen geeigneten Wert festgelegt, beispielsweise im Bereich von einigen Torr bis einige hundert Torr. Unter diesen Bedingungen wird das Halbleiterbauelement **100** der Umgebung **150** für eine Zeitdauer von mehreren Minuten bis mehreren Stunden abhängig von den Gesamtbauteilerfordernissen ausgesetzt. Beispielsweise wird in der gezeigten Fertigungsphase das Bauelement **100** ungefähr 2 bis 60 Minuten behandelt. Während der Wechselwirkung des Wasserstoffs mit der siliziumhaltenden Oberfläche **102** in der Umgebung **150** tritt eine Umorganisation der Oberflächenatome auf, wodurch die Gesamtoberflächeneigenschaften, etwa die Oberflächenrauigkeit, verbessert werden, was sich zu einem verbesserten Prozessergebnis in nachfolgenden Prozessschritten auswirkt, woraus letztlich eine verbesserte Grenzflächenqualität und verbesserte Materialeigenschaften eines Gatedielektrikummaterials ergeben, das noch zumindest auf einigen Bereichen der Oberfläche **102s** zu bilden ist.

[0025] [Fig. 1b](#) zeigt schematisch das Halbleiterbauelement **100** in einer weiter fortgeschrittenen Fertigungsphase. Wie gezeigt, ist ein Stapel **103** aus dielektrischen Schichten auf der Oberfläche **102s** gebildet, wobei in der gezeigten Ausführungsform der dielektrische Schichtstapel **103** eine Schicht **103b** aufweist, beispielsweise in Form eines Siliziumdioxidmaterials, woran sich eine Schicht **103a** anschließt, die aus Siliziumnitrid und dergleichen aufgebaut sein kann. Die dielektrischen Schichten **103a**, **103b** können als Opfermaterial für die Herstellung von Isolationsstruktur, beispielsweise in Form von Grabenisolationen, verwendet werden. Es sollte beachtet werden, dass abhängig von dem Gesamtfertigungsablauf der dielektrische Schichtstapel **103** aus anderen Materialien aufgebaut sein kann und auch die Anzahl der darin enthaltenen Schichten kann variieren. Der Schichtstapel **103** wird auf der Grundlage gut etablierter Techniken hergestellt, etwa das Bilden der Schicht **103b** durch Oxidation, Abscheidung, und dergleichen, wobei die vorhergehende Behandlung in der Umgebung **150** zu verbesserten Prozessbedingungen beiträgt, was zu einer geringeren Anzahl an Oberflächen- und Grenzflächenunregelmäßigkeiten führt. Danach wird die Schicht **103a** auf der Grundlage gut etablierter plasmaunterstützter oder thermisch aktivierter CVD-(chemisch Dampfabscheide-) Techniken gebildet. Anschließend wird der Schichtstapel **103** strukturiert, um entsprechende Öffnungen mit Abmessungen von Gräben zu erhalten, die in der siliziumhaltenden Halbleiterschicht **102** zu bilden sind. Das Strukturieren des Schichtstapels **103** kann auf der Grundlage gut etablierter Photolithographieverfahren erreicht werden. Als nächstes wird ein

geeigneter Ätzprozess ausgeführt, um die jeweiligen Gräben in der Halbleiterschicht **102** zu bilden, die sich bis zu einer gewünschten Tiefe erstrecken. Wenn beispielsweise eine SOI-Konfiguration betrachtet wird, erstrecken sich entsprechende Gräben ggf. bis zu und in eine vergrabene isolierende Schicht, während in einigen Fällen Gräben sich auch durch eine entsprechende vergrabene Schicht hindurch und in ein kristallines Material des Substrats **101** erstrecken, wenn beispielsweise Gräben für Kondensatoren, Substratdioden und dergleichen gebildet werden. In anderen Fällen wird die siliziumhaltende Materialschicht **102** absichtlich zusammen mit einem vergrabenen isolierenden Material entfernt, um damit ein Siliziummaterial neu aufzuwachsen, das die Eigenschaften des darunter liegenden kristallinen Materials des Substrats **101** aufweist.

[0026] **Fig. 1c** zeigt schematisch das Halbleiterbauelement **100** in einer fortgeschrittenen Fertigungsphase, in der entsprechende Grabenisolationsstrukturen **104** in der Halbleiterschicht **102** gebildet sind, wobei die Grabenisolationsstrukturen **104** mit einem geeigneten dielektrischen Material gefüllt sind, um damit jeweilige Gebiete **102a**, **102b** in der Halbleiterschicht **102** zu bilden, die der Einfachheit halber als Halbleiterschichten bezeichnet werden. Die Grabenisolationsstrukturen **104** können auf Grundlage gut etablierter Techniken hergestellt werden, beispielsweise durch Oxidation und Abscheiden eines geeigneten Materials, etwa Siliziumdioxid. Anschließend wird der Opferschichtstapel **103** entfernt, beispielsweise auf Basis von CMP und ausgewählten Ätztechniken, für die gut etablierte Rezepte verfügbar sind.

[0027] **Fig. 1d** zeigt schematisch das Halbleiterbauelement **100** in einer Fertigungsphase, in der die Oberfläche **102s** erneut freigelegt ist, beispielsweise nach dem Entfernen des dielektrischen Schichtstapels **103**. In der gezeigten Ausführungsform wird eine wasserstoffhaltende Umgebung **151** auf Grundlage erhöhter Temperaturen eingerichtet, um damit eine Wechselwirkung der freigelegten Oberflächen **102s** mit der Umgebung **151** zu ermöglichen. In einigen anschaulichen Ausführungsformen wird der Kontakt der Oberfläche **102s** mit Wasserstoff bei erhöhten Temperaturen auf Grundlage der Umgebung **151** in Gang gesetzt, während die Behandlung **150**, wie in **Fig. 1a** gezeigt ist, nicht ausgeführt wurde. In anderen Fällen wird das Bauelement **100** sowohl mit der Umgebung **150** als auch mit der Umgebung **151** behandelt. In noch weiteren Fällen wird das Bauelement **100** ohne Einbringen des Bauelements **100** in die Umgebung **151** bearbeitet. Während der Oberflächenbehandlung auf der Grundlage der Umgebung **151** werden Prozessparameter eingesetzt, wie sie auch zuvor angegeben sind, wobei zu beachten ist, dass ein oder mehrere der Prozessparameter, etwa die Temperatur, der Wasserstoffanteil, wenn mehrere andere inerte Gaskomponenten vorhanden sind,

der Druck und dergleichen unterschiedlich sein können im Vergleich zur Umgebung **150**.

[0028] **Fig. 1e** zeigt schematisch das Halbleiterbauelement **100** in einer weiter fortgeschrittenen Fertigungsphase, wobei in einigen anschaulichen Ausführungsformen das Bauelement **100** eine Behandlung auf der Grundlage der Umgebung **150** und/oder auf der Grundlage der Umgebung **151** erfahren hat, während in anderen Fällen das Bauelement **100** nicht durch die Umgebungen **150**, **151** behandelt wurde. Wie gezeigt, umfasst das Bauelement **100** eine Opfermaterialschiicht **106**, beispielsweise in Form von Siliziumdioxid oder einem anderen geeigneten Material, das während einer Implantationssequenz **108** verwendet werden kann, um deren Effizienz und damit die Prozessbedingungen während der Implantationssequenz **108** zu verbessern. Die Implantationssequenz umfasst mehrere Maskierungsschritte zur Herstellung entsprechender Implantationsmasken **107**, wobei der Einfachheit halber lediglich eine einzelne Lackmaske **107** gezeigt ist. Während der Implantationssequenz **108** werden geeignete Dotierstoffsorten eingebaut, um damit die Gesamttransistoreigenschaften einzustellen beispielsweise für das Bilden entsprechender Wannens- bzw. Potentialtopfgebiete und für das Einstellen anderer grundlegender Eigenschaften, etwa der Schwellwertspannung, der Durchgreifspannung, und dergleichen. Da diese Eigenschaften sich für die diversen Transistoren in dem Bauelement **100** unterscheiden, kann die entsprechende Lackmaske **107** die jeweiligen Bauteilgebiete in Bezug auf unerwünschte Implantationsarten abblocken.

[0029] **Fig. 1f** zeigt schematisch das Bauelement **100** in einer weiter fortgeschrittenen Fertigungsphase, wobei die Oberfläche **102s** beispielsweise nach dem Entfernen von Lackmasken **107** und der Opfermaterialschiicht **106** freigelegt ist. Auch in dieser Fertigungsphase kann das Bauelement **100** eine oder beide der Behandlungen **150**, **151** erfahren haben, während in anderen anschaulichen Ausführungsformen, die freigelegte Oberfläche **102s** aus **Fig. 1f** das erste mal in einer Wasserstoffumgebung eingebracht wird, die auf der Grundlage einer Wärmebehandlung **152** in Anwesenheit von Wasserstoff eingerichtet wird. Wie zuvor erläutert ist, kann somit die Oberfläche **102s** mit der Wasserstoffsorte der Umgebung **152** in Kontakt kommen, wodurch verbesserte Oberflächeneigenschaften erreicht werden. Die Umgebung **152** kann auf der Grundlage erhöhter Temperaturen eingerichtet werden, wobei in einigen anschaulichen Ausführungsformen der Temperaturbereich von ungefähr 200 Grad bis ungefähr 650 Grad gewählt wird, um eine unerwünschte Dotierstoffdiffusion in der Halbleiterschicht **102** zu vermeiden. Im Hinblick auf andere Prozessparameter, etwa dem Wasserstoffanteil, den Druck, die Dauer und derglei-

chen, gelten die gleichen Kriterien, wie sie zuvor mit Bezug zu den Behandlungen **150**, **151** erläutert sind.

[0030] **Fig. 1g** zeigt schematisch das Halbleiterbauelement **100** mit einem Gatedielektrikumsmaterial **110**, das auf der Oberfläche **102s** gebildet ist. Das Gatedielektrikumsmaterial **110** ist aus einem beliebigen geeigneten Material aufgebaut, beispielsweise einem Siliziumdioxidmaterial mit einer spezifizierten Menge an Stickstoff, oder es wird Siliziumdioxidmaterial verwendet, während in anderen Fällen Siliziumnitridmaterial möglicherweise in Verbindung mit Sauerstoff, eingesetzt wird. Es sollte ferner beachtet werden, dass das dielektrische Material **110** auch dielektrische Materialien mit großem ϵ aufweisen kann, die als dielektrische Materialien mit einer dielektrischen Konstante von ungefähr 10 oder größer verstanden werden. Beispielsweise können Hafniumoxid, Zirkoniumoxid und dergleichen als geeignete dielektrische Materialien mit großem ϵ eingesetzt werden. In einigen Fällen werden diese Materialien in Verbindung mit „konventionellen“ Gatedielektrika, etwa Siliziumdioxid, vorgesehen, wobei diese jedoch mit einer deutlich geringeren Dicke von wenigen Angstrom vorgesehen werden. In der gezeigten Ausführungsform wird das Gatedielektrikumsmaterial **110** auf der Grundlage gut etablierter Oxidations- und/oder Abscheidetechniken geschaffen, indem beispielsweise ein stickstoffenthaltendes Siliziumdioxidmaterial mit einer Dicke **110t** verwendet wird, die kleiner ist als eine gewünschte Dicke des Gebiets **102b**, da die endgültige Dicke in einer späteren Phase erreicht wird, wenn auch ein gewünschtes dünneres Gatedielektrikumsmaterial über dem Gebiet hergestellt wird. Danach wird das dielektrische Material **110** selektiv entfernt, beispielsweise von oberhalb des Gebiets **102a**, was auf Grundlage gut etablierter Lithographie- und Ätztechniken erreicht werden kann.

[0031] **Fig. 1h** zeigt schematisch das Bauelement **100** in einer weiter fortgeschrittenen Fertigungsphase, in der die Oberfläche **102s** über dem Gebiet **102a** freigelegt ist, während die Oberfläche **102s** über dem Gebiet **102b** noch durch das Gatedielektrikumsmaterial **110** bedeckt ist. Ferner unterliegt in der gezeigten Ausführungsform das Bauelement **100** einer Wärmebehandlung **153** in Anwesenheit von Wasserstoff, so dass der freigelegte Bereich der Oberfläche **102s** mit der Umgebung **153** in Wechselwirkung tritt. In einigen anschaulichen Ausführungsformen wurde an dem Bauelement **100** keine, eine, zwei oder drei der vorhergehenden Behandlungen **150**, **151**, **152** abhängig von der Gesamtprozessstrategie ausgeführt. Somit wird während der Behandlung **153** zumindest die Oberfläche **102s** über dem Gebiet **102a** im Hinblick auf die Materialeigenschaften verbessert, bevor ein entsprechendes dünnes dielektrisches Material für einen Hochleistungstransistor gebildet wird, der typischerweise eine geringe Schwellwertspannung in Verbindung mit einer geringen Be-

triebsspannung aufweist, wie dies zuvor beschrieben ist. In diesem Falle ist das Gatedielektrikumsmaterial, das über dem Gebiet **102b** gebildet ist, weniger kritisch, da hier typischerweise Transistorelemente gebildet werden, die auf der Grundlage einer höheren Schwellwertspannung betrieben werden, wodurch von einer geringer ausgeprägten Abhängigkeit von einer allmählichen Verschiebung der Schwellwertspannung ausgegangen wird. In anderen Fällen werden die Materialeigenschaften in beiden Gebieten **102a**, **102b** auf der Grundlage einer oder mehrerer der Behandlungen **150**, **151**, **152** verbessert.

[0032] **Fig. 1i** zeigt schematisch das Halbleiterbauelement **100** nach dem Herstellen eines weiteren Gatedielektrikumsmaterials **110a** in dem Gebiet **102a**, während die Dicke **110t** in dem Gebiet **102b** erhöht wird, wodurch ein endgültiges zweites Gatedielektrikumsmaterial **110b** in dem Gebiet **102b** geschaffen wird. Die Gatedielektrikumsmaterialien **110a**, **110b** können auf Grundlage gut etablierter Techniken hergestellt werden, beispielsweise mittels Oxidation und/oder Abscheidung, wie dies auch zuvor mit Bezug zu dem dielektrischen Material **110** erläutert ist. Somit kann in Abhängigkeit von der Gesamtprozessstrategie die Kristallqualität der Halbleiterschicht **102** in der Nähe der Grenzfläche zwischen der Schicht **102** und einem Gatedielektrikumsmaterial, d. h. den Materialien **110a** und/oder **110b**, die der Einfachheit halber ebenfalls als Grenzfläche **102s** bezeichnet wird, und die Qualität der Gatedielektrikumsmaterialien **110a** und/oder **110b** auf Grund des Ausführens zumindest einer der Behandlungen **150**, **151**, **152**, **153** verbessert werden. Somit kann in der gezeigten Fertigungsphase der Anteil an Ladungsträgereinfangstellen und entsprechender Grenzflächenzustände zum Erzeugen jeweiliger stationärer Ladungen verringert werden und auch die Widerstandsfähigkeit im Hinblick auf das Erzeugen derartiger Ladungsträgereinfangstellen während der weiteren Bearbeitung und während des Betriebs des Halbleiterbauelements **100**, d. h. während des Anlegens erhöhter negativer Vorspannungen an die Gateelektroden, die noch auf der Grundlage der dielektrischen Materialien herzustellen sind, kann verbessert werden.

[0033] Es sollte beachtet werden, dass in dem zuvor beschriebenen Prozessablauf zur Herstellung der Gatedielektrikumsmaterialien **110a**, **110b** die Behandlungen **150**, **151**, **152**, **153** an einem beliebigen Punkt ausgeführt werden können, wenn die Oberfläche **102s** freigelegt ist, zumindest teilweise, wobei in einigen anschaulichen Ausführungsformen lediglich eine der Behandlungen **150**, ..., **153** ausgeführt wird, während in anderen anschaulichen Ausführungsformen zwei oder mehr der Behandlungen **150**, ..., **153** angewendet werden, wodurch die Gesamteigenschaften der Grenzfläche **102s** und der

Gatedielektrikumsmaterialien **110a**, **110b** weiter verbessert werden.

[0034] **Fig. 1j** zeigt schematisch das Halbleiterbauelement **100** in einer weiter fortgeschrittenen Fertigungsphase, in der ein erster Transistor **120a** in und über dem Gebiet **102a** auf Grundlage des Gatedielektrikumsmaterials **110a** gebildet ist, das nunmehr eine Gateisolationsschicht **110a** repräsentiert. In ähnlicher Weise ist ein zweiter Transistor **120b** in und über dem Gebiet **102** unter Anwendung des Gatedielektrikumsmaterials **110b** mit der größeren Dicke, wie sie für den Transistor **120b** geeignet ist, gebildet. Beispielsweise können die Transistoren **120a**, **120b** p-Kanaltransistoren repräsentieren, wobei der Transistor **120a** einen Hochleistungstransistor darstellt, der beispielsweise in zeitkritischen logischen Signalpfaden eingesetzt wird und dergleichen. Es sollte beachtet werden, dass die jeweiligen verbesserten Grenzflächeneigenschaften und eine verbesserte Qualität der Gateisolationsschichten auch in n-Kanaltransistoren erreicht werden kann, wodurch die Gesamtbauwerkeigenschaften dieser Transistorelemente ebenfalls verbessert werden. Wie gezeigt umfassen die Transistoren **120a**, **120b** eine Gateelektrodenstruktur **121**, möglicherweise in Verbindung mit einer geeigneten Abstandshalterstruktur **122**. Des Weiteren sind Drain- und Sourcegebiete **123** gemäß den Gesamtbauwerkeigenschaften vorgesehen. Des Weiteren können entsprechende Metallsilizidgebiete bei Bedarf in den Drain- und Sourcegebieten **123** und in der Gateelektrode **122** vorgesehen sein. Somit besitzen die Transistoren **120a** und/oder **120b** in einem entsprechenden Kanalgebiet **124**, d. h. dem Gebiet in der Nähe der Gateisolationsschichten **110a**, **110b**, eine geringere Anzahl an Ladungsträgereinfangstellen, wobei auch deren Anzahl in einer weniger ausgeprägten Weise unter Bedingungen mit negativer Vorspannungsbelastung im Vergleich zu konventionellen Bauelementen ansteigt, wodurch eine Zunahme der Schwellwertspannung in den p-Kanaltransistoren **120a** und/oder **120b** reduziert wird, wie dies zuvor erläutert ist.

[0035] Mit Bezug zu den **Fig. 1k** bis **Fig. 1m** werden nunmehr weitere anschauliche Ausführungsformen detaillierter beschrieben, in denen das Gatedielektrikumsmaterial zumindest für eine Art an Transistor in einer späteren Fertigungsphase durch Bilden einer Austauschgatestruktur hergestellt wird.

[0036] **Fig. 1k** zeigt schematisch das Halbleiterbauelement **100** in einer fortgeschrittenen Fertigungsphase, in der Transistorstrukturen **120a**, **120b**, wie sie beispielsweise in **Fig. 1j** gezeigt sind, fertiggestellt sind, während in anderen Fällen lediglich die Gateelektrodenstruktur **121** fertiggestellt ist, während andere Bauteilgebiete, etwa die Drain- und Sourcegebiete **123** noch herzustellen sind. Ferner ist ein weiteres dielektrisches Material **125** so gebildet, dass

es die Transistoren **120a**, **120b** umschließt, wobei ein oberer Bereich der jeweiligen Gateelektrodenstrukturen **121** freigelegt ist. Ferner ist eine Ätzmaske **126** vorgesehen, um den Transistor **120b** abzudecken, der ein Bauteilgebiet repräsentiert, in welchem die Gateelektrodenstruktur und die entsprechende Gateisolationsschicht **110b** zumindest teilweise beibehalten werden soll. Das dielektrische Material **125** kann auf der Grundlage gut etablierter Techniken hergestellt werden, beispielsweise durch Abscheiden eines geeigneten Materials, etwa Siliziumnitrid, und dergleichen und durch Ausführen eines Einebnungsprozesses, beispielsweise auf Grundlage von CMP (chemisch-mechanisches Polieren). Anschließend wird eine Ätzmaske **126** z. B. in Form einer Lackmaske unter Anwendung gut etablierter Lithographietechniken hergestellt. Im Anschluss daran wird ein Ätzprozess ausgeführt, um selektiv das Material der Gateelektrodenstruktur **121** und der Gateisolationsschicht **110a** zu entfernen. Zu diesem Zweck werden selektive Ätzrezepte eingesetzt, wie sie für das Strukturieren von Polysiliziummaterial in Anwesenheit von Siliziumdioxid und dergleichen gut etabliert sind. Nach dem Entfernen des Materials der Gateelektrodenstruktur **121** wird die Gateisolationsschicht **110a** auf Grundlage selektiver Ätzrezepte entfernt, wie sie im Stand der Technik verfügbar sind.

[0037] **Fig. 1l** zeigt schematisch das Bauelement **100** nach dem Ende der zuvor beschriebenen Prozesssequenz und nach dem Entfernen der Ätzmaske **126**. Somit ist ein Teil der Oberfläche **102s** entsprechend der Gateelektrodenstruktur **121** für die Einwirkung einer wasserstoffhaltenden Umgebung **154** freigelegt, wodurch die Gesamtoberflächeneigenschaften verbessert werden, wie dies zuvor erläutert ist. Die Umgebung **154** kann auf Grundlage geeigneter ausgewählter Parameter eingerichtet werden, wobei die Temperatur so gewählt ist, dass diese mit der in **Fig. 1l** gezeigten Fertigungsphase kompatibel ist. D. h., wenn die Drain- und Sourcegebiete **123** bereits in dem Gebiet **102a** hergestellt sind, wird die Temperatur so gewählt, dass eine unerwünschte Dotierstoffdiffusion im Wesentlichen vermieden wird. Ferner ist in einigen Fällen Metallsilizidmaterial in den Drain- und Sourcegebieten **123** ausgebildet, und in diesem Falle wird der Temperaturbereich auf ungefähr 200 Grad C bis 400 Grad C festgelegt, um damit einen negativen Einfluss auf andere Transistor-Komponenten im Wesentlichen zu vermeiden. Wenn die Drain- und Sourcegebiete **123** in dieser Fertigungsphase noch nicht hergestellt sind, können höhere Temperaturen angewendet werden, wie dies zuvor erläutert ist. In Bezug auf andere Prozessparameter, etwa den Wasserstoffanteil, den Druck, die Dauer und dergleichen gelten die gleichen Kriterien, wie sie zuvor erläutert sind. Nach der Behandlung **154** wird die weitere Bearbeitung fortgesetzt, indem z. B. ein geeignetes Gatedielektrikumsmaterial **110c** abgeschieden wird, das ein dielektrisches

Material mit großem ϵ möglicherweise in Kombination mit einem Siliziumdioxidbasismaterial oder anderen konventionellen dielektrischen Materialien aufweisen kann. Des Weiteren wird ein geeignetes Gateelektrodenmaterial **121a** gebildet, das beispielsweise ein geeignetes metallenthaltendes Material aufweist, um damit die Gesamtleitfähigkeit der Gateelektrodenstruktur zu verbessern. Im Anschluss daran wird überschüssiges Material entfernt, beispielsweise durch CMP und dergleichen. Somit wird auch im Falle des Bereitstellens einer Austauschgateelektrodenstruktur mit dem Material **121a** und dem neu gebildeten Gatedielektrikumsmaterial **110c** eine Verbesserung der Gesamtgrenzflächeneigenschaft auf der Grundlage der Behandlung **154** erreicht.

[0038] Es gilt also: Die hierin offenbarten Prinzipien stellen verbesserte Techniken und Halbleiterbauelemente bereit, in denen ein allmählicher Anstieg der Schwellwertspannung im Laufe der Zeit reduziert werden kann, indem die Grenzflächenqualität und die Materialeigenschaften der Gatedielektrikumsmaterialien auf der Grundlage einer Wärmebehandlung in Anwesenheit von Wasserstoff verbessert werden, um damit Oberflächenatome freiliegender Siliziumoberflächenbereiche vor der Herstellung entsprechender Gatedielektrika neu zu konfigurieren. Eine entsprechende Wärmebehandlung auf der Grundlage von Wasserstoff kann in einer beliebigen geeigneten Fertigungsphase durchgeführt werden, in der ein freigelegter Oberflächenbereich eines siliziumenthaltenden Halbleitermaterials vor dem eigentlichen Bilden eines Gatedielektrikumsmaterials vorhanden ist. In einigen anschaulichen Ausführungsformen werden entsprechende Fertigungsphasen mit freigelegtem Oberflächenbereich bestimmt und in einer entsprechenden Fertigungsphase wird eine entsprechende Behandlung ausgeführt, während in anderen Fällen zwei oder mehr Behandlungen ausgeführt werden, um die Gesamtprozesseffizienz weiter zu steigern. Somit wird ein hohes Maß an Kompatibilität mit bestehenden Fertigungstechniken oder künftigen Technologien erreicht, wobei in einigen Fällen lediglich ein einzelner zusätzlicher Prozessschritt hinzugefügt wird. Folglich kann die Einbuße des Leistungsverhaltens über die Lebensdauer der Bauelemente reduziert werden, so dass insbesondere für p-Transistoren eine weniger ausgeprägte Variabilität im Leistungsverhalten im Hinblick auf negative Vorspannungen erreicht wird, wodurch eine höhere Entwurfsflexibilität geschaffen wird, da weniger einschränkende Erfordernisse im Hinblick auf NBTI-Effekte berücksichtigt werden müssen. Ferner sind die hierin offenbarten Prinzipien unabhängig von speziellen Bauteilkonfigurationen für Transistorelemente und können auf andere Transistorkonfigurationen, etwa FinFet-Architekturen, Austauschgate-Techniken und dergleichen angewendet werden.

Patentansprüche

1. Verfahren mit:

Bilden einer Grabenisolationsstruktur (**104**) in einer siliziumenthaltenden Halbleiterschicht (**102**) mit einer siliziumenthaltenden Halbleiteroberfläche (**102s**) durch Strukturieren eines Grabens und erneutes Auffüllen des Grabens mit einem dielektrischen Material; Ausführen mindestens einer Wärmebehandlung (**151**) in einer wasserstoffenthaltenden Umgebung an einem Substrat (**101**), auf welchem die siliziumenthaltende Halbleiteroberfläche (**102s**) freigelegt ist, wobei die Wärmebehandlung (**151**) nach dem Bilden der Grabenisolationsstruktur (**104**) ausgeführt wird; Einführen einer Dotierstoffsorte in die siliziumenthaltende Halbleiterschicht (**102**) unter Anwendung eines Puffermaterials (**106**) nach dem Ausführen der mindestens einer Wärmebehandlung (**151**) in der wasserstoffenthaltenden Umgebung; Bilden eines Gatedielektrikumsmaterials (**110**, **110a**, **110b**, **110c**) auf der siliziumenthaltenden Halbleiteroberfläche (**102s**); und Bilden eines Feldeffekttransistors (**120a**) auf der Grundlage des Gatedielektrikumsmaterials (**110**, **110a**, **110b**, **110c**).

2. Verfahren nach Anspruch 1, wobei eine weitere Wärmebehandlung (**150**) in einer wasserstoffenthaltenden Umgebung vor dem Strukturieren des Grabens ausgeführt wird, wenn sich die siliziumenthaltende Halbleiteroberfläche (**102s**) in einem freigelegten Zustand befindet.

3. Verfahren nach Anspruch 1, wobei Bilden des Gatedielektrikumsmaterials (**110**, **110a**, **110b**, **110c**) umfasst: Bilden einer Gatedielektrikumsschicht (**110a**) an ersten Positionen und Bilden einer Gatedielektrikumsschicht (**110b**) an zweiten Positionen auf der siliziumenthaltenden Halbleiteroberfläche (**102s**), wobei die Gatedielektrikumsschicht an den ersten Positionen eine erste Dicke aufweist, die verschieden ist von einer zweiten Dicke der Gatedielektrikumsschicht an den zweiten Positionen.

4. Verfahren nach Anspruch 3, wobei eine weitere Wärmebehandlung (**152**) in einer wasserstoffenthaltenden Umgebung vor dem Bilden einer ersten Gatedielektrikumsschicht (**110**) und nach dem Bilden der Grabenisolationsstruktur (**104**) in der siliziumenthaltenden Halbleiterschicht (**102**) ausgeführt wird.

5. Verfahren nach Anspruch 3, wobei eine weitere Wärmebehandlung (**153**) in einer wasserstoffenthaltenden Umgebung vor dem Bilden einer zweiten Gatedielektrikumsschicht (**110a**) und nach dem Bilden der ersten Gatedielektrikumsschicht (**110**) ausgeführt wird.

6. Verfahren nach Anspruch 3, wobei eine weitere Wärmebehandlung (**152**) in einer wasserstoffent-

haltenden Umgebung ausgeführt wird vor dem Bilden der ersten Gatedielektrikumsschicht (**110**) und mindestens eine weitere Wärmebehandlung (**153**) in einer wasserstoffenthaltenden Umgebung vor dem Bilden der zweiten Gatedielektrikumsschicht (**110a**) ausgeführt wird.

7. Verfahren nach Anspruch 1, wobei zwei oder mehr Wärmebehandlungen (**150, 151, 152, 153, 154**) in einer wasserstoffenthaltenden Umgebung in entsprechend unterschiedlichen Fertigungsphasen vor dem Bilden des Gatedielektrikumsmaterials (**110, 110a, 110b, 110c**) ausgeführt werden, wobei die siliziumenthaltende Halbleiteroberfläche (**102s**) in einem freigelegten Zustand in jeder der entsprechenden unterschiedlichen Fertigungsphasen ist.

8. Verfahren nach Anspruch 6, wobei drei oder mehr Wärmebehandlungen (**150, 151, 152, 153, 154**) in einer wasserstoffenthaltenden Umgebung in entsprechenden unterschiedlichen Fertigungsphasen vor dem Bilden des Gatedielektrikumsmaterials (**110, 110a, 110b, 110c**) ausgeführt werden, wobei die siliziumenthaltende Halbleiteroberfläche (**102s**) sich in jeder der entsprechenden unterschiedlichen Fertigungsphasen in einem freigelegten Zustand befindet.

9. Verfahren nach Anspruch 1, wobei die wasserstoffenthaltende Umgebung eine Wasserstoffumgebung ist.

10. Verfahren zur Herstellung einer Gateelektrode mittels Gateaustauschtechniken, wobei das Verfahren umfasst:

Bilden einer Gateelektrodenstruktur (**121**) über einer siliziumenthaltenden Halbleiterschicht (**102**), wobei die Gateelektrodenstruktur (**121**) von einem dielektrischen Material (**125**) umgeben ist;

Entfernen der Gateelektrodenstruktur (**121**);
Ausführen einer Wärmebehandlung (**154**) an einer freigelegten Oberfläche (**102s**) der siliziumenthaltenden Halbleiterschicht (**102**) in Anwesenheit von Wasserstoff;

Bilden einer Gateisolationsschicht (**110c**) auf der freigelegten Oberfläche (**102s**) der siliziumenthaltenden Halbleiterschicht (**102**); und

Bilden einer Austauschgateelektrodenstruktur mit einem metallenthaltenden Material (**121a**) und der Gateisolationsschicht (**110c**), um die Gateelektrode herzustellen.

11. Verfahren nach Anspruch 10, das ferner umfasst: Erzeugen eines Dotierstoffprofils in der siliziumenthaltenden Halbleiterschicht (**102**), und Ausführen einer weiteren Wärmebehandlung (**152**) nach dem Erzeugen des Dotierstoffprofils.

12. Verfahren nach Anspruch 10, das ferner umfasst: Bilden einer Grabenisolationsstruktur (**104**) in der siliziumenthaltenden Halbleiterschicht (**102**), vor

dem Bilden einer ersten Gateisolationsschicht (**110**), wobei eine weitere Wärmebehandlung (**150**) vor dem Bilden der Grabenisolationsstruktur (**104**) ausgeführt wird.

13. Verfahren nach Anspruch 10, das ferner umfasst: Bilden einer Gateisolationsschicht (**110a**) an ersten Positionen und Bilden einer Gateisolationsschicht (**110b**) an zweiten Positionen auf der Oberfläche (**102s**) der siliziumenthaltenden Halbleiterschicht (**102**), wobei die Gateisolationsschicht an den zweiten Positionen eine Dicke aufweist, die sich von einer Dicke der Gateisolationsschicht an den ersten Positionen unterscheidet.

14. Verfahren nach Anspruch 13, wobei eine weitere Wärmebehandlung (**153**) vor dem Bilden einer zweiten Gateisolationsschicht (**110a**) und nach dem Bilden der ersten Gateisolationsschicht (**110**) ausgeführt wird.

15. Verfahren nach Anspruch 13, wobei eine weitere Wärmebehandlung (**152**) vor dem Bilden der ersten Gateisolationsschicht (**110**) ausgeführt wird, und wobei das Verfahren ferner umfasst: Ausführen einer weiteren Wärmebehandlung (**153**) in Anwesenheit von Wasserstoff nach dem Bilden der ersten Gateisolationsschicht (**110**) und vor dem Bilden der zweiten Gateisolationsschicht (**110a**).

16. Verfahren nach Anspruch 12, das ferner umfasst: Ausführen einer weiteren Wärmebehandlung (**151, 152**) in Anwesenheit von Wasserstoff nach dem Ausführen der Wärmebehandlung (**150**) und vor dem Bilden der ersten Gateisolationsschicht (**110**).

17. Verfahren nach Anspruch 16, das ferner umfasst: Ausführen einer weiteren Wärmebehandlung (**151, 152**) in Anwesenheit von Wasserstoff vor dem Bilden der ersten Gateisolationsschicht (**110**).

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

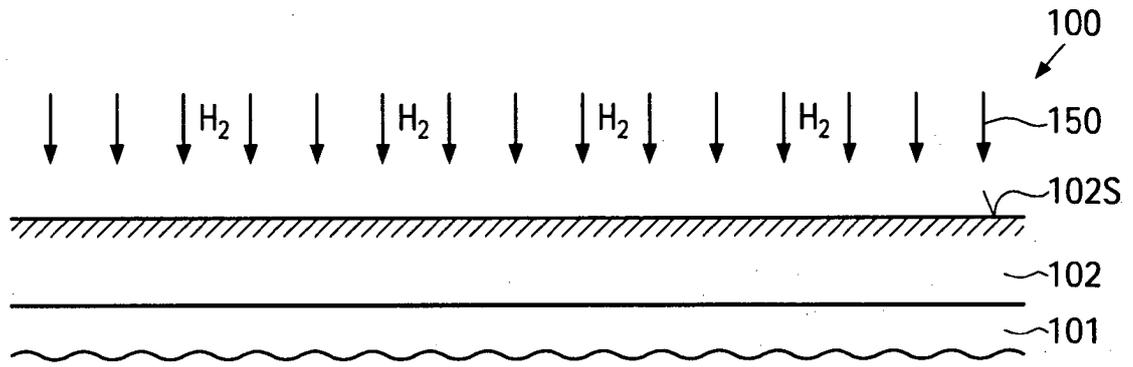


FIG. 1a

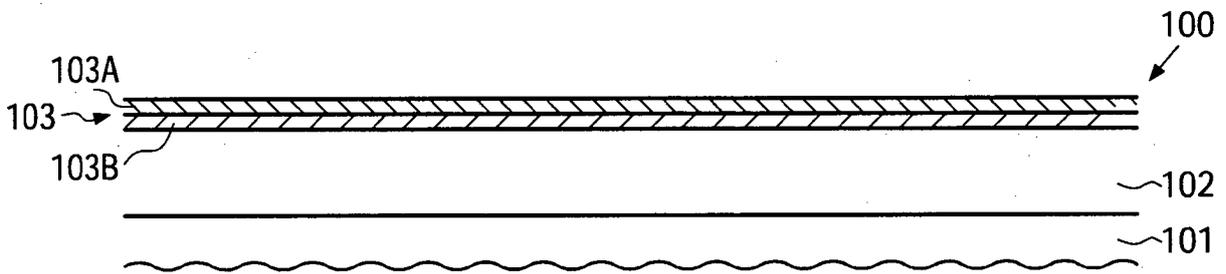


FIG. 1b

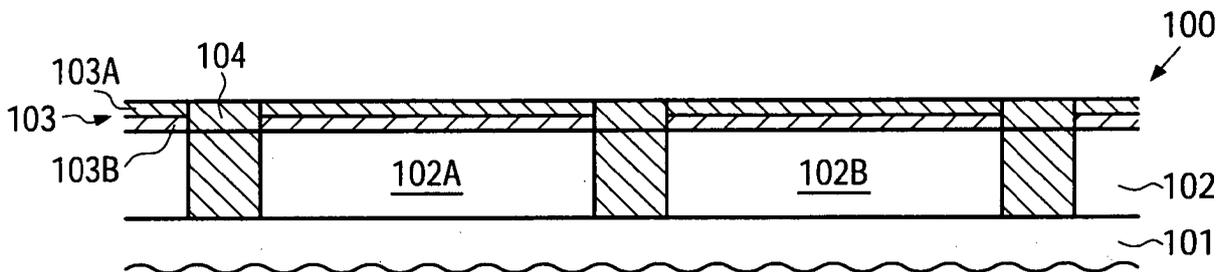


FIG. 1c

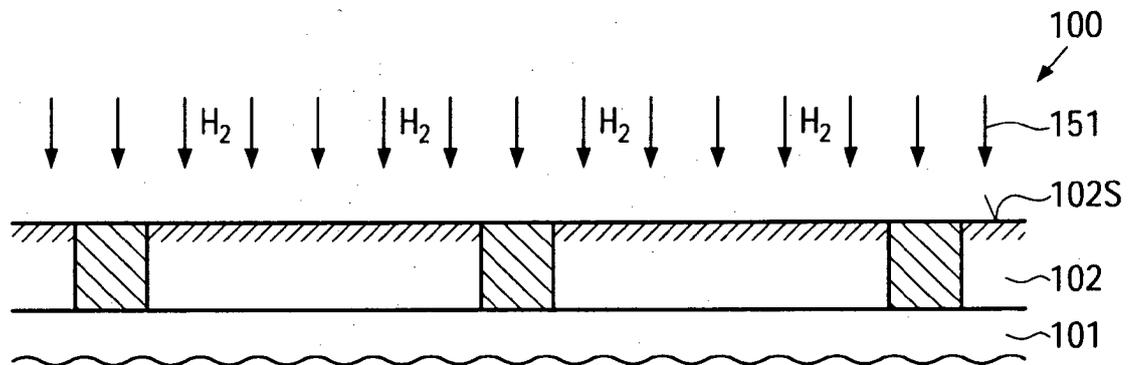


FIG. 1d

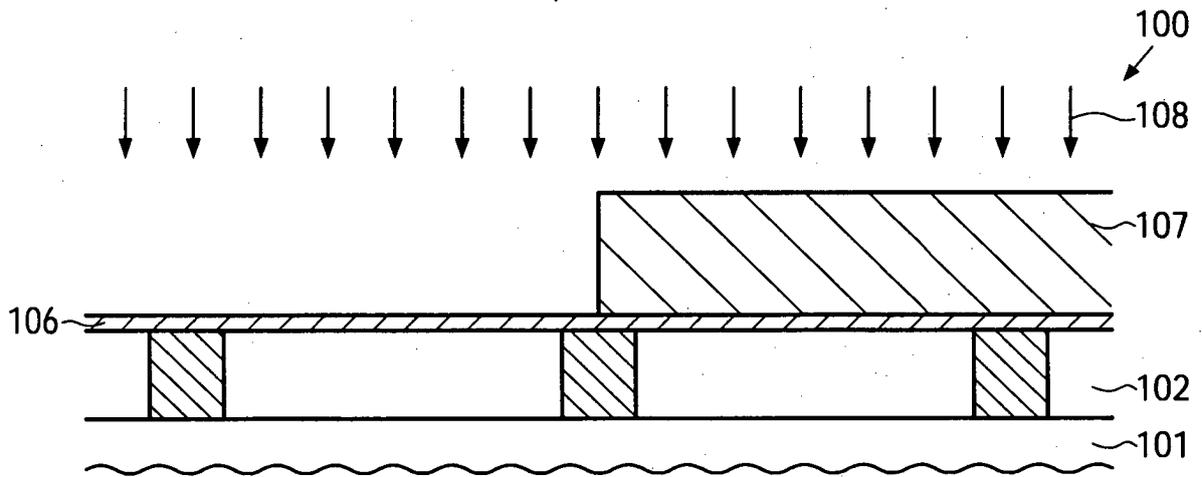


FIG. 1e

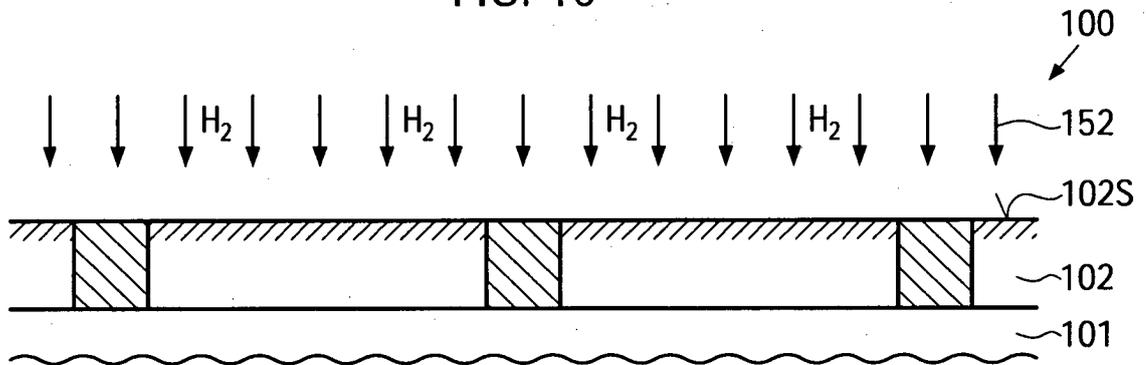


FIG. 1f

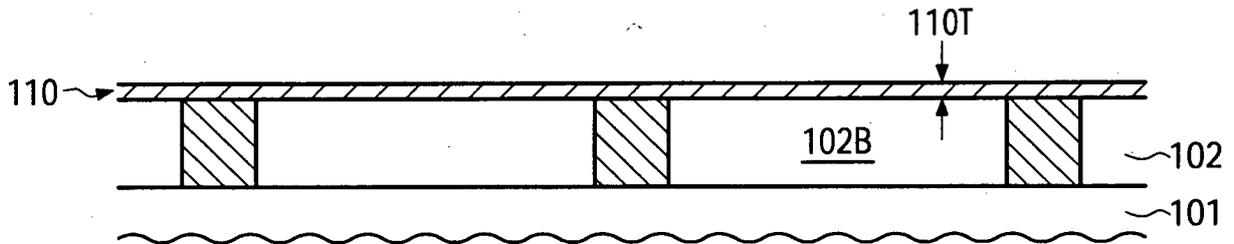


FIG. 1g

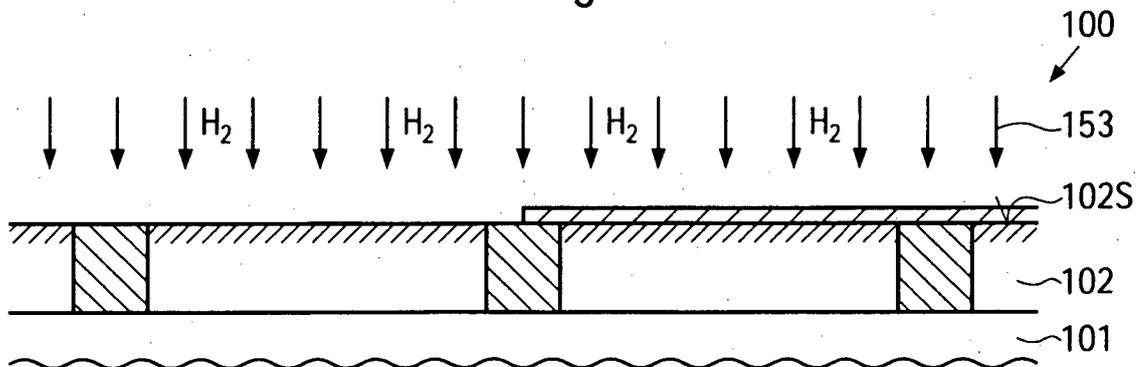


FIG. 1h

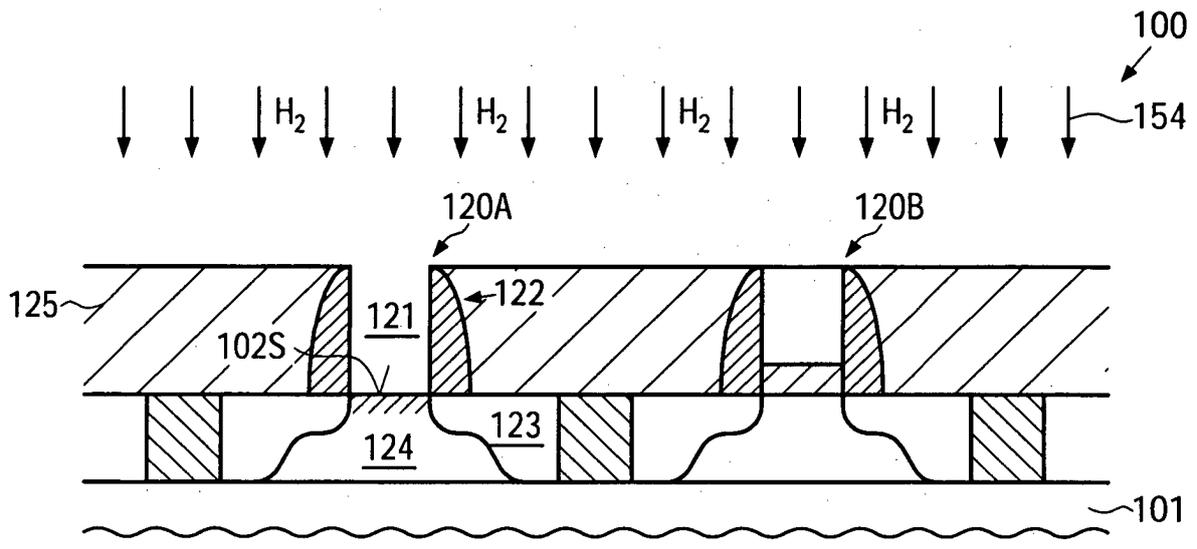


FIG. 1l

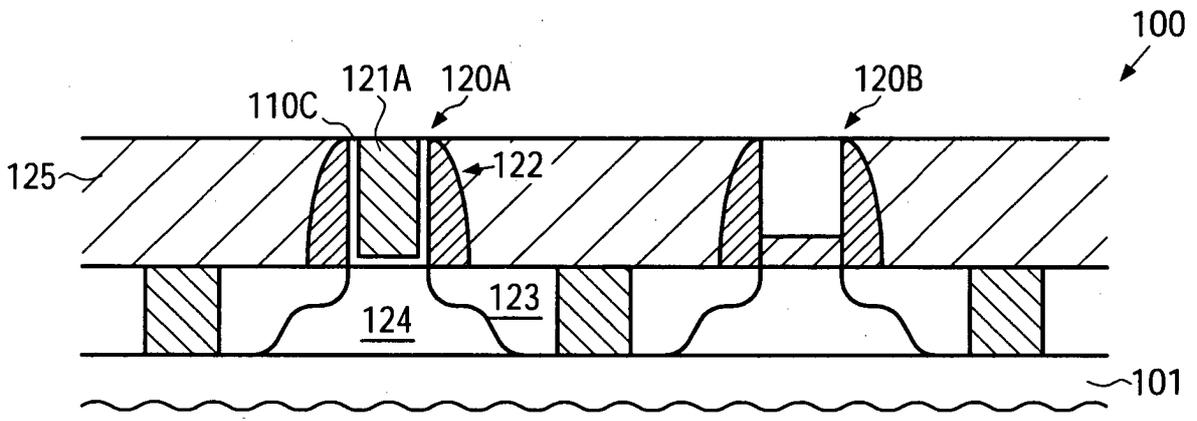


FIG. 1m