

[51] Int. Cl.
G11C 29/00 (2006.01)



[21] 申请号 200680002441.9

[43] 公开日 2008 年 4 月 23 日

[11] 公开号 CN 101167140A

[22] 申请日 2006.2.16

[21] 申请号 200680002441.9

[30] 优先权

[32] 2005. 3.24 [33] US [31] 11/088,562

[86] 国际申请 PCT/US2006/005474 2006.2.16

[87] 国际公布 WO2006/104584 英 2006.10.5

[85] 进入国家阶段日期 2007.7.16

[71] 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 詹姆斯·M·西比格特罗斯

布赖恩·E·库克

乔治·L·埃斯皮诺尔

克莱·E·梅茵特

布鲁斯·L·莫顿

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所
代理人 康建峰

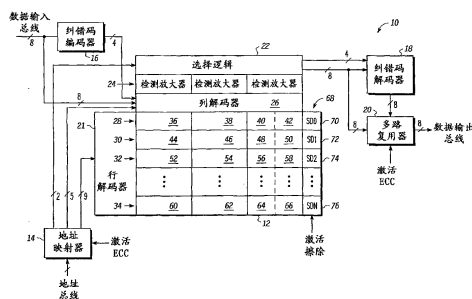
权利要求书 4 页 说明书 7 页 附图 3 页

[54] 发明名称

具有可在用于数据和用于纠错码之间进行切换的区间的存储器

[57] 摘要

本发明公开一种具有激活 ECC 模式和禁止 ECC 模式的存储器(10), 其中, 在激活 ECC 模式专门用于存储 ECC 的存储器(10)的区间在禁止 ECC 模式被用来存储一般目的的信息(数据)。这在非易失性存储器(NVM)(10)中是通过使数据和具有相应 ECC 的存储器的区间在同样的字线(94)上而实现的。因为与擦除相关的复杂性, 这在 NVM(10)中是特别重要的。在激活 ECC 模式中, ECC 和相应的数据应该被一起擦除、编程和读取, 以避免巨大的布线损失和性能损失。通过在同一字线(94)上具有 ECC 和数据可以最好地实现这一点。



1. 一种存储器，包括：

存储器阵列中的第一多个存储单元，其中，该第一多个存储单元中的每一个存储单元都被耦合到字线，该第一多个存储单元包括：

第二多个存储单元，该第二多个存储单元被配置为存储数据；和

第三多个存储单元，其中，在第一模式中，该第三多个存储单元被配置为存储数据，在第二模式中，该第三多个存储单元被配置为存储纠错码信息。

2. 如权利要求 1 所述的存储器，其中：

在第二模式中，该第三多个存储单元的存储单元被配置为存储纠错码信息，以用于存储在第二多个存储单元的存储单元中的数据。

3. 如权利要求 1 所述的存储器，还包括：

第四多个存储单元，其中，该第四多个存储单元的每一个存储单元都被耦合到第二字线，该第四多个存储单元包括：

第五多个存储单元，该第五多个存储单元被配置为存储数据；和

第六多个存储单元，其中，在第一模式中，该第六多个存储单元被配置为存储数据，在第二模式中，该第六多个存储单元被配置为存储纠错码信息。

4. 如权利要求 3 所述的存储器，其中：

第二多个存储单元被设置在存储器阵列的第一列集合中；

第五多个存储单元被设置在存储器阵列的该第一列集合中；

第三多个存储单元被设置在存储器阵列的第二列集合中；和

第六多个存储单元被设置在存储器阵列的该第二列集合中。

5. 如权利要求 1 所述的存储器，其中，第一多个的存储单元的特征在于为非易失性存储单元。

6. 如权利要求 1 所述的存储器，其中，第一多个的存储单元的特征在于为闪存单元。

7. 如权利要求 1 所述的存储器，其中，第二多个存储单元和第三

多个存储单元在第一擦除操作中被擦除。

8. 如权利要求 7 所述的存储器, 还包括:

耦合到第二字线的第四多个存储单元, 其中, 所述第四多个的存储单元在第一擦除操作过程中不被擦除。

9. 如权利要求 1 所述的存储器, 还包括:

数据总线; 和

纠错码电路;

其中, 在第一模式中, 数据总线从第三多个存储单元的一组存储单元接收数据, 以响应对第三多个的该组存储单元的读取请求; 和

其中, 在第二模式中, 纠错码电路从第二多个存储单元的一组存储单元处接收数据, 并从第三多个存储单元的一组存储单元接收纠错码信息, 以响应对第二多个的该组存储单元的读取请求。

10. 如权利要求 1 所述的存储器, 其中:

在第一模式中, 数据总线从第三多个存储单元的一组存储单元接收数据, 以响应对该组存储单元的读取请求; 和

在第二模式中, 数据总线不能接收存储在该第三多个存储单元中的信息。

11. 如权利要求 1 所述的存储器, 还包括:

地址总线, 该地址总线接收用于对存储器阵列的存储单元进行访问的地址;

用于存储器阵列的行解码器电路和列解码器电路; 和

耦合到地址总线的地址映射器电路, 该地址映射器电路包含耦合到该行解码器电路和该列解码器电路的输出;

其中, 第二多个的存储单元被设置在存储器阵列的第一列集合中;

其中, 在第一模式中, 地址映射器将来自地址总线的第一读取地址解码, 以按照第一解码模式驱动它的耦合到行解码器电路和列解码器电路的输出, 从而读取存储在第三多个的存储单元中的数据; 和

其中, 在第二模式中, 地址映射器将来自地址总线的第一读取地址解码, 以按照第二解码模式驱动它的耦合到行解码器电路和列解码器电

路的输出，从而读取存储在位于第一列集合的列中的存储单元中的数据。

12. 一种操作存储器的方法，该存储器包括耦合到字线的第一多个存储单元，该第一多个存储单元包含第二多个存储单元和第三多个存储单元，该方法包括：

其中，在第一模式中：

在该第二多个存储单元中存储数据；和

在该第三多个存储单元中存储数据；和

其中，在第二模式中：

在该第二多个存储单元中存储数据，并且在第三多个存储单元中存储纠错码信息。

13. 如权利要求 12 所述的方法，其中：

在第二模式中，该第三多个存储单元的存储单元存储纠错码信息，以用于存储在第二多个存储单元的存储单元中的数据。

14. 如权利要求 12 所述的方法，其中，该第一多个的存储单元的特征在于为非易失性存储单元。

15. 如权利要求 12 所述的方法，其中，该第一多个的存储单元的特征在于为闪存单元。

16. 如权利要求 12 所述的方法，其中，第二多个存储单元和第三多个存储单元在第一擦除操作中被擦除。

17. 如权利要求 16 所述的方法，其中：

存储器还包括耦合到第二字线的第四多个存储单元；

其中，该第四多个的存储单元在第一擦除操作过程中不被擦除。

18. 如权利要求 12 所述的方法，还包括：

其中，在第一模式中，从第三多个存储单元的一组存储单元向数据总线提供数据，以响应对第三多个的该组存储单元的读取请求；和

其中，在第二模式中，从第二多个存储单元的一组存储单元向纠错码电路提供数据，并从第三多个存储单元的一组存储单元提供纠错码信息，以响应对第二多个存储单元的该组存储单元的读取请求。

19. 如权利要求 12 所述的方法, 还包括:

其中, 在第一模式中, 从第三多个存储单元的一组存储单元向数据总线提供数据, 以响应对该组存储单元的读取请求; 和

其中, 在第二模式中, 数据总线不能接收存储在该第三多个存储单元中的信息。

20. 如权利要求 12 所述的方法, 其中, 第三多个的存储单元被设置在存储器阵列的第一列集合中, 该方法还包括:

从地址总线接收第一地址;

其中, 在第一模式中, 访问存储在设置在第一列集合中的一组存储单元中的数据, 并且向数据总线提供数据, 以响应第一地址; 和

其中, 在第二模式中, 访问存储在第二多个的一组存储单元中的数据, 并且, 访问存储在第三多个的一组存储单元中的纠错码信息, 以及向纠错码电路提供数据和纠错码, 以响应第一地址。

21. 一种存储器, 包括:

存储器阵列, 该存储器阵列包括设置在第一列集合中的第一多个存储单元和设置在第二列集合中的第二多个存储单元, 其中, 存储器阵列包含具有该第一多个存储单元的存储单元的多个字线和耦合到该多个字线的每一个字线的该第二多个存储单元的存储单元; 和

一装置, 用于在第一模式中向数据总线提供存储在该第二多个存储单元的存储单元中的数据, 以及在第二模式中向纠错码电路提供存储在耦合到字线的该第一多个存储单元的存储单元中的数据和存储在耦合到字线的该第二多个的存储单元中的纠错码信息。

具有可在用于数据和用于纠错码之间 进行切换的区间的存储器

技术领域

本发明涉及存储器，并且更特别地，涉及具有可在用于数据和用于纠错码（ECC）之间进行切换的区间(portion)的存储器。

背景技术

计算系统中使用的一个技术是纠错。然而，纠错并不是应用在所有计算系统中，因为一些应用具有比其它应用大得多的错误宽容度。已经有许多尝试，通过具有用于纠错的模式和不使用纠错的模式来使存储系统更灵活。在没有纠错的情况下，用于存储纠错码（ECC）的存储系统的区间被用作一般目的（数据）的存储器。

将这种类型的方案应用于单块集成电路一直是一个难点，特别是当存储器是非易失性存储器（NVM）时。

因此，需要可将存储器在存储 ECC 和存储数据之间进行切换的方案，以克服或减少这些问题的负面影响。

附图说明

从下面参照附图对优选的实施例所进行的详细描述中，本领域的技术人员将理解本发明的前述的和进一步且更具体的目的和优点。

图 1 是根据本发明的一个实施例的存储器的方块图；

图 2 是图 1 的存储器的区间的方块图；

图 3 是显示图 1 的存储器在图 2 中的那个区间的更加细部的方块图；

图 4 是处于激活 ECC 模式（ECC-enabled mode）的图 1 的存储器的存储器映射；和

图 5 是处于禁止 ECC 模式 (ECC-disabled mode) 的图 1 的存储器的存储器映射。

具体实施方式

在一个方面, 存储器具有激活 ECC 模式和禁止 ECC 模式, 其中, 在激活 ECC 模式中专门用作存储 ECC 的存储器区间, 在禁止 ECC 模式中被用于存储一般目的信息 (数据)。这在非易失性存储器 (NVM) 中是通过使数据和具有相应 ECC 的存储器的区间在同样的字线上而实现的。因为与擦除相关的复杂性, 这在 NVM 中是特别重要的。在激活 ECC 模式中, ECC 和相应的数据应该被一起擦除、编程和读取, 以避免巨大的布线损失和性能损失。通过使 ECC 和数据在同一字线上可以最好地实现这一点。参照附图和下面的描述可以对此有较好的理解。

图 1 中所示为存储器 10, 其具有 NVM 单元的阵列 12、地址映射器 14、纠错码 (ECC) 编码器 16、纠错码解码器 18、多路复用器 (mux) 20、行解码器 21、选择逻辑 22、多个检测(sense)放大器 24、以及列解码器 26。阵列 12 包括区段 28、区段 30、区段 32 和区段 34。区段 28 包括子区段 36、38、40 和 42。区段 30 包括子区段 44、46、48 和 50。区段 32 包括子区段 52、54、56 和 58。区段 34 包括子区段 60、62、64 和 66。存储器 10 也包括多个源驱动器 68, 源驱动器 68 包括源驱动器 70、72、74 和 76。

地址映射器 14 具有用于从地址总线接收地址的第一输入、用于接收 ECC 激活信号的第二输入、耦合到选择逻辑 22 的第一输出、耦合到列解码器 26 的第二输出和连接至行解码器 21 的第三输出。纠错码编码器 16 具有用于从数据输入总线接收数据的输入、以及耦合到列解码器 26 的输出。纠错码解码器 18 具有耦合到选择逻辑 22 的第一输入、耦合到选择逻辑 22 的第二输入和耦合到 mux 20 的输出。mux 20 具有耦合到选择逻辑 22 的第一输入、耦合到纠错码解码器 18 的输出的第二输入、用于接收 ECC 激活信号的第三输入和用于向数据输出总线提供数据的输出。行解码器 21 具有连接至地址映射器 14 的第三输出的输入、

以及连接至区段 28-34 的输出。耦合到多个检测放大器 24 的选择逻辑 22 具有连接至地址映射器 14 的第一输出的第一输入、耦合到纠错码解码器 18 的第一输入的第一输出、以及连接至纠错码解码器 18 的第二输入且连接至 mux 20 的第一输入的第二输出。多个检测放大器 24 被连接在列解码器 26 和选择逻辑 22 之间。耦合到阵列 12 和多个检测放大器 24 的列解码器 26、具有连接至地址映射器 14 的第二输出的第一输入、连接至数据输入总线的第二输入和连接至纠错码编码器 16 的输出的第三输入。

尽管图 1 中实际只显示了 4 个区段，但在这个例子中，共有 64 个区段用于存储器 10。多个源驱动器 (SD) 68 连接至区段 28-34。源驱动器 70 连接至区段 28。源驱动器 72 连接至区段 30。源驱动器 74 连接至区段 32，而源驱动器 76 连接至区段 34。区段 28-34 中的每一个都包括 8 行存储单元，并且构造也相同。

图 2 中显示了区段 28，其连接至行解码器 21，并且是区段 28-34 中的每一个的示范。按照先前说明的，区段 28 包括子区段 36、38、40 和 42。区段 28 还包括分别具有字线 94、96、98、100、102、104、106 和 108 的行 78、80、82、84、86、88、90 和 92。行 78-92 中的每一个都包括来自子区段 36 的一区间、来自子区段 38 的一区间、来自子区段 40 的一区间和来自子区段 42 的一区间。例如，行 78 包括来自子区段 36 的区间 110、来自子区段 38 的区间 112、来自子区段 40 的区间 114 和来自子区段 42 的区间 116。因此，区间 110、112、114 和 116 中的每一个都包括字线 94 的一区间。在这个例子中，区间 110 和 112 每一个都包括 256 个连接至字线 94 的单元，其中每一个存储单元存储 1 比特的信息。区间 114 和 116 每一个都包括 128 个连接至字线 94 的存储单元。类似地，行 80 包括分别是子区段 36、38、40 和 42 的一部分的区间 120、122、124 和 126，并且区间 120、122、124 和 126 分别具有 256、256、128 和 128 个连接至字线 96 的存储单元。同样地，行 82 包括分别是子区段 36、38、40 和 42 的一部分的区间 130、132、134 和 136，并且区间 130、132、134 和 136 分别具有 256、256、128 和 128

个连接至字线 98 的存储单元。类似地，剩下的行 84-92 包括分别连接至字线 100-108 的区间，与行 78、80 和 82 的方式一样。

图 3 中所示为行 78 和行 80，行 78 具有字线 94，其中存储单元 138、140、142、144、146 和 148 连接至字线 94；行 80 具有字线 96，其中存储单元 162、164、166、168、170 和 172 连接至字线 96。图 3 中还显示了分别连接至存储单元 138、140、142、144、146 和 148 的位线 150、152、154、156、158 和 160，位线 150、152、154、156、158 和 160 也分别连接至存储单元 162、164、166、168、170 和 172。传统形式中，字线 94 和 96 与位线 150-160 垂直。连接至同一位线的存储单元形成一列。因此，举例说来，存储单元 138 和 160 是在同一列中且都是区间 110 的部分。存储单元 166 和 142 是在同一列中且都是区间 112 的部分。存储单元 146 和 170 是在同一列中且都是区间 114 的部分。类似地，存储单元 148 和 172 是在同一列中且都是区间 116 的部分。

图 3 中还显示了连接至源线 174 的源驱动器 70，其中源线 174 依次连接至行 78 和 80 中的所有存储单元。此外，线 174 与连接至行 82、84、86、88、90 和 92 中的存储单元的其它源线间短路。区段 28 的所有存储单元共同连接至源驱动器 70。

运行中，存储器 10 具有关于 ECC 的使用的两种运行模式：激活 ECC 模式和禁止 ECC 模式。对激活 ECC 模式中的读取来说，行解码器 21 通过激活字线来选择行，并且所选行中的数据字节和相应的 ECC 信息被列解码器 26 和选择逻辑 22 耦合到纠错码解码器 18 中。接着 mux 20 将从纠错码解码器 18 接收的输出耦合到数据输出总线上。地址映射器 14 将地址的行地址区间耦合到行解码器 21 中，并将地址的列地址区间耦合到列解码器 26 和选择逻辑 22 中。检测放大器 24 总共包括 24 个检测放大器。8 个检测放大器用于感应来自包括子区段 36、44、52 和 60 的子区段组的存储单元的逻辑状态。8 个检测放大器用于感应来自包括子区段 38、46、54 和 62 的子区段组的存储单元的逻辑状态。4 个检测放大器用于检测来自包括子区段 40、48、56 和 64 的子区段组的存储单元的逻辑状态。4 个检测放大器用于检测来自包括子区段 42、50、

58 和 66 的子区段组的存储单元的逻辑状态。

以从子区段 36 的选择作为例子，行解码器 21 通过激活一个字线，例如图 3 中所示的字线 94，从区段 28 中选择一行。列解码器 26 将所选择的穿过子区段 36、44、52 和 60 的 8 个位线耦合到检测放大器 24。相应的 8 个检测放大器能够检测耦合到所选择的字线和位线的存储单元的逻辑状态。另外，穿过子区段 40、48、56 和 64 的 4 个位线被耦合到检测放大器 24 的 4 个检测放大器。类似地，耦合到所选择的位线的 4 个检测放大器被激活并检测连接至所选择的字线和 4 个所选择的位线的 4 个存储单元的逻辑状态。选择逻辑 22 把激活的 12 个检测放大器的输出耦合到纠错码解码器 18，同时，把禁止的检测放大器从纠错码解码器 18 中解耦合。在激活 ECC 模式中，mux 20 把纠错码解码器 18 的输出耦合到数据输出总线。

因此，可以看到，提供 8 个数据位的存储单元被连接至相同的字线，该字线同样连接至提供相应的 4 个 ECC 信息位的存储单元。而且，还有来自所选择的区段的数据子区段中的每一个的 8 位数据，以及来自所选择的区段的两个子区段的总共 8 位的 ECC。在擦除的过程中，由行解码器 21 选择供擦除的区段，其方式是选择待擦除的所述区段中的所有字线。因此，举例说来，如果区段 28 将要被擦除，则响应于地址映射器 14 的行解码器 21 激活区段 28 的所有字线。由于区段的所有的存储单元在同一时刻被擦除，因此，类似地，数据和相应的 ECC 信息也同时被擦除。避免数据与相应的 ECC 信息具有不同的字线是有用的，因为这将为实现读取、编程和擦除增加电路和布线。

对在激活 ECC 模式中的编程来说，数据从数据输入总线进入纠错码编码器 16。基于数据总线上的数据，纠错码编码器 16 向列解码器 26 提供 ECC 信息。行解码器 21 通过激活行的字线来选择该行，并激活相应的源驱动器以提供编程电压。列解码器 26 减弱在存储器的数据区间和 ECC 区间的所选择的位线上所需的编程电流。举例说来，在向区段 28 的子区段 36 写入数据的情况下，选择区段 28 中的一行，贯穿子区段 36 的 8 个位线在列解码器 26 的驱动下在所选择的位线上传输数据的编

程电平，而贯穿子区段 40 的 4 个位线在列解码器 26 的驱动下传输 ECC 信息的编程电平。因此，同一列解码器和行解码器被用于对所选择的数据的位置和 ECC 信息位置二者的编程。这有助于避免额外的布线和电路复杂性。

对禁止 ECC 模式中的数据来说，用于激活 ECC 模式中的 ECC 信息的 8 个位是可用的。举例说来，子区段 40、42、48、50、56、58、64 和 66 中的存储单元可用于数据。有 8 个负责这些子区段的检测放大器，这样，来自给定字线访问的全字节数据可以从被用于激活 ECC 模式中的 ECC 信息的存储器的区间获得。这通过配置地址映射器而获得，从而为给定字线识别不同的地址。因此，举例说来，在地址总线上的特殊地址可能导致选择存储器 10 中不同的行。将在激活 ECC 模式过程中选择字线 96 的给定地址会导致在禁止 ECC 模式过程中选择不同的字线。实际上，在给定的字线上，有用于三个字节的解码，而不是用于两个字节。另一个不同之处在于，耦合到贯穿存储器的 ECC 区间的位线的所有 8 个检测放大器都被激活了，条件是当在激活 ECC 模式过程中选择存储器的那个区间时。对激活 ECC 模式和禁止 ECC 模式来说，擦除操作是一样的。

以从子区段 40 和 42 选择字节为例，地址映射器 14 向行解码器 21 提供地址，从而激活穿过子区段 40 和 42 的字线。类似地，列解码器 26 将所选择的穿过子区段 40 和 42 的位线耦合到用于 ECC 信息位的 8 个检测放大器。激活用于 ECC 信息位的所有 8 个检测放大器，并且，它们对连接至所选择的字线和 8 个所选择的位线的存储单元的逻辑状态进行检测。选择逻辑将这 8 个检测放大器的输出传递给 mux 20。接着，mux 20 向数据输出总线提供检测放大器的输出。

对编程操作来说，列解码器 26 向所选择的穿过子区段 40 和 42 的 8 个位线提供适当的编程电平。选择逻辑 22 向列解码器 26 提供必要的信号以选择 8 个位线，而不仅是在激活 ECC 模式中所选择的 4 个。该重映射地址的方案为存储器的 ECC 区间作为数据存储器的有效使用做准备，同时保持在同一行中具有数据和相应的 ECC 区间的布线和电路的

简单性。

图 4 中所示为用于激活 ECC 模式的存储器 10 的存储器映射。在这种情况下，第一区段包括从 0x0000 到 0x01FF 的存储空间，该第一区段包括分别具有相应的 ECC 子区段 40 和 42 的子区段 36 和 38。第二区段包括从 0x0200 到 0x03FF 的存储空间。在该例子中，总的存储空间扩展到 0x7FFF。

图 5 中所示为用于禁止 ECC 模式的存储器 10 的存储器映射。在这种情况下，第一区段包括从 0x0000 到 0x02FF 的存储空间，该第一区段包括用于数据的子区段 36、38、40 和 42。这不仅显示了禁止 ECC 模式中用于数据的存储空间的增加，还显示了关于区段的存储空间的重映射。举例说来，从 0x0200 到 0x02FF 的存储空间是在第一区段的行中，其包括用于禁止 ECC 模式的子区段 36、38、40 和 42，但对激活 ECC 的情况来说，这些同样的地址是在第二区段中，并因此在不同的行中。用于禁止 ECC 情况的该第二区段具有从 0x0300 扩展到 0x05FF 的存储空间。禁止 ECC 模式的存储器 10 最终扩展至 0xBFFF，比激活 ECC 的情况增加了 50%。

对本领域的技术人员而言，对这里出于示例的目的所选择的实施例进行各种改变和修正是可以理解的。举例说来，尽管讨论 NVM 使用源驱动器来编程，并且对 NVM 来说有特殊的好处，但并不排除使用其它存储器的可能性。在这个例子中，描述了特定数目的存储单元、字线和位线，但这些仅仅是作为例子而给出的，同样也可使用具有其它配置的其它尺寸的存储器。存储器映射的细节是另一个例子，其给定的特定的尺寸仅是作为示例，可以使用其它的尺寸。对没有偏离本发明的精神的修改和改变来说，其被包括在对所附权利要求的公正的解释的范围中。

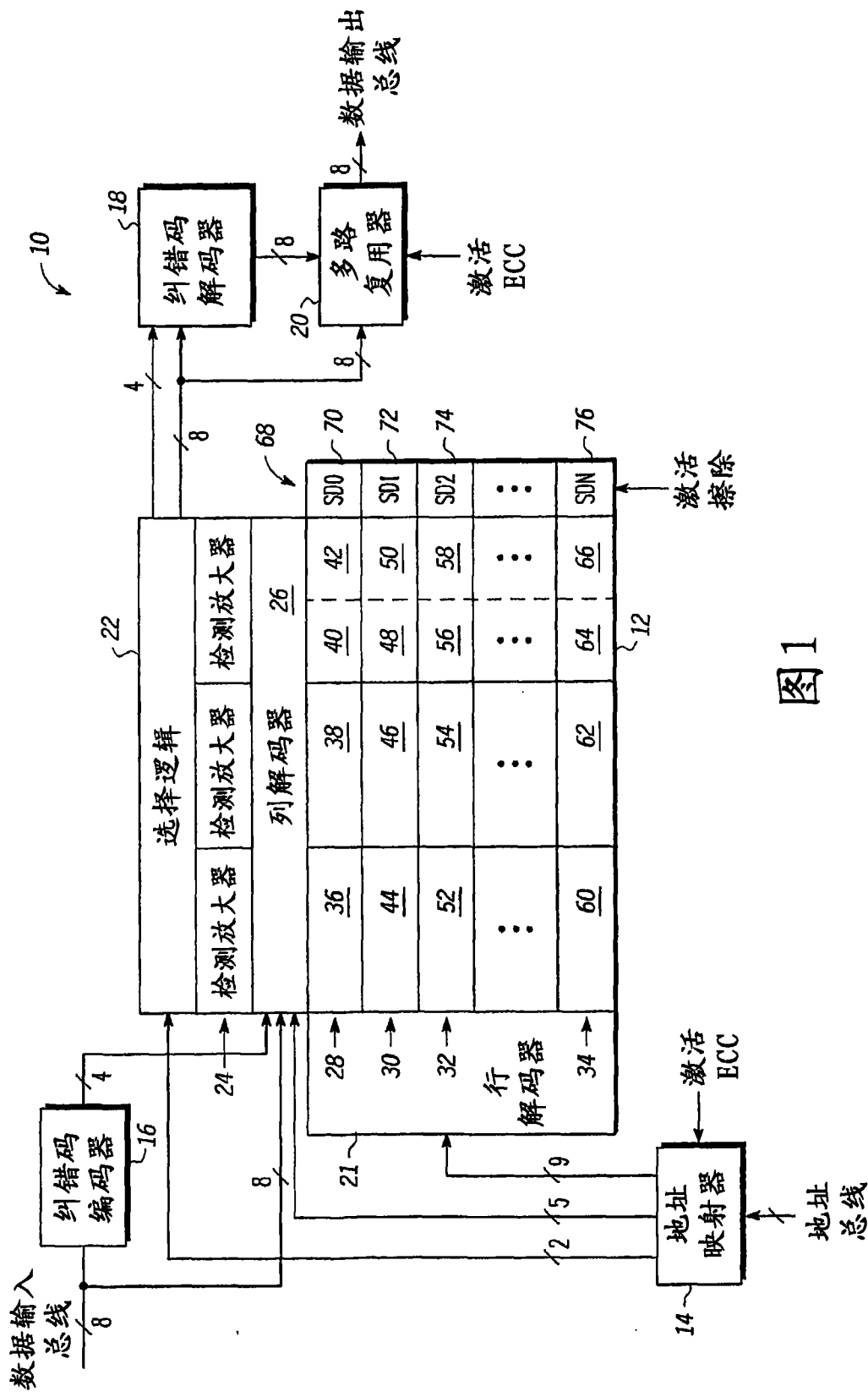
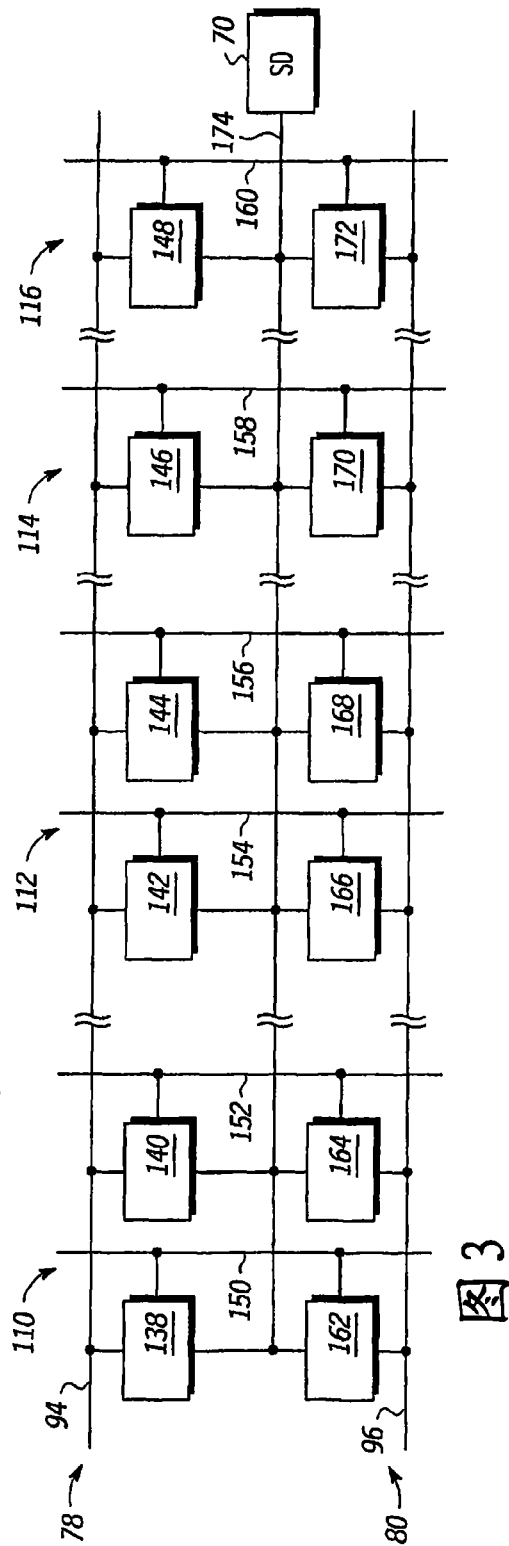
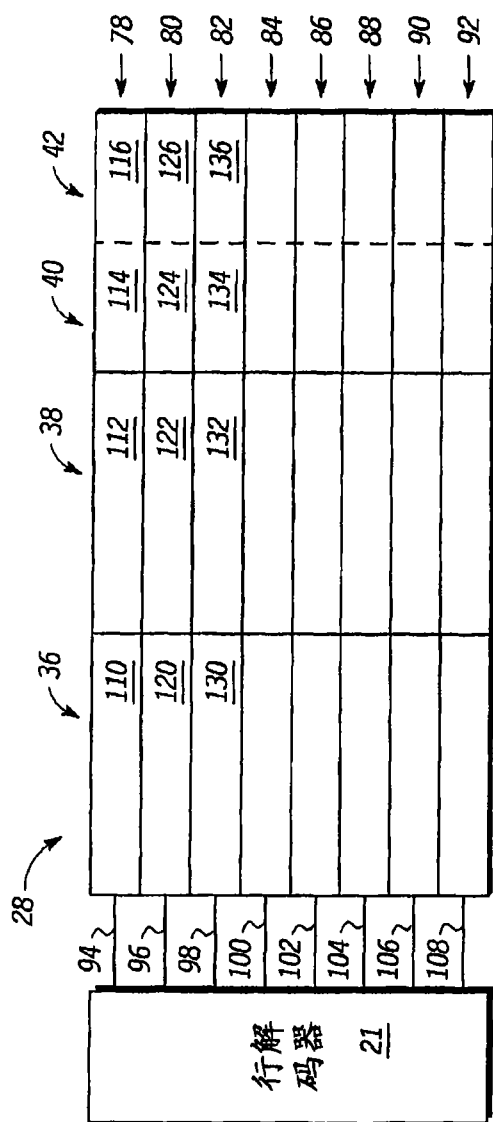


图1



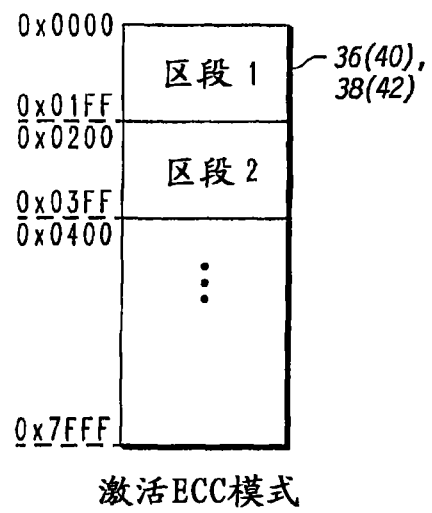


图 4

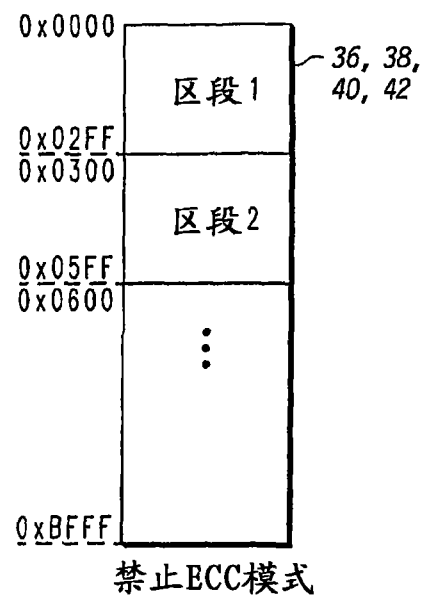


图 5