

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4279410号  
(P4279410)

(45) 発行日 平成21年6月17日(2009.6.17)

(24) 登録日 平成21年3月19日(2009.3.19)

(51) Int.Cl.  
H03M 3/04 (2006.01)

F I  
H03M 3/04

請求項の数 8 (全 15 頁)

<p>(21) 出願番号 特願平11-191460                  (22) 出願日 平成11年7月6日(1999.7.6)                  (65) 公開番号 特開2001-24512(P2001-24512A)                  (43) 公開日 平成13年1月26日(2001.1.26)                  審査請求日 平成18年6月16日(2006.6.16)</p>	<p>(73) 特許権者 390005175                  株式会社アドバンテスト                  東京都練馬区旭町1丁目32番1号                  (74) 代理人 100104156                  弁理士 龍華 明裕                  (72) 発明者 浅見 幸司                  東京都練馬区旭町1丁目32番1号株式会                  社アドバンテスト内                    審査官 渡辺 未央子</p>
--	--

最終頁に続く

(54) 【発明の名称】 信号処理装置およびその装置を用いた半導体デバイス試験装置

(57) 【特許請求の範囲】

【請求項1】

所定の基準周波数で信号を処理および伝送する装置であって、  
 信号の伝送路上に並列に設けられ、それぞれが信号を量子化した際に生じる量子化ノイズをシェイピングする機能をもつ、インタリーブされた複数の変調器を含む変調ユニットと、

前記伝送路上に前記変調ユニットと直列に設けられた周波数補償ユニットとを含み、  
 前記変調ユニットに含まれるそれぞれの前記変調器は前記基準周波数よりも低い第二の周波数をもとに変調を行う一方、前記周波数補償ユニットは前記量子化ノイズのシェイピングが前記基準周波数をもとに行われるよう周波数に関する補償処理を行うことを特徴とする信号処理装置。

【請求項2】

前記周波数補償ユニットは、第一の波形整形器と第二の波形整形器を含み、前記第一の波形整形器の伝達関数と前記第二の波形整形器の伝達関数が逆数であることを特徴とする請求項1に記載の信号処理装置。

【請求項3】

前記変調ユニットは、N個(N = 2<sup>n</sup>、ただしnは自然数)の変調器を含み、前記第二の周波数は前記基準周波数の1/Nであることを特徴とする請求項2に記載の信号処理装置。

【請求項4】

前記 N 個の変調器はそれぞれ m 次 ( m は自然数 ) の 変調器であることを特徴とする請求項 3 に記載の信号処理装置。

【請求項 5】

前記第一の波形整形器の伝達関数  $H_1(z)$  は、

$$H_1(z) = (1 + z^{-1})^m (1 + z^{-2})^m \dots (1 + z^{-N/2})^m$$

であり、前記第二の波形整形器の伝達関数は  $H_2(z)$  は、

$$H_2(z) = 1 / (1 + z^{-1})^m (1 + z^{-2})^m \dots (1 + z^{-N/2})^m$$

であることを特徴とする請求項 4 に記載の信号処理装置。

【請求項 6】

前記第一の波形整形器は前記伝送路上、前記変調ユニットの前に配置され、前記第二の波形整形器は前記伝送路上、前記変調ユニットの後に配置されることを特徴とする請求項 2 から 5 のいずれかに記載の信号処理装置。

10

【請求項 7】

ローパスフィルタをさらに含み、

前記伝送路上、前記変調ユニットの後に、前記第二の波形整形器、前記ローパスフィルタ、前記第一の波形整形器がこの順に配置されることを特徴とする請求項 2 から 5 のいずれかに記載の信号処理装置。

【請求項 8】

半導体デバイスを試験する装置であって、

被試験デバイスに与える試験信号をデジタル信号として生成するパターン発生器と、  
前記パターン発生器によって生成されたデジタル信号を所定の基準周波数でアナログ信号に変換する D/A 変換ユニットと  
を含み、

20

前記 D/A 変換ユニットは、

前記デジタル信号の伝送路上に並列に設けられ、それぞれが前記デジタル信号を量子化した際に生じる量子化ノイズをシェイピングする機能をもつ、インタリーブされた複数の変調器を含む変調ユニットと、

前記伝送路上に前記変調ユニットと直列に設けられた周波数補償ユニットとを含み、

前記変調ユニットに含まれるそれぞれの前記変調器は前記基準周波数よりも低い第二の周波数をもとに変調を行う一方、前記周波数補償ユニットは前記量子化ノイズのシェイピングが前記基準周波数をもとに行われるよう周波数に関する補償処理を行うことを特徴とする

30

半導体デバイス試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は信号処理装置および半導体デバイス試験装置に関する。この発明はとくに、所定の基準周波数で信号を処理および伝送する信号処理装置およびその装置を用いることの可能な半導体デバイス試験装置に関する。

【0002】

40

【従来の技術】

アナログ信号をデジタル信号に変調する過程には量子化の段階があり、その段階においていわゆる量子化ノイズが混入する。ノイズシェイピング技術は、量子化ノイズの特性を変えて高域に偏らせることにより、必要な帯域内の量子化ノイズを低減する。こうした技術のひとつに、(シグマデルタ)変調がある。

【0003】

図 1 は従来一般的な一次の 変調器の構成を示す。この変調器は、ふたつの加算器 10、12 と、ふたつの遅延器 14、16 と、二値化回路 18 を含む。入力信号 X は第一の加算器 10 に一方の端子に入力され、第一の加算器 10 の出力は第二の加算器 12 に一方の端子に入力される。

50

## 【 0 0 0 4 】

第二の加算器 1 2 の出力は第一の遅延器 1 4 に入力され、その遅延器 1 4 の出力が第二の加算器 1 2 の他方の端子に入力される。第二の加算器 1 2 の出力は二値化回路 1 8 で二値化され、出力信号 Y が生成される。

## 【 0 0 0 5 】

出力信号 Y は第二の遅延器 1 6 に入力され、第二の遅延器 1 6 の出力は第一の加算器 1 0 の他方の端子に入力される。ただし、これは減算のための入力である。第一の遅延器 1 4 および第二の遅延器 1 6 はそれぞれ入力された信号を 1 サンプリグ周期分遅らせる。以降、この変調器のサンプリグ周期を  $f_s$  と表記する。

## 【 0 0 0 6 】

図 2 は図 1 の 変調器の動作を示す。この変調器では入力信号 X のサンプリグがサンプリグ周波数  $f_s$  で行われ、その結果、時刻  $t_0$ 、 $t_1$ 、 $t_2 \dots$  でサンプリグがなされる。二値化回路 1 8 は「0」または「1」を出力する。この「0」と「1」の差分が に相当する。図 2 の場合、入力信号の各符号  $X_i$  ( $i = 0, 1, \dots$ ) に対応する  $Y_i$  は

## 【 0 0 0 7 】

1、1、1、0、1、0、1

となり、出力信号 Y が入力信号 X の変化に追従する。出力信号 Y が「1」をとったときには、第二の遅延器 1 6 と第一の加算器 1 0 により、入力信号 X から「1」が引かれる。出力信号 Y が「0」をとったときには、入力信号 X からはなにも引かれない。したがって、各サンプリグタイミングにおいて、出力信号 Y が入力信号 X を完全に一致していれば、第一の加算器 1 0 における減算の結果は常にゼロとなる。しかし、現実には量子化に伴う誤差、つまり量子化ノイズ成分があるため、第一の遅延器 1 4 と第二の加算器 1 2 がそのノイズを積分する。積分の結果が二値化回路 1 8 のしきい値、たとえば 0.5 などの値を越えている限り、出力信号 Y は「1」となる。一方、積分の結果が前記のしきい値を越えていなければ、出力信号 Y は「0」となる。

## 【 0 0 0 8 】

なお、ここでは二値化回路 1 8 の出力として「0」と「1」を考えたが、出力が「1」と「-1」の二値、またはそれらと「0」の三値をとるようなものが利用される。

## 【 0 0 0 9 】

## 【 発明が解決しようとする課題 】

変調はオーディオ信号の処理などに広く利用され、オーバーサンプリグを用いる。オーディオ信号処理の場合、必要な信号帯域の周波数よりも 2 桁以上の速い周波数でサンプリグすることが多い。オーディオ信号に限らず、半導体デバイス等の性能向上に従い、きわめて高速なアナログ信号をきわめて高速なサンプリグ周波数で標本化する要望が高い。とくに、最先端の半導体デバイスを試験する装置などでは、考えられる最も高速なアナログ信号をなるべく少ない量子化ノイズでデジタイズし、これを解析しなければならない。

## 【 0 0 1 0 】

本発明は以上の課題に鑑みてなされたもので、その目的は、データの処理および伝送の基準周波数を上げることの可能な技術の提供にある。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は、本発明の具体的かつ有用な形態を規定する。

## 【 0 0 1 1 】

## 【 課題を解決するための手段 】

本発明の信号処理装置は、所定の基準周波数、たとえば所定のサンプリグ周波数で信号を処理および伝送する装置である。この装置は、信号の伝送路上に並列に設けられ、それぞれが信号を量子化した際に生じる量子化ノイズをシェイピングする機能をもつ複数の変調器を含む変調ユニットと、前記伝送路上に前記変調ユニットと直列に設けられた周波数補償ユニットとを含む。この構成で、前記変調ユニットは前記基準周波数よりも低い第二

10

20

30

40

50

の周波数をもとに変調を行う。一方、前記周波数補償ユニットは前記量子化ノイズのシェイピングが前記基準周波数をもとに行われるよう周波数に関する補償処理を行う。

【0012】

前記周波数補償ユニットは、第一の波形整形器と第二の波形整形器を含み、前記第一の波形整形器の伝達関数と前記第二の波形整形器の伝達関数が逆数であってもよい。

【0013】

本発明の信号処理装置の別の形態は、信号の伝送路の一部を多重化して設けられた複数の副経路を含む周波数低減ユニットと、前記伝送路上において前記周波数低減ユニットと直列に設けられた周波数補償ユニットとを含む。前記複数の副経路は、前記基準周波数よりも低い第二の周波数をもとにそれぞれ異なるタイミングで前記信号を伝送する。一方、前記周波数補償ユニットは前記異なるタイミングで伝送された信号を、その伝送が前記基準周波数をもとに行われる形に統合する。

10

【0014】

前記複数の副経路はそれぞれ異なる数の遅延素子を、いずれのふたつの副経路においても共用することのない状態で含み、前記遅延素子の数に応じて前記タイミングが定められてもよい。

【0015】

前記周波数補償ユニットは、前記複数の副経路の終端に現れる複数の信号をアナログ的に加算する加算器、それらの排他的論理和を求める演算器、それらの論理積を求める乗算器などであってもよい。

20

【0016】

前記信号の前記複数の副経路間の干渉を制御する干渉制御ユニットをさらに設けてもよい。

【0017】

本発明の半導体デバイス試験装置は、被試験デバイスに試験信号を印加し、前記被試験デバイスから出力された信号を検査する主試験ユニットを含む。前記主試験ユニットにおいて、前記試験信号を処理する経路の一部が多重化され、かつ前記多重化された箇所において前記試験信号を処理するための周波数が、前記主試験ユニット全体として前記試験信号を処理するための基準周波数よりも低く設定される。

【0018】

前記主試験ユニットは、被試験デバイスに与える試験信号を生成する前処理ユニットを含んでもよい。前処理ユニットは、前記試験信号をデジタル信号として生成するパターン発生器と、前記パターン発生器によって生成されたデジタル信号をアナログ信号に変換するD/A変換ユニットを含んでもよい。前記D/A変換ユニットは、インタリーブされた複数のD/Aコンバータと、前記複数のD/Aコンバータの出力を受ける周波数補償ユニットとを含んでもよい。この構成で、前記周波数補償ユニットの作用により、前記D/A変換ユニット全体として信号を伝送する周波数が、前記複数のD/Aコンバータのそれぞれが信号を伝送する周波数よりも高く設定される。

30

【0019】

前処理ユニットはさらに、前記D/A変換によって得られたアナログ信号の伝送路の一部を多重化する信号経路多重化装置を含んでもよい。この信号経路多重化装置は、複数の副経路を含む周波数低減ユニットと、前記伝送路上において前記周波数低減ユニットと直列に設けられた周波数補償ユニットとを含んでもよい。ここで、前記周波数補償ユニットの作用により、前記信号経路多重化装置全体として信号を伝送する周波数が、前記複数の副経路において信号を伝送する周波数よりも高く設定される。

40

【0020】

なお以上の発明の概要は、本発明に必要なすべての特徴を列挙したものではなく、当然ながら、これらの特徴群のサブコンビネーションもまた発明となりうる。

【0021】

【発明の実施の形態】

50

以下、発明の実施の形態を通じて本発明を説明する。ただし、以下の実施の形態は特許請求の範囲に記載された発明を限定するものではなく、また実施の形態の中で説明されている特徴の組み合わせのすべてが発明の解決手段に必須であるとは限らない。

【 0 0 2 2 】

実施の形態 1

図 3 は実施の形態 1 に係る信号処理装置の構成を示す。信号処理装置 20 はおもに、周波数補償ユニット 28 と変調ユニット 30 からなる。周波数補償ユニット 28 は第 1 波形整形器 22 と第 2 波形整形器 52 を含む。

【 0 0 2 3 】

第 1 波形整形器 22 は入力信号 X を 1 サンプリグ周期遅らせる遅延器 24 と、入力信号 X および遅延器 24 の出力を加算する加算器 26 を含む。加算器 26 の出力は加算器 58 によってディザ信号 50 と加算される。ディザ信号 50 は変調ユニット 30 の動作をより安定させるために付加される。それ自体は既知の技術である。

【 0 0 2 4 】

変調ユニット 30 は第一の加算器 32、第二の加算器 34、第一の遅延器 36、第二の遅延器 38、第三の遅延器 40、第四の遅延器 42、二値化回路 44 を含む。第二の遅延器 38 の出力は第一の遅延器 36 に入力され、第四の遅延器 42 の出力は第三の遅延器 40 に入力される。第一の加算器 32 はディザ信号に関する加算器 58 の出力から第三の遅延器 40 の出力を減算する。第二の加算器 34 は、第一の加算器 32 の出力と第一の遅延器 36 の出力を加算する。第二の加算器 34 の出力は第二の遅延器 38 および二値化回路 44 に入力される。二値化回路 44 の出力（仮に中間信号 Y' と名付ける）は第 2 波形整形器 52 および第四の遅延器 42 に入力される。

【 0 0 2 5 】

第 2 波形整形器 52 は加算器 54 と遅延器 56 を含む。加算器 54 は二値化回路 44 の出力から遅延器 56 の出力を減算する。加算器 54 の出力は出力信号 Y であり、この信号は遅延器 56 に入力される。

【 0 0 2 6 】

図 4 は図 3 の構成の一部をより実際の回路素子に近い形に書き換えて示す。図 4 において図 3 と同じ要素には同じ符号を与えている。図 3 における変調ユニット 30 は、図 4 のごとく、ここでは A/D コンバータとして働くふたつの変調器 60、62 と、それらをインタリーブするインタリーブ回路 64 に相当する。なぜなら、第一の加算器 32 および第二の加算器 34 に与えられるフィードバックパスにそれぞれふたつの遅延器が入っているため、変調ユニット 30 の変調作用が入力信号 X の各符号 X<sub>i</sub> のうち、

【 0 0 2 7 】

X<sub>0</sub>, X<sub>2</sub>, X<sub>4</sub>, ...

という偶数符号列と、

X<sub>1</sub>, X<sub>3</sub>, X<sub>5</sub>, ...

という奇数符号列に独立して与えられるためである。図 3 の変調ユニット 30 の各遅延器は 1 サンプリグ周期分信号を遅延させるため、ふたつの一次の変調器 60、62 のサンプリグは、従来の 1/2 の周波数、すなわち、 $f_s/2$  で行われる。変調器 60、62 はそれぞれ、入力信号 X の偶数符号列と奇数符号列の一方のみを処理するためである。

【 0 0 2 8 】

図 3 の変調ユニット 30 の最終的な出力は偶数符号列、奇数符号列に関係なく一系統になっているため、これが現実の回路ではインタリーブ回路 64 に相当する。インタリーブ回路 64 はサンプリグ周波数  $f_s$  でふたつの変調器 60、62 の出力を切り替えて出力するセレクタなどである。

【 0 0 2 9 】

周波数補償ユニット 28 が必要な理由は、変調ユニット 30 の構成を図 1 のものから変更したためである。いま仮に周波数補償ユニット 28 がないと仮定し、変調ユニット 30 に

10

20

30

40

50

入力信号  $X$  が与えられ、変調ユニット 30 から出力信号  $Y$  が出力されるとすれば、変調ユニット 30 の伝達特性は、

【0030】

$$Y = X + Q(1 - z^{-2}) \quad (\text{式 1})$$

となる。ただし、

【0031】

$$z^{-n} = \exp(-j2\pi f \cdot nT)$$

$$j = \sqrt{-1}$$

$$T = 1 / f_s$$

で、 $f_s$  はサンプリング周波数、 $f$  は信号周波数である。また、 $Q$  は量子化ノイズである。

10

【0032】

この式からわかるように、変調ユニット 30 だけでは、量子化ノイズが  $f_s / 2$  でサンプリングされたことになり、変調器本来の機能を果たさない。本来、量子化ノイズは  $f_s$  でサンプリングされなければならない。

【0033】

一方、周波数補償ユニット 28 を設けた場合を考える。まず第 1 波形整形器 22 の伝達関数  $H_1(z)$  は、

【0034】

$$H_1(z) = 1 + z^{-1} \quad (\text{式 2})$$

20

と書ける。一方、第 2 波形整形器 52 の伝達関数  $H_2(z)$  は、

【0035】

$$H_2(z) = 1 / (1 + z^{-1}) \quad (\text{式 3})$$

と書ける。式 1、式 2、式 3 を総合すれば、信号処理装置 20 全体の伝達特性は、

【0036】

$$Y = X + Q(1 - z^{-1})$$

となり、量子化ノイズも正しくサンプリング周波数  $f_s$  でサンプリングされる。

【0037】

以上、信号処理装置 20 によれば、変調器を 2 ウエイインタリーブし、そのサンプリング周波数を半分に落とすことができる。逆にいえば、変調のサンプリング周波数の上限を  $f_{su}$  とすれば、信号処理装置 20 全体の信号処理または信号伝送の周波数は  $2f_{su}$  まで可能になる。なお、2 ウエイを超えるインタリーブのための装置、および 2 以上の変調器を用いた装置は後述する。

30

【0038】

図 5 は、図 3 の構成の一変形例である信号処理装置 70 を示す。図 6 はその信号処理装置 70 をより実際の回路素子に近い形で示している。図 3 では第 1 波形整形器 22 は信号の伝送路上、変調ユニット 30 の前に配置され、第 2 波形整形器は逆に後に配置された。図 5 および図 6 の信号処理装置 70 はローパスフィルタ 72 をさらに含み、信号の伝送路上、変調ユニット 30 の後に、第 2 波形整形器 52、ローパスフィルタ 72、第 1 波形整形器 22 がこの順に配置される。この構成では、量子化ノイズ  $Q$  がローパスフィルタ 72 でカットされた後、所望の信号成分だけが第 1 波形整形器 22 による波形整形を受ける。この信号処理装置 70 も図 3 と同じ伝達特性をもち、同じ効果が得られる。

40

【0039】

図 5 および図 6 の信号処理装置 70 のさらなる利点は、デジタル処理に向く点にある。すなわち、図 3 および図 4 の信号処理装置 20 では、第 1 波形整形器 22 はアナログ信号に作用するアナログフィルタであるが、図 5 および図 6 の信号処理装置 70 における第 1 波形整形器 22 は、デジタルフィルタでよい。したがって、例えば図 6 の周波数補償ユニット 28 はすべて DSP (デジタル信号プロセッサ) などに組み込むこともできる。

【0040】

図 7、図 8、図 9 は、 $N$  ウエイのインタリーブ、すなわち  $N$  個の変調器が並列に設けられ

50

た信号処理装置の構成を示す。図7はその装置の第1波形整形器22、図8は変調ユニット30、図9は第2波形整形器52の構成である。ただし、 $N = 2^n$  ( $n$ は自然数)である。

【0041】

図7のごとく、第1波形整形器22は加算器と1個の遅延器からなる第1波形副整形器80と、加算器と2個の遅延器からなる第2波形副整形器82と、同様に加算器と $2^{n-1}$ 個の遅延器からなる第 $n$ 波形副整形器84を含む。第2波形副整形器82と第 $n$ 波形副整形器84の間には、加算器と $2^{i-1}$ 個の遅延器からなる第 $i$ 波形副整形器(ただし、 $i = 3, 4, \dots, n-1$ )が存在する。

【0042】

いずれの波形副整形器においても、入力側に最も近い遅延器と加算器は同じ信号を入力し、入力側から最も遠い遅延器の出力が加算器に与えられる。第1波形整形器22は入力信号 $X$ を入力し、中間信号 $X'$ を出力する。第1波形整形器22の伝達関数 $H1(z)$ は、 $H1(z) = (1 + z^{-1})(1 + z^{-2}) \dots (1 + z^{-N/2})$  (式4)と書ける。

【0043】

図8のごとく、変調ユニット30において、 $2^n$ 個の遅延器からなる第1遅延器群90が第2の加算器34の出力と入力の間におかれている。また、 $2^n$ 個の遅延器からなる第2遅延器群92が二値化回路44の出力と第1の加算器32の間におかれている。変調ユニット30は中間信号 $X'$ を入力し、別の中間信号 $Y'$ を出力する。変調ユニット30の伝達特性は、

【0044】

$$Y' = X' + Q(1 - z^{-N}) \quad (\text{式5})$$

である。なお、変調ユニット30の前におかれるディザ信号に関する加算器は図面上省略する。

【0045】

図9のごとく、第2波形整形器52は加算器と1個の遅延器からなる第1波形副整形器100と、加算器と2個の遅延器からなる第2波形副整形器102と、同様に加算器と $2^{n-1}$ 個の遅延器からなる第 $n$ 波形副整形器104を含む。第2波形副整形器102と第 $n$ 波形副整形器104の間には、加算器と $2^{i-1}$ 個の遅延器からなる第 $i$ 波形副整形器(ただし、 $i = 3, 4, \dots, n-1$ )が存在する。いずれの波形副整形器においても、加算器が最初に信号を入力する。また、加算器の出力は一連の遅延器の最初のものに与えられ、最後の遅延器の出力が加算器に与えられる。第2波形整形器52は中間信号 $Y'$ を入力し、出力信号 $Y$ を出力する。第2波形整形器52の伝達関数 $H2(z)$ は、 $H2(z) = 1 / (1 + z^{-1})(1 + z^{-2}) \dots (1 + z^{-N/2})$  (式6)と書ける。

【0046】

以上、式4、式5、式6を総合すれば、この信号処理装置全体の伝達特性はやはり、

$$Y = X + Q(1 - z^{-1})$$

となり、量子化ノイズが正しくサンプリング周波数 $f_s$ でサンプリングされる。この装置によれば、変調器を $N$ ウエイインタリーブし、その部分の処理周波数を $f_s / N$ に落とすことができる。

【0047】

なお、図3の構成に対する図5の構成と同様、図7から図9による構成についても別の構成が可能である。すなわち、ローパスフィルタを追加し、信号の伝送路上、変調ユニット30の後に、第2波形整形器52、ローパスフィルタ72、第1波形整形器22をこの順に配置すればよい。

【0048】

図10はふたつの2次変調器120、122を並列に設けた信号処理装置の構成を示す。この装置の第1波形整形器22は遅延器と加算器を2組もち、同様に第2波形整形器

10

20

30

40

50

5 2も遅延器と加算器を2組もつ。これら組の数は 変調器の次数と同じにすればよい。したがって、一般に $m$ 次( $m$ は自然数)の 変調器を $N$ ウエイインタリーブする場合、第1波形整形器22の伝達関数 $H1(z)$ は、

【0049】

$$H1(z) = (1 + z^{-1})^m (1 + z^{-2})^m \dots (1 + z^{-N/2})^m$$

とし、第2波形整形器52の伝達関数は $H2(z)$ は、

$$H2(z) = 1 / (1 + z^{-1})^m (1 + z^{-2})^m \dots (1 + z^{-N/2})^m$$

とすればよい。

【0050】

以上、実施の形態1の各信号処理装置によれば、たとえば高精度、高速のA/Dコンバータを実現することができる。

10

【0051】

#### 実施の形態2

実施の形態1では変調器のインタリーブを考えた。実施の形態2ではさらに広く、信号伝送路のインタリーブを考える。実施の形態1で非常に高速のサンプリングがなされるため、実施の形態1によってノイズシェイピングが施された信号を伝送する際、その経路上に実施の形態2に係る装置をおくことが考えられる。

【0052】

図11は実施の形態2に係る信号処理装置130の回路を示す。この信号処理装置130は、実施の形態1またはその他の高速な 変調器、とくに D/Aコンバータの出力信号を入力する。この信号はアナログ信号を模するが、各サンプリングタイミングでは、「0」と「1」のようなデジタル値をとる。同図ではその信号を入力信号「X」と表記している。

20

【0053】

信号処理装置130は信号の伝送路を4ウエイインタリーブする。信号処理装置130はおもに、信号の伝送路の一部を多重化して設けられた複数の副経路を含む周波数低減ユニット150と、伝送路上、周波数低減ユニット150と直列に設けられた周波数補償ユニット172と、周波数補償ユニット172の後段に設けられたローパスフィルタ174を含む。

【0054】

周波数低減ユニット150は、入力信号 $X$ を4経路に振り分ける分配器180と、4経路に振り分けられた入力信号 $X$ をそれぞれ異なるタイミングでラッチする4個のフリップフロップ182、184、186、188を含む。4個のフリップフロップ182、184、186、188にはそれぞれクロック $CK1$ 、 $CK2$ 、 $CK3$ 、 $CK4$ が入力されている。これら4つのクロックの周波数は、それぞれ信号伝送周波数 $f_s$ の $1/4$ であり、クロックの位相は $90^\circ$ ずつずらされている。したがって、4個のフリップフロップ182、184、186、188はそれぞれ、入力信号 $X$ の各符号 $X_i$ ( $i = 0, 1, 2, \dots$ )のうち、

30

【0055】

$X_0, X_4, X_8, \dots$

$X_1, X_5, X_9, \dots,$

$X_2, X_6, X_{10}, \dots$

$X_3, X_7, X_{11}, \dots$

のいずれかを伝送する。

40

【0056】

周波数補償ユニット172は、それぞれフリップフロップ182、184、186、188の出力に一端が接続された抵抗192、194、196、198を含む。それら4個の抵抗192、194、196、198の他端は結合され、増幅器200の負入力に接続される。増幅器200の出力と負入力の間には容量202と抵抗204が接続される。したがって、周波数補償ユニット172全体は、4個のフリップフロップ182、184、1

50

86、188の出力をアナログ的に加算する加算器として働く。

【0057】

増幅器200の出力はローパスフィルタ174に入力される。このローパスフィルタ174によって、高い周波数側に偏った量子化ノイズがカットされる。ローパスフィルタ174の出力が出力信号Yとなる。

【0058】

この構成によれば、信号の伝送路がインタリーブされて4つの副経路に分割され、各副経路における伝送の周波数を従来の1/4に緩和することができる。入力信号Xと出力信号Yは波形上一致せず、とくに出力信号Yは0、1、2、3、4のいずれかの値をとる。出力信号Yの周波数特性は、変調による量子化ノイズの周波数特性に対し、その1/4の周波数に関するアパーチャ効果として知られる特性が加わったものであり、変調器のノイズシェイピング機能に多少影響を与える。しかしながら、実際に必要な信号の周波数帯域におけるS/N比にはさして影響せず、実用上問題がないことが多い。

10

【0059】

この信号処理装置130は、たとえば周波数低減ユニット150と周波数補償ユニット172が物理的にある程度遠くて高速の信号伝送が望ましくない場合などにきわめて有用である。実際に半導体デバイス試験装置では、たとえば周波数低減ユニット150を試験装置本体側に配し、周波数補償ユニット172を半導体デバウスマウント側に配し、両者をケーブルやコネクタ等で接続することがある。本実施の形態はそうした用途に最適である。

20

【0060】

図12、図13、図14は、図11の信号処理装置130に現れるアパーチャ効果を除去することの可能な変形例を示す。

【0061】

図12は一般に「パーシャルレスポンス」の名で知られる信号伝送方式を示す。図11の信号処理装置130でアパーチャ効果が生ずる理由は、符号間干渉にある。すなわち、4個のフリップフロップ182、184、186、188のうちひとつは、他のフリップフロップとは無関係に、

【0062】

$X_0, X_4, X_8, \dots$

30

を伝送すべきであるが、図11のように4個のフリップフロップ182、184、186、188の出力を単純にアナログ加算する場合、たとえば $X_4$ の伝送に $X_3$ または $X_5$ など他の符号が影響する。これが符号間干渉である。

【0063】

パーシャルレスポンス方式は、信号の伝送途中ではあえて符号間干渉を許し、伝送路の最後で符号間干渉をキャンセルする。図12のごとくこの方式は、第1の加算器220と、第1の遅延器222と、第2の加算器226と、第2の遅延器224を含む。ここでは入力信号Xは「1」と「0」の二値をとると仮定している。第1の加算器220は入力信号Xと第1の遅延器222の出力を入力する。ただし、ここでは排他的論理和が計算される。なお、入力信号Xが「1」と「-1」をとる場合は、第1の加算器220は排他的論理和の代わりにふたつの入力の論理積を計算すればよい。これは第2の加算器226についても同様である。

40

【0064】

第1の加算器220の出力は、第1の遅延器222、第2の加算器226および第2の遅延器224に入力される。第2の遅延器224の出力は第2の加算器226に入力される。第2の加算器226の出力が出力信号Yとなる。

【0065】

この構成において、まず第1の加算器220および第1の遅延器222により、入力信号Xに一種の積分を施す。これにより、符号間干渉が生じる。一方、伝送路は第2の加算器226と第2の遅延器224からなる一種の微分特性を有する。この結果、出力信号Yが

50

らは符号間干渉による成分が除去されるというものである。

【0066】

図12のパーシャルレスポンス方式は、符号間干渉の除去を主眼とし、周波数の低減は考慮していない。すなわち、第1の加算器220、第1の遅延器222、第2の加算器226、第2の遅延器224はすべて一定のサンプリング周波数 $f_s$ で動作する。

【0067】

図13はこのパーシャルレスポンス方式の考え方と信号路の2ウェイインタリーブを組み合わせた信号処理装置の概略構成図である。同図において、新たにインタリーブ回路230が設けられ、ここで第1の加算器220の出力が2ウェイインタリーブされる。インタリーブ回路230として、図11の周波数低減ユニット150を2ウェイにしたものが利用  
10

【0068】

この構成により、インタリーブ回路230以降、第2の加算器226までの伝送路における信号の伝送周波数を図12の場合の半分、すなわち $f_s/2$ に緩和することができ、かつアパーチャ効果のない信号伝送が実現する。

【0069】

図14はパーシャルレスポンス方式を用いた4ウェイの信号処理装置250の構成を示す。信号処理装置250はおもに、信号の伝送路の一部を多重化して設けられた複数の副経路、ここでは4ウェイに対応して4個の副経路152、156、160、164を含む周波数低減ユニット150と、周波数低減ユニット150と直列に設けられた周波数補償ユニット172を含む。また、信号の複数の副経路間の干渉を制御する干渉制御ユニット132が周波数低減ユニット150の前に設けられている。干渉制御ユニット132の後にローパスフィルタ174が設けられている。  
20

【0070】

干渉制御ユニット132は、図13の第1の加算器220と第1の遅延器222による積分回路を4ウェイに拡張したものに  
30

【0071】

入力信号 $X$ は第1の加算器134に与えられる。第1の加算器134の出力は第2の加算器136に入力される。第2の加算器136の出力は第3の加算器138に入力される。第3の加算器138の出力は周波数低減ユニット150と第3の遅延器144に入力される。  
40

【0072】

第3の遅延器144の出力は第3の加算器138と第2の遅延器142に入力される。第2の遅延器142の出力は第2の加算器136と第1の遅延器140に入力される。第1の遅延器140の出力は第1の加算器134に入力される。なお、一般に $N$ ウェイ( $N$ は2以上の整数)の副経路を設ける場合は、図14の例になら  
い、干渉制御ユニット132を $N$ 個の加算器と $N$ 個の遅延器のラダーで構成すればよい。  
40

【0073】

周波数低減ユニット150は図13のインタリーブ回路230を4ウェイに拡張したものに相当する。周波数低減ユニット150の第1の副経路152は遅延器を含まない。第2の副経路156はひとつの遅延器154を含む。第3の副経路160はふたつの遅延器158を含む。第4の副経路164は3個の遅延器162を含む。すなわち、これら複数の副経路はそれぞれ異なる数の遅延素子を、いずれのふたつの副経路においても共用することのない状態で含んでいる。一般に $N$ ウェイの副経路を設ける場合、それぞれの副経路の  
50

伝達関数  $F_i(z)$  ( $i = 0, 1, \dots, N-1$ ) は、

$$F_i(z) = z^{-i}$$

と書ける。

【0074】

周波数補償ユニット172は、図13の第2の加算器226と第2の遅延器224を4ウェイに拡張したものに相当する。周波数補償ユニット172は、第1の副経路152、第2の副経路156、第3の副経路160、第4の副経路164の終端に現れる信号の排他的論理和を求める加算器170を含む。ただし、入力信号Xが「1」「-1」の場合は、いままで同様これを論理積を計算する演算器に置き換える。

【0075】

以上、信号処理装置250によれば、4つの副経路152、156、160、164における信号伝送の周波数をサンプリング周波数 $f_s$ の1/4に緩和することができる。一般にNウェイインタリーブする場合は、周波数を1/Nに緩和することができる。

【0076】

### 実施の形態3

実施の形態1と実施の形態2の信号処理装置を用いた半導体デバイス試験装置の例を述べる。ここでは被試験デバイスとしてアナログデバイスを考える。ただし、実施の形態1または実施の形態2のいずれか一方を含む構成であっても何ら差し支えはない。

【0077】

図15は実施の形態3に係る半導体デバイス試験装置300の構成図である。半導体デバイス試験装置300は、被試験デバイス312に与える試験信号を生成する前処理ユニット302と、その試験信号の印加に伴って被試験デバイス312から出力された信号を検査する後処理ユニット314を含む。前処理ユニット302と後処理ユニット後処理回路314が主試験ユニット320を構成する。

【0078】

前処理ユニット302は、試験信号をデジタル信号として生成するパターン発生器304と、そのためのタイミング信号を生成するタイミング発生器310と、パターン発生器304によって生成されたデジタル信号をアナログ信号に変換するD/A変換ユニット306と、変換の結果得られたアナログ信号の伝送路の一部を多重化する信号経路多重化装置308を含む。

【0079】

D/A変換ユニット306は、たとえば図6の構成を含み、具体的にはインタリーブされた複数の変調器60、とくにD/Aコンバータと、それら複数の変調器60の出力を受ける周波数補償ユニット28とを含む。ここで、周波数補償ユニット28の作用により、D/A変換ユニット306全体として信号を伝送する周波数が、複数の変調器60のそれぞれが信号を伝送する周波数よりも高く設定できる。

【0080】

信号経路多重化装置308は、たとえば図14の構成を含み、具体的には干渉制御ユニット132と、複数の副経路をもつ周波数低減ユニット150と、周波数補償ユニット172とローパスフィルタ174を含む。ここで、周波数補償ユニット172の作用により、信号経路多重化装置308全体として信号を伝送する周波数が、複数の副経路において信号を伝送する周波数よりも高く設定できる。以上の前処理ユニット302の構成により、被試験デバイスにアナログ信号の試験信号が与えられる。

【0081】

一方、後処理ユニット後処理回路314は、被試験デバイス312から出力されたアナログ信号をデジタル信号に戻すA/Dコンバータ318と、そのデジタル信号と期待信号を比較することによって被試験デバイスを検証する試験結果検証装置316を含む。期待信号はパターン発生器304から試験結果検証装置316へ与えられる。

【0082】

なお、実施の形態1および実施の形態2の信号処理装置は、前処理ユニット302の中に

10

20

30

40

50

あると限定する必要はなく、信号の伝送路上の任意の箇所に設けることができる。

【0083】

以上、この半導体デバイス試験装置300によれば、試験信号を最初デジタル信号で生成することができ、また、試験結果をデジタル信号によって検証することができるため、処理が比較的容易になる。しかも、被試験デバイス312には非常に高速なアナログ信号の入出力が可能であり、高性能かつ汎用性の高い半導体デバイス試験装置を提供することができる。

【0084】

いくつかの実施の形態を説明したが、本発明の技術的な範囲はこれらの記載には限定されない。これらの実施の形態に多様な変更または改良を加えることは当業者には理解されるところである。そうした変更または改良を加えた形態も本発明の技術的な範囲に含まれることが、特許請求の範囲の記載から明らかである。

【0085】

【発明の効果】

本発明の信号処理装置によれば、信号の伝送または処理を高速化することができる。本発明の半導体デバイス試験装置によれば、高速デバイスの試験が実現する。

【図面の簡単な説明】

【図1】 従来一般的な一次の変調器の構成図である。

【図2】 図1の変調器の動作を示す図である。

【図3】 実施の形態1の信号処理装置の構成図である。

【図4】 図3の信号処理装置の一部をより実際の回路素子に近い形で示す図である。

【図5】 図3の構成の一変形例である信号処理装置の構成図である。

【図6】 図5の信号処理装置の一部をより実際の回路素子に近い形で示す図である。

【図7】 Nウエイのインタリーブを実現する信号処理装置の第1波形整形器の構成図である。

【図8】 Nウエイのインタリーブを実現する信号処理装置の変調ユニットの構成図である。

【図9】 Nウエイのインタリーブを実現する信号処理装置の第2波形整形器の構成図である。

【図10】 2次の変調器を2ウエイインタリーブした信号処理装置の構成図である。

【図11】 実施の形態2に係る信号処理装置の回路図である。

【図12】 パーシャルレスポンスを利用する信号伝送方法の説明図である。

【図13】 パーシャルレスポンス方式の考え方と信号路のインタリーブを組み合わせた信号処理装置の概略構成図である。

【図14】 パーシャルレスポンス方式を用い、4ウエイインタリーブを実現する信号処理装置の構成図である。

【図15】 実施の形態3に係る半導体デバイス試験装置の構成図である。

【符号の説明】

20, 70, 130, 250 信号処理装置

22 第1波形整形器

24, 36, 38, 40, 42, 56, 140, 142, 144, 154, 158, 16

2, 222, 226 遅延器

26, 32, 34, 54, 58, 134, 136, 138, 170, 220, 224 加算器

28, 150, 172 周波数補償ユニット

30 変調ユニット

44 二値化回路

52 第2波形整形器

60, 62 変調器

64, 230 インタリーブ回路

10

20

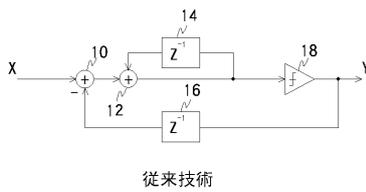
30

40

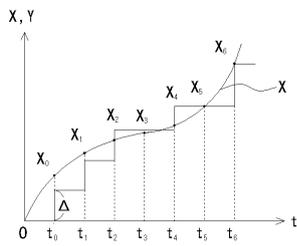
50

- 7 2 , 1 7 4    ローパスフィルタ
- 8 0 , 1 0 0    第1波形副整形器
- 8 2 , 1 0 2    第2波形副整形器
- 8 4 , 1 0 4    第n波形副整形器
- 1 2 0 , 1 2 2    2次    変調器
- 1 3 2    干渉制御ユニット
- 1 5 2 , 1 5 6 , 1 6 0 , 1 6 4    副経路
- 1 8 2 , 1 8 4 , 1 8 6 , 1 8 8    フリップフロップ
- 3 0 0    半導体デバイス試験装置
- 3 0 2    前処理ユニット
- 3 0 4    パターン発生器
- 3 0 6    D / A変換ユニット
- 3 0 8    信号経路多重化装置
- 3 1 4    後処理ユニット
- 3 2 0    主試験ユニット

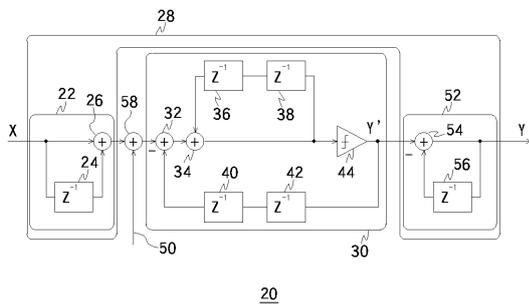
【図1】



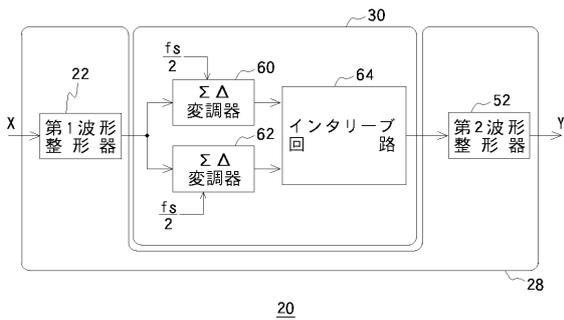
【図2】



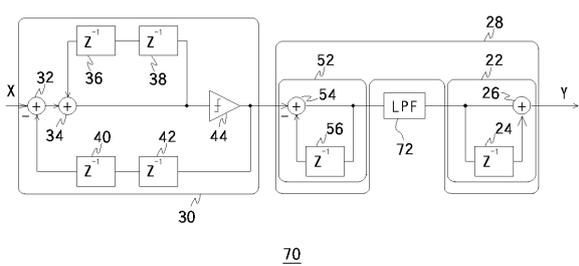
【図3】



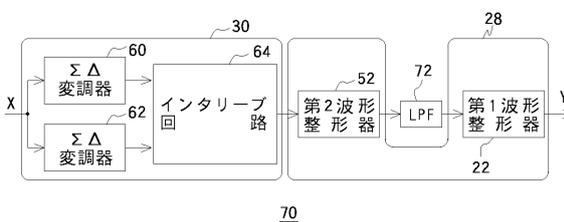
【図4】



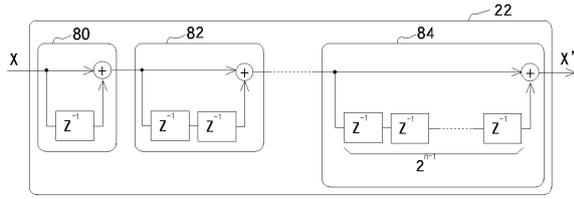
【図5】



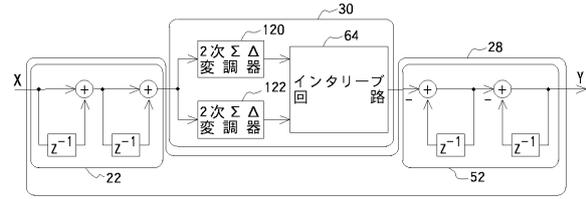
【図6】



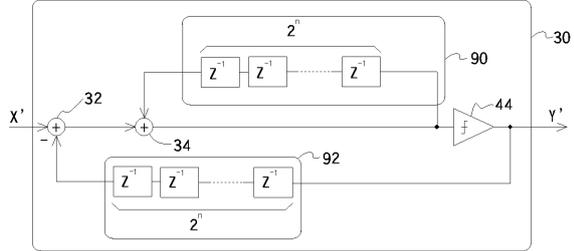
【図7】



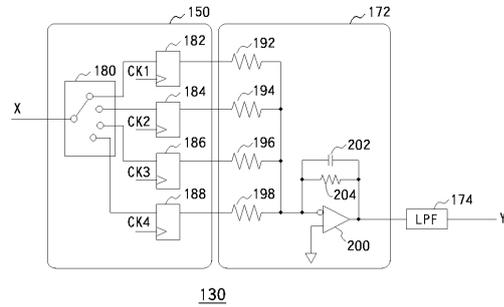
【図10】



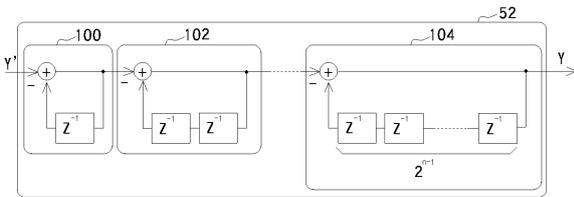
【図8】



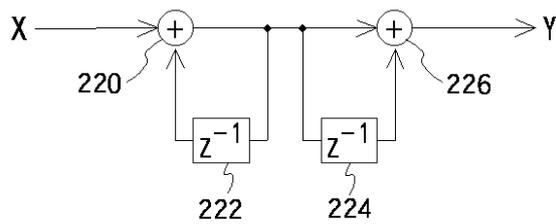
【図11】



【図9】

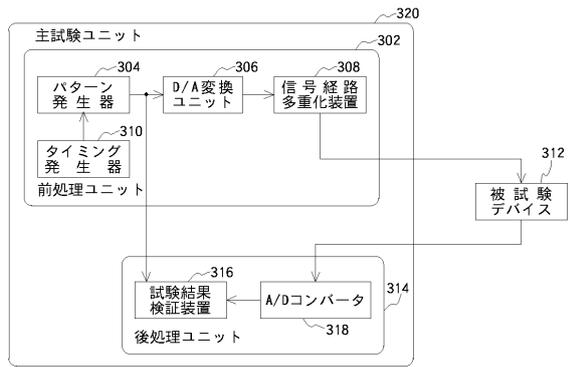


【図12】

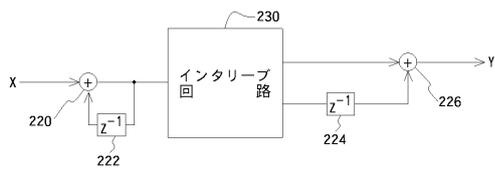


従来技術

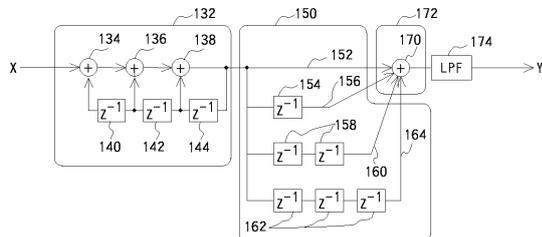
【図15】



【図13】



【図14】



---

フロントページの続き

- (56)参考文献 特開平09-232962(JP,A)  
特開平05-152967(JP,A)  
特開平08-265158(JP,A)  
米国特許第00519652(US,A)

- (58)調査した分野(Int.Cl., DB名)  
H03M 3/00