



19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 273 177**

51 Int. Cl.:  
**H03M 13/11** (2006.01)  
**H03M 13/29** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **04256629 .9**  
86 Fecha de presentación : **27.10.2004**  
87 Número de publicación de la solicitud: **1528686**  
87 Fecha de publicación de la solicitud: **04.05.2005**

54 Título: **Método y aparato para codificar códigos de comprobación de paridad de baja densidad (LDPC) en bloques largos y cortos.**

30 Prioridad: **27.10.2003 US 514683 P**  
**07.11.2003 US 518199 P**

45 Fecha de publicación de la mención BOPI:  
**01.05.2007**

45 Fecha de la publicación del folleto de la patente:  
**01.05.2007**

73 Titular/es: **The Directv Group, Inc.**  
**2250 E. Imperial Highway**  
**El Segundo, California 90245, US**

72 Inventor/es: **Eroz, Mustafa;**  
**Sung, Feng-Wen y**  
**Lee, Lin-Nan**

74 Agente: **Elzaburu Márquez, Alberto**

ES 2 273 177 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Método y aparato para codificar códigos de comprobación de paridad de baja densidad (LDPC) en bloques largos y cortos.

5 **Campo de la invención**

La presente invención se refiere a sistemas de comunicación y, más particularmente, a sistemas codificados.

10 **Antecedentes de la invención**

Los sistemas de comunicación se sirven de la codificación para garantizar una comunicación fiable a través de canales de comunicación con ruido. Por ejemplo, en un sistema inalámbrico (o de radio), tal como una red vía satélite, abundan las fuentes de ruido, que van desde factores geográficos hasta medioambientales. Estos canales de comunicación exhiben una capacidad fija que puede ser expresada en términos de bits por cada símbolo en una cierta relación entre señal y ruido (SNR-“signal-to-noise ratio”), que define un límite teórico (conocido como el límite de Shannon). Como resultado de ello, el diseño de la codificación ha estado dirigido a conseguir relaciones o proporciones que se aproximen a este límite de Shannon. Este objetivo es particularmente relevante para los sistemas vía satélite limitados en anchura de banda. Una de tales clases de códigos que se aproximan al límite de Shannon la constituyen los códigos de Comprobación de Paridad de Baja Densidad (LDPC-“Low Density Parity Check”).

Tradicionalmente, los códigos de LDPC no se han extendido de forma generalizada debido a un cierto número de desventajas. Una de las desventajas es que la técnica de codificación de LDPC es altamente compleja. La codificación con un código de LDPC con el uso de su matriz generadora requeriría el almacenamiento de una matriz muy grande y no dispersa. Adicionalmente, los códigos de LDPC requieren bloques grandes para ser eficaces; en consecuencia, incluso aunque las matrices de comprobación de paridad de los códigos de LDPC sean dispersas, el almacenamiento de estas matrices es problemático.

Desde el punto de vista de la implantación, existe un cierto número de retos confrontados. Por ejemplo, el almacenamiento es una razón importante por la que los códigos de LDPC no han llegado a generalizarse en la práctica. Los códigos de LDPC de longitud requieren, por tanto, un mayor espacio de almacenamiento. Asimismo, un reto fundamental para la puesta en práctica del código de LDPC ha venido siendo el modo como conseguir la red de conexión entre varios dispositivos generadores de procesamiento (nodos) en el descodificador. Por otra parte, la carga computacional en el procedimiento de descodificación, específicamente las operaciones de los nodos de comprobación, plantea un problema.

La publicación Yu, Y. *et al.*: “Diseño de códigos semi-algebraicos de comprobación de paridad de baja densidad (SA-LDPC-“semi-algebraic low density parity-check”) para la modulación codificada en múltiples niveles” (“*Design of semi-algebraic low density parity-check (SA-LDPC) codes for multilevel coded modulation*”) describe la modulación codificada en múltiples niveles con el uso de códigos de LDPC semi-algebraicos.

Existe la necesidad de un sistema de comunicación de LDPC que emplee procedimientos de codificación y descodificación simples. Existe también la necesidad de utilizar eficazmente los códigos de LDPC para proporcionar soporte a velocidades de datos elevadas sin introducir mayor complejidad. Existe también la necesidad de mejorar el rendimiento de los codificadores y descodificadores de LDPC. Existe también la necesidad de minimizar los requisitos de almacenamiento para la puesta en práctica de la codificación de LDPC.

45 **Sumario de la invención**

Estas y otras necesidades se acometen por la presente invención, en la que se proporciona una solución para la codificación con códigos de Comprobación de Paridad de Baja Densidad (LDPC-“Low Density Parity Check”). Un codificador genera un código de LDPC que tiene un código de Bose-Chaudhuri-Hocquenghem (BCH) externo de acuerdo con una de las Tablas 1-6 para la transmisión como señal codificada en LDPC. Cada una de las Tablas 1-6 especifica la dirección de los acumuladores de bit de paridad. La solución proporciona, ventajosamente, tanto una codificación como una descodificación oportunas de los códigos de LDPC, al tiempo que minimiza los recursos de almacenamiento y de procesamiento.

De acuerdo con otro aspecto de una realización de la presente invención, los códigos de LDPC están representados por señales que son moduladas de acuerdo con una constelación de señales que incluye una de entre el 8-PSK (Cifrado de Desplazamiento de Fase-“Phase Shift Keying”), la 16-QAM (Modulación de Amplitud en Cuadratura-“Quadrature Amplitude Modulation”), el QPSK (Cifrado con Desplazamiento de Fase en Cuadratura-“Quadrature Phase Shift Keying”), el 16-APSK (Cifrado con Desplazamiento de Fase en Amplitud-“Amplitude Phase Shift Keying”) y el 32-APSK.

Aún de acuerdo con otro aspecto de una realización de la presente invención, la señal codificada en LDPC y modulada es transmitida por un enlace vía satélite como soporte de una aplicación vía satélite de banda ancha.

65 Aún otros aspectos, características y ventajas de la presente invención se ponen de manifiesto de forma evidente a partir de la siguiente descripción detallada, al ilustrar simplemente un cierto número de realizaciones e implementaciones particulares, incluyendo el mejor modo que se contempla para llevar a cabo la presente invención. La presente invención es asimismo susceptible de otras realizaciones diferentes, y sus varios detalles pueden ser modificados en

diversos términos obvios, todo ello sin apartarse del espíritu y ámbito de la presente invención. De acuerdo con ello, los dibujos y la descripción se han de considerar como de naturaleza ilustrativa, y no restrictiva.

### Breve descripción de los dibujos

5 La presente invención se ilustra a título de ejemplo, y no a modo de limitación, en las figuras de los dibujos que se acompañan, en las que los mismos números de referencia se refieren a elementos similares, y en las cuales:

10 la Figura 1 es un diagrama de un sistema de comunicaciones configurado para utilizar códigos de Comprobación de Paridad de Baja Densidad (LDPC-“Low Density Parity Check”), de acuerdo con una realización de la presente invención;

las Figuras 2A y 2B son diagramas de codificadores de LDPC proporcionados a modo de ejemplo y desplegados en el transmisor de la Figura 1;

15 las Figuras 2C y 2D son diagramas de flujo del procedimiento de codificación del codificador de LDPC de la Figura 2B, para generar, respectivamente, códigos de longitud de trama larga y códigos de LDPC de longitud de trama corta, de acuerdo con una realización de la presente invención;

20 la Figura 3 es un diagrama de un receptor proporcionado a modo de ejemplo en el sistema de la Figura 1;

la Figura 4 es un diagrama de una matriz de comprobación de paridad dispersa de acuerdo con una realización de la presente invención;

25 la Figura 5 es un diagrama de un gráfico en dos partes de un código de LDPC de la matriz de la Figura 4;

la Figura 6 es un diagrama de una matriz subordinada o sub-matriz de una matriz de comprobación de paridad dispersa, de tal manera que la sub-matriz contiene valores de comprobación de paridad restringidos a la región triangular inferior, de acuerdo con una realización de la presente invención;

30 la Figura 7 es un gráfico del comportamiento de los códigos de LDPC en las tasas o proporciones de 1/3 y 1/4, frente a códigos de repetición;

la Figura 8 es un gráfico del comportamiento de los códigos de LPDC para las diversas tasas o proporciones de código, y de los sistemas de modulación a los que proporciona soporte el transmisor de la Figura 2A; y

35 la Figura 9 es un diagrama de un sistema de computación que puede llevar a cabo el procedimiento de codificación de LPDC, de acuerdo con ciertas realizaciones de la presente invención.

### Descripción de la realización preferida

40 Se describen un sistema, un método y programación o software para codificar eficazmente con códigos de Comprobación de Paridad de Baja Densidad (LDPC-“Low Density Parity Check”) de trama corta. En la descripción que sigue se establecen, para los propósitos de la explicación, numerosos detalles específicos con el fin de proporcionar una comprensión exhaustiva de la presente invención. Sin embargo, es evidente para un experto de la técnica que la presente invención puede llevarse a la práctica sin estos detalles específicos o con una disposición equivalente. En otros casos se muestran estructuras y dispositivos bien conocidos en forma de diagrama de bloques, con el propósito de evitar enturbiar innecesariamente la presente invención.

45 La Figura 1 es un diagrama de un sistema de comunicaciones configurado para utilizar códigos de Comprobación de Paridad de Baja Densidad (LDPC), de acuerdo con una realización de la presente invención. Un sistema de comunicaciones digital 100 incluye un transmisor 101 que genera perfiles o formas de onda de señal, a través de un canal de comunicación 103, hasta un receptor 105. En este sistema de comunicaciones discreto 100, el transmisor 101 tiene una fuente de suministro de mensajes que produce un conjunto discreto de posibles mensajes; cada uno de los posibles mensajes tiene una forma de onda de señal correspondiente. Estas formas de onda de señal son atenuadas o alteradas de otro modo por el canal de comunicaciones 103. Con el fin de combatir el ruido en el canal 103, se utilizan códigos de LDPC.

50 A modo de ejemplo, el canal 103 es un enlace vía satélite que da servicio a terminales de satélite (por ejemplo, Terminales de Abertura Muy Pequeña (VSATs-“Very Small Aperture Terminals”)) como soporte para aplicaciones de satélite de banda ancha. Dichas aplicaciones incluyen servicios de difusión o emisión vía satélite e interactivos (y de conformidad con la norma de Emisión de Vídeo Digital (DVB-“Digital Video Broadcast”)-S2). La norma de Emisión de Vídeo Digital vía Satélite (DVB-S) ha sido ampliamente adoptada en todo el mundo para proporcionar, por ejemplo, programación de televisión vía satélite digital.

55 Los códigos de LDPC que son generados por el transmisor 101 permiten una implementación de elevada velocidad sin incurrir en ninguna pérdida de rendimiento. Estos códigos de LDPC estructurados suministrados como salida desde el transmisor 101 evitan la asignación de un número pequeño de nodos de comprobación a los nodos de bits que son ya vulnerables a los errores de canal, en virtud del esquema de modulación (por ejemplo, el 8-PSK).

Dichos códigos de LDPC tienen un algoritmo de descodificación susceptible de hacerse paralelo (a diferencia de los códigos turbo), el cual implica, ventajosamente, operaciones simples tales como la suma, la comparación y la consulta en tablas. Es más, los códigos de LDPC cuidadosamente diseñados no exhiben ningún signo de suelo de error.

De acuerdo con una realización de la presente invención, el transmisor 101 genera, utilizando una técnica de codificación relativamente simple, códigos de LDPC basados en matrices de comprobación de paridad (las cuales facilitan un acceso a la memoria eficiente durante la descodificación), a fin de comunicarse con el receptor 105. El transmisor 101 emplea códigos de LDPC que pueden llevar a cabo externamente códigos concatenados turbo + RS (Reed-Solomon), siempre y cuando la longitud de los bloques sea lo suficientemente larga.

Las Figuras 2A y 2B son diagramas de codificadores de LDPC proporcionados a modo de ejemplo y desplegados en el transmisor de la Figura 1. Como se observa en la Figura 2A, un transmisor 200 está equipado con un codificador de LDPC 203 que acepta la entrada desde una fuente 201 de suministro de información y suministra como salida una corriente codificada de redundancia superior, adecuada para el procesamiento de corrección de errores en el receptor 105. La fuente 201 de suministro de información genera señales  $k$  a partir de un alfabeto discreto,  $X$ . Los códigos de LDPC se especifican con matrices de comprobación de paridad. Por otra parte, los códigos de LDPC para codificación requieren, en general, especificar las matrices generadoras. Incluso aunque sea posible obtener matrices generadoras a partir de matrices de comprobación de paridad con el uso de eliminación Gaussiana, la matriz resultante ya no es dispersa y el almacenamiento de una matriz generadora grande puede ser complejo.

El codificador 203 genera señales a partir de un alfabeto  $Y$  hacia un modulador 205 utilizando una técnica de codificación simple que hace uso tan solo de la matriz de comprobación de paridad, al imponer una cierta estructura a la matriz de comprobación de paridad. Específicamente, se establece una restricción a la matriz de comprobación de paridad al limitar o restringir cierta porción de la matriz de modo que sea triangular. La construcción de dicha matriz de comprobación de paridad se describe más exhaustivamente más adelante, en la Figura 6. Dicha restricción da lugar a una pérdida de rendimiento despreciable y, por lo tanto, constituye un compromiso atractivo.

El modulador 205 establece una relación de correspondencia de los mensajes codificados procedentes del codificador 203, con perfiles o formas de onda de señal que son transmitidas a una antena de transmisión 207, la cual emite estas formas de onda por el canal de comunicación 103. De acuerdo con ello, los mensajes codificados son modulados y distribuidos a una antena de transmisión 207. Las transmisiones desde la antena de transmisión 207 se propagan a un receptor (mostrado en la Figura 3), tal como se explica más adelante.

La Figura 2B muestra un codificador de LDPC que se utiliza con un codificador de Bose-Chaudhuri-Hocquenghem (BCH) y un codificador de comprobación de redundancia cíclico (CRC-“cyclic redundancy check”), de acuerdo con una realización de la presente invención. En este contexto, los códigos generados por el codificador de LDPC 203, conjuntamente con el codificador de CRC 209 y el codificador de BCH 211, tienen un código de BCH externo concatenado y un código de comprobación de paridad de baja densidad (LDPC) interno. Por otra parte, la detección de los errores se consigue utilizando códigos de comprobación de redundancia cíclicos (CRC). El codificador de CRC 209, en una realización proporcionada a modo de ejemplo, codifica utilizando un código de CRC de 8 bits con el polinomio generador  $(x^5 + x^4 + x^3 + x^2 + 1)(x^2 + x + 1)(x + 1)$ . El código de CRC se suministra como salida al codificador de BCH 211.

La Figura 2C es un diagrama de flujo del procedimiento de codificación del codificador de LDPC de la Figura 2B, para generar códigos de LDPC de longitud de trama larga, de acuerdo con una realización de la presente invención. En la etapa 221, los bits de información son recibidos y procesados hasta llegar a la cadena de codificadores 209, 211 y 203. En consecuencia, el codificador de LDPC 203 genera códigos de LDPC con códigos de BCH externos, basándose en los bits de información recibidos, como en la etapa 223. Los códigos contienen también el código de CRC. A continuación, los códigos de LDPC se representan mediante señales que son moduladas, por la etapa 225, para su transmisión a través del canal 103, el cual es, en una realización proporcionada a modo de ejemplo, un enlace vía satélite a uno o más terminales de satélite (etapa 227).

El codificador de LDPC 203 codifica sistemáticamente un bloque de información de tamaño  $k_{ldpc}$ ,  $i = (i_0, i_1, \dots, i_{k_{ldpc}-1})$  en una palabra de código de tamaño  $n_{ldpc}$ ,  $c = (i_0, i_1, \dots, i_{k_{ldpc}-1}, p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1})$ . La transmisión de la palabra de código comienza en el orden dado desde  $i_0$  y termina con  $p_{n_{ldpc}-k_{ldpc}-1}$  parámetros de código de LDPC ( $n_{ldpc}$ ,  $k_{ldpc}$ ).

La tarea del codificador de LDPC 203 consiste en determinar  $n_{ldpc}-k_{ldpc}$  bits de paridad ( $p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1}$ ) para cada bloque de  $k_{ldpc}$  bits de información, ( $i_0, i_1, \dots, i_{k_{ldpc}-1}$ ). El procedimiento es como sigue. En primer lugar, se inicializan los bits de paridad;  $p_0 = p_1 = p_2 = \dots = p_{n_{ldpc}-k_{ldpc}-1} = 0$ . A modo de ejemplo, se codifican sistemáticamente  $k_{ldpc}$  bits para generar  $n_{ldpc}$  bits. El primer bit de información,  $i_0$ , se acumula en la dirección de bit de paridad especificada en la primera fila de las Tablas 1-3. Para el código de proporción 1/3 de la Tabla 1, los parámetros relevantes son como sigue:  $q = 120$ ,  $n_{ldpc} = 64.800$ ,  $k_{ldpc} = n_{BCH} = 21.600$ ,  $k_{BCH} = 21.408$  (BCH de corrección de errores de 12 bits). Para la proporción 1/4, el código de LDPC tiene los siguientes parámetros relevantes:  $q = 135$ ,  $n_{ldpc} = 64.800$ ,  $k_{ldpc} = n_{BCH} = 16.200$ ,  $k_{BCH} = 16.008$  (BCH de corrección de errores de 12 bits). Para un código de LDPC de 2/5 largo, se dan los siguientes parámetros:  $q = 108$ ,  $n_{ldpc} = 64.800$ ,  $k_{ldpc} = n_{BCH} = 25.920$ ,  $k_{BCH} = 25.728$  (BCH de corrección de errores de 12 bits).

## ES 2 273 177 T3

Por ejemplo, para la proporción 1/3 (Tabla 1), resulta lo siguiente para  $i_0$ :

$$\begin{aligned}
 p_{34903} &= p_{34903} \oplus i_0 \\
 p_{20927} &= p_{20927} \oplus i_0 \\
 p_{32093} &= p_{32093} \oplus i_0 \\
 p_{1052} &= p_{1052} \oplus i_0 \\
 p_{25611} &= p_{25611} \oplus i_0 \\
 p_{16093} &= p_{16093} \oplus i_0 \\
 p_{16454} &= p_{16454} \oplus i_0 \\
 p_{5520} &= p_{5520} \oplus i_0 \\
 p_{506} &= p_{506} \oplus i_0 \\
 p_{37399} &= p_{37399} \oplus i_0 \\
 p_{18518} &= p_{18518} \oplus i_0 \\
 p_{21120} &= p_{21120} \oplus i_0
 \end{aligned}$$

En las anteriores ecuaciones, las sumas son en GF(2).

A continuación, para los 359 siguientes bits de información,  $i_m$ ,  $m = 1, 2, \dots, 359$ , estos bits se acumulan en las direcciones de bit de paridad  $\{x + m \bmod 360 \times q\} \bmod (n_{\text{ipdc}} - k_{\text{ipdc}})$ , donde  $x$  denota la dirección del acumulador de bit de paridad correspondiente al primer bit  $i_0$ , y  $q$  es una constante dependiente de la proporción de código. Continuando con el ejemplo con  $q = 120$  para la proporción 1/3, para el bit de información  $i_1$ , se llevan a cabo las siguientes operaciones:

$$\begin{aligned}
 p_{35023} &= p_{35023} \oplus i_1 \\
 p_{21047} &= p_{21047} \oplus i_1 \\
 p_{32213} &= p_{32213} \oplus i_1 \\
 p_{1172} &= p_{1172} \oplus i_1 \\
 p_{25731} &= p_{25731} \oplus i_1 \\
 p_{16574} &= p_{16574} \oplus i_1 \\
 p_{16574} &= p_{16574} \oplus i_1 \\
 p_{5640} &= p_{5640} \oplus i_1 \\
 p_{626} &= p_{626} \oplus i_1 \\
 p_{37519} &= p_{37519} \oplus i_1 \\
 p_{18638} &= p_{18638} \oplus i_1 \\
 p_{21240} &= p_{21240} \oplus i_1
 \end{aligned}$$

Para el 361º bit de información,  $i_{360}$ , las direcciones de los acumuladores de bit de paridad se dan en las segundas filas de las Tablas 1-3. De una forma similar, las direcciones de los acumuladores de bit de paridad para los 359 bits de información siguientes,  $i_m$ ,  $m = 361, 362, \dots, 719$  se obtienen utilizando la fórmula  $\{x + m \bmod 360 \times q\} \bmod (n_{\text{ipdc}} - k_{\text{ipdc}})$ , donde  $x$  denota la dirección del acumulador de bit de paridad correspondiente al bit de información  $i_{360}$ , es decir las entradas de la segunda fila de las Tablas 1-3. De una forma similar, para cada grupo de 360 nuevos bits de información, se utiliza una nueva fila de las Tablas 1-3 para encontrar las direcciones de los acumuladores de bit de paridad.

TABLA 1

<b>Dirección de acumuladores de bit de paridad (Proporción 1/3)</b>											
34903	20927	32903	1052	25611	16093	16454	5520	506	37399	18518	21120
11636	14594	22158	14763	15333	6838	22222	37856	14985	31041	18704	32910
17449	1665	35639	16624	12867	12449	10241	11650	25622	34372	19878	26894
29235	19780	36056	20129	20029	5457	8157	35554	21237	7943	13873	14980
9912	7143	35911	12043	17360	37253	25588	11827	29152	21936	24125	40870
40701	36035	39556	12366	19946	29072	16365	35495	22686	11106	8756	34863
19165	15702	13536	40238	4465	40034	40590	37540	17162	1712	20577	14138
31338	19342	9301	39375	3211	1316	33409	28670	12282	6118	29236	35787
11504	30506	19558	5100	24188	24738	30397	33775	9699	6215	3397	37451
34689	23126	7571	1058	12127	27518	23064	11265	14867	30451	28289	2966

ES 2 273 177 T3

	11660 15334 16867 15160 38343 3778 4265 39139 17293 26229 42604 13486
	31497 1365 14828 7453 26350 41346 28643 23421 8354 16255 11055 24279
5	15687 12467 13906 5215 41328 23755 20800 6447 7970 2803 33262 39843
	5363 22469 38091 28457 36696 34471 23619 2404 24229 41754 1297 18563
	3673 39070 14480 30279 37483 7580 29519 30519 39831 20252 18132 20010
10	34386 7252 27526 12950 6875 43020 31566 39069 18985 15541 40020 16715
	1721 37332 39953 17430 32134 29162 10490 12971 28581 29331 6489 35383
	736 7022 42349 8783 6767 11871 21675 10325 11548 25978 431 24085
	1925 10602 28585 12170 15156 34404 8351 13273 20208 5800 15367 21764
15	16279 37832 34792 21250 34192 7406 41488 18346 29227 26127 25493 7048
	39948 28229 24899
	17408 14274 38993
20	38774 15968 28459
	41404 27249 27425
	41229 6082 43114
25	13957 4979 40654
	3093 3438 34992
	34082 6172 28760
	42210 34141 41021
30	14705 17783 10134
	41755 39884 22773
	14615 15593 1642
35	29111 37061 39860
	9579 33552 633
	12951 21137 39608
40	38244 27361 29417
	2939 10172 36479
	29094 5357 19224
45	9562 24436 28637
	40177 2326 13504
	6834 21583 42516
	40651 42810 25709
50	31557 32138 38142
	18624 41867 39296
	37560 14295 16245
55	6821 21679 31570
	25339 25083 22081
	8047 697 35268
	9884 17073 19995
60	26848 35245 8390
	18658 16134 14807
	12201 32944 5035
65	25236 1216 38986
	42994 24782 8681

ES 2 273 177 T3

28321 4932 34249

4107 29382 32124

22157 2624 14468

38788 27081 7936

4368 26148 10578

25353 4122 39751

5

10

15

20

25

30

35

40

45

50

55

60

65

# ES 2 273 177 T3

TABLA 2

	<b>Dirección de acumuladores de bit de paridad (Proporción 1/4)</b>											
5	23606	36098	1140	28859	18148	18510	6226	540	42014	20879	23802	47088
	16419	24928	16609	17248	7693	24997	42587	16858	34921	21042	37024	20692
10	1874	40094	18704	14474	14004	11519	13106	28826	38669	22363	30255	31105
	22254	40564	22645	22532	6134	9176	39998	23892	8937	15608	16854	31009
	8037	40401	13550	19526	41902	28782	13304	32796	24679	27140	45980	10021
15	40540	44498	13911	22435	32701	18405	39929	25521	12497	9851	39223	34823
	15233	45333	5041	44979	45710	42150	19416	1892	23121	15860	8832	10308
	10468	44296	3611	1480	37581	32254	13817	6883	32892	40258	46538	11940
20	6705	21634	28150	43757	895	6547	20970	28914	30117	25736	41734	11392
	22002	5739	27210	27828	34192	37992	10915	6998	3824	42130	4494	35739
	8515	1191	13642	30950	25943	12673	16726	34261	31828	3340	8747	39225
25	18979	17058	43130	4246	4793	44030	19454	29511	47929	15174	24333	19354
	16694	8381	29642	46516	32224	26344	9405	18292	12437	27316	35466	41992
	15642	5871	46489	26723	23396	7257	8974	3156	37420	44823	35423	13541
30	42858	32008	41282	38773	26570	2702	27260	46974	1469	20887	27426	38553
	22152	24261	8297									
	19347	9978	27802									
35	34991	6354	33561									
	29782	30875	29523									
	9278	48512	14349									
40	38061	4165	43878									
	8548	33172	34410									
	22535	28811	23950									
45	20439	4027	24186									
	38618	8187	30947									
	35538	43880	21459									
50	7091	45616	15063									
	5505	9315	21908									
	36046	32914	11836									
55	7304	39782	33721									
	16905	29962	12980									
	11171	23709	22460									
60	34541	9937	44500									
	14035	47316	8815									
	15057	45482	24461									

65

ES 2 273 177 T3

	30518 36877 879
	7583 13364 24332
5	448 27056 4682
	12083 31378 21670
	1159 18031 2221
10	17028 38715 9350
	17343 24530 29574
	46128 31039 32818
15	20373 36967 18345
	46685 20622 32806

20

25

30

35

40

45

50

55

60

65

# ES 2 273 177 T3

TABLA 3

	<b>Dirección de acumuladores de bit de paridad (Proporción 2/5)</b>											
5	31413	18834	28884	947	23050	14484	14809	4968	455	33659	16666	19008
	13172	19939	13354	13719	6132	20086	34040	13442	27958	16813	29619	16553
10	1499	32075	14962	11578	11204	9217	10485	23062	30936	17892	24204	24885
	32490	18086	18007	4957	7285	32073	19038	7152	12486	13483	24808	21759
	32321	10839	15620	33521	23030	10646	26236	19744	21713	36784	8016	12869
15	35597	11129	17948	26160	14729	31943	20416	10000	7882	31380	27858	33356
	14125	12131	36199	4058	35992	36594	33698	15475	1566	18498	12725	7067
	17406	8372	35437	2888	1184	30068	25802	11056	5507	26313	32205	37232
20	15254	5365	17308	22519	35009	718	5240	16778	23131	24092	20587	33385
	27455	17602	4590	21767	22266	27357	30400	8732	5596	3060	33703	3596
	6882	873	10997	24738	20770	10067	13379	27409	25463	2673	6998	31378
25	15181	13645	34501	3393	3840	35227	15562	23615	38342	12139	19471	15483
	13350	6707	23709	37204	25778	21082	7511	14588	10010	21854	28375	33591
	12514	4695	37190	21379	18723	5802	7182	2529	29936	35860	28338	10835
30	34283	25610	33026	31017	21259	2165	21807	37578	1175	16710	21939	30841
	27292	33730	6836	26476	27539	35784	18245	16394	17939	23094	19216	17432
	11655	6183	38708	28408	35157	17089	13998	36029	15052	16617	5638	36464
35	15693	28923	26245	9432	11675	25720	26405	5838	31851	26898	8090	37037
	24418	27583	7959	35562	37771	17784	11382	11156	37855	7073	21685	34515
	10977	13633	30969	7516	11943	18199	5231	13825	19589	23661	11150	35602
40	19124	30774	6670	37344	16510	26317	23518	22957	6348	34069	8845	20175
	34985	14441	25668	4116	3019	21049	37308	24551	24727	20104	24850	12114
	38187	28527	13108	13985	1425	21477	30807	8613	26241	33368	35913	32477
45	5903	34390	24641	26556	23007	27305	38247	2621	9122	32806	21554	18685
	17287	27292	19033									
	25796	31795	12152									
50	12184	35088	31226									
	38263	33386	24892									
	23114	37995	29796									
	34336	10551	36245									
55	35407	175	7203									

ES 2 273 177 T3

	14654 38201 22605
	28404 6595 1018
5	19932 3524 29305
	31749 20247 8128
	18026 36357 26735
10	7543 29767 13588
	13333 25965 8463
	14504 36796 19710
15	4528 25299 7318
	35091 25550 14798
	7824 215 1248
20	30848 5362 17291
	28932 30249 27073
	13062 2103 16206
	7129 32062 19612
25	9512 21936 38833
	35849 33754 23450
	18705 28656 18111
30	22749 27456 32187
	28229 31684 30160
	15293 8483 28002
35	14880 13334 12584
	28646 2558 19687
	6259 4499 26336
40	11952 28386 8405
	10609 961 7582
	10423 13191 26818
	15922 36654 21450
45	10492 1532 1205
	30551 36482 22153
	5156 11330 34243
50	28616 35369 13322
	8962 1485 21186
	23541 17445 35561
55	33133 11593 19895
	33917 7863 33651
	20063 28331 10702
60	13195 21107 21859
	4364 31137 4804
	5585 2037 4830
65	30672 16927 14800

## ES 2 273 177 T3

Una vez que se han agotado todos los bits de información, se obtienen los bits de paridad finales como sigue. En primer lugar, se llevan a cabo las siguientes operaciones, comenzando con  $i = 1$ .

$$5 \quad p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{\text{ldpc}} - k_{\text{ldpc}} - 1.$$

El contenido final de  $p_i$ ,  $i = 0, 1, \dots, n_{\text{ldpc}} - k_{\text{ldpc}} - 1$  es igual al bit de paridad  $p_i$ .

Una vez que se han agotado la totalidad de los bits de información, los bits de paridad finales se obtienen como sigue. En primer lugar, se realizan las siguientes operaciones, comenzando con  $i = 1$ .

$$10 \quad p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{\text{ldpc}} - k_{\text{ldpc}} - 1.$$

15 El contenido final de  $p_i$ ,  $i = 0, 1, \dots, n_{\text{ldpc}} - k_{\text{ldpc}} - 1$  es igual al bit de paridad  $p_i$ .

Por lo que respecta a la codificación de BCH, de acuerdo con una realización de la presente invención, el generador polinómico del código de BCH utilizado por el codificador de BCH 211 es como sigue:

$$20 \quad g(x) = (1+x+x^3+x^5+x^{14}) \times (1+x^6+x^8+x^{11}+x^{14}) \times (1+x+x^2+x^6+x^9+x^{10}+x^{14}) \times \\ 25 \quad (1+x^4+x^7+x^8+x^{10}+x^{12}+x^{14}) \times (1+x^2+x^4+x^6+x^8+x^9+x^{11}+x^{13}+x^{14}) \times \\ (1+x^3+x^7+x^8+x^9+x^{13}+x^{14}) \times (1+x^2+x^5+x^6+x^7+x^{10}+x^{11}+x^{13}+x^{14}) \times \\ (1+x^5+x^8+x^9+x^{10}+x^{11}+x^{14}) \times (1+x+x^2+x^3+x^9+x^{10}+x^{14}) \times \\ 30 \quad (1+x^3+x^6+x^9+x^{11}+x^{12}+x^{14}) \times (1+x^4+x^{11}+x^{12}+x^{14}) \times \\ (1+x+x^2+x^3+x^5+x^6+x^7+x^8+x^{10}+x^{13}+x^{14}).$$

35 La codificación de BCH de bits de información  $m = (m_{\text{kbcch}-1}, m_{\text{kbcch}-2}, \dots, m_1, m_0)$  en una palabra de código  $c = (m_{\text{kbcch}-1}, m_{\text{kbcch}-2}, \dots, m_1, m_0, d_{\text{nbch}-\text{kbcch}-1}, d_{\text{nbch}-\text{kbcch}-2}, \dots, d_1, d_0)$  se consigue como sigue. Se multiplica el mensaje polinómico  $m(x) = m_{\text{kbcch}-1}x^{\text{kbcch}-1} + m_{\text{kbcch}-2}x^{\text{kbcch}-2} + \dots + m_1x + m_0$  por  $x^{\text{nbch}-\text{kbcch}}$ . A continuación,  $x^{\text{nbch}-\text{kbcch}}m(x)$  se divide por  $g(x)$ . Siendo  $d(x) = d_{\text{nbch}-\text{kbcch}-1}x^{\text{nbch}-\text{kbcch}-1} + \dots + d_1x + d_0$  el resto, el polinomio de palabra de código se establece como sigue:  $c(x) = x^{\text{nbch}-\text{kbcch}}m(x) + d(x)$ .

40 Como se ha expuesto, se codifican sistemáticamente  $k_{\text{ldpc}}$  bits para generar  $n_{\text{ldpc}}$  bits. De acuerdo con una realización de la presente invención,  $n_{\text{ldpc}}$  son 16.200 bits, lo que constituye una longitud de bloque corta. Dada la longitud relativamente corta de tales códigos, los códigos de LDPC que tienen longitudes aproximadas de 16.200 bits o menores se consideran códigos de longitud de bloque "corta".

45 De acuerdo con una realización de la presente invención, algunos de los códigos de bloques cortos (por ejemplo, de la proporción 1/5 de la Tabla 5) se generan al acortar versiones de códigos "madre" ligeramente mayores ( $k_m, n_m$ ) con un tamaño de bloque  $n_m > 16.200$ . Como se muestra en la Figura 2D,  $k_{\text{ldpc}}$  de los bits codificados en BCH son precedidos por  $k_m - k_{\text{ldpc}}$  ceros de relleno (según la etapa 251). Los  $k_m$  bits resultantes son codificados sistemáticamente para generar  $n_m$  bits, como corresponde a la etapa 253. Se borran entonces los  $k_m - k_{\text{ldpc}}$  primeros ceros de relleno, según la etapa 255, y los  $n_{\text{ldpc}} = 16.200$  bits resultantes serán transmitidos (etapa 257). Se aprecia que  $k_m - k_{\text{ldpc}} = n_m - n_{\text{ldpc}}$ . Las Tablas 4-6 proporcionan otras proporciones de código corto aportadas a modo de ejemplo, 1/3, 1/5 y 2/5 ( $n_{\text{ldpc}}$  de 16.200 bits):

55

60

65

# ES 2 273 177 T3

TABLA 4

<b>Dirección de acumuladores de bit de paridad (Proporción 1/3)</b>												
5	416	8909	4156	3216	3112	2560	2912	6405	8593	4969	6723	6912
	8978	3011	4339	9312	6396	2957	7288	5485	6031	10218	2226	3575
10	3383	10059	1114	10008	10147	9384	4290	434	5139	3536	1965	2291
	2797	3693	7615	7077	743	1941	8716	6215	3840	5140	4582	5420
	6110	8551	1515	7404	4879	4946	5383	1831	3441	9569	10472	4306
15	1505	5682	7778									
	7172	6830	6623									
	7281	3941	3505									
	10270	8669	914									
20	3622	7563	9388									
	9930	5058	4554									
	4844	9609	2707									
25	6883	3237	1714									
	4768	3878	10017									
	10127	3334	8267									

TABLA 5

<b>Dirección de acumuladores de bit de paridad (Proporción 1/5: abreviada a partir de la proporción 1/4)</b>												
35	6295	9626	304	7695	4839	4936	1660	144	11203	5567	6347	12557
40	10691	4988	3859	3734	3071	3494	7687	10313	5964	8069	8296	11090
	10774	3613	5208	11177	7676	3549	8746	6583	7239	12265	2674	4292
45	11869	3708	5981	8718	4908	10650	6805	3334	2627	10461	9285	11120
	7844	3079	10773									
	3385	10854	5747									
	1360	12010	12202									
50	6189	4241	2343									
	9840	12726	4977									

# ES 2 273 177 T3

TABLA 6

<b>Dirección de acumuladores de bit de paridad (Proporción 2/5)</b>	
5	5650 4143 8750 583 6720 8071 635 1767 1344 6922 738 6658
	5696 1685 3207 415 7019 5023 5608 2605 857 6915 1770 8016
	3992 771 2190 7258 8970 7792 1802 1866 6137 8841 886 1931
10	4108 3781 7577 6810 9322 8226 5396 5867 4428 8827 7766 2254
	4247 888 4367 8821 9660 324 5864 4774 227 7889 6405 8963
	9693 500 2520 2227 1811 9330 1928 5140 4030 4824 806 3134
15	1652 8171 1435
	3366 6543 3745
	9286 8509 4645
20	7397 5790 8972
	6597 4422 1799
	9276 4041 3847
25	8683 7378 4946
	5348 1993 9186
	6724 9015 5646
30	4502 4439 8474
	5107 7342 9442
	1387 8910 2660

35 La anterior solución para designar los códigos de LDPC, según se proporcionan en las Tablas 1-6, permite, ventajosamente, que el almacenamiento y la recuperación de la información relevante concerniente a los grupos divididos de nodos de bits y de nodos de comprobación, sean siempre ubicados en posiciones de memoria contiguas dentro de la memoria (por ejemplo, una Memoria de Acceso Aleatorio (RAM-“Random Access Memory”). En consecuencia, es posible dar soporte a múltiples proporciones de código sin emplear diferentes descodificadores. Por otra parte, el diseño hace posible el uso de un único banco de RAMs, con lo que se minimiza el tamaño del circuito integrado. Como ya se ha mencionado, los anteriores códigos de LDPC, en una realización proporcionada a modo de ejemplo, pueden ser utilizados en una variedad de aplicaciones de vídeo digital, tales como la transmisión por paquetes de MPEG (Grupo Experto de Imágenes en Movimiento-“Motion Pictures Expert Group”).

45 La Figura 3 es un diagrama de un receptor proporcionado a modo de ejemplo en el sistema de la Figura 1. En el lado de la recepción, un receptor 300 incluye un desmodulador 301 que lleva a cabo la desmodulación de las señales recibidas desde el transmisor 200. Estas señales son recibidas por una antena de recepción 303 para su desmodulación. Tras la desmodulación, las señales recibidas son remitidas a un descodificador de LDPC 305, el cual trata de reconstruir los mensajes de fuente originales mediante la generación de mensajes,  $X'$ , en combinación con un generador métrico de bits 307. El generador métrico de bits 307 puede intercambiar información con el descodificador 305 en sentido hacia delante y hacia atrás (de forma iterativa) durante el procedimiento de descodificación. Estas soluciones de descodificación se describen más exhaustivamente en la solicitud co-dependiente titulada “Método y sistema para el encaminamiento en descodificadores de Comprobación de Paridad de Baja Densidad (LDPC-“Low Density Parity Check”)” (“*Method and System for Routing in Low Density Parity Check (LDPC) Decoders*”), depositada el 3 de julio de 2003 (Serie N° 10/613.824; Registro de Representante PD-203009). Es de apreciar que los códigos de LDPC, al construirse con las Tablas 1-6, pueden proporcionar soporte a múltiples proporciones de código (en consecuencia, a múltiples velocidades de datos) utilizando una arquitectura o estructura de descodificación común; en contraste con ello, los códigos convolutivos, por ejemplo, requieren técnicas de punzado o perforación para conseguir proporciones intermedias.

60 Con el fin de apreciar adicionalmente las ventajas que ofrece la presente invención, resulta instructivo examinar el modo como son generados los códigos de LDPC, según se expone en la Figura 4.

65 La Figura 4 es un diagrama de una matriz de comprobación de paridad dispersa, de acuerdo con una realización de la presente invención. Los códigos de LDPC son códigos de bloques largos y lineares con una matriz de comprobación de paridad dispersa  $H_{(n-k) \times n}$ . Típicamente, la longitud de los bloques,  $n$ , varía desde miles a decenas de miles de bits.

## ES 2 273 177 T3

Por ejemplo, en la Figura 4 se muestra una matriz de comprobación de paridad para un código de LDPC de longitud  $n = 8$  y proporción  $1/2$ . El mismo código puede representarse de forma equivalente por el gráfico en dos partes de la Figura 5.

5 La Figura 5 es un diagrama de un gráfico en dos partes de un código de LDPC de la matriz de la Figura 4. Las ecuaciones de comprobación de paridad implican que, para cada nodo de comprobación, la suma (en el GF (Campo de Galois-“Galois Field”)(2)) de todos los nodos de bits adyacentes es igual a cero. Como se observa en la Figura, los nodos de bits ocupan el lado izquierdo del gráfico y están asociados con uno o más nodos de comprobación, de acuerdo con una relación predeterminada. Por ejemplo, en correspondencia con el nodo de comprobación  $m_1$ , existe la siguiente expresión:  $n_1 + n_4 + n_5 + n_8 = 0$ , con respecto a los nodos de bits.

Volviendo al receptor 300, el descodificador de LDPC 305 está considerado como un descodificador de paso de mensajes, por lo que el descodificador 305 tiene como propósito encontrar los valores de los nodos de bits. Con el fin de cumplir este cometido, los nodos de bits y los nodos de comprobación se comunican de forma iterativa unos con otros. La naturaleza de esta comunicación se describe en lo que sigue.

Desde los nodos de comprobación a los nodos de bits, cada nodo de comprobación proporciona a un nodo de bits adyacente una estimación (“opinión”) con respecto al valor de ese nodo de bits, basándose en la información que llega desde otros nodos de bits adyacentes. Por ejemplo, en el ejemplo anterior, si la suma de  $n_4$ ,  $n_5$  y  $n_8$  “parece ser” entre 0 y  $m_1$ , entonces  $m_1$  indicará a  $n_1$  que se cree que el valor de  $n_1$  es cero (puesto que  $n_1 + n_4 + n_5 + n_8 = 0$ ); en caso contrario,  $m_1$  indicará a  $n_1$  que se cree que el valor de  $n_1$  es 1. De manera adicional, para la descodificación de decisión suave o blanda, se añade una medida de la fiabilidad.

Desde los nodos de bits a los nodos de comprobación, cada nodo de bits facilita a un nodo de comprobación adyacente una estimación acerca de su propio valor basándose en la realimentación que llega desde sus otros nodos de comprobación adyacentes. En el ejemplo anterior,  $m_1$  tiene únicamente dos nodos de comprobación adyacentes,  $m_1$  y  $m_3$ . Si la realimentación que llega desde  $m_3$  a  $m_1$  indica que el valor de  $n_1$  es probablemente 0, entonces  $n_1$  notificará a  $m_1$  que una estimación del propio valor de  $n_1$  es 0. Para el caso en que el nodo de bits tenga más de dos nodos de comprobación adyacentes, el nodo de bits llevará a cabo una votación por mayoría (decisión suave) sobre la realimentación que llega desde sus otros nodos de comprobación adyacentes, antes de dar cuenta de esa decisión al nodo de comprobación con el que se comunica. El procedimiento anterior se repite hasta que todos los nodos de bits sean considerados como correctos (es decir, se satisfagan todas las ecuaciones de comprobación de paridad), o bien hasta que se alcance un número máximo predeterminado de iteraciones, con lo que se declare un fallo en la descodificación.

La Figura 6 es un diagrama de una matriz subordinada o sub-matriz de una matriz de comprobación de paridad dispersa, en el cual la sub-matriz contiene valores de comprobación de paridad restringidos o limitados a la región triangular inferior, de acuerdo con una realización de la presente invención. Como se ha descrito anteriormente, el codificador 203 (de las Figuras 2A y 2B) puede emplear una técnica de codificación simple al restringir los valores de la zona triangular inferior de la matriz de comprobación de paridad. De acuerdo con una realización de la presente invención, la restricción impuesta a la matriz de comprobación de paridad es de la forma:

$$H_{(n-k) \times n} = [A_{(n-k) \times k} \ B_{(n-k) \times (n-k)}],$$

45 donde B es triangular inferior.

Cualquier bloque de información  $i = (i_0, i_1, \dots, i_{k-1})$  se codifica en una palabra de código  $c = (i_0, i_1, \dots, i_{k-1}, p_0, p_1, \dots, p_{n-k-1})$  utilizando  $Hc^T = 0$ , y resolviéndola de forma recurrente para los bits de paridad; por ejemplo,

$$50 \quad a_{00}i_0 + a_{01}i_1 + \dots + a_{0,k-1}i_{k-1} + p_0 = 0 \Rightarrow \text{Resolver } p_0,$$

$$55 \quad a_{10}i_0 + a_{11}i_1 + \dots + a_{1,k-1}i_{k-1} + b_{10}p_0 + p_1 = 0 \Rightarrow \text{Resolver } p_1$$

y de forma similar para  $p_2, p_3, \dots, p_{n-k-1}$ .

Las Figuras 7 y 8 son gráficos del rendimiento de los códigos de LDPC para las diversas proporciones de código y esquemas de modulación a los que proporciona soporte el transmisor 200 de la Figura 2A. Concretamente, el gráfico de la Figura 7 muestra una comparación de rendimientos entre los códigos de LDPC de proporciones  $1/3$  y  $1/4$ , y entre los códigos de LDPC de proporción  $2/3$  de repetición y de proporción  $1/4$  de repetición, respectivamente. En este contexto, el rendimiento se considera, en el caso de las proporciones  $1/3$  y  $1/4$  para códigos de LDPC de QPSK, en un canal de Ruido Gaussiano Blanco Aditivo (AWGN-“Additive White Gaussian Noise”). Como se observa, el código de proporción  $1/3$  ofrece una ganancia de aproximadamente 1,3 dB con respecto a un código de LDPC de proporción  $2/3$  de repetición, en tanto que el código de LDPC de proporción  $1/4$  ofrece una ganancia de aproximadamente 0,4 dB con respecto a un código de LDPC de proporción  $1/2$  de repetición. Los códigos de repetición se construyen repitiendo los bits de información de fuente como el conjunto de bits de paridad. En consecuencia, los códigos de LDPC de

## ES 2 273 177 T3

proporciones 1/3 y 1/4 ofrecerán una ventaja en su rendimiento con respecto a los códigos de repetición cuando se utilizan en una rama de baja prioridad de esquemas de modulación jerárquica compatibles en sentido inverso o hacia atrás.

5 La Figura 8 ilustra el rendimiento de códigos de longitud de trama corta de las proporciones 1/5, 1/3 y 2/5, conjuntamente con el de los códigos de longitud de trama larga de las proporciones 1/4, 1/3 y 2/5. Como se muestra, los códigos cortos para las proporciones 1/3 y 2/5 exhiben un rendimiento casi comparable con el de sus contrapartidas de códigos largos (dentro de 0,2 dB).

10 Los procedimientos de codificación de LDPC según se ha detallado anteriormente, pueden llevarse a efecto a través de una variedad de configuraciones de hardware, o dispositivos físicos, y/o software, o programación. De hecho, esta solución puede desplegarse también fácilmente tan solo a través de un cambio en el software, con lo que se suprimen costosas modificaciones en el hardware.

15 La Figura 9 ilustra un hardware proporcionado a modo de ejemplo con el que puede llevarse a la práctica una realización de acuerdo con la presente invención. Un sistema de computación 900 incluye un bus 901 u otro mecanismo de comunicación destinado a comunicar información, así como un procesador 903, conectado al bus 901 para el tratamiento o procesamiento de la información. El sistema de computación 900 incluye también una memoria principal 905, tal como una memoria de acceso aleatorio (RAM-“Random Access Memory”) u otro dispositivo de almacenamiento dinámico, conectada al bus 901 para almacenar información e instrucciones que se han de llevar a cabo por parte del procesador 903. La memoria principal 905 puede utilizarse también para almacenar variables temporales u otra información intermedia durante la ejecución de las instrucciones por parte del procesador 903. El sistema de computación 900 puede incluir adicionalmente una memoria de sólo lectura (ROM-“Read Only Memory”) 907 u otro dispositivo de almacenamiento estático, conectado al bus 901 y destinado a almacenar información estática e instrucciones para el procesador 903. Un dispositivo de almacenamiento 909, tal como un disco magnético o un disco óptico, está conectado al bus 901 con el fin de almacenar de forma permanente información e instrucciones.

El sistema de computación 900 puede estar conectado, a través del bus 901, a un dispositivo de presentación visual 911, tal como un dispositivo de presentación visual de cristal líquido o un dispositivo de presentación visual de matriz activa, a fin de presentar visualmente información a un usuario. Un dispositivo de entrada 913, tal como un teclado que incluye teclas alfanuméricas y otras teclas, puede estar conectado al bus 901 para comunicar información y selecciones de órdenes al procesador 903. El dispositivo de entrada 913 puede incluir un control por cursor, tal como un ratón, una bola de seguimiento o teclas de dirección de cursor, al objeto de comunicar información de dirección y selecciones de órdenes al procesador 903, y controlar el movimiento del cursor por el dispositivo de presentación visual 911.

De acuerdo con una realización de la invención, los procedimientos de las Figuras 2C y 2D pueden ser proporcionados por el sistema de computación 900 en respuesta a la ejecución, por parte del procesador 903, de una disposición de instrucciones contenida en la memoria principal 905. Dichas instrucciones pueden ser leídas e introducidas en la memoria principal 905 desde otro medio legible por la computadora, tal como el dispositivo de almacenamiento 909. La ejecución de la disposición de instrucciones contenida en la memoria principal 905 hace que el procesador 903 lleve a cabo las etapas del procedimiento que se ha descrito aquí. Pueden emplearse también uno o más procesadores en una disposición de procesamiento múltiple para llevar a efecto o ejecutar las instrucciones contenidas en la memoria principal 905. En realizaciones alternativas, es posible utilizar circuitos en cable instalado como hardware, en lugar de, o en combinación con, instrucciones de software, a fin de implementar la realización de la presente invención. En otro ejemplo, puede utilizarse hardware reconfigurable, tal como Conjuntos Ordenados de Puertas Programables en Campo (FPGAs-“Field Programmable Gate Arrays”), en el cual la capacidad funcional y la topología de conexión de sus puertas lógicas se pueden personalizar durante el tiempo de funcionamiento, típicamente por medio de tablas de consulta de memoria de programación. Así pues, las realizaciones de la presente invención no están limitadas por cualquier combinación concreta de circuitos de hardware y software.

El sistema de computación 900 incluye también al menos una interfaz de comunicación 915, conectada al bus 901. La interfaz de comunicación 915 proporciona un acoplamiento de comunicación de datos en ambos sentidos a un enlace de red (no mostrado). La interfaz de comunicación 915 envía y recibe señales eléctricas, electromagnéticas u ópticas que transportan corrientes de datos digitales que representan diversos tipos de información. Además, la interfaz de comunicación 915 puede incluir dispositivos de interfaz periféricos, tales como una interfaz de Bus en Serie Universal (USB-“Universal Series Bus”), una interfaz de la PCMCIA (Asociación Internacional de Tarjetas de Memoria de Computadoras Personales-“Personal Computer Memory Card International Association”), etc.

El procesador 903 puede llevar a efecto código que está siendo recibido por la interfaz de comunicación 915, y/o almacenar el código en el dispositivo de almacenamiento 909 ó en otro almacenamiento no volátil para su ejecución ulterior. De esta manera, el sistema de computación 900 puede obtener código de aplicación en forma de una onda portadora.

La expresión “medio legible por computadora”, tal y como se utiliza aquí, se refiere a cualquier medio que participe a la hora de proporcionar instrucciones al procesador 903 para su ejecución. Dicho medio puede adoptar muchas formas, incluyendo medios no volátiles, medios volátiles y medios de transmisión, aunque no se limita a ellas. Los medios no volátiles incluyen, por ejemplo, discos ópticos o magnéticos, tales como el dispositivo de almacenamiento 909. Los medios volátiles incluyen memoria dinámica, tal como la memoria principal 905. Los medios de transmisión

incluyen cables coaxiales, cable de cobre y fibras ópticas, incluyendo los cables que comprenden el bus 901. Los medios de transmisión pueden también adoptar la forma de ondas acústicas, ópticas y electromagnéticas, tales como las que se generan durante las comunicaciones de datos por radiofrecuencia (RF) e infrarrojos (IR). Formas comunes de medios legibles por computadora incluyen, por ejemplo, un disquete, un disco flexible, un disco duro, cinta magnética, cualquier otro medio magnético, un CD-ROM, un CDRW, un DVD, cualquier otro medio óptico, tarjetas perforadas, cinta de papel, láminas con marcas ópticas, cualquier otro medio físico provisto de patrones o configuraciones de orificios u otras indicaciones reconocibles por medios ópticos, una RAM, una PROM, una EPROM, una EPROM de tipo FLASH (FLASH-EPROM), cualquier otro chip o cartucho de memoria, una onda portadora, o bien cualquier otro medio en el que pueda leer una computadora.

Pueden estar implicadas en el suministro de instrucciones a un procesador para su ejecución diversas formas de medios legibles por computadora. Por ejemplo, las instrucciones para llevar a cabo al menos una parte de la presente invención pueden estar inicialmente contenidas en un disco magnético de una computadora distante. En semejante contexto, la computadora distante carga las instrucciones en la memoria principal y envía las instrucciones a través de una línea telefónica utilizando un módem (dispositivo modulador-desmodulador). Un módem de un sistema local recibe los datos por la línea telefónica y utiliza un transmisor de infrarrojos para convertir los datos en una señal de infrarrojos y transmitir la señal de infrarrojos a un dispositivo de computación portátil, tal como un asistente digital personal (PDA-“personal digital assistant”) o una computadora portátil. Un detector de infrarrojos situado en el dispositivo de computación portátil recibe la información y las instrucciones que lleva la señal de infrarrojos y sitúa los datos en un bus. El bus transporta los datos hasta una memoria principal, desde la que un procesador recupera y lleva a cabo las instrucciones. Las instrucciones recibidas por la memoria principal pueden ser almacenadas opcionalmente en un dispositivo de almacenamiento, antes o después de su ejecución por parte del procesador.

De acuerdo con ello, las diversas realizaciones de la presente invención proporcionan un codificador de LDPC que genera un código de LDPC que tiene un código de Bose-Chaudhuri-Hocquenghem (BCH) externo de conformidad con una de las Tablas 1-6, para su transmisión como señal codificada en LDPC. Cada una de las Tablas 1-6 especifica la dirección de los acumuladores de bit de paridad. La solución anterior ofrece, ventajosamente, una complejidad reducida sin sacrificar el rendimiento.

Si bien la presente invención se ha descrito en relación con un cierto número de realizaciones e implementaciones, la presente invención no está limitada de esta forma, sino que abarca diversas modificaciones obvias y disposiciones equivalentes que caen dentro del ámbito de las reivindicaciones que se acompañan.

# ES 2 273 177 T3

## REIVINDICACIONES

1. Un método de codificación que comprende:

5 recibir bits de información; y

generar, basándose en los bits de información, bits de paridad de un código de Comprobación de Paridad de Baja Densidad (LDPC-“Low Density Parity Check”), de acuerdo con una de entre una tasa o proporción de código de 1/3, una proporción de código de 1/4 ó una proporción de código de 2/5, al acumular bits en direcciones de bits de paridad según se especifica por las siguientes tablas respectivas, que utilizan acumuladores de bit de paridad,

### Dirección de acumuladores de bit de paridad (Proporción 1/3)

15	34903 20927 32903 1052 25611 16093 16454 5520 506 37399 18518 21120
	11636 14594 22158 14763 15333 6838 22222 37856 14985 31041 18704 32910
20	17449 1665 35639 16624 12867 12449 10241 11650 25622 34372 19878 26894
	29235 19780 36056 20129 20029 5457 8157 35554 21237 7943 13873 14980
	9912 7143 35911 12043 17360 37253 25588 11827 29152 21936 24125 40870
25	40701 36035 39556 12366 19946 29072 16365 35495 22686 11106 8756 34863
	19165 15702 13536 40238 4465 40034 40590 37540 17162 1712 20577 14138
	31338 19342 9301 39375 3211 1316 33409 28670 12282 6118 29236 35787
	11504 30506 19558 5100 24188 24738 30397 33775 9699 6215 3397 37451
30	34689 23126 7571 1058 12127 27518 23064 11265 14867 30451 28289 2966
	11660 15334 16867 15160 38343 3778 4265 39139 17293 26229 42604 13486
	31497 1365 14828 7453 26350 41346 28643 23421 8354 16255 11055 24279
35	15687 12467 13906 5215 41328 23755 20800 6447 7970 2803 33262 39843
	5363 22469 38091 28457 36696 34471 23619 2404 24229 41754 1297 18563
	3673 39070 14480 30279 37483 7580 29519 30519 39831 20252 18132 20010
40	34386 7252 27526 12950 6875 43020 31566 39069 18985 15541 40020 16715
	1721 37332 39953 17430 32134 29162 10490 12971 28581 29331 6489 35383
	736 7022 42349 8783 6767 11871 21675 10325 11548 25978 431 24085
	1925 10602 28585 12170 15156 34404 8351 13273 20208 5800 15367 21764
45	16279 37832 34792 21250 34192 7406 41488 18346 29227 26127 25493 7048
	39948 28229 24899
	17408 14274 38993
50	38774 15968 28459
	41404 27249 27425
	41229 6082 43114
55	13957 4979 40654
	3093 3438 34992
	34082 6172 28760

60

65

ES 2 273 177 T3

	42210 34141 41021
	14705 17783 10134
5	41755 39884 22773
	14615 15593 1642
	29111 37061 39860
10	9579 33552 633
	12951 21137 39608
	38244 27361 29417
15	2939 10172 36479
	29094 5357 19224
	9562 24436 28637
20	40177 2326 13504
	6834 21583 42516
	40651 42810 25709
	31557 32138 38142
25	18624 41867 39296
	37560 14295 16245
	6821 21679 31570
30	25339 25083 22081
	8047 697 35268
	9884 17073 19995
35	26848 35245 8390
	18658 16134 14807
	12201 32944 5035
40	25236 1216 38986
	42994 24782 8681
	28321 4932 34249
	4107 29382 32124
45	22157 2624 14468
	38788 27081 7936
	4368 26148 10578
50	25353 4122 39751

55

60

65

ES 2 273 177 T3

**Dirección de acumuladores de bit de paridad (Proporción 1/4)**

23606 36098 1140 28859 18148 18510 6226 540 42014 20879 23802 47088  
 16419 24928 16609 17248 7693 24997 42587 16858 34921 21042 37024 20692  
 1874 40094 18704 14474 14004 11519 13106 28826 38669 22363 30255 31105  
 22254 40564 22645 22532 6134 9176 39998 23892 8937 15608 16854 31009  
 8037 40401 13550 19526 41902 28782 13304 32796 24679 27140 45980 10021  
 40540 44498 13911 22435 32701 18405 39929 25521 12497 9851 39223 34823  
 15233 45333 5041 44979 45710 42150 19416 1892 23121 15860 8832 10308  
 10468 44296 3611 1480 37581 32254 13817 6883 32892 40258 46538 11940  
 6705 21634 28150 43757 895 6547 20970 28914 30117 25736 41734 11392  
 22002 5739 27210 27828 34192 37992 10915 6998 3824 42130 4494 35739  
 8515 1191 13642 30950 25943 12673 16726 34261 31828 3340 8747 39225  
 18979 17058 43130 4246 4793 44030 19454 29511 47929 15174 24333 19354  
 16694 8381 29642 46516 32224 26344 9405 18292 12437 27316 35466 41992  
 15642 5871 46489 26723 23396 7257 8974 3156 37420 44823 35423 13541  
 42858 32008 41282 38773 26570 2702 27260 46974 1469 20887 27426 38553  
 22152 24261 8297  
 19347 9978 27802  
 34991 6354 33561  
 29782 30875 29523  
 9278 48512 14349  
 38061 4165 43878  
 8548 33172 34410  
 22535 28811 23950  
 20439 4027 24186  
 38618 8187 30947  
 35538 43880 21459  
 7091 45616 15063  
 5505 9315 21908  
 36046 32914 11836  
 7304 39782 33721  
 16905 29962 12980  
 11171 23709 22460  
 34541 9937 44500  
 14035 47316 8815  
 15057 45482 24461  
 30518 36877 879  
 7583 13364 24332  
 448 27056 4682  
 12083 31378 21670  
 1159 18031 2221  
 17028 38715 9350  
 17343 24530 29574  
 46128 31039 32818  
 20373 36967 18345  
 46685 20622 32806

<b>Dirección de acumuladores de bit de paridad (Proporción 2/5)</b>												
	5650	4143	8750	583	6720	8071	635	1767	1344	6922	738	6658
5	5696	1685	3207	415	7019	5023	5608	2605	857	6915	1770	8016
	3992	771	2190	7258	8970	7792	1802	1866	6137	8841	886	1931
	4108	3781	7577	6810	9322	8226	5396	5867	4428	8827	7766	2254
10	4247	888	4367	8821	9660	324	5864	4774	227	7889	6405	8963
	9693	500	2520	2227	1811	9330	1928	5140	4030	4824	806	3134
	1652	8171	1435									
	3366	6543	3745									
15	9286	8509	4645									
	7397	5790	8972									
	6597	4422	1799									
20	9276	4041	3847									
	8683	7378	4946									
	5348	1993	9186									
25	6724	9015	5646									
	4502	4439	8474									
	5107	7342	9442									
30	1387	8910	2660									

2. Un método de acuerdo con la reivindicación 1, que comprende adicionalmente:

modular la señal codificada en LDPC; y

transmitir la señal modulada.

3. Un método de acuerdo con la reivindicación 2, en el cual la señal modulada es transmitida por un enlace vía satélite (103) como soporte de una aplicación vía satélite de banda ancha.

4. El método de acuerdo con la reivindicación 2, en el cual la etapa de modulación se lleva a cabo de acuerdo con una constelación de señales que incluye una de entre el 8-PSK, la 16-QAM, el QPSK, el 16-APSK y el 32-APSK, de tal forma que el PSK denota Cifrado de Desplazamiento de Fase, la QAM denota Modulación de Amplitud en Cuadratura, el QPSK denota Cifrado con Desplazamiento de Fase en Cuadratura, y el APSK denota Cifrado con Desplazamiento de Fase en Amplitud.

5. Un medio legible por computadora, que lleva incorporadas instrucciones para codificar, estando dispuestas dichas instrucciones para hacer, al ser ejecutadas, que uno o más procesadores lleven a cabo el método de acuerdo con la reivindicación 1.

6. Un codificador (203) que comprende:

medios para recibir bits de información; y

medios para generar, basándose en los bits de información, un código de Comprobación de Paridad de Baja Densidad (LDPC-“Low Density Parity Check”), de acuerdo con una de entre una pluralidad de tasas o proporciones de código, al acumular bits en direcciones de bits de paridad según se especifica por las siguientes tablas respectivas, que utilizan acumuladores de bit de paridad,

ES 2 273 177 T3

**Dirección de acumuladores de bit de paridad (Proporción 1/3)**

5 34903 20927 32903 1052 25611 16093 16454 5520 506 37399 18518 21120  
 11636 14594 22158 14763 15333 6838 22222 37856 14985 31041 18704 32910  
 17449 1665 35639 16624 12867 12449 10241 11650 25622 34372 19878 26894  
 29235 19780 36056 20129 20029 5457 8157 35554 21237 7943 13873 14980  
 10 9912 7143 35911 12043 17360 37253 25588 11827 29152 21936 24125 40870  
 40701 36035 39556 12366 19946 29072 16365 35495 22686 11106 8756 34863  
 19165 15702 13536 40238 4465 40034 40590 37540 17162 1712 20577 14138  
 15 31338 19342 9301 39375 3211 1316 33409 28670 12282 6118 29236 35787  
 11504 30506 19558 5100 24188 24738 30397 33775 9699 6215 3397 37451  
 34689 23126 7571 1058 12127 27518 23064 11265 14867 30451 28289 2966  
 20 11660 15334 16867 15160 38343 3778 4265 39139 17293 26229 42604 13486  
 31497 1365 14828 7453 26350 41346 28643 23421 8354 16255 11055 24279  
 15687 12467 13906 5215 41328 23755 20800 6447 7970 2803 33262 39843  
 25 5363 22469 38091 28457 36696 34471 23619 2404 24229 41754 1297 18563  
 3673 39070 14480 30279 37483 7580 29519 30519 39831 20252 18132 20010  
 34386 7252 27526 12950 6875 43020 31566 39069 18985 15541 40020 16715  
 1721 37332 39953 17430 32134 29162 10490 12971 28581 29331 6489 35383  
 30 736 7022 42349 8783 6767 11871 21675 10325 11548 25978 431 24085  
 1925 10602 28585 12170 15156 34404 8351 13273 20208 5800 15367 21764  
 16279 37832 34792 21250 34192 7406 41488 18346 29227 26127 25493 7048  
 35 39948 28229 24899  
 17408 14274 38993  
 38774 15968 28459  
 40 41404 27249 27425  
 41229 6082 43114  
 13957 4979 40654  
 3093 3438 34992  
 45 34082 6172 28760  
 42210 34141 41021  
 14705 17783 10134  
 50 41755 39884 22773  
 14615 15593 1642  
 29111 37061 39860  
 55 9579 33552 633  
 12951 21137 39608  
 38244 27361 29417  
 60 2939 10172 36479  
 29094 5357 19224  
 9562 24436 28637  
 65 40177 2326 13504

## ES 2 273 177 T3

5	6834 21583 42516
	40651 42810 25709
	31557 32138 38142
	18624 41867 39296
	37560 14295 16245
	6821 21679 31570
10	25339 25083 22081
	8047 697 35268
	9884 17073 19995
15	26848 35245 8390
	18658 16134 14807
	12201 32944 5035
20	25236 1216 38986
	42994 24782 8681
	28321 4932 34249
25	4107 29382 32124
	22157 2624 14468
	38788 27081 7936
30	4368 26148 10578
	25353 4122 39751

35	<b>Dirección de acumuladores de bit de paridad (Proporción 1/4)</b>
	23606 36098 1140 28859 18148 18510 6226 540 42014 20879 23802 47088
	16419 24928 16609 17248 7693 24997 42587 16858 34921 21042 37024 20692
40	1874 40094 18704 14474 14004 11519 13106 28826 38669 22363 30255 31105
	22254 40564 22645 22532 6134 9176 39998 23892 8937 15608 16854 31009
	8037 40401 13550 19526 41902 28782 13304 32796 24679 27140 45980 10021
45	40540 44498 13911 22435 32701 18405 39929 25521 12497 9851 39223 34823
	15233 45333 5041 44979 45710 42150 19416 1892 23121 15860 8832 10308
	10468 44296 3611 1480 37581 32254 13817 6883 32892 40258 46538 11940
	6705 21634 28150 43757 895 6547 20970 28914 30117 25736 41734 11392
50	22002 5739 27210 27828 34192 37992 10915 6998 3824 42130 4494 35739
	8515 1191 13642 30950 25943 12673 16726 34261 31828 3340 8747 39225
	18979 17058 43130 4246 4793 44030 19454 29511 47929 15174 24333 19354
55	16694 8381 29642 46516 32224 26344 9405 18292 12437 27316 35466 41992
	15642 5871 46489 26723 23396 7257 8974 3156 37420 44823 35423 13541
	42858 32008 41282 38773 26570 2702 27260 46974 1469 20887 27426 38553
60	22152 24261 8297
	19347 9978 27802
	34991 6354 33561
65	29782 30875 29523
	9278 48512 14349
	38061 4165 43878

ES 2 273 177 T3

	8548 33172 34410
	22535 28811 23950
	20439 4027 24186
5	38618 8187 30947
	35538 43880 21459
	7091 45616 15063
10	5505 9315 21908
	36046 32914 11836
	7304 39782 33721
15	16905 29962 12980
	11171 23709 22460
	34541 9937 44500
20	14035 47316 8815
	15057 45482 24461
	30518 36877 879
25	7583 13364 24332
	448 27056 4682
	12083 31378 21670
	1159 18031 2221
30	17028 38715 9350
	17343 24530 29574
	46128 31039 32818
35	20373 36967 18345
	46685 20622 32806

<b>Dirección de acumuladores de bit de paridad (Proporción 2/5)</b>	
	5650 4143 8750 583 6720 8071 635 1767 1344 6922 738 6658
	5696 1685 3207 415 7019 5023 5608 2605 857 6915 1770 8016
45	3992 771 2190 7258 8970 7792 1802 1866 6137 8841 886 1931
	4108 3781 7577 6810 9322 8226 5396 5867 4428 8827 7766 2254
	4247 888 4367 8821 9660 324 5864 4774 227 7889 6405 8963
50	9693 500 2520 2227 1811 9330 1928 5140 4030 4824 806 3134
	1652 8171 1435
	3366 6543 3745
55	9286 8509 4645
	7397 5790 8972
	6597 4422 1799
60	9276 4041 3847
	8683 7378 4946
	5348 1993 9186
	6724 9015 5646
65	4502 4439 8474
	5107 7342 9442

1387 8910 2660

5 ;y

medios para generar un código de Bose-Chaudhuri-Hocquenghem (BCH) externo para el código de LDPC.

10 7. Un codificador (203) de acuerdo con la reivindicación 6, en el cual la señal codificada en LDPC es modulada y transmitida.

8. Un codificador (203) de acuerdo con la reivindicación 7, en el cual la señal modulada se da como soporte de una aplicación vía satélite de banda ancha.

15 9. Un codificador (203) de acuerdo con la reivindicación 7, en el cual la modulación se lleva a cabo de acuerdo con una constelación de señales que incluye una de entre el 8-PSK, la 16-QAM, el QPSK, el 16-APSK y el 32-APSK, de tal forma que el PSK denota Cifrado de Desplazamiento de Fase, la QAM denota Modulación de Amplitud en Cuadratura, el QPSK denota Cifrado con Desplazamiento de Fase en Cuadratura, y el APSK denota Cifrado con Desplazamiento de Fase en Amplitud.

20 10. Un transmisor (200) para proporcionar soporte a la transmisión de una señal codificada en Comprobación de Paridad de Baja Densidad (LDPC-“Low Density Parity Check”), que comprende:

25 un codificador (203) de Comprobación de Paridad de Baja Densidad (LDPC), configurado para suministrar como salida, basándose en bits de información recibidos, un código de LDPC; y

30 un codificador de Bose-Chaudhuri-Hocquenghem (BCH) (211), conectado al codificador de LDPC (203) y configurado para proporcionar un código externo al código de LDPC, de tal forma que el código de LDPC se genera de acuerdo con una de entre una tasa o proporción de código de 1/3, una proporción de código de 1/4 ó una proporción de código de 2/5, al acumular bits en direcciones de bits de paridad según se especifica por las siguientes tablas respectivas, que utilizan acumuladores de bit de paridad,

<b>Dirección de acumuladores de bit de paridad (Proporción 1/3)</b>												
34903	20927	32903	1052	25611	16093	16454	5520	506	37399	18518	21120	
11636	14594	22158	14763	15333	6838	22222	37856	14985	31041	18704	32910	
17449	1665	35639	16624	12867	12449	10241	11650	25622	34372	19878	26894	
29235	19780	36056	20129	20029	5457	8157	35554	21237	7943	13873	14980	
9912	7143	35911	12043	17360	37253	25588	11827	29152	21936	24125	40870	

35

40

45

50

55

60

65

ES 2 273 177 T3

5 40701 36035 39556 12366 19946 29072 16365 35495 22686 11106 8756 34863  
19165 15702 13536 40238 4465 40034 40590 37540 17162 1712 20577 14138  
31338 19342 9301 39375 3211 1316 33409 28670 12282 6118 29236 35787  
11504 30506 19558 5100 24188 24738 30397 33775 9699 6215 3397 37451  
10 34689 23126 7571 1058 12127 27518 23064 11265 14867 30451 28289 2966  
11660 15334 16867 15160 38343 3778 4265 39139 17293 26229 42604 13486  
31497 1365 14828 7453 26350 41346 28643 23421 8354 16255 11055 24279  
15687 12467 13906 5215 41328 23755 20800 6447 7970 2803 33262 39843  
15 5363 22469 38091 28457 36696 34471 23619 2404 24229 41754 1297 18563  
3673 39070 14480 30279 37483 7580 29519 30519 39831 20252 18132 20010  
34386 7252 27526 12950 6875 43020 31566 39069 18985 15541 40020 16715  
20 1721 37332 39953 17430 32134 29162 10490 12971 28581 29331 6489 35383  
736 7022 42349 8783 6767 11871 21675 10325 11548 25978 431 24085  
1925 10602 28585 12170 15156 34404 8351 13273 20208 5800 15367 21764  
16279 37832 34792 21250 34192 7406 41488 18346 29227 26127 25493 7048  
25 39948 28229 24899  
17408 14274 38993  
38774 15968 28459  
41404 27249 27425  
30 41229 6082 43114  
13957 4979 40654  
3093 3438 34992  
35 34082 6172 28760  
42210 34141 41021  
14705 17783 10134  
40 41755 39884 22773  
14615 15593 1642  
29111 37061 39860  
9579 33552 633  
45 12951 21137 39608  
38244 27361 29417  
2939 10172 36479  
50 29094 5357 19224  
9562 24436 28637  
40177 2326 13504  
55 6834 21583 42516  
40651 42810 25709  
31557 32138 38142  
18624 41867 39296  
60 37560 14295 16245  
6821 21679 31570  
25339 25083 22081  
65 8047 697 35268  
9884 17073 19995

## ES 2 273 177 T3

5	26848 35245 8390
	18658 16134 14807
	12201 32944 5035
	25236 1216 38986
	42994 24782 8681
	28321 4932 34249
10	4107 29382 32124
	22157 2624 14468
	38788 27081 7936
15	4368 26148 10578
	25353 4122 39751

<b>Dirección de acumuladores de bit de paridad (Proporción 1/4)</b>	
20	23606 36098 1140 28859 18148 18510 6226 540 42014 20879 23802 47088
	16419 24928 16609 17248 7693 24997 42587 16858 34921 21042 37024 20692
25	1874 40094 18704 14474 14004 11519 13106 28826 38669 22363 30255 31105
	22254 40564 22645 22532 6134 9176 39998 23892 8937 15608 16854 31009
	8037 40401 13550 19526 41902 28782 13304 32796 24679 27140 45980 10021
30	40540 44498 13911 22435 32701 18405 39929 25521 12497 9851 39223 34823
	15233 45333 5041 44979 45710 42150 19416 1892 23121 15860 8832 10308
	10468 44296 3611 1480 37581 32254 13817 6883 32892 40258 46538 11940
35	6705 21634 28150 43757 895 6547 20970 28914 30117 25736 41734 11392
	22002 5739 27210 27828 34192 37992 10915 6998 3824 42130 4494 35739
	8515 1191 13642 30950 25943 12673 16726 34261 31828 3340 8747 39225
40	18979 17058 43130 4246 4793 44030 19454 29511 47929 15174 24333 19354
	16694 8381 29642 46516 32224 26344 9405 18292 12437 27316 35466 41992
	15642 5871 46489 26723 23396 7257 8974 3156 37420 44823 35423 13541
	42858 32008 41282 38773 26570 2702 27260 46974 1469 20887 27426 38553
45	22152 24261 8297
	19347 9978 27802
	34991 6354 33561
50	29782 30875 29523
	9278 48512 14349
	38061 4165 43878
55	8548 33172 34410
	22535 28811 23950
	20439 4027 24186
60	38618 8187 30947
	35538 43880 21459
	7091 45616 15063
	5505 9315 21908
65	36046 32914 11836
	7304 39782 33721

## ES 2 273 177 T3

5	16905 29962 12980
	11171 23709 22460
	34541 9937 44500
	14035 47316 8815
	15057 45482 24461
10	30518 36877 879
	7583 13364 24332
	448 27056 4682
	12083 31378 21670
15	1159 18031 2221
	17028 38715 9350
	17343 24530 29574
20	46128 31039 32818
	20373 36967 18345
25	46685 20622 32806

<b>Dirección de acumuladores de bit de paridad (Proporción 2/5)</b>	
30	5650 4143 8750 583 6720 8071 635 1767 1344 6922 738 6658
	5696 1685 3207 415 7019 5023 5608 2605 857 6915 1770 8016
35	3992 771 2190 7258 8970 7792 1802 1866 6137 8841 886 1931
	4108 3781 7577 6810 9322 8226 5396 5867 4428 8827 7766 2254
	4247 888 4367 8821 9660 324 5864 4774 227 7889 6405 8963
40	9693 500 2520 2227 1811 9330 1928 5140 4030 4824 806 3134
	1652 8171 1435
	3366 6543 3745
	9286 8509 4645
45	7397 5790 8972
	6597 4422 1799
	9276 4041 3847
50	8683 7378 4946
	5348 1993 9186
	6724 9015 5646
55	4502 4439 8474
	5107 7342 9442
60	1387 8910 2660

11. Un transmisor (200) de acuerdo con la reivindicación 10, que comprende adicionalmente:

un modulador (205), configurado para modular la señal codificada en LDPC.

65 12. Un transmisor (200) de acuerdo con la reivindicación 11, en el cual la señal modulada es transmitida a través de un enlace vía satélite (103) como soporte de una aplicación vía satélite de banda ancha.

## ES 2 273 177 T3

13. Un transmisor (200) de acuerdo con la reivindicación 11, en el cual la modulación se lleva a cabo de acuerdo con una constelación de señales que incluye una de entre el 8-PSK, la 16-QAM, el QPSK, el 16-APSK y el 32-APSK, de tal forma que el PSK denota Cifrado de Desplazamiento de Fase, la QAM denota Modulación de Amplitud en Cuadratura, el QPSK denota Cifrado con Desplazamiento de Fase en Cuadratura, y el APSK denota Cifrado con Desplazamiento de Fase en Amplitud.

10

15

20

25

30

35

40

45

50

55

60

65

FIG. 1

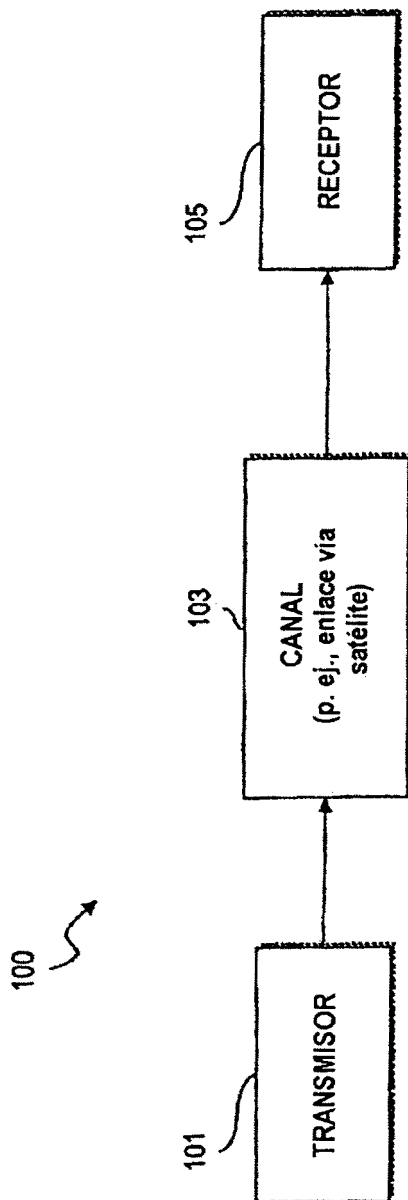


FIG. 2A

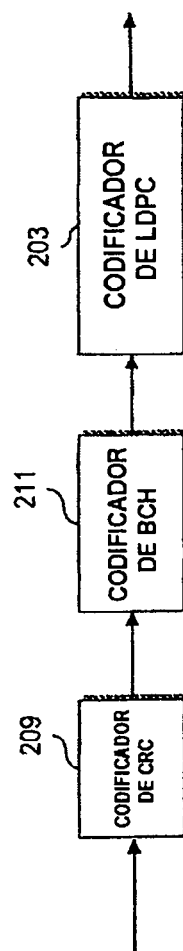
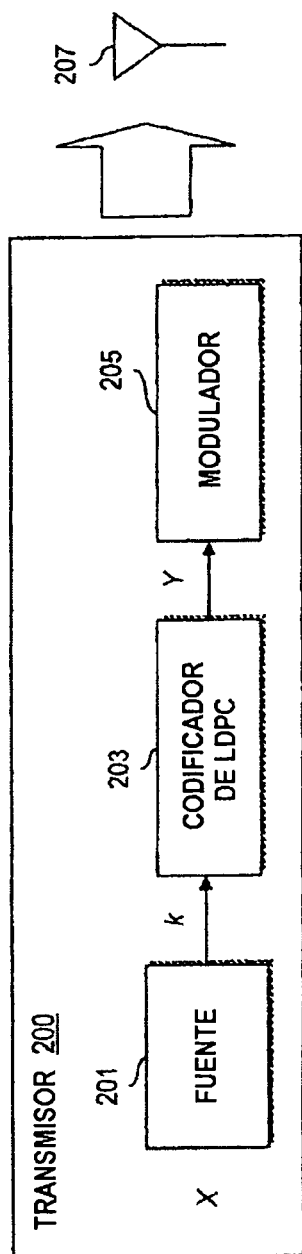


FIG. 2B

FIG. 2C

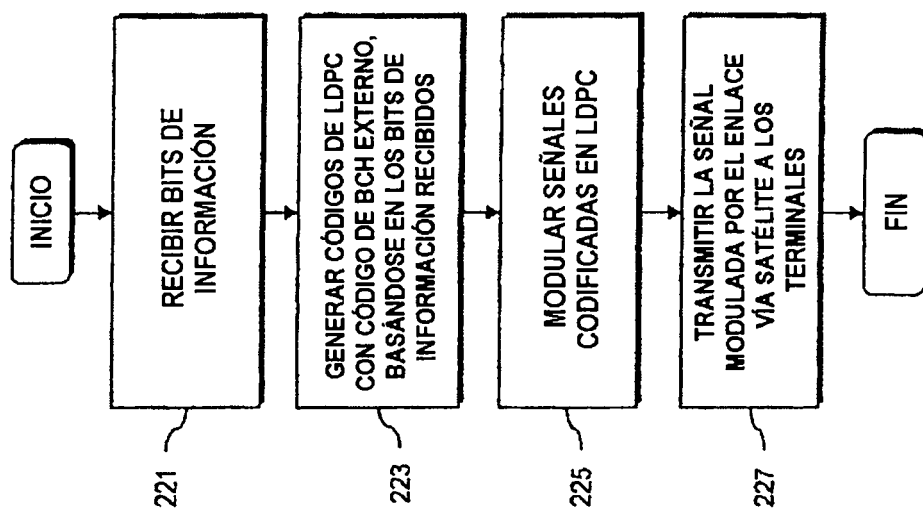


FIG. 2D

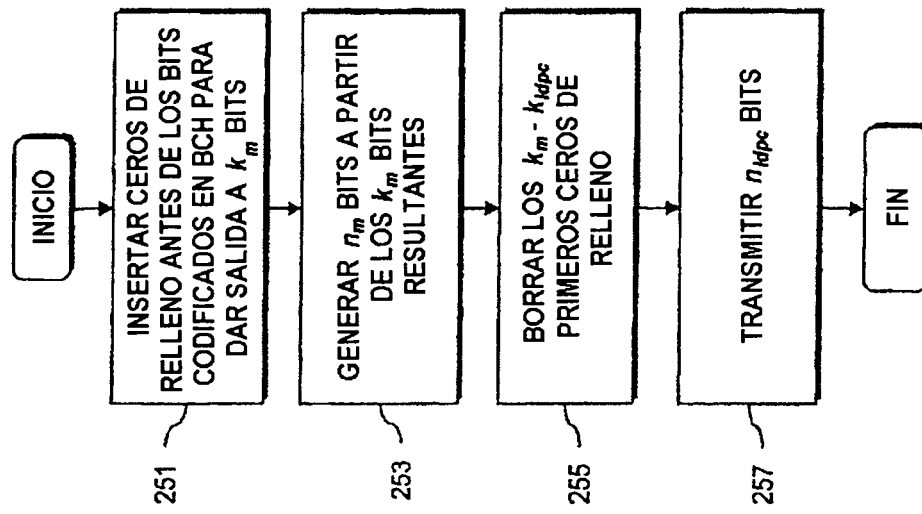


FIG. 3

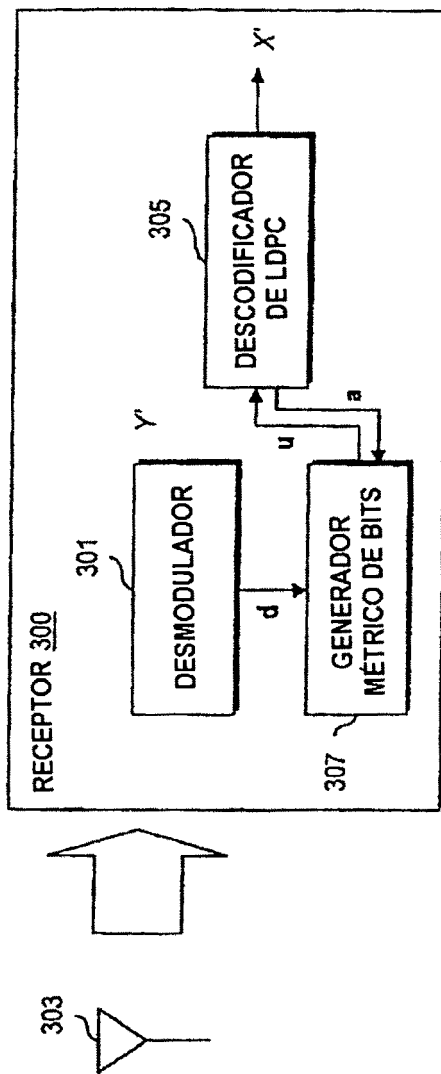




FIG. 7

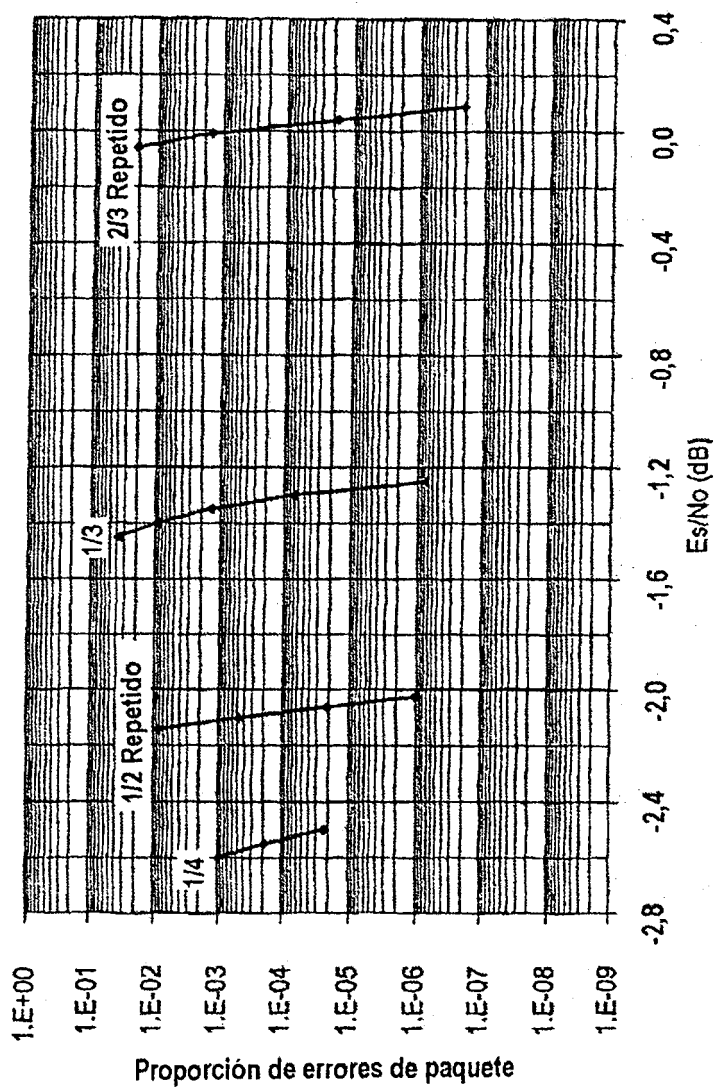
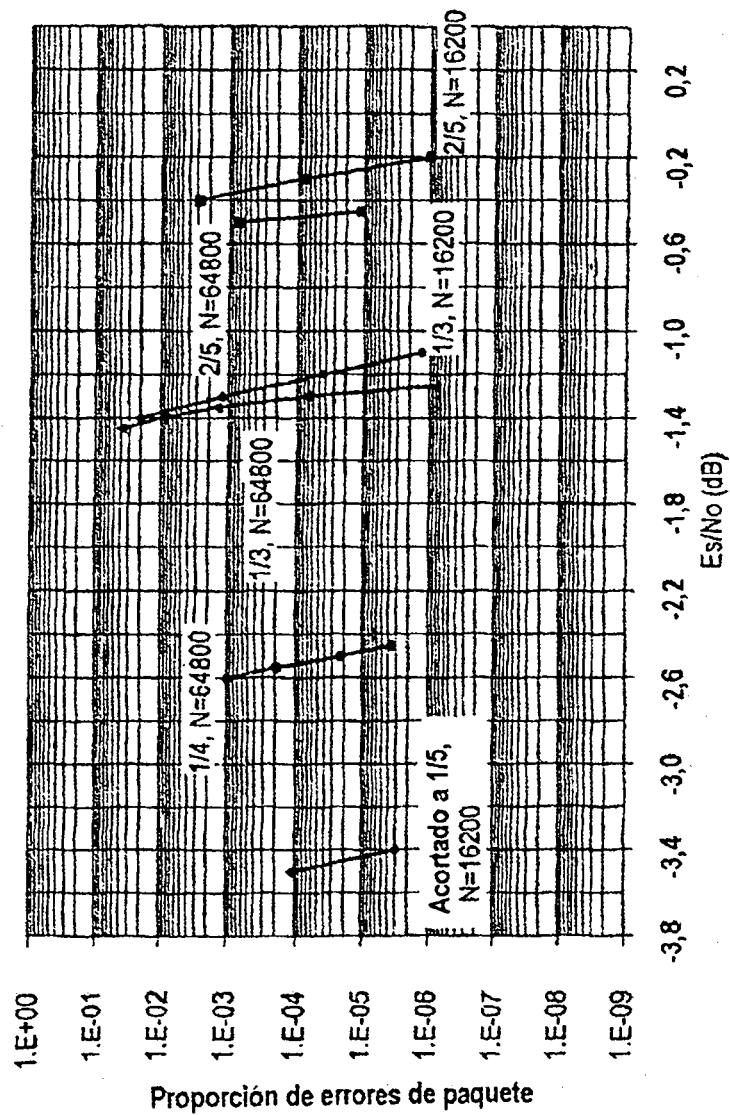


FIG. 8



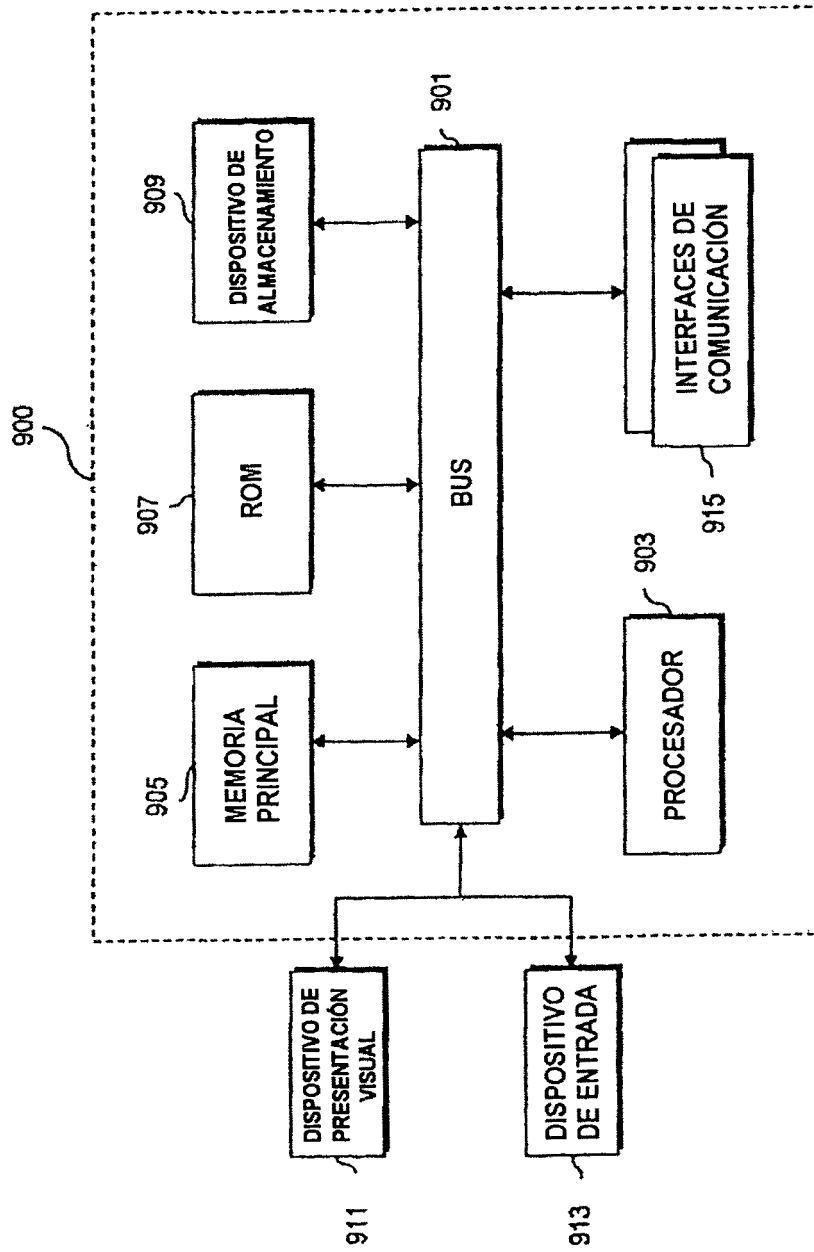


FIG. 9