

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5296402号
(P5296402)

(45) 発行日 平成25年9月25日 (2013. 9. 25)

(24) 登録日 平成25年6月21日 (2013. 6. 21)

(51) Int. Cl.

F I

H O 1 L 27/28 (2006. 01)

H O 1 L 27/10 4 4 9

H O 1 L 51/05 (2006. 01)

H O 1 L 27/10 4 6 1

H O 1 L 27/10 (2006. 01)

H O 1 L 29/28 1 0 0 B

請求項の数 6 (全 21 頁)

(21) 出願番号 特願2008-86033 (P2008-86033)
 (22) 出願日 平成20年3月28日 (2008. 3. 28)
 (65) 公開番号 特開2008-277791 (P2008-277791A)
 (43) 公開日 平成20年11月13日 (2008. 11. 13)
 審査請求日 平成23年2月25日 (2011. 2. 25)
 (31) 優先権主張番号 特願2007-96977 (P2007-96977)
 (32) 優先日 平成19年4月3日 (2007. 4. 3)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 池田 寿雄
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 井辺 隆広
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 肥塚 純一
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 加藤 薫
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 記憶装置及び半導体装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板又は絶縁層上に接して、第 1 の導電層と、第 2 の導電層を有し、
 前記第 1 の導電層及び前記第 2 の導電層の間に、モリブデン酸化物、ホール輸送性の有機化合物及びハロゲン原子を有する混合膜を有し、
 前記混合膜は前記第 1 の導電層及び前記第 2 の導電層に接して設けられ、
 前記混合膜は前記絶縁基板又は前記絶縁層上に接して設けられ、
 前記第 1 の導電層と前記第 2 の導電層の間に電圧を印加することで前記混合膜が前記絶縁基板又は前記絶縁層から剥がれることにより、書き込みを行うことを特徴とする記憶装置。

【請求項 2】

請求項 1 において、
 前記ホール輸送性の有機化合物は、アントラセン誘導体であることを特徴とする記憶装置。

【請求項 3】

請求項 1 又は 2 において、
 前記ハロゲン原子はイオン注入法により注入されたものであることを特徴とする記憶装置。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、

前記第 1 の導電層はビット線であり、前記前記第 2 の導電層はワード線である、又は、

前記第 1 の導電層はワード線であり、前記前記第 2 の導電層はビット線であることを特徴とする記憶装置。

【請求項 5】

請求項 1 乃至 4 のいずれかーに記載の記憶装置及び薄膜トランジスタを有し、

前記薄膜トランジスタのソース電極又はドレイン電極は、前記第 1 の導電層又は前記第 2 の導電層と電氣的に接続していることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれかーに記載の記憶装置、アンテナ及び電源生成回路を有することを特徴とする半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は記憶素子を含む回路を有する記憶装置および半導体装置並びに記憶装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

20

【0003】

有機化合物を用いた記憶素子は、特許文献 1 に示すように、記憶素子の二端子として有機化合物層の上下に 2 つの電極を配置している構造が一般的である。

【特許文献 1】米国特許出願公開第 2005 / 0006640 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0004】

半導体装置に設けられる記憶回路として、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、FeRAM (Ferroelectric Random Access Memory)、マスク ROM (Read Only Memory)、EPROM (Electrically Programmable Read Only Memory)、EEPROM (Electrically Erasable and Programmable Read Only Memory)、フラッシュメモリなどが挙げられる。このうち、DRAM、SRAM は揮発性の記憶回路であり、電源をオフするとデータが消去されてしまうため、電源をオンする度にデータを書き込む必要がある。FeRAM は不揮発性の記憶回路であるが、強誘電体層を含む容量素子を用いているため、作製工程が増加してしまう。マスク ROM は、簡単な構造であるが、製造工程でデータを書き込む必要があり、追記することはできない。EPROM、EEPROM、フラッシュメモリは、不揮発性の記憶回路ではあるが、2 つのゲート電極を含む素子を用いているため、作製工程が増加してしまうといった問題があった。

30

40

【0005】

また、一般的な有機化合物を用いた記憶回路は、一対の上下電極間に有機化合物を設けて記憶素子を形成するが、有機層の上に電極を形成した場合、電極の形成時の温度によっては有機層への影響があるため温度に制限がある。この温度の制限のため形成方法が限定され、希望通りの電極を形成することができず、素子の微細化を阻害している問題があった。有機層の上に電極を形成することは、素子の微細化を阻害している面から解決されるべき問題である。

【0006】

また、特許文献 1 に示されている二端子として有機層の上下に形成した一対の電極を用い

50

た記憶素子の場合、一对の電極を上下に配置することで、一对の電極を複数の工程に分けて形成しなければならない。そのため製造プロセスが複雑化するという問題があった。製造プロセスが複雑化することは、製造コストの面から解決されるべき問題である。

【0007】

また、記憶素子を携帯情報端末や、チップなどの小片に搭載することを考慮した場合、限られた電力で記憶素子の書き込みや読み出しが行えることが好ましく、記憶素子の書き込みや読み出しに要する電力の低消費電力化も課題とする。

【0008】

上記問題を鑑み、本発明は、記憶素子の微細化の阻害と製造プロセスの複雑化を解決することを課題とする。また、製造時以外にデータの追記が可能であり、書き換えによる偽造等を防止可能な不揮発の記憶装置及びそれを有する半導体装置を提供することを目的とする。また、安価な不揮発の記憶装置及び半導体装置の提供を課題とする。

10

【課題を解決するための手段】

【0009】

上記課題を鑑み、同一絶縁膜上に第1の導電層と、該第1の導電層と並ぶ位置に第2の導電層と、無機化合物と有機化合物及びハロゲン原子の混合膜とを配置し、該混合膜を第1の導電層と第2の導電層との間に配置する記憶素子を特徴とする。本発明は、上記課題の少なくとも一つを解決する。

【0010】

前記無機化合物の具体例としては、モリブデン酸化物、バナジウム酸化物、ルテニウム酸化物、タングステン酸化物等があげられる。この他、インジウム酸化物や亜鉛酸化物、錫酸化物を用いることができる。但し、ここに示したものに限らず、その他の物質を用いてもよい。

20

【0011】

前記有機化合物はホール輸送材料が適しており、例えば4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル(略称:NPB)や4,4'-ビス[N-(3-メチルフェニル)-N-フェニルアミノ]ビフェニル(略称:TPD)や4,4',4''-トリス(N,N-ジフェニルアミノ)トリフェニルアミン(略称:TDATA)、4,4'-ビス(N-{4-[N'-(3-メチルフェニル)-N'-フェニルアミノ]フェニル}-N-フェニルアミノ)ビフェニル(略称:DNTPD)などの芳香族アミン化合物が挙げられる。この他、9,10-ジ(フェニル)アントラセンなどのアントラセン誘導体を用いることができる。但し、ここに示したものに限らず、その他の物質を用いてもよい。

30

【0012】

前記ハロゲン原子はフッ素や塩素が適している。但し、ここに示したものに限らず、その他の物質を用いてもよい。

【0013】

前記無機化合物と前記有機化合物を混合することにより電荷移動錯体を形成し、キャリア密度が増加することで、導電性が向上する。その導電性の値は通常の有機半導体膜に比べて極めて大きい。

40

【0014】

また、前記無機化合物と前記有機化合物の混合物にハロゲン原子を添加することにより、その導電性は飛躍的に増加し、混合膜が基板から剥がれやすいという特徴を有することができる。

【0015】

また、無線信号を用いて記憶素子への書き込みをする場合には、上記構成に加え、さらにアンテナと、電源生成回路とを有する半導体装置とする。

【0016】

また、上記構成においては、記憶素子の二端子間に電圧を印加し、混合膜中に電流を流すことにより、混合膜が基板から剥がれ、電極間の抵抗値を大幅に増加させることで記憶素

50

子へ書き込みを行う。同一絶縁膜上に第1の導電層と、第2の導電層とが形成されているため、絶縁膜平面にほぼ平行な方向に電圧が印加されることとなる。

【0017】

ハロゲン原子を添加することで基板と混合膜とも密着性が低下し、低い印加電圧で剥がれが生じる。

【0018】

また、同一絶縁膜平面上に設けられる第1の導電層と第2の導電層の電極間距離は、電極形成の加工精度にもよるが、数nm～数百nmとすることができる。例えば、電極間距離を35nm以上とする場合、EB露光によってレジストを露光してマスクを形成し、導電膜を選択的にエッチングして、第1の導電層と第2の導電層を形成すればよい。

10

【0019】

また、第1の導電層及び第2の導電層の側面をテーパ形状としてもよく、本明細書で開示する他の構成は、同一絶縁平面上に第1の導電層及び第2の導電層と、前記第1の導電層の側面と該側面に対向する前記第2の導電層の側面との間に混合膜を有する記憶素子を複数備えた記憶装置であり、第1の導電層及び第2の導電層の側面を絶縁平面に対して90°未満のテーパ角とする。テーパ形状とすることで、対向する2つの側面の間の領域を拡大し、その領域に混合膜を多く配置することができる。

【0020】

また、上記構造を実現するための発明の構成は、絶縁表面上に第1の導電層と、電極間隔dを開けて配置された第2の導電層を形成し、第1の導電層の側面と該側面に対向する前記第2の導電層の側面との間に混合膜を形成する記憶装置の作製方法である。

20

【0021】

電極間隔dを小さくし、位置合わせを高精度に第1の導電層及び第2の導電層を形成する場合には、絶縁表面上に導電膜を形成し、前記導電膜上にマスクを形成し、前記マスクを用いて前記導電膜を選択的にエッチングして第1の導電層と第2の導電層を形成することが好ましい。

【0022】

また、電極間距離を数nmとする場合には、ナノインプリント法を用いてレジストマスクを形成し、第1の導電層と第2の導電層を形成すればよい。また、一つの配線に対してレーザー光の照射によって部分的に除去して切断または分離し、一对の電極を形成してもよい。

30

【0023】

また、第1の導電層及び第2の導電層は、湿式法であるインクジェット法やディスペンス法などによって形成してもよい。

【0024】

また、前記混合膜形成方法としては無機化合物及び有機化合物を共蒸着法で作製した後に、ハロゲン原子をイオン注入法で注入するのが好ましい。

【0025】

また、前記混合膜は、湿式法であるインクジェット法やディスペンス法などによって形成してもよい。

40

【発明の効果】

【0026】

本発明は、記憶素子の製造プロセスの単純化を図ることができる。よって、製造コストの低減された記憶装置を提供することができる。

【0027】

また、製造時以外にデータの追記が可能であり、書き換えによる偽造等を防止可能な不揮発の記憶装置及びそれを有する半導体装置を提供する。また、安価な記憶装置及びそれを有する半導体装置を提供する。

【発明を実施するための最良の形態】

【0028】

50

本発明の実施形態について、以下に説明する。

【0029】

(実施の形態1)

ここでは、半導体装置の一例を示す。図1(A)に上面図を示す。また、図1(B)は、図1(A)中の点線A-A'で切断した断面図に対応する図である。

【0030】

図1(A)では、3個の記憶素子を示している。ここでは3個の記憶素子の例を示したが、説明を簡単にするためであり、個数は特に限定されず、半導体装置の設計者が所望のビット数に合わせて設ければよい。例えば、8ビット、16ビット、32ビット、64ビットなどに合わせて記憶素子を形成すればよい。図1(B)に示すように記憶素子は、絶縁表面を有する基板101上に第1の導電層102と、第2の導電層103と、それらの間に配置された混合膜104とを含む構成となっている。

10

【0031】

混合膜104は、幅が電極間隔dよりも広く、第1の導電層102及び第2の導電層103上に一部重なっている。また、混合膜104は、図1(A)の上面形状に限定されず、少なくとも第1の導電層102の側面と、該側面に対向する第2の導電層103の側面との間に配置する。

【0032】

また、混合膜104は、3つの記憶素子に延在させた一つのパターン形状となっているが、隣り合う記憶素子の間隔が電極間隔dよりも広くすることが好ましい。また、混合膜104は、3つの記憶素子に延在させているが、それぞれ記憶素子毎に独立に設けてもよい。

20

【0033】

混合膜は、無機化合物と有機化合物及びハロゲン原子を含む。混合膜に用いる無機化合物としては、無機酸化物が挙げられる。具体的には、遷移金属酸化物を挙げることができる。また、元素周期表における第4族乃至第8族に属する金属の酸化物を挙げることができる。具体的には、酸化バナジウム、酸化ニオブ、酸化タンタル、酸化クロム、酸化モリブデン、酸化タングステン、酸化マンガン、酸化レニウムは電子受容性が高いため好ましい。この他、酸化インジウムや酸化亜鉛、酸化錫を用いることもできる。中でも特に、酸化モリブデンは大気中でも安定であり、吸湿性が低く、扱いやすいため、蒸着法を用いて混合膜を形成する場合には好ましい。特に、三酸化モリブデンであることが好ましい。

30

【0034】

混合膜に用いる有機化合物としては、芳香族アミン化合物、カルバゾール誘導体、芳香族炭化水素、高分子化合物(オリゴマー、 dendromer、ポリマー等)など、種々の化合物を用いることができる。なお、混合膜に用いる有機化合物としては、 $10^{-6} \text{ cm}^2/\text{Vs}$ 以上のホール移動度を有する物質(ホール輸送材料)であることが好ましい。但し、電子よりもホールの輸送性の高い物質であれば、これら以外のものを用いてもよい。以下では、混合膜に用いることのできる有機化合物を具体的に列挙する。

【0035】

例えば、混合膜に用いることのできる芳香族アミン化合物としては、N,N'-ビス(4-メチルフェニル)(p-トリル)-N,N'-ジフェニル-p-フェニレンジアミン(略称: DTDPPA)、4,4'-ビス[N-(4-ジフェニルアミノフェニル)-N-フェニルアミノ]ビフェニル(略称: DPAB)、4,4'-ビス(N-{4-[N'-(3-メチルフェニル)-N'-フェニルアミノ]フェニル}-N-フェニルアミノ)ビフェニル(略称: DNTPD)、1,3,5-トリス[N-(4-ジフェニルアミノフェニル)-N-フェニルアミノ]ベンゼン(略称: DPA3B)等を挙げることができる。

40

【0036】

混合膜に用いることのできるカルバゾール誘導体としては、具体的には、3-[N-(9-フェニルカルバゾール-3-イル)-N-フェニルアミノ]-9-フェニルカルバゾ

50

ール（略称：PCzPCA1）、3, 6 - ビス [N - (9 - フェニルカルバゾール - 3 - イル) - N - フェニルアミノ] - 9 - フェニルカルバゾール（略称：PCzPCA2）、3 - [N - (1 - ナフチル) - N - (9 - フェニルカルバゾール - 3 - イル) アミノ] - 9 - フェニルカルバゾール（略称：PCzPCN1）等を挙げることができる。

【0037】

また、混合膜に用いることのできるカルバゾール誘導体としては、4, 4' - ジ (N - カルバゾリル) ビフェニル（略称：CBP）、1, 3, 5 - トリス [4 - (N - カルバゾリル) フェニル] ベンゼン（略称：TCPB）、9 - [4 - (10 - フェニル - 9 - アントリル) フェニル] - 9H - カルバゾール（略称：CzPA）、1, 4 - ビス [4 - (N - カルバゾリル) フェニル] - 2, 3, 5, 6 - テトラフェニルベンゼン等を用いることができる。

10

【0038】

また、混合膜に用いることのできる芳香族炭化水素としては、例えば、2 - tert - ブチル - 9, 10 - ジ (2 - ナフチル) アントラセン（略称：t - BuDNA）、2 - tert - ブチル - 9, 10 - ジ (1 - ナフチル) アントラセン、9, 10 - ビス (3, 5 - ジフェニルフェニル) アントラセン（略称：DPPA）、2 - tert - ブチル - 9, 10 - ビス (4 - フェニルフェニル) アントラセン（略称：t - BuDBA）、9, 10 - ジ (2 - ナフチル) アントラセン（略称：DNA）、9, 10 - ジフェニルアントラセン（略称：DPAnth）、2 - tert - ブチルアントラセン（略称：t - BuAnth）、9, 10 - ビス (4 - メチル - 1 - ナフチル) アントラセン（略称：DMNA）、9, 10 - ビス [2 - (1 - ナフチル) フェニル] - 2 - tert - ブチルアントラセン、9, 10 - ビス [2 - (1 - ナフチル) フェニル] アントラセン、2, 3, 6, 7 - テトラメチル - 9, 10 - ジ (1 - ナフチル) アントラセン、2, 3, 6, 7 - テトラメチル - 9, 10 - ジ (2 - ナフチル) アントラセン、9, 9' - ビアントリル、10, 10' - ジフェニル - 9, 9' - ビアントリル、10, 10' - ビス (2 - フェニルフェニル) - 9, 9' - ビアントリル、10, 10' - ビス [(2, 3, 4, 5, 6 - ペンタフェニル) フェニル] - 9, 9' - ビアントリル、アントラセン、テトラセン、ルブレン、ペリレン、2, 5, 8, 11 - テトラ (tert - ブチル) ペリレン等が挙げられる。また、この他、ペンタセン、コロネン等も用いることができる。このように、 $1 \times 10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の移動度を有し、炭素数 14 ~ 42 である芳香族炭化水素を用いることがより好ましい。

20

30

【0039】

なお、混合膜に用いることのできる芳香族炭化水素は、ビニル骨格を有していてもよい。ビニル基を有している芳香族炭化水素としては、例えば、4, 4' - ビス (2, 2 - ジフェニルビニル) ビフェニル（略称：DPVBi）、9, 10 - ビス [4 - (2, 2 - ジフェニルビニル) フェニル] アントラセン（略称：DPVPA）等が挙げられる。

【0040】

混合膜に用いるハロゲン原子としては、フッ素や塩素が適している。但し、ここに示したものに限らず、その他の物質を用いてもよい。

【0041】

40

第1の導電層102及び第2の導電層103の材料としては、Ta、W、Ti、Mo、Al、Cu、Ag、Au、In、Znから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料の単層、またはこれらの積層で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。

【0042】

また、第1の導電層102及び第2の導電層103は異なる材料を用いて別々の工程で形成してもよい。製造工程数を低減する上では、第1の導電層102及び第2の導電層103は同じ材料を用いることが好ましい。また、第1の導電層102及び第2の導電層103を同じ材料とすると、位置合わせを高精度に行うこともできる。

【0043】

50

また、第1の導電層102及び第2の導電層103は電圧が印加され、発熱するため、表面が露呈していると酸化して配線抵抗が高くなってしまう恐れがある。従って、第1の導電層102及び第2の導電層103を覆う保護膜を設けることが好ましい。また、第1の導電層102及び第2の導電層103の材料として、酸化してもある程度の導電性を有する材料、例えばTiやZnなどを用いる場合には特に保護膜を設けなくてもよい。

【0044】

また、図1(A)において、第1の導電層102及び第2の導電層103の上面形状は、矩形状としているが、特に限定されず、折れ曲がった形状や、鋭角な突出部を有する形状であってもよい。また、一つの記憶素子において、第1の導電層102と第2の導電層103の間隔が一定でなくともよく、一方または両方の上面形状を、互いの間隔が部分的に狭くなるような形状であってもよい。この場合、電極間隔dは最も狭い間隔距離を指す。部分的に間隔を狭くした部分には電界が集中するため、より低い書き込み電圧値で記憶素子へ書き込みを行うことができる。

10

【0045】

図1(A)及び図1(B)に示す記憶素子は、電極間隔dで設けられた一对の電極に電圧を印加することで、混合膜が基板から剥がれることによって一对の電極間の抵抗値を大幅に増加させることで記憶素子の書き込みを行うことができる。また、記憶素子に電圧印加を行わなければ、混合膜が一对の電極間に存在しており、導電率を高く保持することができる。このように、電圧印加の有無で記憶素子の電気抵抗値を大幅に変化させることで、記憶素子に2値を記憶させることができる。

20

【0046】

また、一旦、一对の電極間に電圧をかけて記憶素子への書き込みを行った記憶素子は、電圧印加前の電気抵抗値に戻ることはない。不揮発性を有している。

【0047】

(実施の形態2)

ここでは、ビット線とワード線とを交差させ、交差させた近傍に記憶素子を設けるパッシブマトリクス型の記憶素子を含む記憶装置の例を示す。図2(B)に上面図を示す。また、図2(A)は、図2(B)中の点線B-B'で切断した断面図に対応する図である。

【0048】

図2(A)において、絶縁表面を有する基板上にワード線202が設けられ、ワード線202上には第1の絶縁層203a、203bが設けられている。第1の絶縁層203a、第1の絶縁層203bは、基板面に対して垂直な膜厚0.8μmから1.5μmとする。絶縁表面を有する基板は、ガラス基板や、石英基板や、プラスチック基板を用いる。他に用いることのできる基板として、半導体基板、SOI基板、セラミックス基板、または表面に絶縁膜を形成した金属基板なども用いることができる。

30

【0049】

第1の絶縁層203a、第1の絶縁層203bは同じ材料で形成されており、ワード線202に達する開口(コンタクトホール)が設けられている。この開口を覆うようにワード線電極204が設けられている。また、開口を介してワード線202と電氣的に接続しているワード線電極204は、第1の絶縁層203a、203b上に設ける。図2(A)では、同じ平面上に、即ち第1の絶縁層203a上にワード線電極204とビット線201とを設けている。

40

【0050】

ワード線202は、メモリセルアレイの中から一行を選択するための制御信号線である。メモリセルアレイは、マトリクス状に複数のメモリセルが配置されたものである。一つの記憶素子は、ワード線202とビット線201の交点付近にそれぞれ一つ配置されており、読み出し、書き込みを行なうアドレスに対応するワード線の電圧を印加することで書き込み、読み出しが可能になる。

【0051】

また、ビット線201は、メモリセルアレイからデータを取り出すための信号線である

50

。電圧が印加されたワード線 202 に接続されているメモリセルが、記憶素子に記録されたデータをビット線 201 に出力することで、データの読み出しが行われる。

【0052】

また、ワード線電極 204 とビット線 201 との間に混合膜 205 を設ける。混合膜 205 は、ワード線 202 とビット線 201 の交点付近に配置された一つ一つの記憶素子に独立して形成している。

【0053】

また、ワード線電極 204 とビット線 201 の側面をテーパ形状としている。電極間隔 d は、対向する側面の下端部の距離となる。

【0054】

図 2 (A) に示すように、混合膜 205 は、ワード線電極 204 の一方側の側面 (テーパ形状の側面) に接している。また、混合膜 205 に接しているワード線電極 204 の側面に対向するビット線 201 の側面も混合膜 205 に接している。

【0055】

また、工程数削減のため、同一工程でワード線電極 204 とビット線 201 とを形成することが好ましい。また、ワード線電極 204 とビット線 201 との間隔 d を精密に制御するため、同じフォトリソを用いて、ワード線電極 204 とビット線 201 とをパターニングすることが好ましい。ワード線電極 204 とビット線 201 との距離間隔 d を狭めることによって低電圧での書き込みを行うことができる。すなわち、低消費電力で書き込みを行うことが可能となる。

【0056】

ワード線 202 やビット線 201 やワード線電極 204 は、蒸着法、スパッタ法、CVD 法、印刷法、電解メッキ法、無電解メッキ法、または液滴吐出法等を用いて形成する。

【0057】

混合膜 205 には有機化合物を含んでいるため、混合膜よりも先にビット線 201 及びワード線電極 204 を形成することはプロセス上有用である。混合膜 205 よりも先にビット線 201 及びワード線電極 204 を形成するため、用いる配線の形成方法、特に成膜温度が限定されず、様々な方法を用いることができる点が長所である。

【0058】

また、ワード線 202 とビット線 201 とワード線電極 204 は、互いに異なる材料を使用してもよい。また、ワード線 202 とビット線 201 とワード線電極 204 は、配線の形成方法も互いに異なるものとしてもよい。

【0059】

また、パターニング時のエッチング条件を適宜調節することにより、テーパ形状の側面を有するビット線 201 及びワード線電極 204 を形成することができる。同一工程で形成する場合にはビット線 201 及びワード線電極 204 は同じテーパ形状となる。テーパ形状とは、電極の側面の断面が傾斜していることである。好ましくは、基板面に対してビット線 201 及びワード線電極 204 の側面は、10 度以上 85 度未満、好ましくは 60 度以上 80 度以下の傾斜角度を有する。

【0060】

図 2 (A) では、ビット線 201 は、ワード線 202 上方に設けた例を示しているが、特に形成順序は限定されず、ビット線上方にワード線を配置してもよい。ビット線上方にワード線を配置する場合、第 1 の絶縁層の開口を介してビット線と電氣的に接続するビット線電極を設け、ビット線電極とワード線との間に混合膜を配置する構成となる。

【0061】

このように、ビット線とワード線とを交差させ、交差させた近傍に記憶素子を設けるパッシブマトリクス型の記憶素子とすることによって、記憶素子の占有面積の縮小化が図れる。

【0062】

また、本実施の形態は実施の形態 1 と自由に組み合わせることができる。

10

20

30

40

50

【 0 0 6 3 】

(実施の形態 3)

ここでは、アクティブマトリクス型の記憶装置の一例を示す。図 3 (B) に上面図を示す。また、図 3 (A) は、図 3 (B) 中の点線 C - C ' で切断した断面図に対応する図である。

【 0 0 6 4 】

図 3 (A) において、絶縁表面を有する基板 3 0 1 上に第 1 の絶縁層 3 0 2 が設けられ、第 1 の絶縁層 3 0 2 上には半導体層 3 0 3 が設けられている。第 1 の絶縁層 3 0 2、半導体層 3 0 3 上には第 2 の絶縁層 3 0 4 が設けられ、第 2 の絶縁層 3 0 4 上にはワード線 (ゲート線) 3 0 5 が設けられている。ワード線 (ゲート線) 3 0 5 上には第 3 の絶縁層 3 0 6 が設けられ、第 3 の絶縁層 3 0 6 上には第 4 の絶縁層 3 0 7 が設けられている。第 4 の絶縁層 3 0 7 上にはビット線 3 0 9、第 1 の電極 3 0 8 及び、コモン電極 3 1 2 が設けられている。ビット線 3 0 9、第 1 の電極 3 0 8 及び、コモン電極 3 1 2 は同じ材料で形成されている。第 2 の絶縁層 3 0 4、第 3 の絶縁層 3 0 6 及び、第 4 の絶縁層 3 0 7 には半導体層 3 0 3 に達する左右一対の開口 (コンタクトホール) が合計 6 個設けられている。この開口を覆うようにビット線 3 0 9、及び第 1 の電極 3 0 8 が設けられている。同じ層に、即ち第 4 の絶縁層 3 0 7 上にビット線 3 0 9 と第 1 の電極 3 0 8 とコモン電極 3 1 2 とを設けている。

10

【 0 0 6 5 】

半導体層 3 0 3、ワード線 (ゲート線) 3 0 5、第 1 の電極 3 0 8、及びビット線 3 0 9 はトランジスタを構成している。

20

【 0 0 6 6 】

図 3 (A) においては、混合膜 3 1 3 が第 1 の電極 3 0 8、及びコモン電極 3 1 2 の側面、及び上面の一部 (上端部) と接している。混合膜 3 1 3 の幅は少なくとも電極間隔 D_x よりも大きい。

【 0 0 6 7 】

また、図 3 (A) に示す記憶素子において、ビット線 3 0 9、第 1 の電極 3 0 8、コモン電極 3 1 2、及び混合膜 3 1 3 を覆うように保護層 3 1 4 を設けてもよい。

【 0 0 6 8 】

本実施の形態では、アクティブマトリクス型の記憶装置とすることで、記憶素子の集積化を図ることができる。また、電極間隔 D_x を狭くすることで低消費電力化を図ることができる。

30

【 0 0 6 9 】

また、本実施の形態は実施の形態 1 または実施の形態 2 と自由に組み合わせることができる。

【 実施例 1 】

【 0 0 7 0 】

本実施例では、実施の形態 2 で示したパッシブマトリクス型の記憶装置の構成とデータの書き込み方法について説明する。

【 0 0 7 1 】

図 4 (A) においてワード線は $W_n (1 \leq n \leq y)$ 、ビット線は $B_m (1 \leq m \leq x)$ である。

40

【 0 0 7 2 】

図 4 (A) に本発明の記憶装置の構成を示す。本発明の記憶装置 5 0 0 8 はカラムデコーダ 5 0 0 1、ローデコーダ 5 0 0 2、読み出し回路 5 0 0 4、書き込み回路 5 0 0 5、セレクト 5 0 0 3、メモリセルアレイ 2 2 を有する。メモリセルアレイ 2 2 は複数のメモリセル 2 1 を有する。

【 0 0 7 3 】

メモリセル 2 1 は、一つの記憶素子 8 0 を有する。

【 0 0 7 4 】

50

本発明においては、実施の形態２に示したように、ビット線（第１の導電層）と、ワード線に接続されたワード線電極（第２の導電層）とが同一平面上に形成されている。記憶素子８０は、ワード線電極と、ビット線と、ワード線電極とビット線との間に混合膜とを有する。

【００７５】

なお、ここで示す記憶装置５００８の構成はあくまで一例であり、読み出し方式や書き込み方式によって適切な回路構成とすればよい。

【００７６】

カラムデコーダ５００１はメモリセルアレイの列を指定するアドレス信号を受けて、セクタ５００３に信号を与える。セクタ５００３はカラムデコーダ５００１の信号を受けて指定列のビット線を選択し、選択されたビット線を書き込み回路５００５や読み出し回路５００４に接続する。ローデコーダ５００２はメモリセルアレイの行を指定するアドレス信号を受けて、指定行のワード線に所定の電位を与える。上記動作によりアドレス信号に対応する一つのメモリセル２１が選択される。読み出し回路５００４は選択されたメモリセルが有するデータを読み出し、増幅して出力する。書き込み回路５００５は書き込みに必要な電圧を生成し、選択されたメモリセルの記憶素子に電圧を印加することでデータの書き込みを行う。

【００７７】

図４（Ｂ）に本発明の記憶装置が有する書き込み回路５００５の構成を示す。書き込み回路５００５は電圧発生回路７００１、タイミング制御回路７００２、スイッチＳＷ０、ＳＷ１、出力端子Ｐｗを有する。また、書き込み制御信号（ＷＥと記載する）、データ信号（ＤＡＴＡと記載する）、クロック信号（ＣＬＫと記載する）等が入力される。電圧発生回路７００１は昇圧回路等で構成され、書き込みに必要な電圧Ｖ１を生成し、出力端子Ｐａから出力する。タイミング制御回路７００２は、スイッチＳＷ０、ＳＷ１をそれぞれ制御する信号Ｓ０、Ｓ１を生成し、それぞれ出力端子Ｐ０、Ｐ１から出力する。スイッチＳＷ０は接地電位との接続、ＳＷ１は電圧発生回路７００１の出力端子Ｐａとの接続を制御し、これらのスイッチによって、書き込み回路の出力端子Ｐｗからの出力電圧Ｖｗを切り替えることができる。

【００７８】

次に記憶素子の導電性を変化させない初期状態を「０」とし、記憶素子の導電性を変化させる電極間抵抗が高い場合を「１」としたときの書き込み動作について説明する。まず入力信号ＷＥがＨｉｇｈレベルになると、列を指定するアドレス信号を受けたカラムデコーダ５００１はセクタ５００３に信号を与え、セクタ５００３は指定列のビット線を書き込み回路の出力端子Ｐｗに接続する。指定されていないビット線は非接続（フローティングと記載する）状態となる。同様に行を指定するアドレス信号を受けたローデコーダ５００２は指定行のワード線に電圧Ｖ２を印加し、指定されていないワード線はフローティングとなる。上記動作によりアドレス信号に対応する一つの記憶素子８０が選択される。

【００７９】

同時に入力信号ＤＡＴＡがＨｉｇｈレベルを受けることにより、タイミング制御回路７００２は信号Ｓ０＝Ｌｏｗレベル、Ｓ１＝Ｈｉｇｈレベルを生成し、出力端子Ｐ０、Ｐ１から出力する。当該信号によりスイッチＳＷ０がオフ、ＳＷ１オンになり、書き込み回路５００５は出力端子Ｐｗから出力電圧Ｖｗとして電圧Ｖ１を出力する。

【００８０】

選択された記憶素子は、上記動作により第１の導電層に電圧Ｖ１が印加され、第２の導電層に電圧Ｖ２が印加される。すると混合膜が剥がれる。その結果、記憶素子の導電性が変化し、高抵抗状態になり「１」が書き込まれる。電圧Ｖ１、Ｖ２は記憶装置に電圧Ｖ１－Ｖ２を印加することにより記憶装置の導電性が変化する範囲から決定する。

【００８１】

また入力信号ＷＥがＬｏｗレベルになると、全てのビット線とワード線がフローティング状態となる。上記動作により、書き込みは行われなくなる。

10

20

30

40

50

【 0 0 8 2 】

次に、「 0 」の書き込みを説明する。「 0 」の書き込みは記憶素子の導電性を変化させない書き込みであり、これは記憶素子に電圧を印加しない。つまり初期状態を維持することで実現される。まず「 1 」の書き込みと同様に入力信号 $W E$ が $H i g h$ レベル（書き込み許可となる高い電圧）になると、列を指定するアドレス信号を受けたカラムデコーダ 5 0 0 1 は指定列のセクタ 5 0 0 3 に信号を与え、セクタ 5 0 0 3 は指定列のビット線を書き込み回路の出力端子 $P w$ に接続する。このとき指定されていないビット線はフローティング状態となる。同様に行を指定するアドレス信号を受けたローデコーダ 5 0 0 2 は指定行のワード線に $V 2$ を印加し、指定されていないワード線はフローティング状態となる。上記動作によりアドレス信号に対応する一つの記憶素子 8 0 が選択される。

10

【 0 0 8 3 】

同時に入力信号 $D A T A$ が $L o w$ レベルを受け、タイミング制御回路 7 0 0 2 はそれぞれ制御信号 $S 0 = H i g h$ レベル、 $S 1 = L o w$ レベルを生成し、当該制御信号を出力端子 $P 0$ 、 $P 1$ からそれぞれ出力する。当該制御信号によりスイッチ $S W 0$ はオン、 $S W 1$ はオフとなり、出力端子 $P w$ から出力電圧 $V w$ として 0 V を出力する。

【 0 0 8 4 】

選択された記憶素子は、上記動作によりビット線に 0 V が印加され、ワード線に $V 2$ が印加される。電圧 $V 2$ は記憶装置に電圧 $V 2$ を印加することにより記憶装置の導電性が変化しない範囲から決定する。記憶素子の導電性は変化しないので、初期状態である「 0 」を維持する。

20

【 0 0 8 5 】

入力信号 $W E$ が $L o w$ レベルになると、全てのビット線とワード線はフローティング状態となる。

【 0 0 8 6 】

このようにして「 1 」又は「 0 」の書き込みを行うことができる。

【 0 0 8 7 】

次に、データ読み出しについて説明する。

【 0 0 8 8 】

図 5 においてワード線は 1 4 である。またビット線は 1 6 である。

【 0 0 8 9 】

書き込み時と同様にアドレス信号に対応する一つの記憶素子 1 8 a が選択される。図 5 には一つの選択されたセル 1 8 a と、他の非選択セル 1 8 b が示されている。選択セル 1 8 a に接続されたワード線 1 4 は電圧 $V s$ が印加され、他の指定されていないワード線はフローティング状態となる。また、選択セル 1 8 a に接続されたビット線には読み出し回路が接続され、指定されていないビット線はフローティング状態となる。読み出し回路では、選択セル 1 8 a に流れる電流から、メモリの状態が 1 であるか 0 であるかを判別する。

30

【 0 0 9 0 】

また、本実施例は、実施の形態 1、実施の形態 2、または実施の形態 3 と自由に組み合わせることができる。

【 実施例 2 】

40

【 0 0 9 1 】

本実施例では、図 6 (A) 及び図 6 (B) に示す等価回路を用いて、実施の形態 3 で示したアクティブマトリクス型の記憶装置の構成とデータの書き込み方法について説明する。

【 0 0 9 2 】

本実施例で示す記憶装置の一構成例は、カラムデコーダ 8 0 1、ローデコーダ 8 0 2、読み出し回路 8 0 4、書き込み回路 8 0 5、セクタ 8 0 3、メモリセルアレイ 8 2 2 を有する。メモリセルアレイ 8 2 2 はビット線 $B m (1 \quad m \quad x)$ 、ワード線 $W n (1 \quad n \quad y)$ 、ビット線とワード線との交点に $x \times y$ 個のメモリセル 8 2 1 を有する。

【 0 0 9 3 】

メモリセル 8 2 1 は、ビット線 $B x (1 \quad x \quad m)$ を構成する第 1 の配線と、ワード線

50

Wy (1 y n) を構成する第 2 の配線と、トランジスタ 8 4 0 と、記憶素子 8 4 1 とを有する。記憶素子 8 4 1 は、実施の形態 3 のように、平行に並べて配置された一対の導電層の間に、混合膜が挟まれた構造を有する。

【 0 0 9 4 】

なお、ここで示す記憶装置 8 1 6 の構成はあくまで一例であり、読み出し方式や書込み方式によって適切な回路構成とすればよい。

【 0 0 9 5 】

カラムデコーダ 8 0 1 はメモリセルアレイの列を指定するアドレス信号を受けて、セレクト 8 0 3 に信号を与える。セレクト 8 0 3 はカラムデコーダ 8 0 1 の信号を受けて指定列のビット線を選択する。ローデコーダ 8 0 2 はメモリセルアレイの行を指定するアドレス信号を受けて、指定行のワード線を選択する。上記動作によりアドレス信号に対応する一つのメモリセル 8 2 1 が選択される。

10

【 0 0 9 6 】

メモリセル 8 2 1 はトランジスタ 8 4 0 と記憶素子 8 4 1 とを有する。本明細書の添付図においてメモリセル 8 2 1 は長方形を用いて表す。トランジスタ 8 4 0 はゲート電極にワード線が接続され、トランジスタの一方の高濃度不純物領域にビット線が接続され、トランジスタのもう一方の高濃度不純物領域に記憶素子 8 4 1 の第 1 の電極が接続されている。記憶素子の第 2 の電極はメモリセルアレイ内の全ての記憶素子の第 2 の電極と導通しており、記憶装置の動作時、つまり書き込み時、読み出し時に共通の電圧が印加される。読み出し回路 8 0 4 は選択されたメモリセルの記憶素子の状態を判別することで、メモリセルに格納されたデータを読み出して出力する。書き込み回路 8 0 5 は書き込みに必要な電圧を生成し、選択されたメモリセルの記憶素子に電圧を印加することでデータの書き込みを行う。

20

【 0 0 9 7 】

図 6 (B) に本発明の記憶装置が有する書き込み回路 8 0 5 の構成を示す。書き込み回路 8 0 5 は電圧発生回路 8 1 1、タイミング制御回路 8 1 2、スイッチ SW 0、SW 1、出力端子 Pw を有する。また、書き込み制御信号 (WE と記載する)、データ信号 (DATA と記載する)、クロック信号 (CLK と記載する) 等が入力される。電圧発生回路 8 1 1 は昇圧回路等で構成され、書き込みに必要な電圧 V 1 を生成し、出力端子 Pa から出力する。タイミング制御回路 8 1 2 は、スイッチ SW 0、SW 1 をそれぞれ制御する信号 S 0、S 1 を生成し、それぞれ出力端子 P 0、P 1 から出力する。スイッチ SW 0 は接地との接続、スイッチ SW 1 は電圧発生回路 8 1 1 の出力 Pa との接続を制御し、スイッチがいずれかの接続状態となるかによって、書き込み回路の出力端子 Pw からの出力電圧 Vw を切り替えることができる。

30

【 0 0 9 8 】

次に記憶素子の導電性を変化させない初期状態を「 0 」とし、記憶素子の導電性を変化させ高抵抗の場合を「 1 」としたときの書き込み動作について説明する。まず入力信号 WE が High レベルになると、列を指定するアドレス信号を受けたカラムデコーダ 8 0 1 はセレクト 8 0 3 に信号を与え、セレクト 8 0 3 は指定列のビット線と書き込み回路の出力端子 Pw とを電氣的に接続する。指定されていないビット線は非接続 (フローティングと記載する) 状態となっている。指定行のビット線には書き込み回路の出力電圧 Vw が印加される。同様に行を指定するアドレス信号を受けたローデコーダ 8 0 2 は指定行のワード線に電圧 V 2 を印加し、指定されていないワード線に 0 V を印加する。上記動作によりアドレス信号に対応する一つの記憶素子 8 4 1 が選択される。電圧 V 2 はゲート電極に電圧 V 2 を印加するとトランジスタ 8 4 0 がオン状態になる範囲から決定する。

40

【 0 0 9 9 】

同時に High レベルのデータ信号 DATA を受けることにより、電圧発生回路 8 1 1 は電圧 V 1 を生成し、出力 Pa から出力することができる。タイミング制御回路 8 1 2 は入力信号 WE、DATA、CLK、電源電位 (VDD) 等から、スイッチ SW 0、SW 1 を制御する信号 S 0 = Low レベル、S 1 = High レベルを生成し、出力 P 0、P 1 から

50

出力することができる。当該信号 S_0 、 S_1 によりスイッチ SW_0 はオフ、 SW_1 はオンとなり、書き込み回路 805 は出力端子 P_w から出力電圧 V_w として電圧 V_1 を出力することができる。

【0100】

選択された記憶素子は、上記動作によりワード線に電圧 V_2 が印加され、ビット線に電圧 V_1 が印加され、第2の電極には0Vが印加されているので、記録素子には電圧 V_1 が印加される。すると薄膜トランジスタの不純物領域が導通して、ビット線の電圧 V_1 が記憶素子に印加される。その結果、記憶素子の導電性が変化し、高抵抗状態となり「1」が書き込まれる。

【0101】

また入力信号 WE が Low レベルになると、全てのワード線は0Vとなり、全てのビット線はフローティング状態となる。同時にタイミング制御回路 812 は信号 S_0 、 S_1 としてそれぞれ Low レベルを生成し、出力端子 P_0 、 P_1 から出力し、出力端子 P_w はフローティング状態となる。上記動作により、「1」の書き込みは終了する。

【0102】

次に、「0」の書き込みを説明する。「0」の書き込みは記憶素子の導電性を変化させない書き込みであり、これは記憶素子に電圧を印加しない、つまり初期状態を維持することで実現される。まず「1」の書き込みと同様に入力信号 WE が $High$ レベルになると、列を指定するアドレス信号を受けたカラムデコーダ 801 は指定列のセクタに信号を与え、セクタ 803 は指定列のビット線を書き込み回路の出力端子 P_w に接続する。このとき指定されていないビット線はフローティング状態となる。同様に行を指定するアドレス信号を受けたローデコーダ 802 は指定行のワード線に電圧 V_2 を印加し、指定されていないワード線に0Vを印加する。上記動作によりアドレス信号に対応する一つの記憶素子 841 が選択される。

【0103】

同時に Low レベルの入力信号 $DATA$ を受け、タイミング制御回路 812 はそれぞれ制御信号 $S_0 = High$ レベル、 $S_1 = Low$ レベルを生成し、当該制御信号を出力 P_0 、 P_1 からそれぞれ出力する。当該制御信号によりスイッチ SW_0 はオン、 SW_1 はオフとなり、出力端子 P_w から出力電圧 V_w として0Vを出力する。

【0104】

選択された記憶素子は、上記動作によりワード線に V_2 が印加され、トランジスタがオン状態になるがビット線に繋がっている第1の電極と第2の電極には0Vが印加されているため、記憶素子には電圧が印加されず、導電性は変化しないので、初期状態である「0」を維持する。

【0105】

入力信号 WE が Low レベルになると、全てのワード線は0V、全てのビット線はフローティング状態となる。同時にタイミング制御回路 812 は信号 S_0 、 S_1 は Low レベルを生成して、それぞれ出力 P_0 、 P_1 から出力し、出力端子 P_w はフローティング状態となる。上記動作により、「0」の書き込みは終了する。

【0106】

このようにして「1」又は「0」の書き込みを行うことができる。

【0107】

また、メモリセルアレイ 822 は、絶縁表面を有する基板上にスイッチング素子として機能するトランジスタ 840 および当該トランジスタ 840 に接続された記憶素子 841 とを複数有している。

【0108】

また、本実施例は、実施の形態2、実施の形態3、または実施の形態4と自由に組み合わせることができる。

【実施例3】

【0109】

半導体装置の構成について、図7を参照して説明する。図7に示すように、本発明の半導体装置1520は、非接触でデータを交信する機能を有し、電源回路1511、クロック発生回路1512、データ復調/変調回路1513、他の回路を制御する制御回路1514、インターフェイス回路1515、記憶回路1516、データバス1517、アンテナ(アンテナコイル)1518、センサ1523a、センサ回路1523bを有する。

【0110】

電源回路1511は、アンテナ1518から入力された交流信号を基に、半導体装置1520の内部の各回路に供給する各種電源を生成する回路である。クロック発生回路1512は、アンテナ1518から入力された交流信号を基に、半導体装置1520の内部の各回路に供給する各種クロック信号を生成する回路である。データ復調/変調回路1513は、リーダライタ1519と交信するデータを復調/変調する機能を有する。制御回路1514は、記憶回路1516を制御する機能を有する。アンテナ1518は、電波の送受信を行う機能を有する。リーダライタ1519は、半導体装置との交信、制御及びそのデータに関する処理を制御する。なお、半導体装置は上記構成に制約されず、例えば、電源電圧のリミッタ回路や暗号処理専用ハードウェアといった他の要素を追加した構成であってもよい。

【0111】

記憶回路1516は、記憶素子として実施の形態1乃至3で述べた、混合膜が一对の導電層間に挟まれた記憶素子を有する。この記憶素子は、外部からの電気的作用により電気抵抗の変化が生じる。なお、記憶回路1516は、一对の導電層間に混合膜が挟まれた記憶素子のみを有していてもよいし、他の構成の記憶回路を有していてもよい。他の構成の記憶回路とは、例えば、DRAM、SRAM、FeRAM、マスクROM、PROM、EPROM、EEPROM及びフラッシュメモリから選択される1つ又は複数に相当する。

【0112】

センサ1523aは抵抗素子、容量結合素子、誘導結合素子、光起電力素子、光電変換素子、熱起電力素子、トランジスタ、サーミスタ、ダイオードなどの半導体素子で形成される。センサ回路1523bはインピーダンス、リアクタンス、インダクタンス、電圧又は電流の変化を検出し、アナログ/デジタル変換(A/D変換)して制御回路1514に信号を出力する。

【0113】

また、本実施例は、実施の形態1乃至3、実施例1、または実施例2と自由に組み合わせることができる。

【実施例4】

【0114】

本発明により無線チップとして機能する半導体装置を形成することができる。無線チップの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類(運転免許証や住民票等、図9(A)参照)、包装用容器類(包装紙やボトル等、図9(C)参照)、記録媒体(DVDソフトやビデオテープ等、図9(B)参照)、乗物類(自転車等、図9(D)参照)、身の回り品(鞆や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札(図9(E)、図9(F)参照)等の物品に設けて使用することができる。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置(単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ)及び携帯電話等を指す。

【0115】

本発明の半導体装置9210は、プリント基板への実装、表面への貼りつけ、または埋め込む等により、物品に固定される。例えば、本なら紙に埋め込む、または有機樹脂からなるパッケージなら当該有機樹脂に埋め込む等により、各物品に固定される。本発明の半導体装置9210は、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等に本発明の半導体装置9210を設けることにより、認証機能を設けることができ

、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明の半導体装置を設けることにより、検品システム等のシステムの効率化を図ることができる。

【0116】

次に、本発明の半導体装置を実装した電子機器の一態様について図面を参照して説明する。ここで例示する電子機器は携帯電話機であり、筐体2700、2706、パネル2701、ハウジング2702、プリント配線基板2703、操作ボタン2704、バッテリー2705を有する(図8参照)。パネル2701はハウジング2702に脱着自在に組み込まれ、ハウジング2702はプリント配線基板2703に嵌着される。ハウジング2702はパネル2701が組み込まれる電子機器に合わせて、形状や寸法が適宜変更される。プリント配線基板2703には、パッケージングされた複数の半導体装置が実装されており、このうちの1つとして、本発明の半導体装置を用いることができる。プリント配線基板2703に実装される複数の半導体装置は、コントローラ、中央処理ユニット(CPU、Central Processing Unit)、メモリ、電源回路、音声処理回路、送受信回路等のいずれかの機能を有する。

10

【0117】

パネル2701は、接続フィルム2708を介して、プリント配線基板2703と固定される。上記のパネル2701、ハウジング2702、プリント配線基板2703は、操作ボタン2704やバッテリー2705と共に、筐体2700、2706の内部に収納される。パネル2701が含む画素領域2709は、筐体2700に設けられた開口窓から視認できるように配置されている。

20

【0118】

上記の通り、本発明の半導体装置は、小型、薄型、軽量であることを効果としており、上記効果により、電子機器の筐体2700、2706内部の限られた空間を有効に利用することができる。

【0119】

また、本発明の半導体装置は、外部からの電気的作用により変化する混合膜が一对の導電層に挟まれた単純な構造の記憶素子を有するため、安価な半導体装置を用いた電子機器を提供することができる。また、本発明の半導体装置は高集積化が容易なため、大容量の記憶回路を有する半導体装置を用いた電子機器を提供することができる。本発明の半導体装置が有する記憶素子として、実施の形態1乃至3のいずれか一で述べた記憶素子を用いることができる。

30

【0120】

また、本発明の半導体装置が有する記憶装置は、外部からの電気的作用によりデータの書き込みを行うものであり、不揮発性であって、データの追記が可能である。上記特徴により、書き換えによる偽造を防止することができ、新たなデータを追加して書き込むことができる。従って、高機能化と高付加価値化を実現した半導体装置を用いた電子機器を提供することができる。

【0121】

なお、筐体2700、2706は、携帯電話機の外觀形状を一例として示したものであり、本実施の形態に係る電子機器は、その機能や用途に応じて様々な態様に変容しうる。

40

【0122】

また、本実施例は、実施の形態1乃至3、実施例1乃至3のいずれか一と自由に組み合わせることができる。

【図面の簡単な説明】

【0123】

【図1】本発明の記憶装置の上面図および断面図。

【図2】本発明の記憶装置の上面図および断面図。

【図3】本発明の記憶装置の上面図および断面図。

【図4】本発明の記憶装置を説明する図、および本発明の記憶装置が有する書き込み回路

50

を説明する図。

【図5】本発明の記憶装置が有する読み出し回路を説明する図。

【図6】本発明の半導体装置の等価回路図を示す図。

【図7】本発明の半導体装置の構成例について説明する図。

【図8】本発明の半導体装置の使用形態について説明する図。

【図9】本発明の半導体装置を有する電子機器を説明する図。

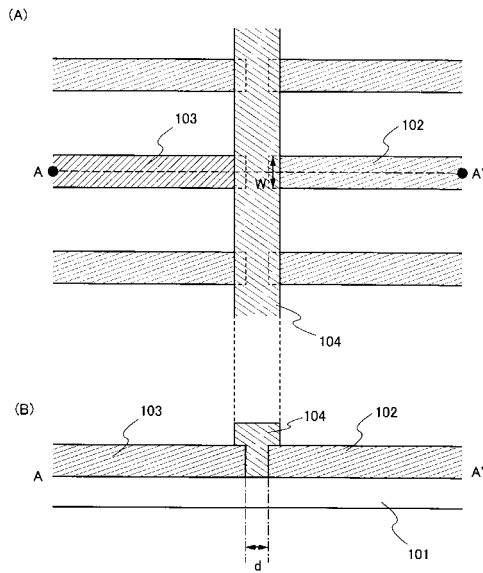
【符号の説明】

【0124】

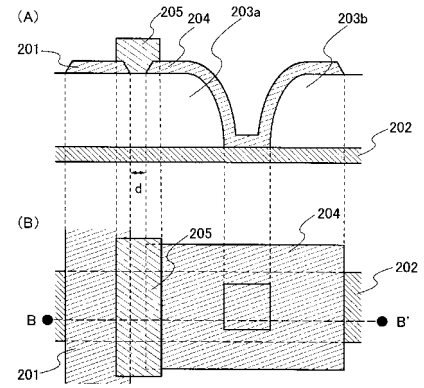
14	ワード線	
16	ビット線	10
18a	選択セル	
18b	非選択セル	
21	メモリセル	
22	メモリセルアレイ	
80	記憶素子	
101	基板	
102	第1の導電層	
103	第2の導電層	
104	混合膜	
201	ビット線	20
202	ワード線	
203a	第1の絶縁層	
203b	第1の絶縁層	
204	ワード線電極	
205	混合膜	
301	基板	
302	第1の絶縁層	
303	半導体層	
304	第2の絶縁層	
305	ワード線（ゲート線）	30
306	第3の絶縁層	
307	第4の絶縁層	
308	第1の電極	
309	ビット線	
312	コモン電極	
313	混合膜	
314	保護層	
801	カラムデコーダ	
802	ローデコーダ	
803	セレクタ	40
804	読み出し回路	
805	書き込み回路	
811	電圧発生回路	
812	タイミング制御回路	
816	記憶装置	
821	メモリセル	
822	メモリセルアレイ	
840	トランジスタ	
841	記憶素子	
1511	電源回路	50

1 5 1 2	クロック発生回路	
1 5 1 3	データ復調 / 変調回路	
1 5 1 4	制御回路	
1 5 1 5	インターフェイス回路	
1 5 1 6	記憶回路	
1 5 1 7	データバス	
1 5 1 8	アンテナ (アンテナコイル)	
1 5 1 9	リーダライタ	
1 5 2 0	半導体装置	
1 5 2 3 a	センサ	10
1 5 2 3 b	センサ回路	
2 7 0 0	筐体	
2 7 0 1	パネル	
2 7 0 2	ハウジング	
2 7 0 3	プリント配線基板	
2 7 0 4	操作ボタン	
2 7 0 5	バッテリー	
2 7 0 6	筐体	
2 7 0 8	接続フィルム	
2 7 0 9	画素領域	20
5 0 0 1	カラムデコーダ	
5 0 0 2	ローデコーダ	
5 0 0 3	セレクタ	
5 0 0 4	読み出し回路	
5 0 0 5	書き込み回路	
5 0 0 8	記憶装置	
7 0 0 1	電圧発生回路	
7 0 0 2	タイミング制御回路	
9 2 1 0	半導体装置	

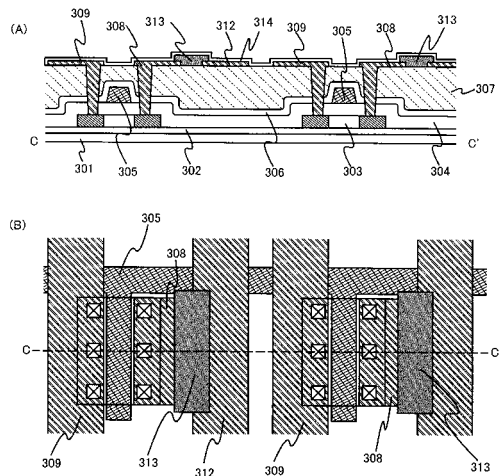
【図 1】



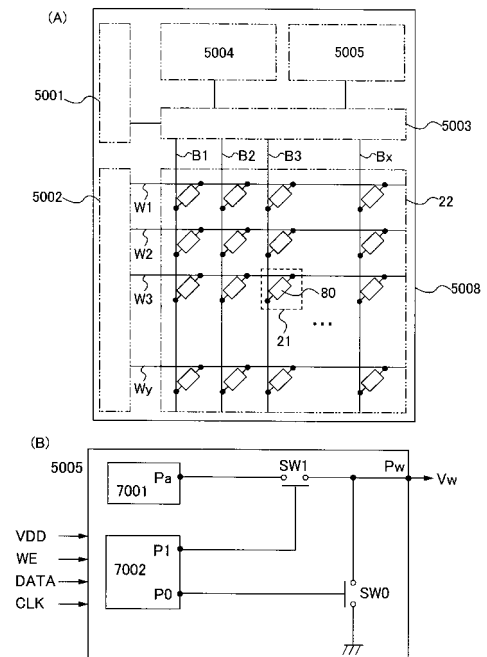
【図 2】



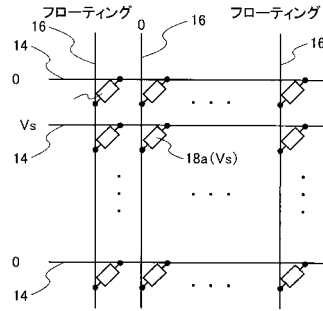
【図 3】



【図 4】

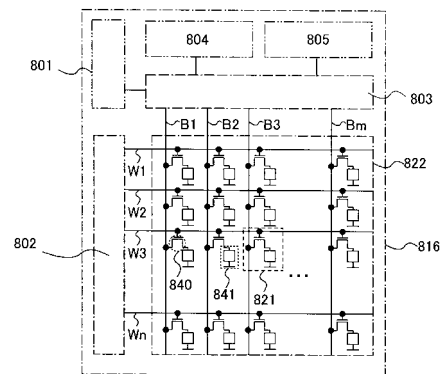


【図 5】

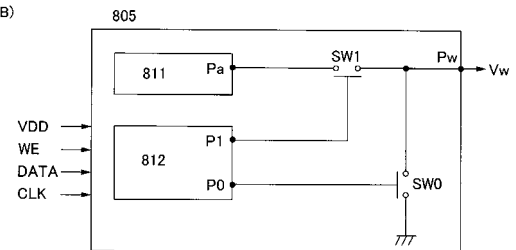


【図 6】

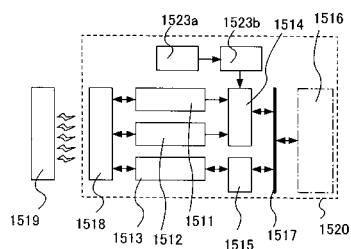
(A)



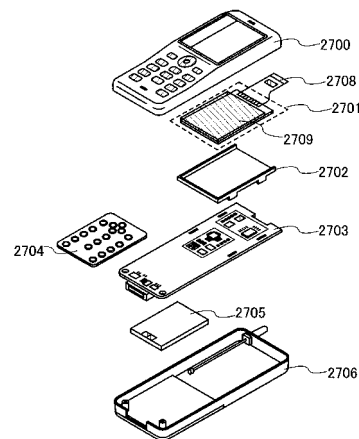
(B)



【図 7】

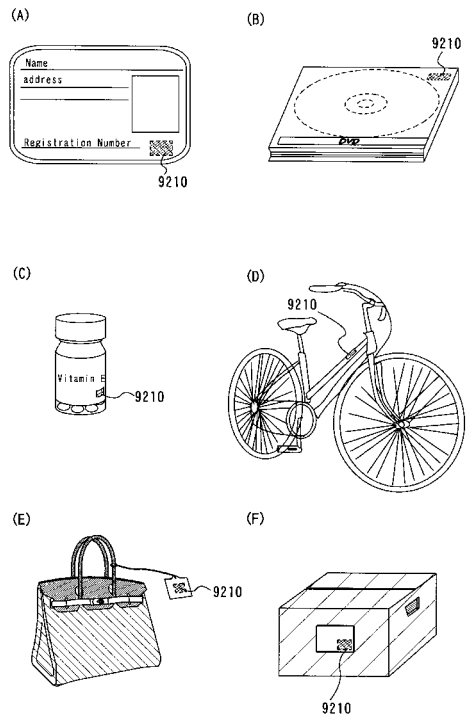


【図 8】



- 2700 筐体
- 2701 パネル
- 2702 ハウジング
- 2703 プリント配線基板
- 2704 操作ボタン
- 2705 バッテリー
- 2706 筐体
- 2708 接続フィルム
- 2709 画素領域

【 図 9 】



フロントページの続き

審査官 井出 和水

(56)参考文献 特開2007-073950(JP,A)
特開昭59-043051(JP,A)
特開2004-363587(JP,A)
特開2005-183557(JP,A)
特開2006-186343(JP,A)
特開2007-013126(JP,A)
特表2005-525696(JP,A)
特開2006-310931(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 27/28
H01L 27/10
H01L 51/05